

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 21/768 (2006.01)



[12] 发明专利说明书

专利号 ZL 02813788.4

[45] 授权公告日 2007 年 5 月 16 日

[11] 授权公告号 CN 1316589C

[22] 申请日 2002.6.12 [21] 申请号 02813788.4

[30] 优先权

[32] 2001. 7. 10 [33] US [31] 09/902,024

[86] 国际申请 PCT/US2002/018842 2002. 6. 12

[87] 国际公布 WO2003/007367 英 2003. 1. 23

[85] 进入国家阶段日期 2004. 1. 9

[73] 专利权人 先进微装置公司

地址 美国加利福尼亚州

[72] 发明人 E·M·阿佩尔格伦 C·日什尔格

J·I·马丁 P·R·贝赛尔

F·张

[56] 参考文献

US6114259A 2000. 9. 5

CN1235372A 1999. 11. 17

US6221780B1 2001. 4. 24

CN1226080A 1999. 8. 18

审查员 曲宝壮

[74] 专利代理机构 北京纪凯知识产权代理有限公司

代理人 戈泊程伟

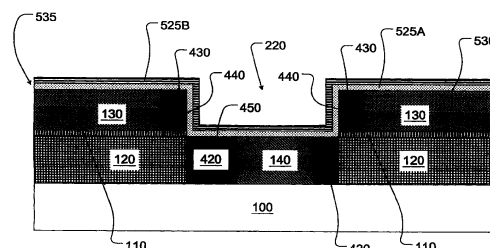
权利要求书 2 页 说明书 13 页 附图 20 页

[54] 发明名称

以离子植入增加局部侧壁密度的方法

[57] 摘要

提供一种方法，该方法包括形成第一导电结构，以及在该第一导电结构的上方形成第一介电质层。该方法也包括在位于该第一导电结构的至少一部分的上方的该第一介电质层中形成第一开口，该第一开口具有侧壁，以及增加该侧壁的密度。



1. 一种方法，包括：

形成第一导电结构(140)；

在该第一导电结构(140)的上方使用低介电质常数K的介电质材料形成第一介电质层(130)；

在位于该第一导电结构(140)的至少一部分的上方的该第一介电质层(130)中形成第一开口(220)，该第一开口(220)具有侧壁(440)；以及增加该侧壁(440)的密度；

其中，增加该侧壁密度包括植入硅、二氧化硅以及锗的至少其中之一至该侧壁。

2. 如权利要求1所述的方法，还包括：

在该第一开口(220)中形成金属结构，该金属结构接触该第一导电结构(140)的至少部分；以及

藉由退火该金属结构与该第一导电结构(140)，形成互连。

3. 如权利要求2所述的方法，其中：

形成该第一介电质层包括形成具有介电质常数K最多4的该第一介电质层，并且使用化学蒸气沉积工艺、低压化学蒸气沉积工艺、电浆强化化学蒸气沉积工艺、溅镀工艺、物理蒸气沉积工艺、以及旋转涂布工艺的其中之一以形成该第一介电质层。

4. 如权利要求1所述的方法，还包括：

在该第一介电质层(130)的上方与该第一开口(220)中形成第一铜层(640)；

藉由移除在该第一介电质层(130)的上方的该铜层(640)的部分以形成铜结构，留下在该第一开口(220)中的该铜结构；

在该第一介电质层(130)的上方与该铜结构的上方形成第二介电质层(925)；

在该铜结构的至少一部分的上方的该第二介电质层(925)中形成第

二开口，该第二开口具有侧壁；以及
增加该第二开口的侧壁密度。

5. 如权利要求4所述的方法，还包括：

在该第二介电质层(925)的上方与该第二开口中形成第二铜层，该第二铜层置于该铜结构的该至少一部分的上方；

藉由移除在该第二介电质层(925)的上方的该第二铜层的部分形成铜互连处，留下在该第二开口中的该铜互连处；以及
退火该铜互连处。

6. 如权利要求5所述的方法，还包括：

平坦化该第二介电质层(925)，其中形成该第二介电质层(925)包括使用具有介电质常数K最多4的低介电质常数K的介电质材料以形成该第二介电质层。

7. 如权利要求4所述的方法，其中增加该第二开口的侧壁密度包括植入硅、二氧化硅以及锗的至少其中之一至该第二开口的侧壁。

8. 如权利要求7所述的方法，其中该铜结构为铜通路。

9. 如权利要求8所述的方法，还包括：

在该第二开口中形成铜线，该铜线置于该铜通路的该至少一部分的上方；以及

藉由退火该铜线与该铜通路形成铜互连处。

以离子植入增加局部侧壁密度的方法

技术领域

本发明一般而言是关于半导体制造技术，并且特别是关于以铜填充接触开口(contact opening)与通路(via)以及产生铜互连处与线的技术。

背景技术

在半导体工业里持续的动力为增加集成电路装置(例如，微处理机、内存装置等)的操作速度。此动力为对操作速度日渐增加的计算机与电子装置的消费需求所引燃。速度增加的需求已导致半导体装置(例如晶体管)的尺寸持续减小。也即，减小一般场效晶体管的许多构成单元，如信道长度、接合深度、闸极介质厚度等。例如，所有其它要素相同，而场效晶体管的信道长度越小则晶体管操作越快。因此，有持续的需求上的推动力以减小一般晶体管的构成单元(以及包括这样的晶体管的集成电路装置)的尺寸以增加晶体管的整体速度。此外，减小一般晶体管的构成单元的尺寸也增加在特定的晶圆实际占有空间的晶体管的密度与数目、降低每一个晶体管的全部制造成本与降低包括这样的晶体管的集成电路装置的成本。

然而，减小一般晶体管的构成单元的尺寸也需要减小电互连处的大小与横剖面的尺寸至接触该主动区，例如氮离子N⁺(磷离子P⁺)源极/漏极区域以及掺杂多晶硅(doped-polycrystalline silicon, doped-polysilicon or doped-poly)闸极导体。当电互连处的大小与横剖面的尺寸越小，会增加电阻以及电迁移。由于许多原因，增加的电阻以及电迁移并不受欢迎。例如，增加的电阻可能减少装置驱动电流、与流经该装置的源极/漏极电流，并且可能恶化晶体管的整体速度与操作。此外，在铝互连处中电迁移的影响(于该处电流确实地携带铝原子一起流动，导致铝原子电迁移)可能导致铝互连处的降级，导致更增加的电阻，并且甚至导致铝互连处的分离及/或剥离。

用于半导体电路的理想互连导体是不昂贵的、容易图案化、具有低电阻率、以及对腐蚀、电迁移以及应力迁移具有高抵抗。于现今半导体工艺，铝最常用于互连处主要是因为例如铝不昂贵而且比铜容易蚀刻。然而，因为铝具有不良的电迁移特性与容易受到应力迁移影响，一般使用铝与其它金属的合金。

如同以上说明，当半导体装置几何缩小以及时脉速度增加，降低电路金属化的电阻的需求日渐增加。使用铝于互连处的最严重的一个规范为导电性。这是因为具有较低的电阻率的3种金属(于20℃铝具有电阻率 2.824×10^{-6} ohms-cm)，也即，于20℃银具有电阻率 1.59×10^{-6} ohms-cm，于20℃铜具有电阻率 1.73×10^{-6} ohms-cm，于20℃金具有电阻率 2.44×10^{-6} ohms-cm，无法满足于其它重要的规范。例如，银相当昂贵且容易腐蚀，以及金非常昂贵且难以蚀刻。铜具有相当于银的电阻率，免除于电迁移、具有高延展性(其提供免除于在半导体芯片中由非相似的材料的不同膨胀率所产生的机械应力)与高熔点(铜1083℃相较于铝659℃)，令人满意地满足大部分的规范。然而，铜在半导体环境中难以蚀刻。由于难以蚀刻铜的结果，必须使用另一种方式以形成通路于金属线。金属镶嵌的方式(单道与双道)，包含蚀刻开口(例如在介电质中的凹槽)以用于线与通路以及产生金属图案，为领先于次0.25微米设计规则铜金属电路的制造的竞争对手。

然而，铜互连处的较低电阻与较高导电性(其耦合于较高的装置密度并且因此减少在铜互连处之间的距离)可能导致介于铜互连处之间的增加的电容。接着，介于铜互连处之间的增加的电容产生增加的电容电阻时间延迟(RC time delay)以及在半导体装置电路中较长的瞬时衰减时间，导致半导体装置的所有的操作速度减少。

介于铜互连处之间的增加的电容的问题的一种现有的解答是对层间介电质层(ILDs)使用具有低介电质常数(low K)的介电材料，其中K小于大约4，于该层间介电质层中使用金属镶嵌技术形成铜互连处。然而，低介电质常数的介电材料与金属镶嵌技术结合使用将是困难的材料。例如，在用于金属镶嵌技术的蚀刻与接续的工艺步骤期间，低介电质常数的介电材料易于受到损坏与减弱。特别是，开口的侧壁(如形成在低介电质常数的介电材料中的凹槽及/或通路)特别容易受到损坏，至少

部分是由于低介电质常数的介电材料的低密度。

本发明是针对克服或者至少是降低以上所提出的一个或更多的问题而完成。

发明内容

于本发明的一实施型态中,提供一种方法,该方法包括形成第一导电结构,以及在该第一导电结构的上方使用低介电质常数K的介电质材料形成第一介电质层。该方法也包括在位于该第一导电结构的至少一部分的上方的该第一介电质层中形成第一开口,该第一开口具有侧壁,以及藉由植入硅、二氧化硅或锗至该侧壁,以增加该侧壁的密度。

于本发明的另一实施型态中,提供一种装置,该装置包括第一导电结构,以及在该第一导电结构的上方具有第一介电质层。该装置也包括在位于该第一导电结构的至少一部分的上方的该第一介电质层中具有第一开口,该第一开口具有稠密化的侧壁(densified sidewalls)。

附图说明

本发明可藉由参考以下说明以及所附的图式(出现在个别的参考数字的最左方的有效数字标示第一个数字)而了解,其中:

第1至8图根据本发明的不同实施例,例式说明单一金属镶嵌铜互连处工艺流程;

第9图根据本发明的不同实施例,例式说明铜互连处的多层;

第10图根据本发明的不同实施例,例式说明半导体装置的连接源极/漏极区域的铜互连处;

第11至18图根据本发明的不同实施例,例式说明双金属镶嵌铜互连处工艺流程;

第19图根据本发明的不同实施例,例式说明铜互连处的多层;以及

第20图根据本发明的不同实施例,例式说明半导体装置的连接源极/漏极区域的铜互连处。

虽然本发明易于具有不同的修改与替代的型式,但藉由图式中的范例与本文中详细的说明,已揭示本发明的具体实施例。然而,应了解本文中具体实施例的详细说明并非限制本发明至已揭示的特定型

式，相反地，本发明涵盖由所申请的专利范围界定的落于本发明的精神与范畴内的所有修改、等效与替代。

具体实施方式

以下将说明本发明的实施例。为了清楚起见，在此说明书中并非于实际实现的所有特征皆予以说明。当然可理解于任何这样的实际实施例的发展中，必须决定数目众多的特定实现以达成发展者的特定目标，如与系统相关以及业务相关的限制的折衷，这将因不同的实现而异。再者，应理解这样的发展努力可能是复杂且耗时的，不过，对从本文中获益的熟习本技术领域的一般技术人士而言将是例行的作业。

图1至图20显示根据本发明用于制造半导体装置的方法的实施例。虽然在图式中绘出的半导体装置的不同区域与结构具有非常精确、清楚的结构与外形，但熟习本技术领域的技术人士知道实际上这些区域与结构不是如同图式中所指出的一样精确。然而，包括所附的图式以提供本发明的说明实例。

一般而言，本发明是针对半导体装置的制造。于完整地读过本发明，本发明的方法可适用至不同的技术(例如，N-信道金属氧化物半导体、P-信道金属氧化物半导体、互补型金属氧化物半导体等)以及立即地可适用至不同的装置(包括，但并非限制至逻辑装置、内存装置等)对熟习本技术领域的技术人士将是显而易见的。

如图1所示，可在结构100(如半导体基板)的上方形成第一介电质层120与第一导电结构140(如经由连接的铜内金属)。然而，本发明并非限制至于半导体基板(例如硅晶圆)的表面的上方形成以铜为主的互连处。相反地，于完整地读过本发明，根据本发明而形成的以铜为主的互连处可形成在先前形成的半导体装置及/或工艺层(例如，晶体管或其它类似的结构)对熟习本技术领域的技术人士将是显而易见的。事实上，可使用本发明以在先前形成的工艺层的上面形成工艺层。结构100可以是半导体材料的底层，如硅基板或晶圆，或者可以是半导体装置的底层(例如，参见第10图)，如金属氧化物半导体场效晶体管(MOSFETs)等，及/或金属互连层(例如，参见第9图)及/或层间介电质层(ILD)等。

如图1至8图所示，根据本发明的不同的实施例，在单一金属镶嵌

铜工艺流程中, 邻近第一导电结构140, 在结构100的上方形成第一介电质层120。在第一介电质层120(其形成在结构100的上方并且邻近第一导电结构140)的上方形成蚀刻停止层110(简言的, 一般为氮化硅, Si_3N_4 或 SiN)。在蚀刻停止层110的上方形成第二介电质层130。在第二介电质层130的上方形成图案化光罩150。若有需要, 使用化学机械平坦化工艺以平坦化第二介电质层130。介于第二介电质层130与图案化光罩150之间, 第二介电质层130具有硬屏蔽层160(一般也为 SiN)形成以及图案化于其上。例如, 使用图案化光罩150可图案化硬屏蔽层160。

可从不同的具有低介电质常数(low K, K小于或等于大约4)的介电质材料形成第一介电质层120与第二介电质层130。可由不同的已知技术以形成具有低介电质常数的第一介电质层120与第二介电质层130, 如化学蒸气沉积(CVD)工艺、低压化学蒸气沉积(LPCVD)工艺、电浆强化化学蒸气沉积(PECVD)工艺、溅镀工艺、物理蒸气沉积(PVD)工艺、旋转涂布工艺(如旋转玻璃工艺)等, 例如每一层的厚度范围大约从100微米至500微米(1000埃至5000埃)。

可从不同的具有低介电质常数(low K)的介电质材料形成第一介电质层120与第二介电质层130, 其中K小于或等于大约4。实例包括 Applied Material's Black Diamond[®]、Novellus' Coral、Allied Signal's Nanoglass[®]、JSR's LKD5104等。于一实施例中, 具有低介电质常数(low K)的第一介电质层120与第二介电质层130各包含 Applied Material's Black Diamond[®], 各具有厚度大约5000埃, 各藉由电浆强化化学蒸气沉积(PECVD)工艺以地毯式沉积(blanket-deposited)形成。

如第2图所示, 接着藉由使用图案化光罩150、蚀刻停止层110与硬屏蔽层160(图1至图2)、以及光微影术以形成金属化图案。例如, 用于导电金属线、接触孔、通路等的开口(如形成在第一导电结构140的至少一部分的上方的开口或凹槽220)被蚀刻至第二介电质层130(第2图)。可使用不同的已知非各向同性蚀刻技术(如使用溴化氢(HBr)以及氩(Ar)作为蚀刻气体的反应离子蚀刻(reactive ion etching, RIE)工艺)形成开口220。或者, 例如, 可使用以 CHF_3 以及 Ar 作为蚀刻气体的反应离子蚀刻工艺。于不同实施例中, 也可使用电浆蚀刻。可停止蚀刻于蚀刻停止层110。

如第3图所示,例如使用控制的光阻修整以修整图案化光罩150而形成修整的光罩350。例如,使用氧分子气相清除法(ashing)可修整图案化光罩150。藉由该气相清除法可修整图案化光罩150大约10微米至50微米(100埃至500埃)。

如第4图所示,稠密化植入400(以箭头标示)可被植入至具有低介电质常数(low K)的第一介电质层120与第二介电质层130以在具有低介电质常数(low K)的第一介电质层120与第二介电质层130中形成邻近开口220的个别的稠密化区域420与430。若第一导电结构140在开口220的中央,在具有低介电质常数的第一介电质层120中的稠密化区域420是对称的。稠密化植入400增加开口220的侧壁440以及底部区域450的密度大约5至50%,因此强化开口220的侧壁440以及底部区域450。于不同的实施例中,稠密化区域420与430可藉由植入稠密化的硅剂量、二氧化硅剂量、锆剂量等而形成。稠密化植入400的稠密化的剂量范围介于 5.0×10^{13} 至 2.0×10^{15} ions/cm²,植入能量范围介于约5至50 keV。稠密化区域420与430可受制于快速热回火工艺(RTA),其执行于温度范围约400至1000℃,时间范围大约5至60秒。快速热回火工艺可活化稠密植入400并且强化稠密化工艺。

如第5图所示,接着剥离修剪的光罩350以及硬屏蔽层160,在第一导电结构140上方移除蚀刻停止层,以及使用气相沉积(第5图)在整个表面施加薄屏障金属层525A与铜晶种层525B。屏障金属层525A与铜晶种层525B以地毯式沉积于第二介电质层130的整个上表面,如同开口220的侧壁440以及底部区域450、以及第一导电结构140,藉以形成导电的表面535,如第5图所示。

屏障金属层525A可以至少一层屏障金属材料(如钽或氮化钽等)形成。例如,屏障金属层525A也可以氮化钛、钨化钛、氮化钨化钛(nitrided titanium-tungsten)、或者其它合适的屏障材料形成。例如,铜晶种层525B可藉由物理蒸气沉积(PVD)或化学蒸气沉积(CVD)而形成在一或多层屏障金属层525A的上面。

铜凹槽填充的整体经常使用电镀技术完成,于其中导电表面535以机械式箝制至电极(未显示)以建立电连接,并且接着结构100浸入含有铜离子(copper ion)的电解质溶液中。电流接着通过晶圆-电解质系统以

导致在导电表面535铜的减少与铜的沉积。此外，晶圆-电解质系统的交流电流偏差已被视为自平面化(self-planarizing)沉积的铜膜的方法，类似用于高密度电浆(HDP)原硅酸乙酯(TEOS)介电质沉积的沉积--蚀刻循环。

如第6图所示，此工艺一般产生横越整个导电表面535的大致上一致的铜640的均匀镀膜。如第7图所示，一旦沉积足够厚度的铜640层，使用化学机械抛光技术以平坦化该铜640层。使用化学机械抛光技术的平坦化从第二介电质层130的整个上表面530清除所有的铜与屏障金属，仅在金属结构(如铜填充凹槽)中留下铜640，形成铜互连处745，其个别地相邻于一或多层屏障金属层525A与铜晶种层525B(第5与6图)的残留部分725A与725B，如第7图所示。

如第7图所示，铜互连处745可藉由退火铜640(其相邻于一或多层屏障金属层525A与铜晶种层525B(第5与6图)的残留部分725A与725B)至第一导电结构140而形成。可在传统的熔炉管中执行退火工艺，温度范围约100至500℃，时间约10至180分钟，在含氮的环境，其至少包括氮(N₂)、氢(H₂)、氩(Ar)、氨(NH₃)等至少其中之一。或者，退火工艺可以是快速热退火(RTA)工艺，执行于温度范围约100至500℃，时间范围约10至180秒，在含氮的环境，其至少包括氮(N₂)、氢(H₂)、氩(Ar)等至少其中之一。

如第8图所示，若有需要，可使用化学机械抛光技术平面化具有低介电质常数的第二介电质层130。平面化会留下邻近铜互连处745以及在蚀刻停止层110的上方的已平面化具有低介电质常数的第二介电质层130，并形成铜互连层800。铜互连层800可包括形成在第二介电质层130的上方以及铜互连处745的至少一部分的上方而且已图案化的蚀刻停止层820(也为“硬屏蔽”并且，简言的，一般以氮化硅Si₃N₄或SiN形成)。

如第9图所示，相对于铜互连层900，铜互连层800可以是在下方的结构层(类似于结构100)。铜互连层900可包括铜填充凹槽940与相邻于个别地已平面化具有低介电质常数的介电质层935以及925的个别的稠密化区域945以及930的内金属通路连接910。内金属通路连接910可以是类似于第一铜结构140的铜结构，并且内金属通路连接910可以类似

于以上说明的关于铜互连处745(第7图)的形成的方式以退火至铜填充凹槽940。铜互连层900也可包括形成在个别地已平坦化的具有低介电质常数的介电质层925及/或935的上方而且已图案化的蚀刻停止层820蚀刻停止层820及/或蚀刻停止层915及/或蚀刻停止层920(也为“硬屏蔽”并且,简言的,一般以氮化硅 Si_3N_4 或 SiN 形成)。

如图10所示,相对于铜互连层1000,金属氧化物半导体晶体管1010可以是在下方的结构层(类似于结构100)。铜互连层1000可包括相邻于已平坦化的具有低介电质常数的介电质层1040的稠密化区域1050的铜填充凹槽1020与铜内金属通路连接1030。铜内金属通路连接1030可以是类似于第一铜结构140的铜结构,并且内金属通路连接1030可以类似于以上说明的关于铜互连处745(第7图)的形成的方式以退火至第二铜结构1020。

如图11所示,第一介电质层1105与第一导电结构1125(如铜内金属通路连接)可形成在结构1100(如半导体基板)的上方。然而,本发明并未限制至在半导体基板(例如硅晶圆)的表面的上方形成以铜为主的互连处。相对地,根据本发明所形成的以铜为主的互连处可形成在先前形成的半导体装置及/或工艺层(如晶体管或其它类似的结构),此对完整地读过本文所揭示的内容的熟习本技术领域的技术人士而言是显而易见的。事实上,可使用本发明以形成在先前所形成的工艺层的上面的工艺层。结构1100可以是半导体材料的底层(如硅基板或晶圆),或者可以是半导体装置(如金属氧化物半导体场效晶体管(MOSFETs)的层)的底层(例如,如第20图所示)等,及/或金属互连层(例如,如图所示)及/或内层介电质层(ILD)等。

根据本发明的不同的实施例,如图11至图18所示,于双金属镶嵌铜工艺流程中,在第一介电质层1105的上方与第一导电结构1125的上方形成第二介电质层1120。在第二介电质层1120的上方形成第三介电质层1130。形成图案化光罩1150在第三介电质层1130的上方。在介于第一介电质层1105与第二介电质层1120之间,第一介电质层1105具有蚀刻停止层(ESL)1110(也为“硬屏蔽”并且,简言的,一般以氮化硅 Si_3N_4 或 SiN 形成)形成并且图案化于其上。类似地,在介于第二介电质层1120与第三介电质层1130之间,第二介电质层1120具有蚀刻停止层1115(一

般以氮化硅SiN形成)形成并且图案化于其上。

以下将更详细的说明并结合图12, 第一蚀刻停止层1110与第二蚀刻停止层1115界定形成于双金属镶嵌铜工艺流程中的铜互连处的较低(通路)部分。若有需要, 使用化学机械平坦化技术可平坦化第三介电质层1130。在介于第三介电质层1130与图案化光罩1150之间, 第三介电质层1130具有硬屏蔽层1160(一般也为氮化硅SiN)形成并且图案化于其上。

可自不同的具有低介电质常数(介电质常数小于或等于大约4)的介电质材料形成第一、二、三介电质层1105, 1120与1130。可以不同的已知技术形成具有低介电质常数的第一、二、三介电质层1105, 1120与1130, 如化学蒸气沉积(CVD)工艺、低压化学蒸气沉积(LPCVD)工艺、电浆强化化学蒸气沉积(PECVD)工艺、溅镀工艺、物理蒸气沉积(PVD)工艺、旋转涂布工艺(如旋转玻璃工艺)等, 例如每一层的厚度范围大约可从100微米至500微米(1000埃至5000埃)。

可从不同的具有低介电质常数(low K)的介电质材料形成第一、二、三介电质层1105, 1120与1130, 其中K小于或等于大约4。实例包括Applied Material's Black Diamond[®]、Novellus' Coral[®]、Allied Signal's Nanoglass[®]、JSR's LKD5104等。于一实施例中, 具有低介电质常数(low K)的第一、二、三介电质层1105, 1120与1130各包含Applied Material's Black Diamond[®], 各具有厚度大约5000埃, 各藉由电浆强化化学蒸气沉积(PECVD)工艺以地毯式沉积(blanket-deposited)形成。

如图12所示, 接着藉由使用图案化光罩1150、蚀刻停止层1110与硬屏蔽层1115与1160(图11至图12)、以及光微影术以形成金属化图案。例如, 用于导电金属线、接触孔、通路等的第一与第二开口(如通路1220与凹槽1230)被个别地蚀刻至第二介电质层1120与第三介电质层1130(图12)。例如, 可使用不同的已知非各向同性蚀刻技术(如使用溴化氢(HBr)以及氩(Ar)作为蚀刻气体的反应离子蚀刻(RIE)工艺)形成第一开口1220与第二开口1230。或者, 例如, 可使用以CHF₃以及Ar作为蚀刻气体的反应离子蚀刻工艺。于不同实施例中, 也可使用电浆蚀刻。可停止蚀刻于蚀刻停止层1110。

如图13所示, 例如使用控制的光阻修整以修整图案化光罩1150,

而形成修整的光罩1350。例如，使用氧分子气相清除法(molecular oxygen ashing)可修整图案化光罩1150。藉由该气相清除法可修整图案化光罩1150大约100埃至500埃。

如图14所示，稠密化植入1400(以箭头标示)可被植入至具有低介电常数(low K)的第二介电质层1120与第三介电质层1130以在个别地邻近开口1220与1230的具有低介电常数(low K)的第二介电质层1120与第三介电质层1130中形成个别的稠密化区域1420与1430。若开口1220在开口1230的中央，则在具有低介电常数的第二介电质层1120中的稠密化区域1420当然是对称的。稠密化植入1400增加开口1220与1230的侧壁1440以及底部区域1450的密度大约5至50%，因此强化开口1220与1230的侧壁1440以及底部区域1450。于不同的实施例中，稠密化区域1420与1430可藉由植入稠密化的硅剂量、二氧化硅剂量、锆剂量等而形成。稠密化植入1400的稠密化的剂量范围介于 5.0×10^{13} 至 2.0×10^{15} ions/cm²，植入能量范围介于约5至50 keV。稠密化区域1420与1430可受制于快速热回火工艺(RTA)，其执行于温度范围约400至1000℃，时间范围大约5至60秒。快速热回火工艺可活化密度植入1400并且强化稠密化工艺。

如图15所示，接着剥离修剪的光罩1350以及硬屏蔽层1160，在第一导电结构1125的上方移除蚀刻停止层1110，以及使用气相沉积(图15)在整个表面施加薄屏障金属层1525A与铜晶种层1525B。屏障金属层1525A与铜晶种层1525B以地毯式沉积于第三介电质层1130的整个上表面1530，如同第一开口1220与第二开口1230的侧壁1440以及底部区域1450、以及第一导电结构1125，藉以形成导电的表面1535，如图15所示。

屏障金属层1525A可以至少一层屏障金属材料(如钽或氮化钽等)形成。例如，屏障金属层1525A也可以氮化钛、钨化钛、氮化钨化钛、或者其它合适的屏障材料形成。例如，铜晶种层1525B可藉由物理蒸气沉积(PVD)或化学蒸气沉积(CVD)而形成在一或多层屏障金属层1525A的上面。

铜凹槽填充的整体经常使用电镀技术完成，于其中导电表面1535以机械式箝制至电极(未显示)以建立电连接，并且接着结构1100浸入含

有铜离子的电解质溶液中。电流接着通过晶圆-电解质系统以导致在导电表面1535铜的减少与铜的沉积。此外，晶圆-电解质系统的交流电流偏差已被视为自平面化(self-planarizing)沉积的铜膜的方法，类似用于高密度电浆(HDP)原硅酸乙酯(TEOS)介电质沉积的沉积--蚀刻循环。

如图16所示，此工艺一般产生横越整个导电表面1535的大致上一致的铜1640的均匀镀膜。如图17所示，一旦沉积足够厚度的铜1640层，使用化学机械抛光技术以平坦化该铜1640层。使用化学机械抛光技术的平坦化从第三介电质层1130的整个上表面1530清除所有的铜与屏障金属，仅在金属结构(如铜填充凹槽与通路)中留下铜1640，形成铜互连处1745，其个别地相邻于一或多层屏障金属层1525A与铜晶种层1525B(图15与图16)的残留部分1725A与1725B，如图17所示。

如图17所示，铜互连处1745可藉由退火铜1640(其相邻于一或多层屏障金属层1525A与铜晶种层1525B(图15与图16)的残留部分1725A与1725B)至第一导电结构1125而形成。可在传统的熔炉管中执行退火工艺，温度范围约100至500℃，时间范围约10至180分钟，在含氮的环境，其至少包括氮(N₂)、氢(H₂)、氩(Ar)、氨(NH₃)等至少其中之一。或者，退火工艺可以是快速热退火(RTA)工艺，执行于温度范围约100至500℃，时间范围约10至180秒，在含氮的环境，其至少包括氮(N₂)、氢(H₂)、氩(Ar)等至少其中之一。

如图18所示，若有需要，可使用化学机械抛光技术平面化具有低介电质常数的第三介电质层1130。平面化会留下邻近铜互连处1745以及在蚀刻停止层1115的上方的已平面化具有低介电质常数的第三介电质层1130，并形成部分的铜互连层1800。铜互连层1800可包括个别地相邻于第二介电质层1120与第三介电质层1130的个别的稠密化区域1420与1430的铜互连处1745。铜互连层1800可包括第一蚀刻停止层1110。如图18所示，铜互连层1800可包括蚀刻停止层1820(也为“硬屏蔽”并且，简言的，一般以氮化硅Si₃N₄或SiN形成)形成并且图案化于第三介电质层1130的上方以及铜互连处1745的至少一部分的上方。

如图19所示，相对于铜互连层1900，铜互连层1800可以是在下方的结构层(类似于结构1100)。于不同的实施例中，铜互连层1900可包括相邻于已平面化具有低介电质常数的介电质层1935的稠密化区域1945

的铜填充凹槽1940；相邻于已平面化具有低介电质常数的介电质层1925的稠密化区域1930的内金属通路连接1910；以及介于具有低介电质常数的介电质层1935与1925之间的蚀刻停止层1915。内金属通路连接1910可以是类似于第一铜结构1125的铜结构，并且内金属通路连接1910可以类似于以上说明的关于铜互连处745(第7图)的形成的方式以退火至铜填充凹槽1940。铜互连层1900也可包括形成在已平坦化的具有低介电质常数的介电质层1935的上方及铜填充凹槽1940的至少一部分的上方而且已图案化的蚀刻停止层1820及/或蚀刻停止层920。

于不同交替的实施例中，铜互连层1900可类似于铜互连层1800，铜互连层1900具有位于其中的铜互连处(未显示)，例如该铜互连处类似于铜互连处1745(图17至图18)。位于铜互连层1900中的铜互连处可以类似于以上说明的关于铜互连处1745(图17)的形成的方式以退火至位于铜互连层1800中的铜互连处1745。

如第20图所示，相对于铜互连层2000，金属氧化物半导体晶体管2010可以是在下方的结构层(类似于结构1100)。铜互连层2000可包括相邻于已平坦化的具有低介电质常数的介电质层2040的稠密化区域2050的铜填充凹槽与通路2020。铜填充凹槽与通路2020可以类似于以上说明的关于铜互连处1745(图17)的形成的方式以退火至在下方的导电结构(如金属氧化物半导体晶体管2010的源极/漏极区域2015)。

根据本发明的不同的实施例，如图11至图18所示，于双金属镶嵌铜工艺流程中，在形成屏障金属层与铜晶种层之前以及铜凹槽填充之前，藉由蚀刻更复杂的图案，以结合内金属通路连接形成以及铜凹槽填充形成。持续凹槽蚀刻直到通孔(如图12中的第一开口1220)已被蚀刻出来。根据本发明的不同的实施例，如第13至18图所示，于双金属镶嵌铜工艺流程中的其它部分基本上与根据本发明的不同的实施例的对应的单一金属镶嵌铜工艺流程(如第3至8图所示)是相同的。然而，整体而言，根据本发明的不同的实施例的双金属镶嵌铜工艺流程明显地减少工艺的步骤并且是达成铜金属化的较佳方法。

任何以上揭示的实施例的形成铜互连处的方法致能铜互连处的形成，其使用现有的金属镶嵌技术并结合稠密化的具有低介电质常数的介电质材料(相较于一般用在现有的金属镶嵌技术的现有的具有低介电

质常数的介电常数材料则更为强韧)。在现有的金属镶嵌技术的蚀刻与接续的工艺步骤期间，相较于现有的具有低介电质常数的介电常数材料，稠密化的具有低介电质常数的介电质材料则非常少受到损坏。藉由在邻近铜互连处形成稠密化的具有低介电质常数的介电质材料，使用具有低介电质常数的介电质材料以降低相邻的铜互连处之间的电容与电阻电容延迟的所有优点可被维持，而没有在现有的金属镶嵌工艺期间使用现有的未稠密化的具有低介电质常数的介电常数材料的任何困难。

以上揭示的特定实施例仅为例式说明，因为本发明可被修改及以不同但等效的方式实施，此对从本文教示获益的熟习本技术领域之一般技术人士而言是显而易见的。此外，除了在以下的申请专利范围的说明，并未限制于本文中揭示的结构或设计的细节。因此以上揭示的特定实施例可被改变或修改是明显的，并且所有的这些变化视为在本发明的范畴与精神之内。特别是，本文中揭示的每一个值的范围(“大约从 a 至 b” 的型式，或者，相等地，“约从 a 至 b)，或者，相等地，“约 a-b”)应理解为参考至值的个别范围的幂集(power set)(所有子集合的集合)，也即 Georg Cantor 方法。因此，本发明所寻求的专利保护如同以下提出的申请专利范围。

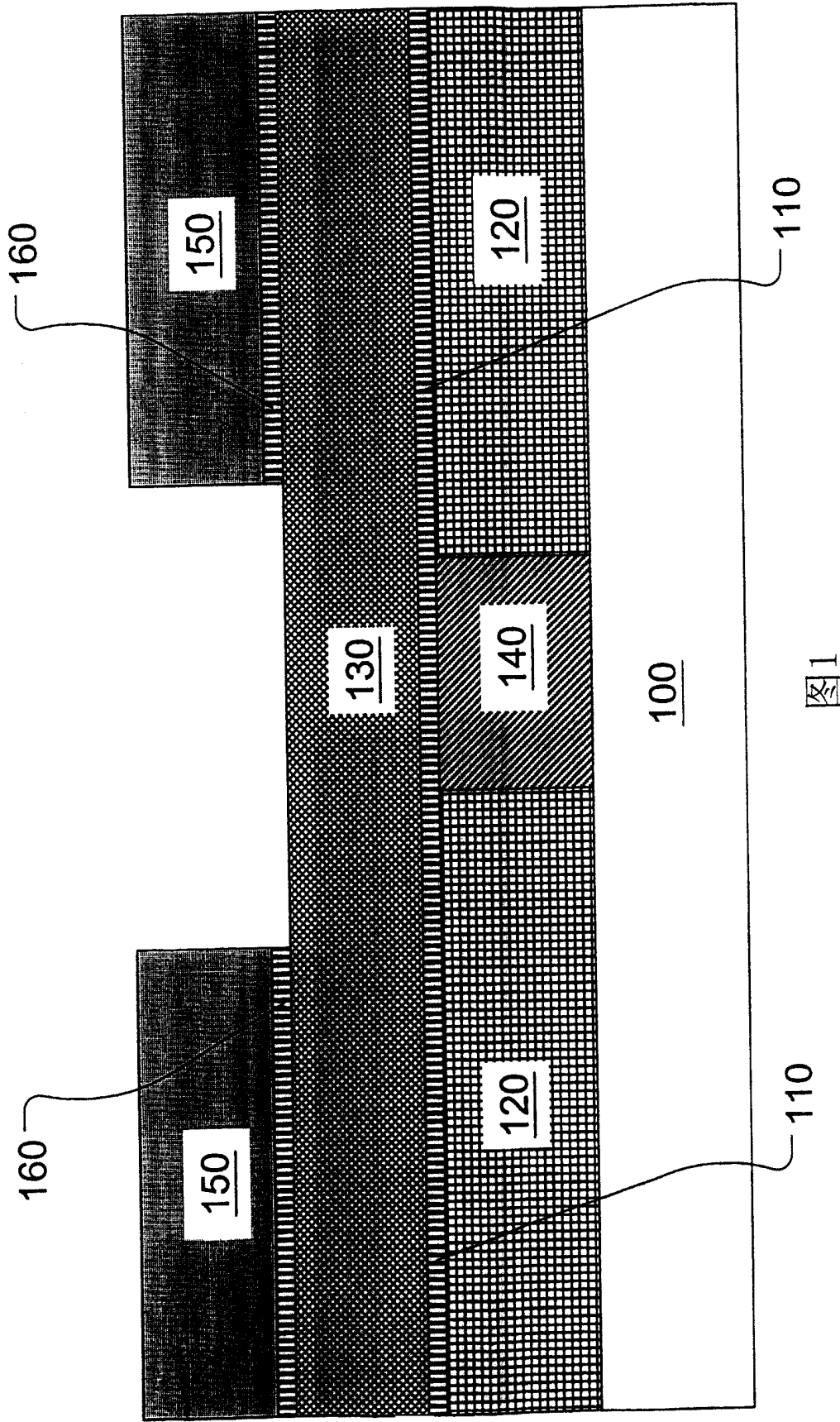


图1

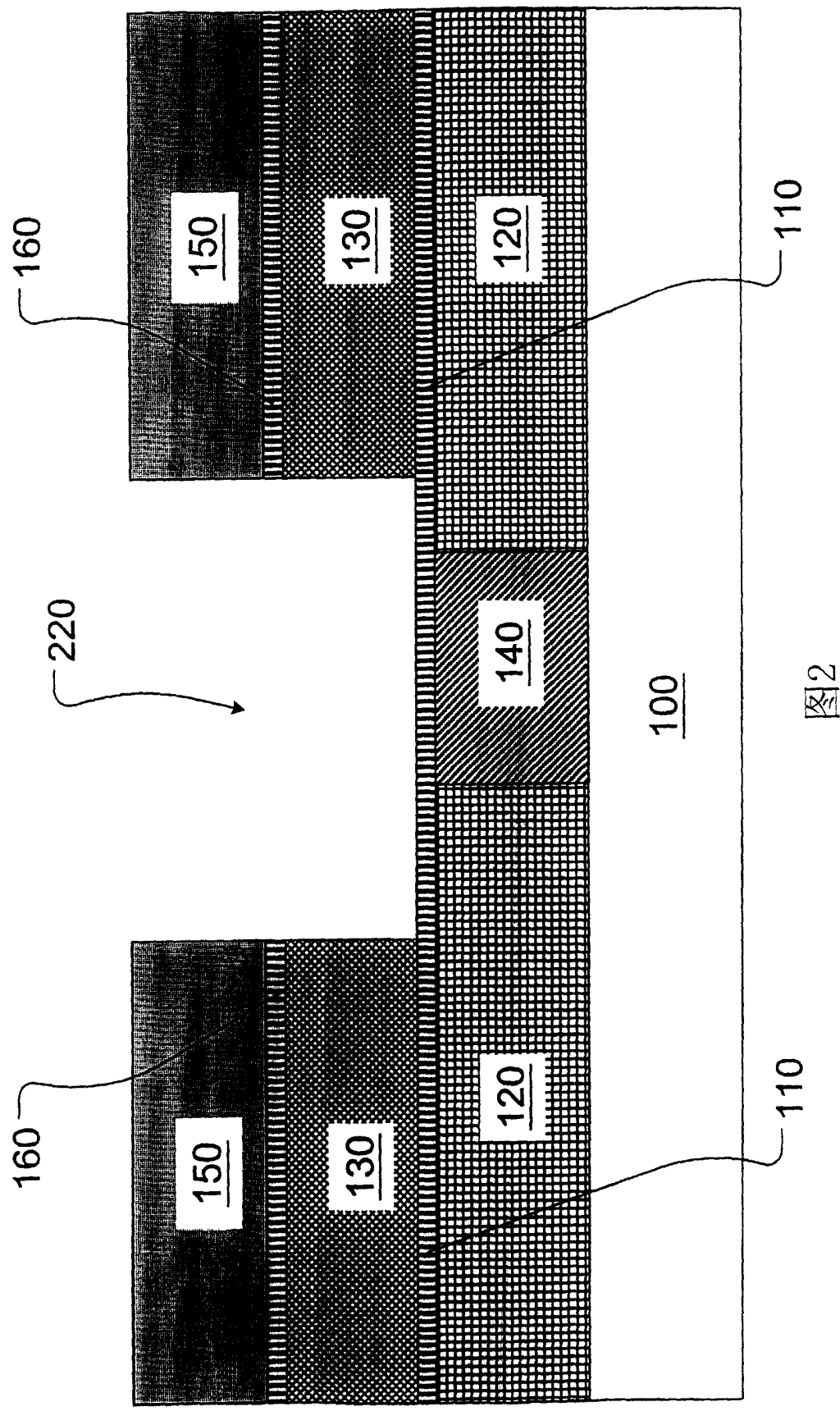


图2

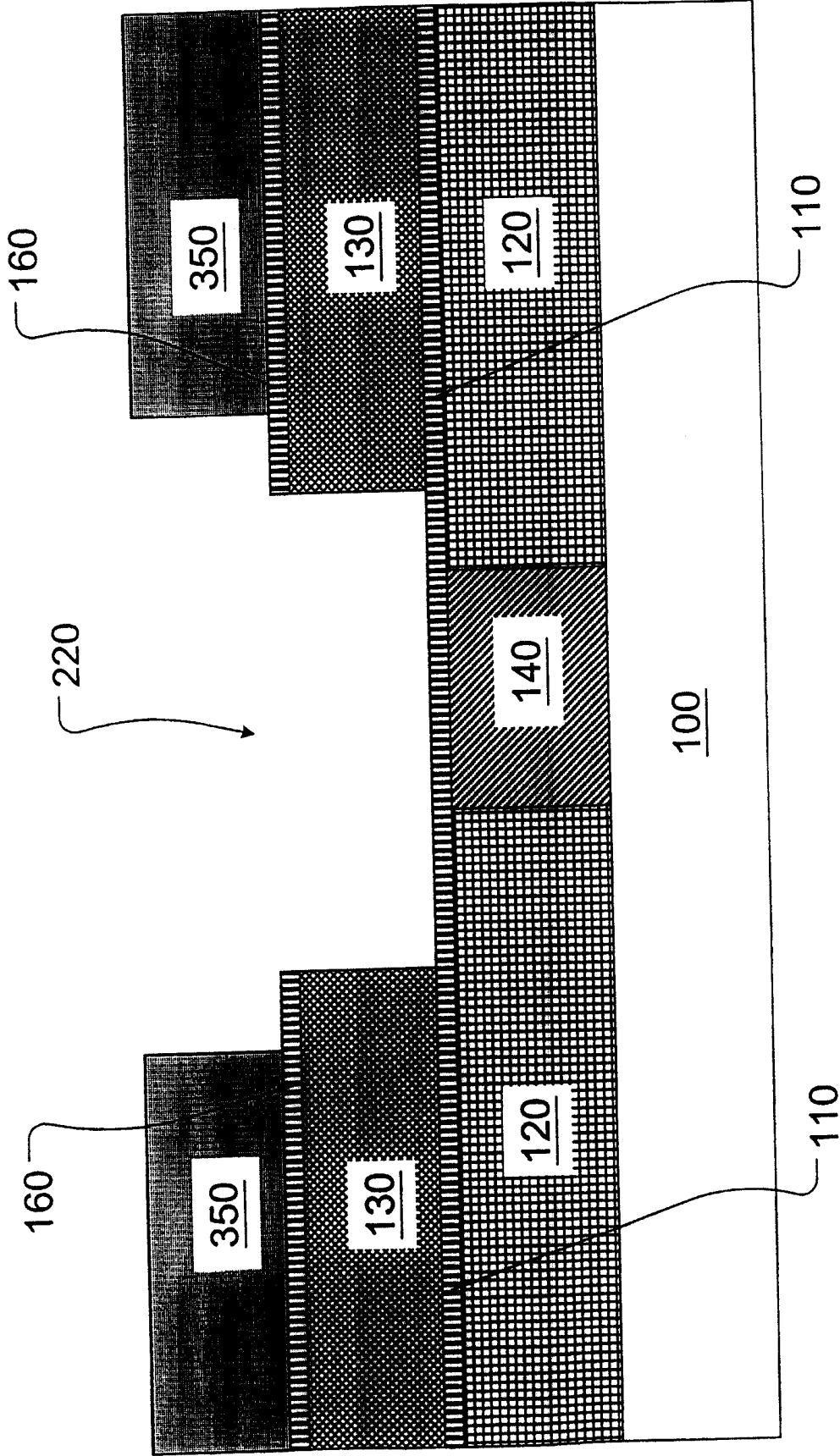


图3

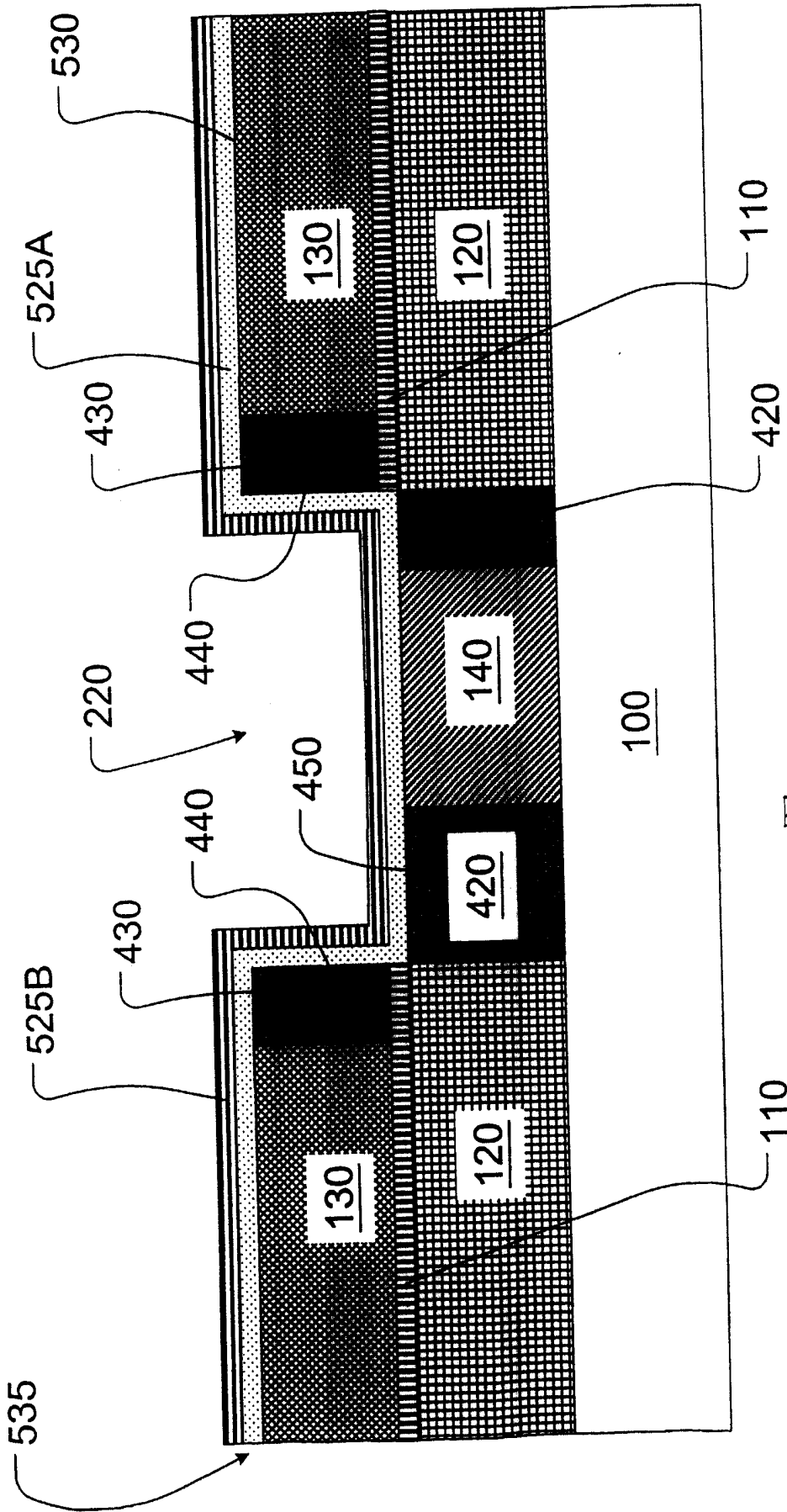


图5

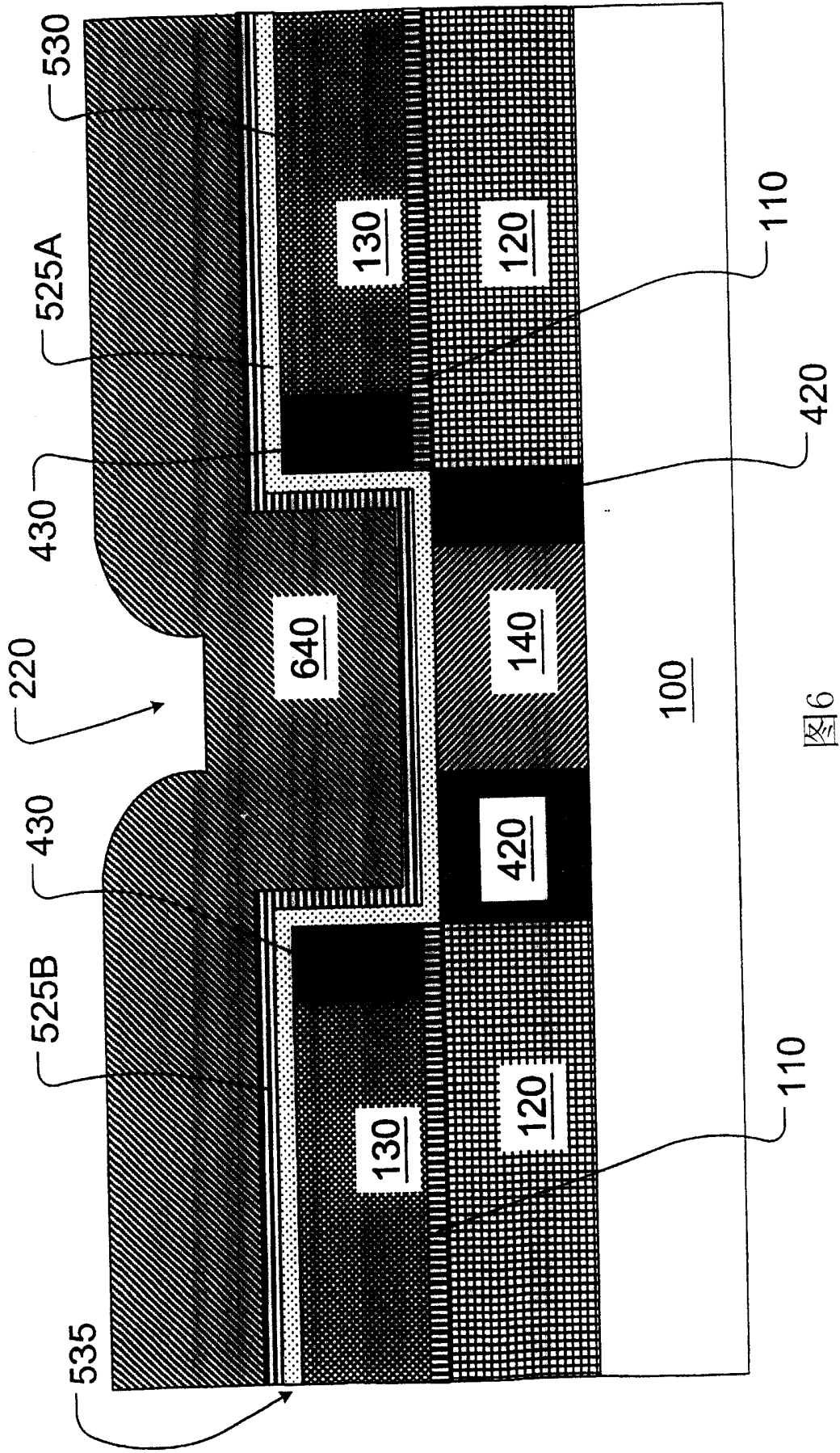
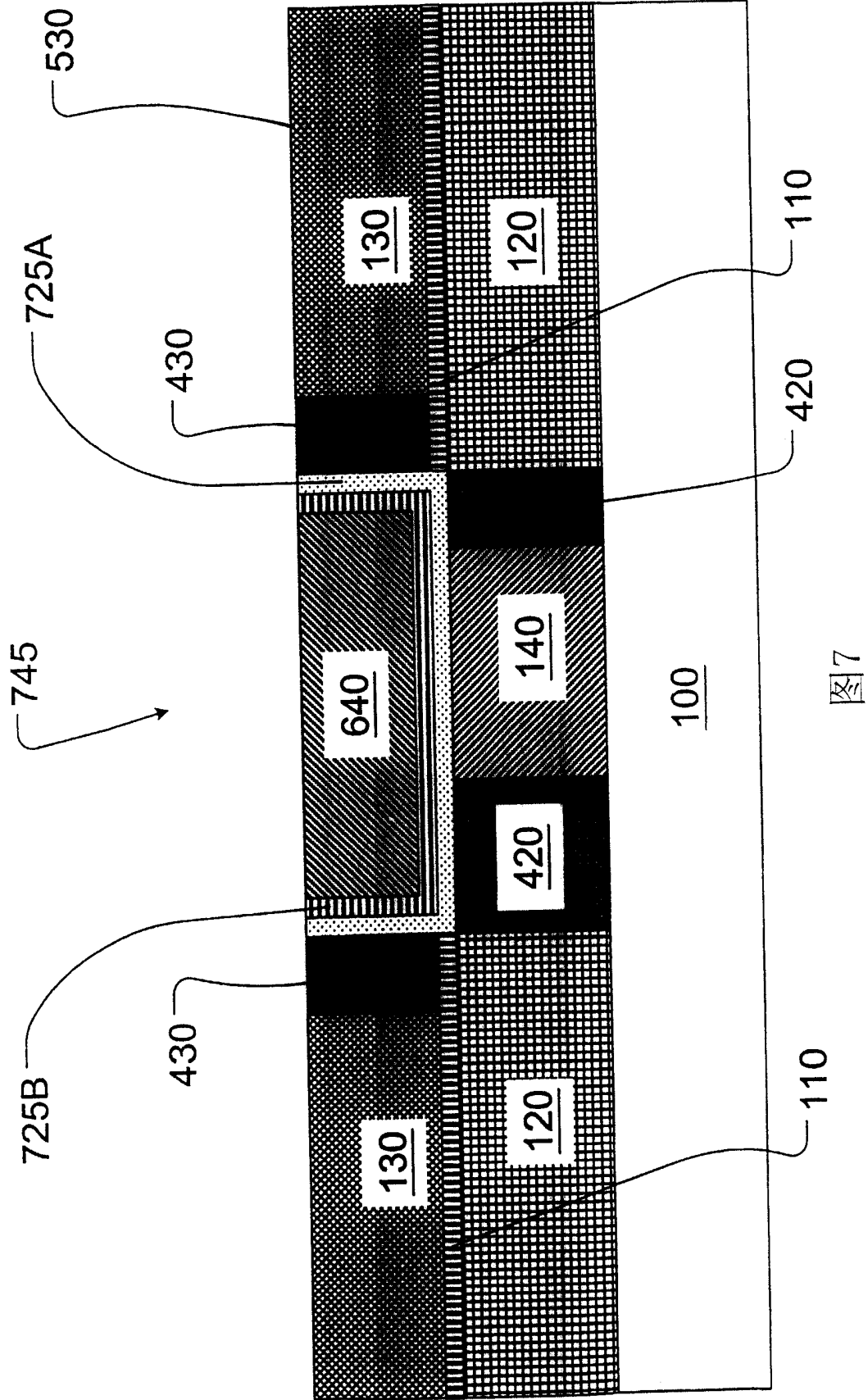


图6



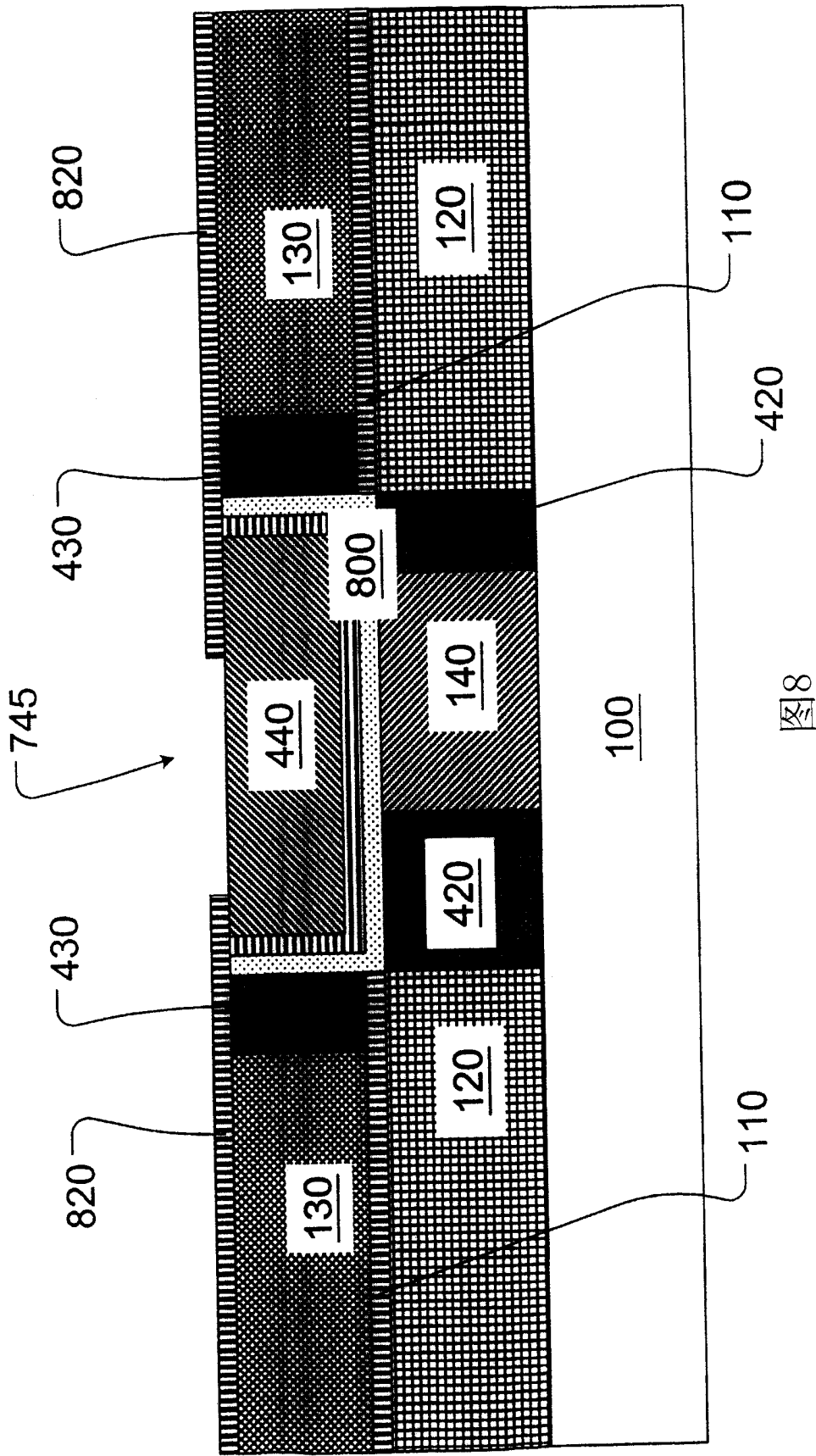


图8

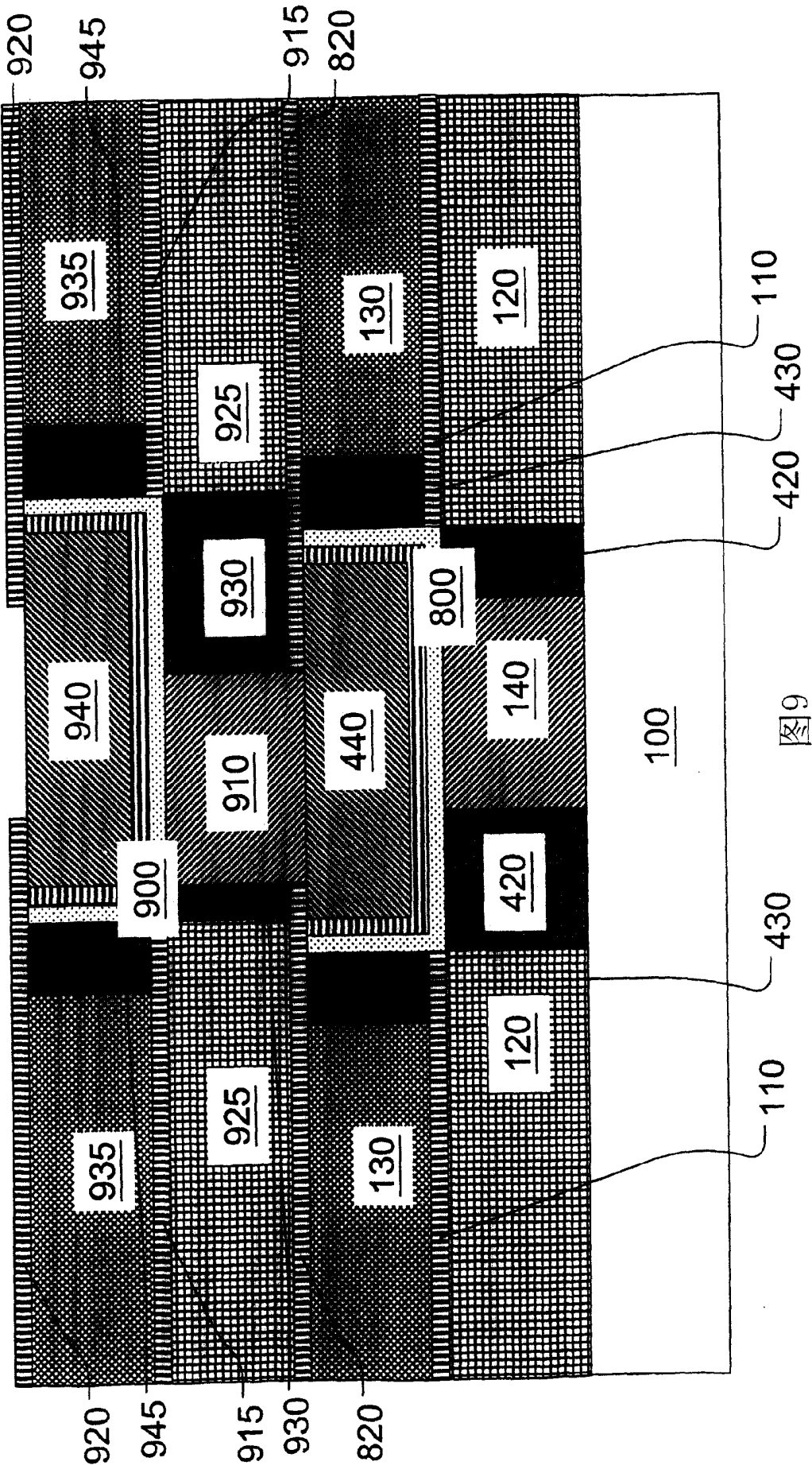


图9

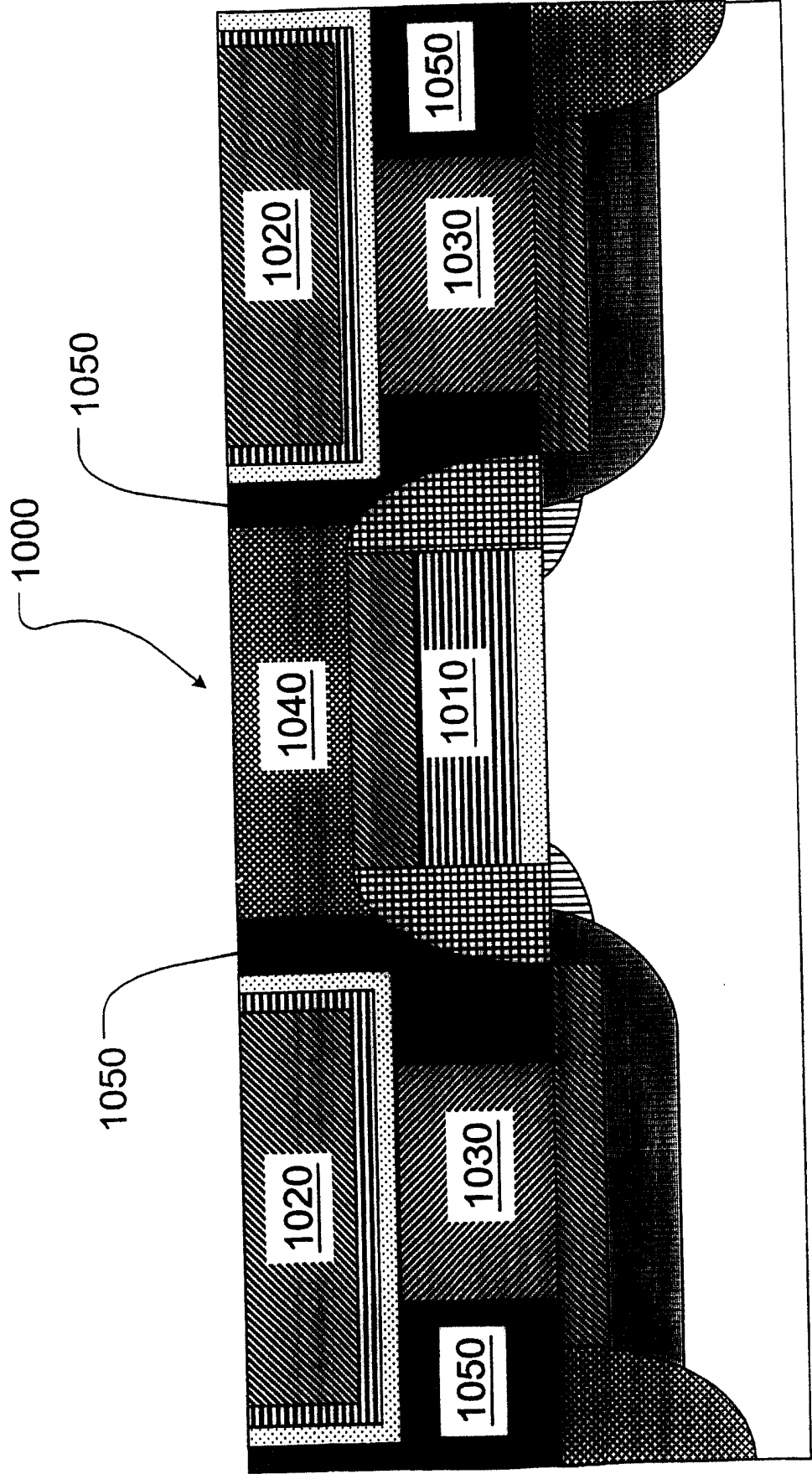
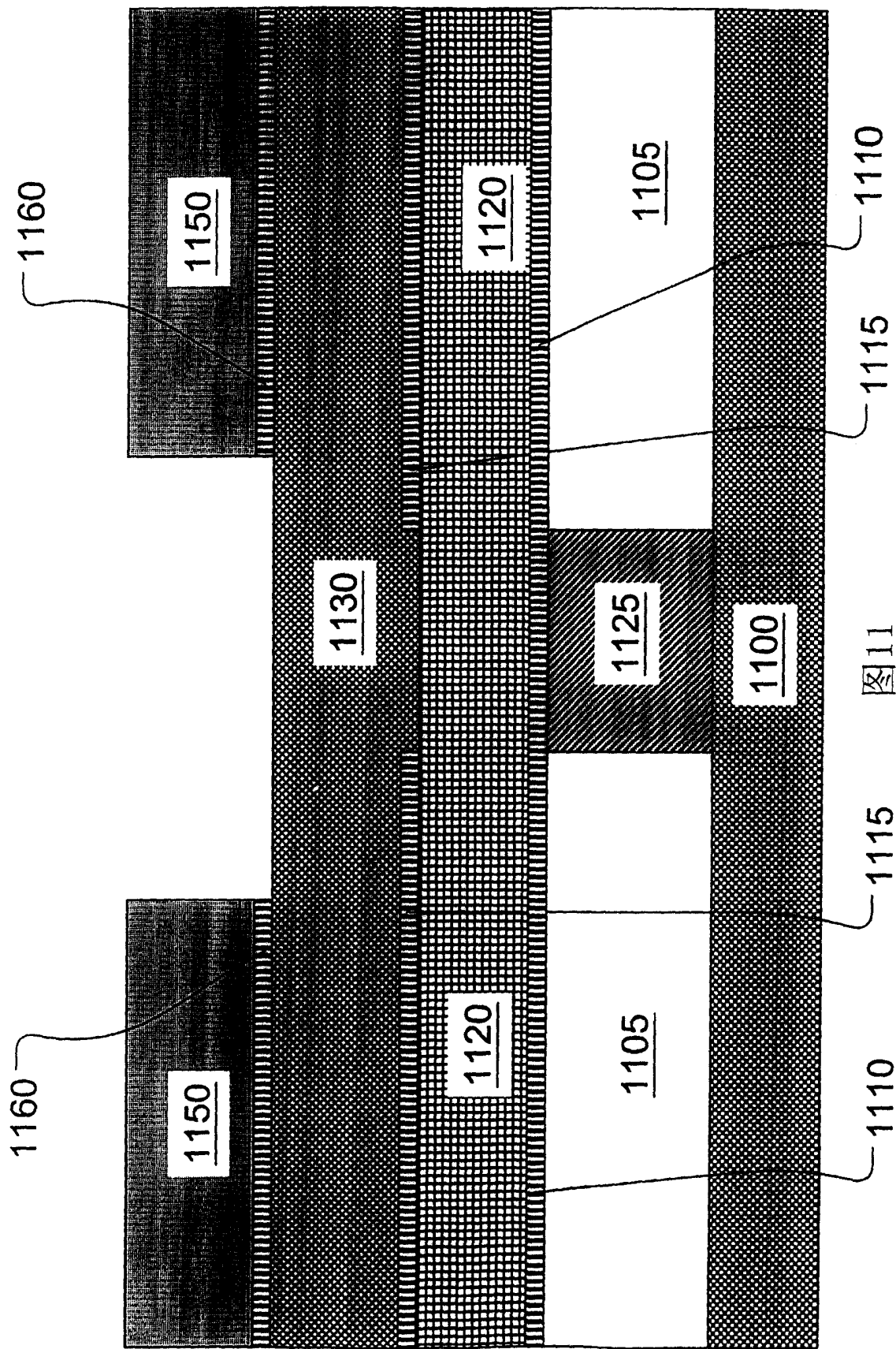


图10



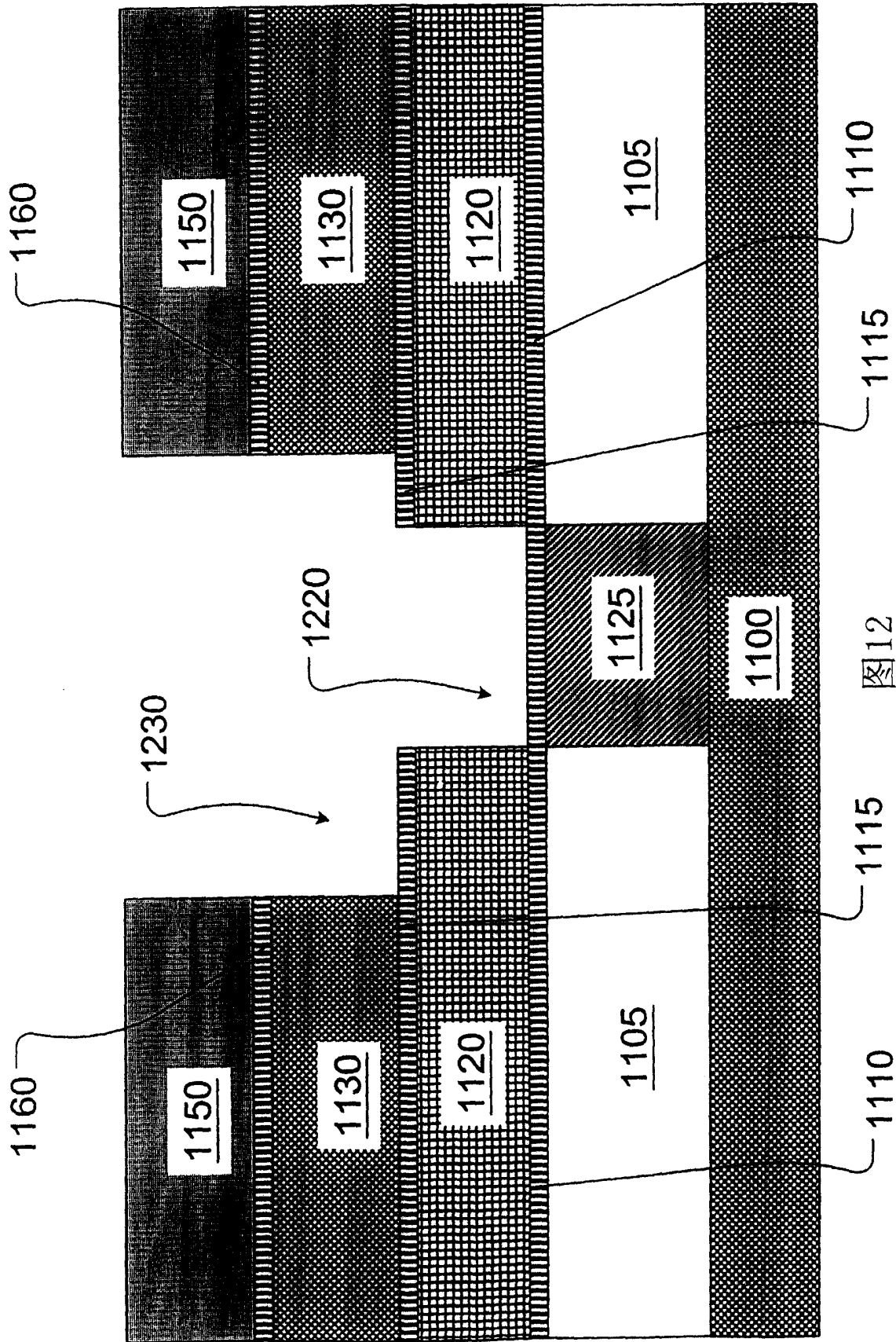


图12

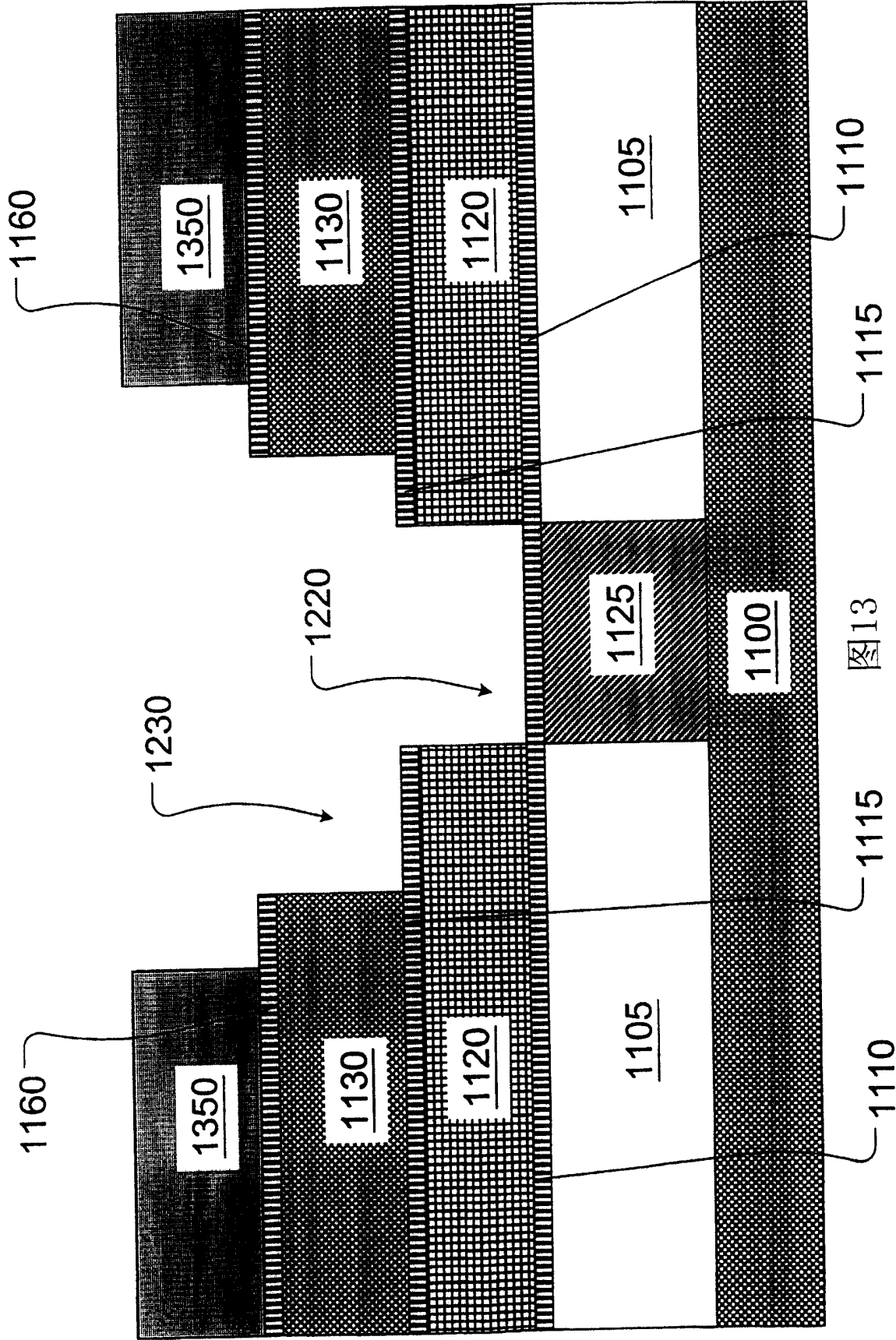


图13

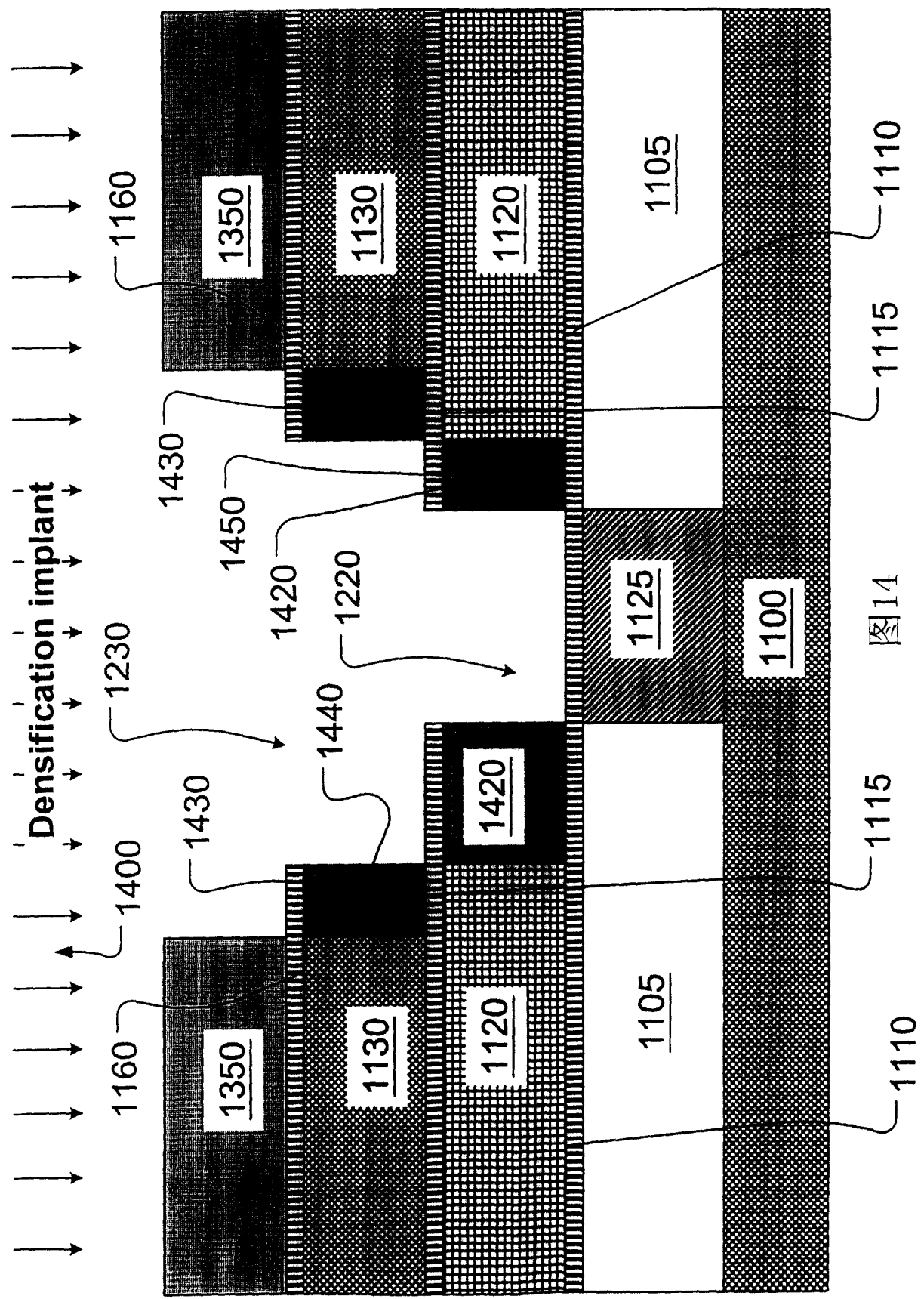


图14

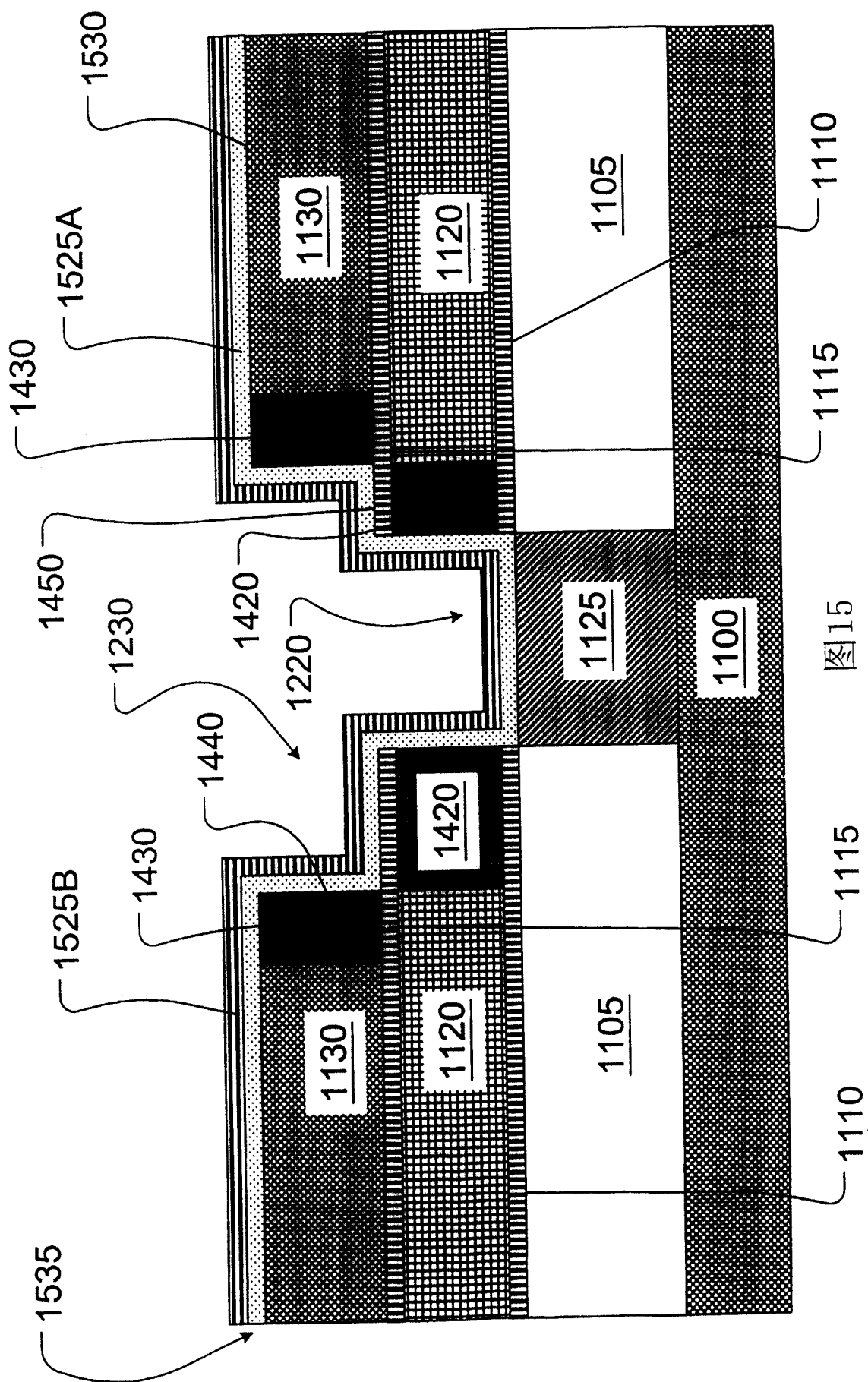


图15

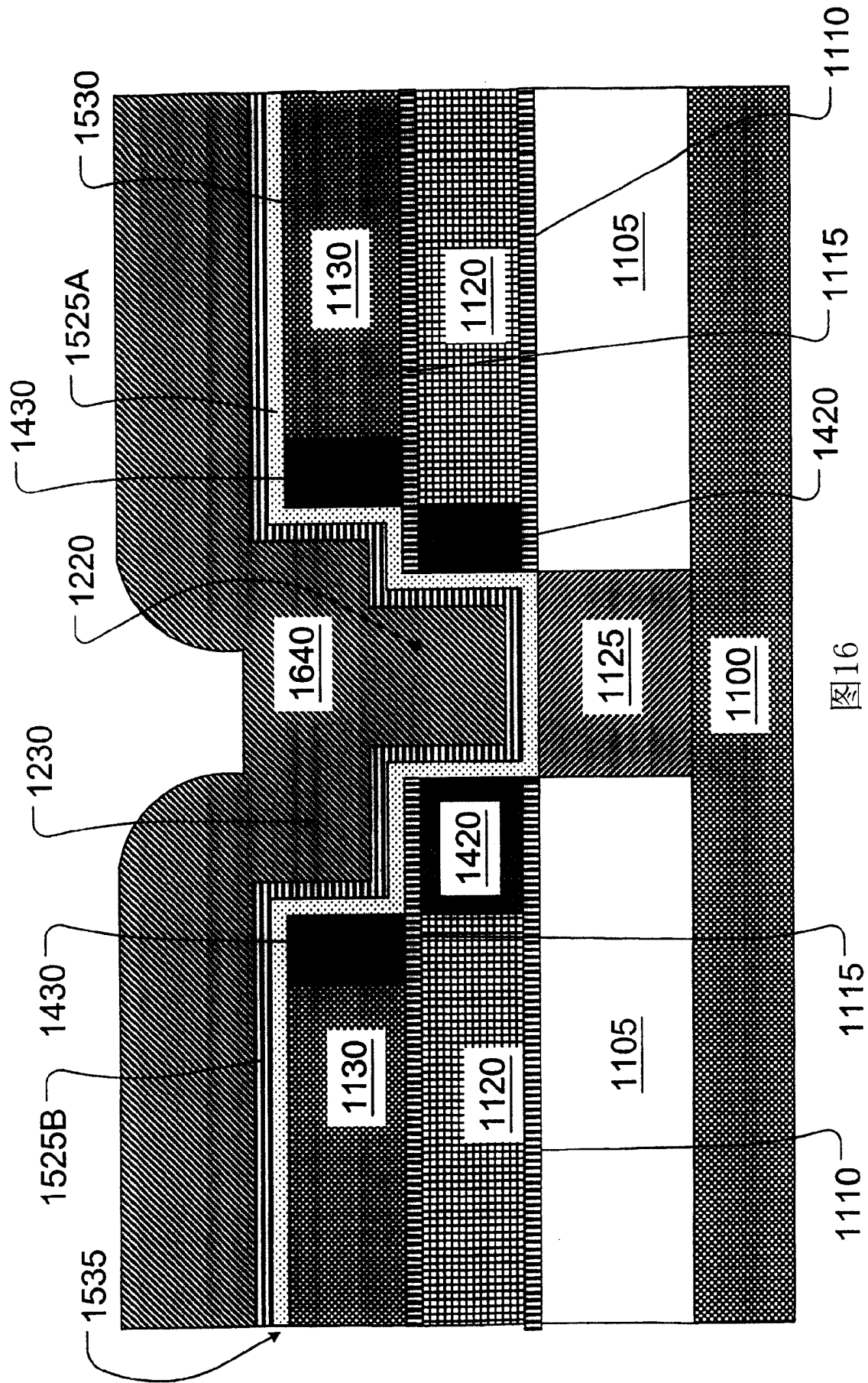
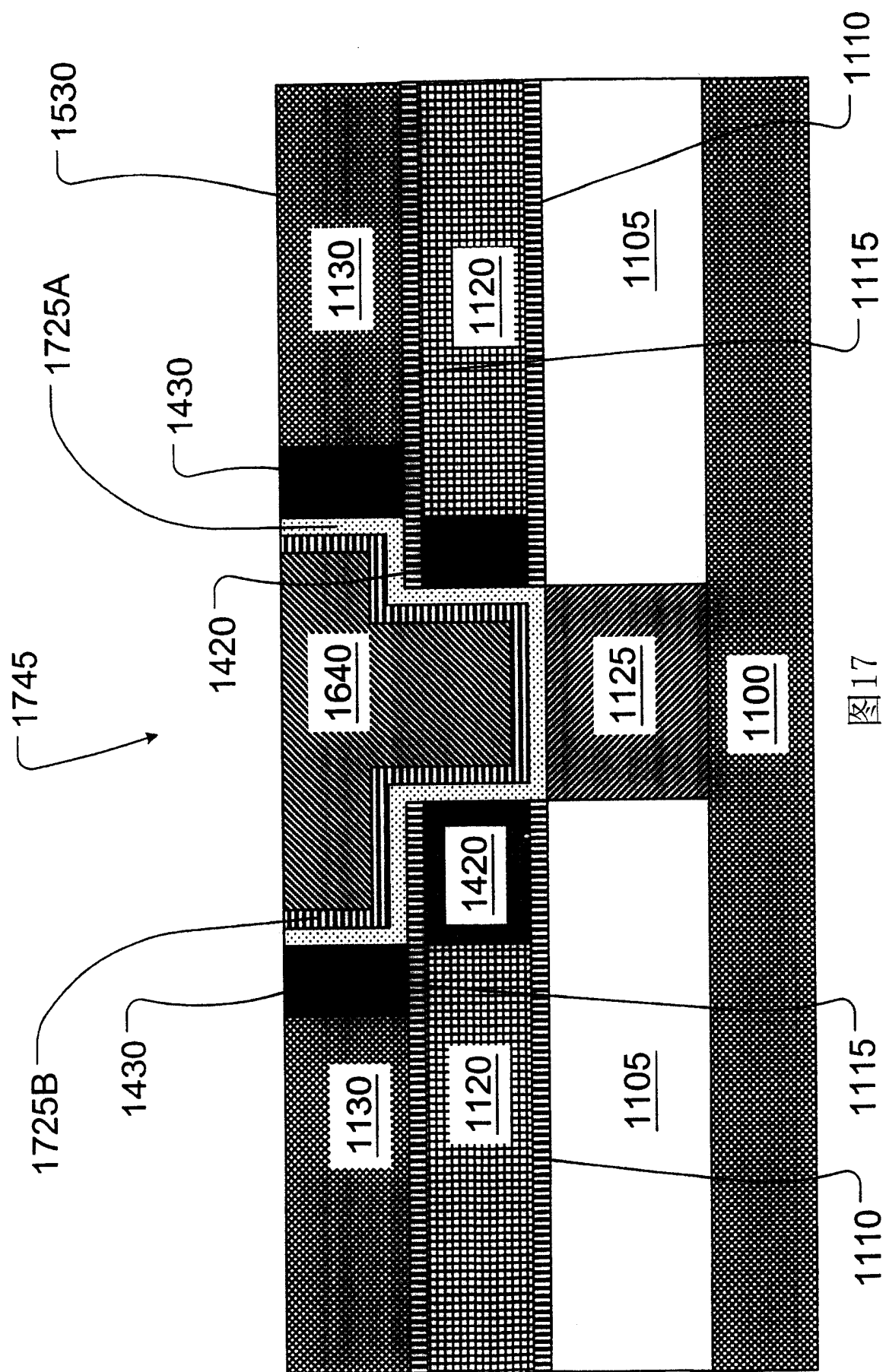


图16



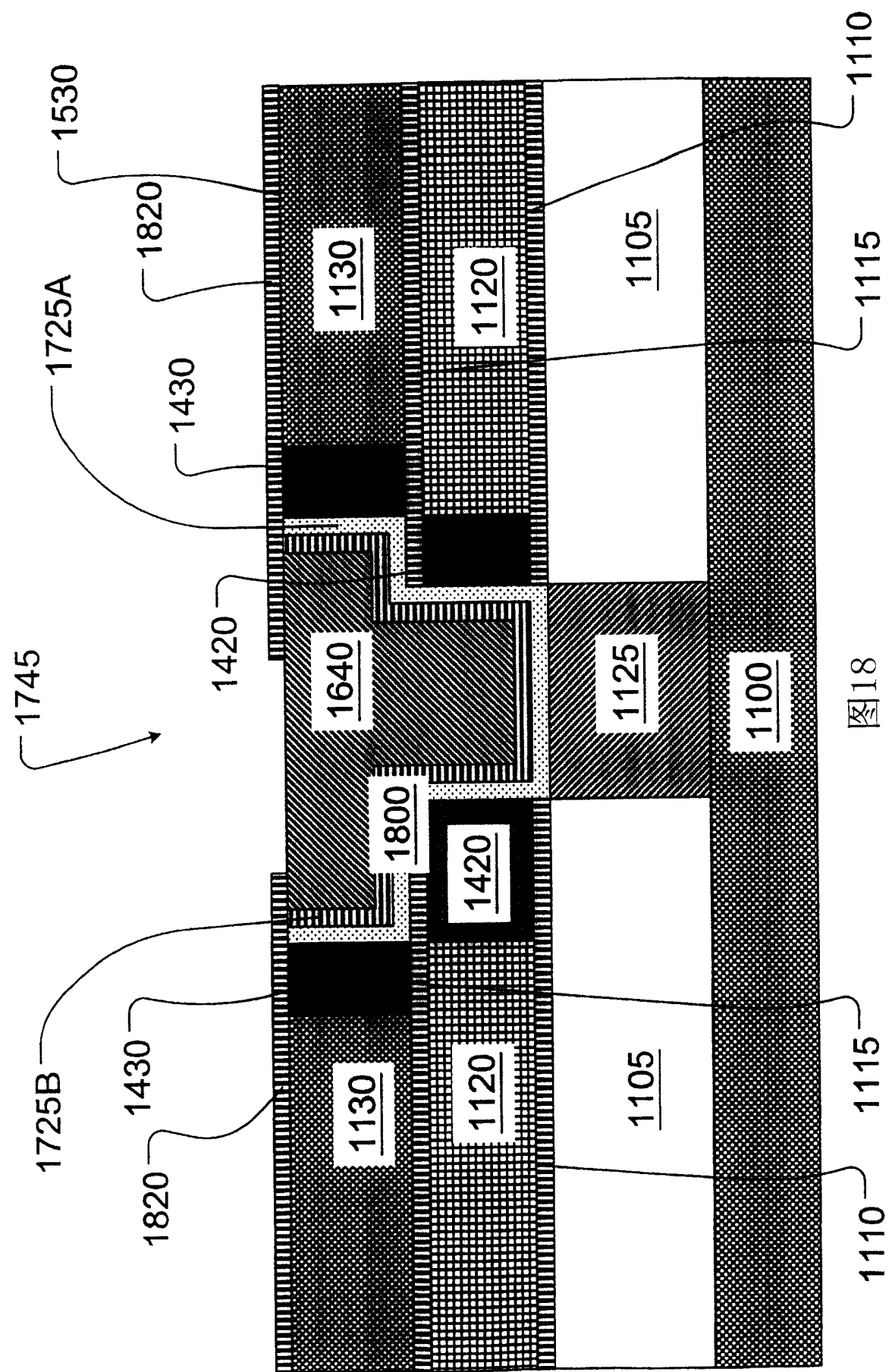


图18

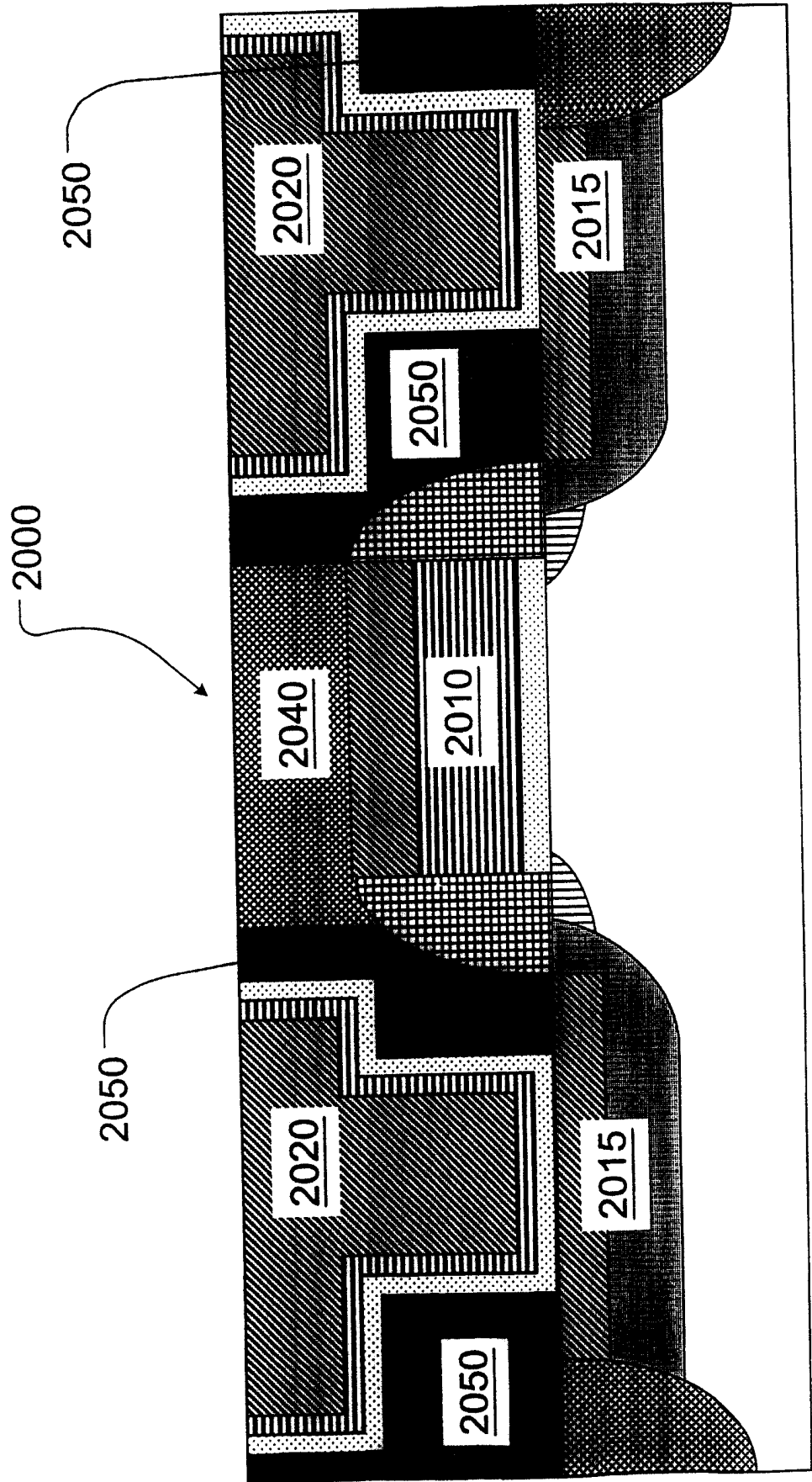


图20