(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[7]
G06F 15/78

(45) 공고일자 2000년12월15일
(11) 등록번호 10-0274901
(24) 등록일자 2000년09월18일

(21) 출원번호	10-1997-0017377	(65) 공개번호	특1998-0041728
(22) 출원일자	1997년05월07일	(43) 공개일자	1998년08월17일
(30) 우선권주장	96-308089 1996년11월19일 일본(JP)		

(73) 특허권자 후지쯔 가부시끼가이샤 아끼구사 나오유끼
일본국 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1
(72) 발명자 니시무라 고이치
일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4죠메 1반 1고, 후지쓰 가부시키가이샤 나이
(74) 대리인 조태연

심사관 : 안철흥

(54) 반도체집적회로

요약

반도체 집적 회로에 사용하는 제어 신호의 주파수가 더욱 빨라지면, DLL 회로에 의해 1클록 사이클전의 외부 클록으로부터 위상 동기한 내부 클록을 생성할 수 없으며, 또한 출력하는 제어 신호도 불안정하게 된다.

본 발명은 입력하는 제1 제어 신호로부터 제2 제어 신호를 생성하고, 이 제2 제어 신호의 지연에 대응한 지연량을 부여하는 지연량 부여 수단을 이용하고, 이 제1 제어 신호에 위상 동기 처리하여 제2 제어 신호를 대상 회로에 공급하는 반도체 집적 회로로서, 상기 위상 동기 처리를 상기 제1 제어 신호의 2 주기 이상 지연시킨 타이밍에 동기하여 행하도록 구성된다.

대표도

도5

명세서

도면의 간단한 설명

도 1은 관련 기술로서의 반도체 집적 회로의 일예를 나타내는 블록도.

도 2는 본 발명에 관한 반도체 집적 회로의 일실시예를 나타내는 블록도.

도 3은 도 2의 반도체 집적 회로에 있어서의 분주 회로의 일예를 나타내는 회로도.

도 4는 도 3의 분주 회로의 각 노드의 신호 파형을 나타내는 도면.

도 5는 도 3의 분주 회로를 사용한 반도체 집적 회로의 동작을 설명하기 위한 타이밍도.

도 6은 도 2의 반도체 집적 회로에 있어서의 분주 회로의 다른 예를 나타내는 회로도.

도 7은 도 6의 분주 회로의 각 노드의 신호 파형을 나타내는 도면.

도 8은 도 6의 분주 회로를 사용한 반도체 집적 회로의 동작을 설명하기 위한 타이밍도.

도 9a, 도 9b 및 도 9c는 본 발명의 반도체 집적 회로에 있어서의 지연 회로의 일구성예를 설명하기 위한 도면.

도 10은 본 발명의 반도체 집적 회로에 있어서의 지연 제어 회로의 일구성예를 설명하기 위한 도면.

도 11은 도 10의 지연 제어 회로의 동작을 설명하기 위한 타이밍도.

도 12는 본 발명의 반도체 집적 회로에 있어서의 위상 비교 회로(위상 비교부)의 일구성예를 설명하기 위한 도면.

도 13의 (a), (b) 및 (c)는 도 12의 위상 비교 회로의 동작을 설명하기 위한 타이밍도.

도 14는 본 발명의 반도체 집적 회로에 있어서의 위상 비교 회로(증폭 회로부)의 일구성예를 설명하기 위한 도면.

도 15는 도 14의 위상 비교 회로에 있어서의 JK 플립플롭의 동작을 설명하기 위한 타이밍도.

도 16은 도 14의 위상 비교 회로에서의 증폭 회로부의 동작을 설명하기 위한 타이밍도(카운트업시).

도 17은 도 14의 위상 비교 회로에서의 증폭 회로부의 동작을 설명하기 위한 타이밍도(카운트유지시).

도 18은 도 14의 위상 비교 회로에 있어서의 증폭 회로부의 동작을 설명하기 위한 타이밍도(카운트다운시).

도 19는 본 발명에 관한 반도체 집적 회로가 적용되는 일예로서의 동기 DRAM의 구성을 나타내는 도면.

도 20은 도 19의 동기 DRAM의 동작을 설명하기 위한 타이밍도.

도 21은 도 19의 동기 DRAM의 구성을 개략적으로 나타내는 블록도.

도 22는 본 발명에 관한 반도체 집적 회로에서의 출력 회로(데이타 출력 버퍼 회로)의 일구성예를 설명하기 위한 도면.

도 23은 본 발명에 관한 반도체 집적 회로에 있어서의 더미의 내부 출력 클록 배선(더미 배선)의 일구성예를 설명하기 위한 도면.

〈도면의 주요 부분에 대한 부호의 설명〉

1 : 클록 입력 패드

3 : DLL 회로

6 : 데이타 출력 패드

7 : 더미 부하 용량

21 : 입력 회로(클록 버퍼)

22 : 더미 입력 회로(클록 버퍼)

31 : 위상 비교 회로(디지탈 위상 비교부)

32 : 지연 제어 회로

33 : 지연 회로(제1 지연 회로)

34 : 더미 지연 회로(제2 지연 회로)

41 : 클록 배선(리얼 배선)

42 : 더미 배선

51 : 출력 회로(출력 버퍼)

52 : 더미 출력 회로(출력 버퍼)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 집적 회로에 관한 것이며, 더욱 상세히 말하자면 위상 동기한 제어 신호를 사용하는 반도체 집적 회로에 관한 것이다.

근래, 반도체 집적 회로는 고속화 및 고집적화가 진행되어, 클록 신호에 대해서도 위상 동기한 클록 신호를 소정의 회로에 공급하는 것이 필요하게 되고 있다. 구체적으로 예컨대, 동기 DRAM(SDRAM)에 있어서는, DLL(Delay Locked Loop) 회로를 사용하여 외부 클록에 위상 동기한 신호를 복수의 출력 버퍼 회로에 대하여 공급하도록 되어 있다. 그리고, 클록 신호의 고속화에 따라서, DLL 회로의 위상 비교 회로에 있어서, 더미 회로에서 지연을 부여한 신호와 위상 비교가 행해지는 클록 신호로서는 1클록 후의 신호로부터 2클록(n 클록) 후의 신호를 사용하는 것이 필요해지고 있다.

근래의 메모리 디바이스는 예컨대, 100MHz를 넘는 동작 속도를 달성하고 있으며, DLL 등의 기술을 이용하여 외부 입력 클록 신호와 내부 출력 클록 신호와의 위상을 맞춤으로써 내부의 클록 배선에 의한 지연의 영향을 제외하고 액세스 시간의 지연이나 언밸런스를 억제하는 방법이 사용되고 있다.

이러한 DLL 기술에서는 내부 출력 클록 신호선의 부하에 의한 전달 지연을 어림하기 위해서 더미 회로를 설치하도록 되어 있다.

도 1은 관련 기술로서의 반도체 집적 회로의 일예를 나타내는 블록도이다. 도 1에 있어서, 참조 부호 1은 클록 입력 버퍼, 21은 입력 회로(클록 버퍼), 22는 더미 입력 회로(클록 버퍼), 그리고, 3은 DLL 회로를 나타내고 있다. 또, 참조 부호 41은 클록 배선(리얼 배선), 42는 더미 배선, 51은 출력 회로(출력 버퍼), 52는 더미 출력 회로(출력 버퍼), 6은 데이타 출력 패드, 그리고 7은 더미 부하 용량을 나타내고 있다.

도 1에 도시된 바와 같이, DLL 회로(3)는 위상 비교 회로(디지탈 위상 비교기)(31), 지연 제어 회로(32), 지연 회로(33) 및 더미 지연 회로(34)를 구비하여 구성되어 있다. 위상 비교 회로(31)에는 외부 클록(외부 입력 클록 신호) CLK가 입력 회로(21)를 통해 공급되는(신호 S1) 동시에, 외부 클록 CLK가 더미 지연 회로(34), 더미 배선(42), 더미 출력 회로(52) 및 더미 입력 회로(22)를 통해 공급되며(신호 S0), 이들의 신호 S1 및 S0의 위상 비교를 행하여 지연 제어 회로(32)를 제어하도록 되어 있다. 여기서, 더미 입력 회

로(22)를 통해 위상 비교 회로(31)에 공급되는 신호 S0은 더미 배선(42) 등에 의해 정확히 1클록분의 시간만큼 외부 클록 CLK를 지연한 신호이고, 이 1클록분만 지연한 신호 S0이 입력 회로(21)를 통해 공급되는 신호 S1와 위상 비교되게 된다.

지연 제어 회로(32)는 위상 비교 회로(31)로부터의 출력에 따라서, 지연 회로(33) 및 더미 지연 회로(34)에 대하여 동일한 지연량을 부여하도록 각각 제어하도록 되어 있다. 따라서, 출력 회로(51)에 있어서의 클록 신호(내부 클록 신호)는 입력 회로(21), 지연 회로(33), 클록 배선(리얼 배선)(41) 및 출력 회로(51)에 의한 지연이 외견상, 존재하지 않는 것과 같은 타이밍으로 공급되게 된다.

그런데 예컨대, SDRAM의 동작 주파수가 더욱 빨라지고, 외부 클록 CLK의 주기가 더욱 짧아지면, 전술한 더미 배선(42) 등에 의한 지연 시간이 이 외부 클록 CLK의 1주기 보다도 길어진다. 구체적으로, 입력 회로(21)의 지연 시간, 지연 회로(33)의 최소의 지연 시간, 리얼 배선(41)의 지연 시간 및 출력 회로(51)의 지연 시간의 합계(더미 입력 회로(22)의 지연 시간, 더미 지연 회로(34)의 최소의 지연 시간, 더미 배선(42)의 지연 시간 및 더미 출력 회로(52)의 지연 시간의 합계에 대응)가, 외부 클록 CLK의 1클록분의 시간(1클록 사이클)보다도 길어지면, 위상 비교 회로(31)에서는 입력 회로(21)를 통해 공급되는 신호 S1과, 더미 입력 회로(22)의 출력 신호 S0와의 위상 비교를 행할 수 없다. 즉, 1클록 사이클전의 외부 클록으로부터 위상 동기한 내부 클록을 생성할 수 없게 된다.

발명이 이루고자 하는 기술적 과제

상술한 바와 같이, 도 1에 나타내는 관련 기술의 반도체 집적 회로는, 이 반도체 집적 회로에 사용하는 제어 신호의 주파수가 더욱 빨라지면, DLL 회로(3)에 의해 1클록 사이클전의 외부 클록으로부터 위상 동기한 내부 클록을 생성할 수 없게 된다.

또한, 위상 비교 회로(31)에 의해 위상 비교를 클록의 각 주기마다(각 클록 사이클마다) 행하면 예컨대, 로우 어드레스 스트로브 신호(RAS 신호)나 컬럼 어드레스 스트로브 신호(CAS 신호)의 출력에 의한 전원 전압의 변동 또는 노이즈등에 의한 전원 전압의 변동 등에 의해, 지연 제어 회로(32)에 의한 지연 회로(33)(더미 지연 회로(34))의 제어가 빈번히 행해지며, 내부 출력 클록 신호가 미묘하게 진동하게 되어 바람직하지 못하다.

본 발명은 사용하는 제어 신호의 주파수가 더욱 고속화한 경우에서의 위상 동기한 제어 신호를 생성할 수 있는 반도체 집적 회로의 제공을 목적으로 한다. 또, 위상 비교를 소정의 타이밍으로 행하여 출력하는 제어 신호를 안정시키는 것도 목적으로 한다.

발명의 구성 및 작용

본 발명의 제1 형태에 의하면, 입력하는 제1 제어 신호로부터 제2 제어 신호를 생성하고, 이 제2 제어 신호의 지연에 대응한 지연량을 부여하는 지연량 부여 수단을 이용하고, 이 제1 제어 신호에 위상 동기 처리하여 제2 제어 신호를 대상 회로에 공급하는 반도체 집적 회로로서, 상기 위상 동기 처리를, 상기 제1 제어 신호의 2주기 이상 지연한 타이밍에 동기하여 행하도록 한 것을 특징으로 하는 반도체 집적 회로가 제공된다.

또한, 본 발명의 제2 형태에 의하면, 입력하는 제1 제어 신호로부터 제2 제어 신호를 생성하고, 이 제2 제어 신호의 지연에 대응한 지연량을 부여하는 지연량 부여 수단을 이용하여, 이 제1 제어 신호에 위상 동기 처리하여 제2 제어 신호를 대상 회로에 공급하는 반도체 집적 회로로서, 상기 위상 동기 처리를 상기 제1 제어 신호의 2주기 이상의 간격마다 행하도록 한 것을 특징으로 하는 반도체 집적 회로가 제공된다.

본 발명의 반도체 집적 회로의 제1 형태에 의하면, 위상 동기 처리를 제1 제어 신호의 2주기 이상 지연한 타이밍에 동기하여 행하도록 되어 있다. 이것에 의해서, 사용하는 제어 신호의 주파수가 더욱 고속화한 경우에도, 위상 동기한 제어 신호를 생성할 수 있다.

또한, 본 발명의 반도체 집적 회로의 제2 형태에 의하면, 위상 동기 처리를 제1 제어 신호의 2주기 이상의 간격마다 행하도록 되어 있다. 이것에 의해서, 위상 비교를 소정의 타이밍으로 행하고, 출력하는 제어 신호를 안정시킬 수 있다.

이하, 도면을 참조하여 본 발명에 관한 반도체 집적 회로의 실시예를 설명한다.

도 2는 본 발명에 따른 반도체 집적 회로의 일실시예를 나타내는 블록도이다. 도 2에 있어서, 참조 부호 1은 클록 입력 패드, 21은 입력 회로(클록 버퍼), 22는 더미 입력 회로(클록 버퍼), 그리고, 3은 DLL 회로를 나타내고 있다. 또, 참조 부호 41은 클록 배선(리얼 배선), 42는 더미 배선, 51은 출력 회로(출력 버퍼:대상 회로), 52는 더미 출력 회로(출력 버퍼), 6은 데이타 출력 패드, 그리고 7은 더미 부하 용량을 나타내고 있다.

도 2에 도시된 바와 같이, DLL 회로(3)는 분주 회로(30), 위상 비교 회로(디지탈 위상 비교기)(31), 지연 제어 회로(32), 지연 회로(33) 및 더미 지연 회로(34)를 구비하여 구성되어 있다. 분주 회로(30)에는 입력 회로(21)를 통해 외부 클록 CLK(신호 S1:제1 제어 신호)가 공급되고, 이 외부 클록 CLK를 분주한 신호를 출력하도록 되어 있다. 즉, 분주 회로(30)는 제1 출력 신호(신호 S2)를 더미 지연 회로(34)에 출력하는 동시에, 제2 출력 신호(신호 S3)를 위상 비교 회로(31)의 제1 입력으로 출력하도록 되어 있다. 위상 비교 회로(31)의 제2 입력에는 분주 회로(30)의 제1 출력 신호(신호 S2)가 더미 지연 회로(34), 더미 배선(42), 더미 출력 회로(52) 및 더미 입력 회로(22)를 통해 공급(신호 S0)되며, 이 위상 비교 회로(31)는 이들의 신호 S3 및 신호 S0의 위상 비교를 행하여 지연 제어 회로(32)를 제어하도록 되어 있다. 또, 지연 회로(33)의 출력 신호(제2 제어 신호)는 DLL 회로(3)의 출력 신호로서 클록 배선(리얼 배선)(41)을 통해 출력 회로(대상 회로)(51)에 공급되게 된다.

지연 제어 회로(32)는 위상 비교 회로(31)로부터의 출력(위상 비교 결과)에 따라서, 지연 회로(33) 및 더

미 지연 회로(34)에 대하여 동일한 지연량을 부여하도록, 각 지연 회로(33, 34)를 제어하도록 되어 있다. 따라서, 출력 회로(51)에 있어서의 클록 신호(내부 클록 신호)는 입력 회로(21), 지연 회로(33), 리얼 배선(41) 및 출력 회로(51)에 의한 지연이 외관상, 존재하지 않는 것과 같은 타이밍으로 공급되게 된다.

그런데, 클록의 주기가 입력 회로(21)와 출력 회로(51)와 그들간의 배선[클록 배선(41)]등의 지연보다도 짧아지면, 1개전의 외부 클록으로부터 DLL 회로(3)를 이용하여 내부 클록을 생성할 수 없게 된다. 그래서, 본 실시예에서는 클록의 주기가 배선 지연량보다도 짧아질 경우에는, 1주기전의 외부 클록이 아니고, 2주기전의 외부 클록으로부터 내부 클록을 생성하도록 되어 있다. 즉, 외부 클록 CLK의 2주기만큼 지연한 타이밍으로 위상 비교 회로(31)의 위상 비교 처리를 행하도록 되어 있다.

본 실시예에서는, 이하에 설명하는 분주 회로(30)에 의해, 위상 비교 회로(31)에서 위상을 비교할 때에, 「DLL 회로(3)로부터 출력된 클록」의 상승 엣지와 「DLL 회로(3)에 입력된 외부 클록의 2주기만큼 지연한 외부 클록」의 상승 엣지에서 동기를 취하도록(로크하도록) 되어 있다. 즉, 본 실시예에서는 도 2에 도시된 바와 같이, 입력 회로(21)의 출력이 공급되는 분주 회로(30)를 설치하여, 이 분주 회로(30)의 제1 출력 신호 S2를 더미 지연 회로(34)에 공급하고 또한, 제2 출력 신호 S3을 위상 비교 회로(31)의 제1 입력에 공급하도록 되어 있다.

도 3은 도 2의 반도체 집적 회로에 있어서의 분주 회로의 일예를 나타내는 회로도이고, 도 4는 도 3의 분주 회로의 각 노드의 신호 파형을 나타내는 도면이다. 여기서, 도 3에 나타내는 분주 회로(30)는 도 4의 파형도로부터 명백하듯이, 입력 신호 S1(외부 클록 CLK)을 8분주하고, 외부 클록 CLK의 2클록 사이클분의 기간이 고레벨 "H"(또는, 저레벨 "L")이고, 6사이클분의 기간이 저레벨 "L"(또는, 고레벨 "H")이 되는 신호 S2(신호 S3)를 생성하는 것이다.

도 3에 도시된 바와 같이, 분주 회로(30)는 복수의 NAND 게이트 및 인버터로 이루어진 3단의 카운터(301~303)로 구성되며, 이 분주 회로(30)에 대하여 신호 S1(입력 회로(21)를 통한 외부 클록 CLK)을 공급하여, 도 4에 나타내는 제1 및 제2 출력 신호 S2 및 S3을 생성하도록 되어 있다. 또, 도 4에 있어서, 참조 부호 A는 1개째의 카운터(301)의 출력 신호, B는 2개째의 카운터(302)의 출력 신호이고, 각 신호 파형은 도 4에 나타낸 바와 같다. 또한, 분주 회로(30)는 복수의 NAND 게이트 및 인버터로 이루어진 3단의 카운터로 구성하는 것에 한정되지 않으며, 다양한 논리 게이트의 조합으로서 구성할 수 있다.

도 5는 도 3의 분주 회로를 사용한 반도체 집적 회로의 동작을 설명하기 위한 타이밍도이다.

도 5에 도시된 바와 같이, 분주 회로(30)는 입력 회로(21)의 출력인 신호 S1(외부 클록 CLK)을 받아서, 2주기의 간격(도 5 중의 기간 a)만큼 고레벨 "H"이고, 6주기의 간격(도 5 중의 기간 b)만큼 저레벨 "L"이 되는 8분주(a+b)한 신호 S2(제1 출력 신호)와, 그 역상의 신호 S3(제2 출력 신호)을 출력한다. 여기서, 제1 출력 신호 S2는 더미 지연 회로(34)에 공급되고, 제2 출력 신호 S3은 위상 비교 회로(31)의 한쪽 입력에 공급된다. 또, 신호 S0은 분주 회로(30)의 제1 출력 신호 S2가 더미 지연 회로(34), 더미 배선(4), 더미 출력 회로(52) 및 더미 입력 회로(22)에 의해 지연되며, 위상 비교 회로(31)의 다른쪽 입력에 공급된 신호이다.

위상 비교 회로(디지탈 위상 비교기)(31)는 분주 회로(30)의 제2 출력 신호 S3의 상승 타이밍의 위상과 신호 S0의 상승 타이밍의 위상을 비교하고, 이 비교 결과에 따라서 지연 제어 회로(시프트 레지스터)(32)가 지연 회로(33) 및 더미 지연 회로(34)에 대하여 동일한 지연량을 부여하도록 제어한다. 즉, DLL 회로(3)는 입력 회로(21)로부터의 신호 S1(외부 클록 CLK)에 대하여, 지연 회로(33)에 의한 지연량이 부여된 클록 신호(내부 클록 신호)를 출력하도록 되어 있다. 이것에 의해, DLL 회로(3)에서 2클록 사이클전의 외부 클록으로부터 위상 동기한 내부 클록을 생성할 수 있으며, DLL 회로(3)를 고속 동작 가능한 SDRAM에 대응시킬 수 있다.

또, 분주 회로(30)의 제1 출력 신호 S2에 있어서의 기간 a를 변화시킴으로써 몇 클록전의 외부 클록으로부터 DLL 회로(3)가 내부 클록을 생성하는 것을 조절할 수 있다. 구체적으로는, 신호 S2의 기간 a를 3클록분의 길이로 함으로써 DLL 회로(3)는 3클록 사이클전의 외부 클록으로부터 위상 동기한 내부 클록을 생성할 수 있다. 또한, 분주 회로(30)의 제1 출력 신호 S2에 있어서의 기간 b를 변경시킴으로써(a+b), 몇 주기마다 위상 비교를 행할지를 조절할 수 있다.

따라서, 본 실시예에 있어서 분주 회로(30)는 Y를 2이상의 정수이고 Z를 정의 정수로 하고, 신호 S1(외부 클록 CLK)을 Y주기만큼 고레벨 "H"이고, 이 6신호 S1의 Z주기만큼 저레벨 "L"이 되는 제1 출력 신호 S2를 생성하며, 외부 클록 CLK의 Y주기만큼 지연한 타이밍으로 위상 비교 회로(31)의 위상 비교 처리를 행하도록 되어 있다. 또한, 본 실시예에 있어서 분주 회로(30)는 X를 2이상의 정수로 하고, 신호 S1(외부 클록 CLK)을 X분주한 제1 및 제2 출력 신호 S2, S3를 생성하여, 외부 클록 CLK의 X주기마다 위상 비교 회로(31)의 위상 비교 처리를 행하도록 되어 있다.

도 6은 도 2의 반도체 집적 회로에 있어서의 분주 회로의 다른 예를 나타내는 회로도이고, 도 7은 도 6의 분주 회로의 각 노드의 신호 파형을 나타내는 도면이다. 여기서, 도 6에 나타내는 분주 회로(30)는 도 7의 파형도로부터 명백하듯이, 입력 신호 S1을 8분주하고, 외부 클록 CLK의 1클록 사이클분의 기간이 고레벨 "H"이고, 7사이클분의 기간이 저레벨 "L"이 되는 신호 S2를 생성한다.

도 6 및 도 3을 비교하면 알 수 있는 바와 같이, 도 6에 도시된 분주 회로(30)는 도 3에 도시된 분주 회로와 동일하게 복수의 NAND 게이트 및 인버터로 이루어진 3단의 카운터(301~303)로 구성되며, 2개째의 카운터(302)의 출력 B′ 를 취출하는 노드가 도 3의 것과 상이할 뿐이다.

도 8은 도 6의 분주 회로를 사용한 반도체 집적 회로의 동작을 설명하기 위한 타이밍도이다.

도 8에 나타내는 타이밍도는 단지, 위상 비교를 행하는 주기를 각 주기마다 행하지 않고 예컨대, 8주기에 1회의 비율로 행할 경우에 대응하는 것이다. 여기서, 도 8은 입력 회로(21)의 지연 시간, 지연 회로(33)의 최소의 지연 시간, 리얼 배선(41)의 지연 시간 및 출력 회로(51)의 지연 시간의 합계가, 외부 클록 CLK의 1클록분의 시간(1클록 사이클)보다도 짧은 경우 즉, DLL 회로(3)에서 1클록 사이클전의 외부 클록

으로부터 위상 동기한 내부 클록을 생성하는 것이 가능한 경우를 나타낸다.

이와 같이, 본 실시예에 있어서, 분주 회로(30)는 X를 2이상의 정수로 하고, 신호 SI(외부 클록 CLK)을 X 분주한 제1 및 제2 출력 신호(S2, S3)를 생성하고, 외부 클록 CLK의 X주기마다 위상 비교 회로(31)의 위상 비교 처리를 행하도록 되어 있다.

이와 같이, 위상 비교 회로(31)에 의한 위상 비교를 n주기에 1회(예컨대, 8주기에 1회)의 비율로 행함으로써 지연 제어 회로(32)에 의한 지연 회로(33)(더미 지연 회로(34))의 제어를 n주기에 1회의 빈도로 행하며 예컨대, 로우 어드레스 스트로브 신호(RAS 신호)나 컬럼 어드레스 스트로브 신호(CAS 신호)의 출력에 의한 전원 전압의 변동 또는 노이즈 등에 의한 전원 전압의 변동 등에 기인하는 내부 출력 클록 신호의 진동을 방지할 수 있다. 즉, 위상 비교를 소정의 타이밍으로 행함으로써 출력하는 클록 신호(제어 신호)를 안정시킬 수 있다.

도 9a, 도 9b 및 도 9c는 본 발명의 반도체 집적 회로에 있어서의 지연 회로(33, 34)의 일구성예를 설명하기 위한 도면인데, 도 9a는 1비트분의 지연 회로의 구성을 나타내고, 도 9b는 이 1비트분의 지연 회로의 동작의 타이밍도를 나타내며, 도 9c는 1비트분의 지연 회로를 복수단 접속했을 때의 구성과 동작 설명을 나타낸다.

도 9a에 도시된 바와 같이, 1피트분의 지연 회로는 2개의 NAND 게이트(401, 402) 및 인버터(403)를 구비하여 구성된다. 이 1비트분의 지연 회로의 동작을 도 9b를 참조하여 설명하면, 입력 ϕE는 활성화 신호(인에이블 신호)로, 고레벨 "H"일 때에 지연 회로가 동작한다. 도 9b에서는 인에이블 신호 ϕE가 고레벨 "H"로 되어 신호의 액세스가 가능하게 된 상태가 나타내고 있다. 또, 도 9b에 있어서, IN은 1비트분의 지연 회로로의 입력 신호를 나타내고, 또한, ϕN은 복수단 접속된 지연 회로 중 인접하는 우측의 지연 회로로부터의 신호, OUT는 1비트분의 지연 회로의 출력 신호, 그리고 ,4a-1 및 4a-2는 도 9a의 회로에 있어서 대응하는 노드의 파형을 나타내고 있다. 따라서, OUT는 좌측에 인접하는 1비트분의 지연 회로에서의 신호 ϕN에 대응한다.

신호 ϕN이 저레벨 "L"일 때에는, 출력 신호 OUT는 항상 저레벨 "L"이 되고, 또한, 신호 ϕN이 고레벨 "H"이고 신호 ϕE가 저레벨 "L"일 때에는, 출력 신호 OUT는 고레벨 "H"이 된다. 신호 ϕN이 고레벨 "H"이고 신호 ϕE가 고레벨 "H"일 때에, 입력 신호 IN이 저레벨 "L"이면 출력 신호 OUT는 고레벨 "H"가 되고, IN이 고레벨 "H"이면 저레벨 "L"이 된다.

도 9a의 회로에 의하면, 인에이블 신호 ϕE가 고레벨 "H"의 상태에서 입력 신호 IN이 상승하면, 이 입력 신호는 화살표의 경로로 전달되지만, 인에이블 신호 ϕE가 저레벨 "L"의 상태에서는 입력 신호 IN이 출력 OUT에 화살표의 경로로 전달되지 않도록 되어 있다.

도 9c는 도 9a에 도시된 1비트분의 지연 회로를 복수단 케스케이드 접속한 예이고, 실제의 지연 회로에 상당한다. 여기서, 도 9c에서는 3단만이 도시되었지만, 실제로는 복수단 접속되어 있다. 또한, 인에이블 신호 ϕE의 신호선은 회로 요소마다, ϕE-1, ϕE-2, ϕE-3과 같이 복수개 있으며, 이들의 신호는 지연 제어 회로(32)에 의해서 제어된다.

도 9c에서는, 중앙의 1비트분의 지연 회로가 활성화되어 있고, 인에이블 신호 ϕE-2가 고레벨 "H"로 되어 있다. 이 경우, 입력 신호 IN이 저레벨 "L"에서 고레벨 "H"로 변화하면, 좌단의 1비트분의 지연 회로와 우단의 1비트분의 지연 회로의 인에이블 신호 ϕE-1 및 ϕE-3은 저레벨 "L"이기 때문에, 굵은선과 같이 입력 신호 IN은 NAND 게이트 401-1 및 401-3에서 정지해 버린다.

한편, 활성화되어 있는 중앙의 1비트분의 지연 회로의 인에이블 신호 ϕE-2는 고레벨 "H"레벨이기 때문에, 입력 신호 IN은 NAND 게이트 401-2를 통과한다. 우측의 1비트분의 지연 회로의 출력 신호 OUT는 고레벨 "H"이기 때문에, 입력 신호 IN은 NAND 게이트 402-2도 통과하고, 출력 신호 OUT로서 저레벨 "L"의 신호가 전달되게 된다. 상기한 바와 같이, 우측의 출력 신호 OUT 즉, 인에이블 신호 ϕN이 저레벨 "L"일 때에는, 출력 신호 OUT는 항상 저레벨 "L"이 되기 때문에, 이 저레벨 "L"의 신호가 좌측의 1비트분의 지연 회로의 NAND 게이트 및 인버터에 순차적으로 전달되며, 최종적인 출력 신호로서 취출된다.

이와 같이, 활성화된 1비트분의 지연 회로를 통해 입력 신호 IN은 되돌려 지도록 신호 전달되어 최종적인 출력 신호가 된다. 즉, 어떤 부분의 인에이블 신호 ϕE를 고레벨 "H"로 하느냐에 의해 지연량을 제어할 수 있다. 1비트분의 지연량은 NAND 게이트와 인버터의 합계의 신호 전달 시간으로 결정되며, 이 시간이 DLL 회로의 지연 단위 시간이 되며, 전체의 지연 시간은 1비트분의 지연량에 통과하는 단수를 곱한 양이 된다.

도 10은 본 발명의 반도체 집적 회로에 있어서의 지연 제어 회로의 일구성예를 설명하기 위한 도면이다.

도 10에 도시된 바와 같이, 지연 제어 회로는 점선으로 둘러싼 1비트분의 지연 제어 회로 430-2를 지연 회로의 단수만큼 접속한 구성으로 되어 있으며, 각 단의 출력이 지연 회로의 각 단의 인에이블 신호 ϕE가 된다.

구체적으로, 1비트분의 지연 제어 회로 430-2는, NAND 게이트 432-2와, 인버터 433-2로 구성되는 플립플롭의 양단에 각각 직렬로 접속된 트랜지스터 435-2, 437-2, 438-2, 439-2 및 NOR 게이트 431-2를 갖고 있다. 트랜지스터 438-2의 게이트는, 전단의 1비트분의 지연 제어 회로의 노드 5a-2에, 트랜지스터 439-2의 게이트는, 후단의 1비트분의 지연 제어 회로의 노드 5a-5에 접속되고, 전단과 후단의 신호를 수신하도록 되어 있다. 한편, 직렬 접속되어 있는 다른쪽의 트랜지스터에는 카운트업할 때의 세트 신호 ϕSE 및 ϕSO와, 카운트다운할 때의 리셋 신호 ϕRE 및 ϕRO가 1비트마다 설치된 회로에 접속되어 있다.

도 10에 도시된 바와 같이, 중앙의 1비트분의 지연 제어 회로 430-2에서는, 트랜지스터 435-2의 게이트에 세트 신호 ϕSO가 공급되고, 트랜지스터 437-2에 리셋 신호 ϕRO가 공급되며 또한, 지연 제어 회로 430-2의 전단 및 후단의 양측의 회로의 각 대응하는 트랜지스터의 게이트에는 각각 세트 신호 ϕSE 및 리셋 신호 ϕRE가 공급되어 있다. 또한, NOR 게이트 431-2에는, 좌측의(전단의) 회로의 노드 5a-1과 회

로 430-2의 노드 5a-4의 신호가 입력되는 구성으로 되어 있다. 또, φR은 지연 제어 회로를 리셋하는 신호이고, 전원 투입 후에 일시적으로 저레벨 "L" 레벨이 되고, 이 후는 고레벨 "H"로 고정된다.

도 11은 도 10의 지연 제어 회로의 동작을 설명하기 위한 타이밍도이다. 도 11에 도시된 바와 같이, 우선, 리셋 신호 φR이 일시적으로 저레벨 "L"이 되고, 노드 5a-1, 5a-3, 5a-5는 고레벨 "H"로 리셋되며 또한, 5a-2, 5a-4, 5a-6은 저레벨 "L"로 리셋된다. 그리고, 카운트업할 때에는 카운트업 신호(세트 신호) φSE 및 φSO가 교대로 고레벨 "H"와 저레벨 "L"을 반복한다.

세트 신호 φSE가 저레벨 "L"에서 고레벨 "H"가 되면, 노드 5a-1은 접지되어 저레벨 "L"이 되고, 또한, 노드 5a-2는 고레벨 "H"로 변화한다. 노드 5a-2가 고레벨 "H"로 변화한 것을 받아서, 출력 신호(인에이블 신호) φE-1은 고레벨 "H"에서 저레벨 "L"로 변화한다. 이 상태는 플립플롭에 래치되기 때문에, 세트 신호φSE가 저레벨 "L"로 되돌렸다고 해도, 인에이블 신호 φE-1은 저레벨 "L" 그대로이다. 그리고, 노드 5a-1이 저레벨 "L"로 변화한 것을 받아서, 인에이블 신호(출력 신호)φE-2가 저레벨 "L"에서 고레벨 "H"로 변화한다. 노드 5a-2가 고레벨 "H"로 변화하였기 때문에 트랜지스터 438-2는 온상태가 되고, 세트 신호φSO가 저레벨 "L"에서 고레벨 "H"이 되면, 노드 5a-3은 접지되어 저레벨 "L"로 변화하고 또한, 노드 5a-4는 고레벨 "H"로 변화한다. 또, 노드 5a-4가 고레벨 "H"로 변화한 것을 받아서, 인에이블 신호φE-2는 고레벨 "H"에서 저레벨 "L"로 변화한다. 이 상태는 플립플롭에 래치되기 때문에, 세트 신호 φSO가 저레벨 "L"로 되돌아갔다고 해도, 인에이블 신호 φE-2는 저레벨 " L" 그대로이다.

그리고, 노드 5a-3이 저레벨 "L"로 변화한 것을 받아서, 인에이블 신호φE-3이 저레벨 "L"에서 고레벨 "H"로 변화한다. 도 11에서는, 세트 신호 φSE 및 φSO가 1펄스씩 나타나 있을 뿐이지만, 지연 제어 회로가 여러단에 접속되어 있고, 세트 신호 φSE 및 φSO가 교대로 고레벨 "H"와 저레벨 "L"을 반복하면, 출력 신호(인에이블 신호)φE가 고레벨 "H"가 되는 단의 위치가 순차적으로 우측으로 시프트한다. 따라서, 위상 비교 회로(31)의 비교 결과에 의해 지연량을 증가시킬 필요가 있는 경우에는, 교대로 세트 신호 φSE 및 φSO의 펄스를 입력하면 좋다.

카운트업 신호(세트 신호)φSE 및 φSO와, 카운트다운 신호(리셋 신호)φRE 및 φRO가 출력되지 않는 상태, 즉 저레벨 "L"인 상태가 유지되면, 인에이블 신호φE는 고레벨 "H"가 되는 단의 위치는 고정된다. 따라서, 위상 비교 회로(31)의 비교 결과에 의해 지연량을 유지할 필요가 있는 경우에는, 신호 φSE, φSO, φRE 및 φRO의 펄스를 입력하지 않도록 한다.

카운트다운할 때에는, 리셋 신호 φRE 및 φRO의 펄스를 교대로 입력하면, 카운트업시와 반대로 출력 φE가 고레벨 "H"가 되는 단의 위치가 순차적으로 좌측으로 시프트한다.

이상 설명한 바와 같이, 도 10에 나타낸 지연 제어 회로에서는, 펄스를 입력함으로써 인에이블 신호 φE가 고레벨 "H"가 되는 단의 위치를1개씩 이동시킬 수 있고, 이들의 인에이블 신호 φE에서 도 9c에 도시된 지연 회로를 제어하면 지연량을 1단위씩 제어할 수 있다.

도 12는 본 발명의 반도체 집적 회로에 있어서의 위상 비교 회로(위상 비교부)의 일구성예를 설명하기 위한 도면이고, 도 13의 (a), (b) 및 (c)는 도 12의 위상 비교 회로의 동작을 설명하기 위한 타이밍도이다.

위상 비교 회로(31)는 도 12에 도시한 위상 비교부와 후술하는 도 14에 도시한 증폭 회로부의 2개의 회로부분으로 구성되어 있다.

도 12에 있어서, 참조 부호 φout 및 φext는 이 위상 비교 회로에서 비교하는 출력 신호와 외부 클록 신호를 나타내며, 신호 φext를 기준으로 하여 신호φout의 위상이 판정되며 또한, φa～φe는 증폭 회로에 접속되는 출력 신호를 도시하고 있다.

도 12에 나타낸 바와 같이, 위상 비교 회로(31)의 위상 비교부는 2개의 NAND 게이트로 구성된 플립플롭 회로(421, 422), 플립플롭 회로의 상태를 래치하는 래치 회로(425, 426), 래치 회로의 활성화 신호를 생성하는 회로(424) 및 외부 클록 신호φext의 위상 허용치를 얻는 1지연분의 지연 회로(423)를 구비하여 구성되어 있다.

도 13의 (a)는 비교 대상 신호 φout가 비교 기준 신호 φext보다도 위상이 진행되어 있는 경우, 즉, 신호 φout가 신호 φext보다 앞서 저레벨 "L"에서 고레벨 "H"가 되는 경우를 나타내고 있다. 신호 φout와 신호 φext가 모두 저레벨 "L"일 때에는 플립플롭 회로(421, 422)의 노드 6a-2, 6a-3, 6a-4, 6a-5는 모두 고레벨 "H"로 되어 있다.

신호 φout가 저레벨 "L"에서 고레벨 "H"로 변화하면, 노드 6a-2 및 6a-4는 모두 고레벨 "H"에서 저레벨 "L"로 변화한다. 이 후 신호 φext가 저레벨 "L"에서 고레벨 "H"가 되고, 또한, 1지연분 지연되어 노드 6a-1가 저레벨 "L"에서 고레벨 "H"가 되지만, 플립플롭의 양단의 전위는 이미 확정되어 있기 때문에, 어떠한 변화도 생기지 않는다. 결국, 노드 6a-2는 저레벨 "L", 노드 6a-3은 고레벨 "H", 노드 6a-4는 저레벨 "L", 그리고, 노드 6a-5는 고레벨 "H"를 유지한다.

한편, 신호 φext가 저레벨 "L"에서 고레벨 "H"로 변화하는 것에 따라서, 회로(424)의 출력 신호 φa는 저레벨 "L"에서 고레벨 "H"로 변화하고, 노드 6a-6에는 일시적으로 고레벨 "H"레벨이 되는 펄스가 인가된다. 이 노드 6a-6은 래치 회로(425 및 426)의 NAND 게이트의 입력으로 되어 있기 때문에, 이 NAND 게이트가 일시적으로 활성화되어, 플립플롭 회로(421, 422)의 양단의 전위 상태를 래치 회로(425, 426)에 입력하게 된다. 최종적으로는, 출력 신호 φb가 고레벨 "H", 출력 신호 φc가 저레벨 "L", 출력 신호 φd가 고레벨 "H", 그리고, 출력 신호 φe가 저레벨 "L"이 된다.

다음에, 도 13의 (b)는 비교 대상 신호 φout와 비교 기준 신호 φext의 위상이 거의 동일하고, 신호 φout가 신호 φext와 거의 동시에 저레벨 "L"에서 고레벨 "H"가 되는 경우를 나타내고 있다. 신호 φout의 상승 시점과 노드 6a-1의 상승 시점과의 시간차 이내에서, 신호 φout가 저레벨 "L"에서 고레벨 "H"로 변화했을 때, 우선, 신호 φext가 저레벨 "L"에서 고레벨 "H"가 됨으로써 플립플롭(421)의 노드6a-3이 저레벨 "L"에서 고레벨 "H"로 변화한다. 플립플롭(422)에서는, 노드 6a-1이 저레벨 "L" 그대로 이기 때문에, 반대로 노드 6a-4가 고레벨 "H"에서 저레벨 "L"로 변화한다. 그 후, 노드 6a-1이 고레벨 "H"에서

저레벨 "L"로 변화하지만, 플립플롭(422)의 상태는 이미 결정되어 있기 때문에, 아무런 변화도 생기지 않는다. 그 후, 노드 6a-6이 일시적으로 고레벨 "H"가 되기 때문에, 래치 회로에는 이 상태가 기억되고, 결국 출력 신호 ϕb가 저레벨 "L", 출력 신호ϕc가 고레벨 "H", 출력 신호 ϕd가 고레벨 "H", 그리고, 출력 신호 ϕe가 저레벨 "L"이 된다.

또, 도 13의 (c)는 비교 대상 신호 ϕout가 비교 기준 신호 ϕext보다도 위상이 지연되고 있으며, ϕout가 ϕext보다 후에 저레벨 "L"에서 고레벨 "H"이 될 경우를 나타내고 있다. 이 경우는, ϕext에 의해서 2개의 플립플롭 회로(421, 422)에 변화가 생겨서, 6a-3과 6a-5가 고레벨 "H"에서 저레벨 "L"로 변화한다. 그리고, 최종적으로는 ϕb가 저레벨 "L", ϕc가 고레벨 "H", ϕd가 저레벨 "L", ϕe가 고레벨 "H"가 된다.

이와 같이, 신호(비교 기준 신호) ϕext의 상승 시간을 기준으로 하여 , 신호(비교 대상 신호) ϕout의 상승 시간이 그 이전에 고레벨 "H"이 되었는지, 거의 동시인지, 또는, 지연되어 고레벨 "H"가 되었는지를 검출하는 것이 가능하게 된다. 이들의 검출 결과를 출력 신호 ϕb, ϕc, ϕd 및 ϕe의 값으로서 래치하여 두고, 그 값에 기초하여 지연 제어 회로를 카운트업할지, 카운트다운하지를 결정하게 된다.

도 14는 본 발명의 반도체 집적 회로에 있어서의 위상 비교 회로(증폭 회로부)의 일구성예를 설명하기 위한 도면이고, 도 15는 도 14의 위상 비교 회로에 있어서의 JK 플립플롭의 동작을 설명하기 위한 타이밍도이다.

도 14에 도시된 바와 같이, 위상 비교 회로(31)의 증폭 회로부는 JK 플립플롭(427)과 NAND 게이트 및 인버터로 구성되는 증폭부(428)의 2개의 부분을 구비하여 구성되어 있다. JK 플립플롭(427)에는 도 12의 위상 비교부에서의 출력 신호 ϕa가 입력되고, 신호ϕa가 저레벨 "L"인지 고레벨 "H"인지에 따라서 노드 7a-9 및 7a-11의 전위가 교대로 저레벨 "L"과 고레벨 "H"을 반복하는 구성으로 되어 있다. 증폭부(428)는 JK 플립플롭(427)의 출력 신호와 신호 ϕb 및 ϕd의 신호를 받아서 증폭하여 출력한다.

우선, JK 플립플롭(427)의 동작을 도 15의 타이밍도를 참조하여 설명한다. 시간 T1에서 신호 ϕa가 고레벨 "H"에서 저레벨 "L"로 변화하면, 노드 7a-1 및 7a-10이 저레벨 "L"에서 고레벨 "H"로 변화한다. 한편, 노드 7a-1의 변화에 따라서, 노드 7a-5, 7a-6 및 7a-7은 변화하지만, 신호 ϕa가 저레벨 "L"이기 때문에, 노드 7a-8은 변화하지 않는다. 결국, 출력(노드) 7a-9는 변화하지 않고, 출력 7a-11만이 저레벨 "L"에서 고레벨 "H"가 된다. 이어서, 시간 T2에서 ϕa가 저레벨 "L"에서 고레벨 "H"로 변화하면, 시간 T1에서의 상태와 반대로 노드 7a-8은 고레벨 "H"에서 저레벨 "L"로, 7a-10은 7a-7이 변화하지 않기 때문에 변화하지 않고, 출력 7a-9는 저레벨 "L"에서 고레벨 "H"로 변화하며, 출력 7a-11은 변화하지 않는다. 이와 같이, JK 플립플롭 회로(427)는 신호 ϕa의 상태에 따라서 출력 7a-9 및 7a-11이 교대로 고레벨 "H"과 저레벨 "L"을 반복하는 동작을 한다.

도 16은 도 14의 위상 비교 회로에 있어서의 증폭 회로부의 동작을 설명하기 위한 타이밍도(카운트업시)이고, 도 17은 도 14의 위상 비교 회로에서의 증폭 회로부의 동작을 설명하기 위한 타이밍도(카운트 유지시)이며, 도 18은 도 14의 위상 비교 회로에 있어서의 증폭 회로부의 동작을 설명하기 위한 타이밍도(카운트다운시)이다. 다음에, 증폭부(428)의 동작을, 도 16~도 18을 참조하여 설명한다.

도 16은 비교 기준 신호 ϕext의 상승에 대하여, 비교 대상 신호 ϕout가 먼저 저레벨 "L"에서 고레벨 "H"가 되는 경우를 나타내고 있다. 이 경우의 위상 비교부로부터의 입력 신호는 신호 ϕb가 고레벨 "H", 신호 ϕc가 저레벨 "L", 신호ϕd가 고레벨 "H", 그리고, 신호 ϕe가 저레벨 "L"이다. 결국, 노드 7a-12가 고레벨 "H"이 되고, 노드 7a-13이 저레벨 "L"에 고정되며, 세트 신호 ϕSO 및 ϕSE는 JK 플립플롭의 상태에 따라서 변화하지만, 리셋 신호 ϕRO 및 ϕRE는 7a-13이 저레벨 "L" 이므로 변화하지 않는다.

도 17은 비교 대상 신호 ϕout가 비교 기준 신호 ϕext와 거의 동시에 저레벨 "L"에서 고레벨 "H"가 되는 경우를 나타내고 있다. 이 경우의 위상 비교부로부터의 입력 신호는, 신호 ϕb가 저레벨 "L", 신호 ϕc가 고레벨 "H", 신호 ϕd가 고레벨 "H", 그리고 신호 ϕe가 저레벨 "L"이다. 결국, 노드 7a-12 및 7a-13은 저레벨 "L"에 고정되며, 리셋 신호 ϕSO 및 ϕSE는 JK 플립플롭의 출력이 증폭부에 영향을 주는 일은 없고, 신호 ϕSO, ϕSE, ϕRO 및 ϕRE는 저레벨 "L"에 고정된 그대로가 된다.

도 18은 비교 대상 신호 ϕout가 비교 기준 신호ϕext의 상승에 대하여 지연되어 저레벨 "L"에서 고레벨 "H"가 되는 경우를 나타내고 있다. 이 경우의 위상 비교부로부터의 입력 신호는 신호 ϕb가 저레벨 "L", 신호 ϕc가 고레벨 "H", 신호ϕd가 저레벨 "L", 그리고 신호 ϕe가 고레벨 "H"이다. 결국, 노드 7a-12가 저레벨 "L"에 고정되고 노드 7a-13가 고레벨 "H"에 고정되며, 리셋 신호 ϕRO 및 ϕRE는 JK 플립플롭의 상태에 따라서 변화하지만, 세트 신호 ϕSO 및 ϕSE는 노드7a-13이 저레벨 "L"이므로 변화하지 않는다.

도 19는 본 발명에 관한 반도체 집적 회로가 적용되는 일예로서 동기 DRAM의 구성을 나타내는 도면이고, 도 20은 도 19의 동기 DRAM의 동작을 설명하기 위한 타이밍도이다.

본 발명이 적용되는 반도체 집적 회로의 일예로서의 동기 DRAM(SDRAM)은 예컨대, 파이프라인 방식이 채용되고, 16M·2뱅크·8비트폭의 것으로서 구성되어 있다.

도 19에 도시된 바와 같이, SDRAM은 범용 DRAM의 DRAM 코어(108a, 108b) 이외에, 클록 버퍼(101), 코멘드 디코더(102), 어드레스 버퍼/레지스터 및 뱅크 어드레스 셀렉터(어드레스 버퍼)(103), I/O 데이타 버퍼/레지스터(104), 제어 신호 래치(105a, 105b), 모드 레지스터(106), 컬럼 어드레스 카운터(107a, 107b)를 구비하고 있다. 여기서, /CS, /RAS, /CAS, /WE 단자는 종래의 동작과는 달리, 그 조합으로 각종 코멘드를 입력함으로써 동작 모드가 결정되도록 되어 있다. 각종 코멘드는 코멘드 디코더에서 해독되어, 동작 모드에 따라서 각 회로를 제어하게 된다. 또한, /CS, /RAS, /CAS, /WE 신호는 제어 신호 래치(105a, 105b)에도 입력되어 다음 코멘드가 입력될 때까지 그 상태가 래치된다.

어드레스 신호는 어드레스 버퍼(103)에서 증폭되어 각 뱅크의 로드 어드레스로서 사용되는 것 외에, 컬럼 어드레스 카운터(107a, 107b)의 초기치로서 사용된다.

클록 버퍼(101)는 내부 클록 생성 회로(121) 및 출력 타이밍 제어 회로(122)를 구비하고 있다. 내부 클록

생성 회로(121)는 외부 클록 CLK로부터 통상의 내부 클록 신호를 생성하며 또한, 출력 타이밍 제어 회로(122)는 전술한 바와 같은 DLL 회로를 적용하여 정확한 지연 제어(위상 제어)를 행하는 클록 신호를 발생하기 위한 것이다.

I/O 데이타 버퍼/레지스터(104)는 데이타 입력 버퍼(13) 및 데이타 출력 버퍼(출력 회로)(51)를 구비하고, DRAM 코어(108a, 108b)로부터 독출된 신호는 데이타 출력 버퍼(51)에 의해 소정의 레벨로 증폭되고, 출력 타이밍 제어 회로(122)로부터의 클록 신호에 따른 타이밍으로 데이타가 패드 DQ0~DQ7을 통해 출력된다. 또한, 입력 데이타에 관해서도, 패드 DQ0~DQ7로부터 입력된 데이타는, 데이타 입력 버퍼(13)를 통해 입력된다. 여기서, 본 발명의 반도체 집적 회로가 대상으로 하고 있는 리얼 배선(RL)은 이 출력 타이밍 제어 회로(122)로부터 각 데이타 출력 버퍼(51)까지의 배선에 대응하고 있다.

상기의 SDRAM의 판독 동작을 도 20을 참조하여 설명한다.

우선, 외부 클록 CLK는 이 SDRAM이 사용되는 시스템으로부터 공급되는 신호이고, 이 CLK의 상승에 동기하여 각종 코멘드, 어드레스 신호, 입력 데이타를 입력하고, 또는 출력 데이타를 출력하도록 동작한다.

SDRAM로부터 데이타를 독출하는 경우, 코멘드 신호(/CS, /RAS, /CAS, /WE신호)의 조합으로부터 액티브(ACT) 코멘드를 코멘드 단자에 입력하고, 어드레스 단자에는 로우 어드레스 신호를 입력한다. 이 코멘드, 로우 어드레스가 입력되면, SDRAM은 활성 상태가 되고, 로우 어드레스에 따른 워드선을 선택하여, 워드선상의 셀 정보를 비트선에 출력하고 감지 증폭기로 증폭한다.

또, 로우 어드레스에 관계된 부분의 동작 시간(tRCD) 후에, 리드 코멘드(Read)와 컬럼 어드레스를 입력한다. 컬럼 어드레스에 따라서, 선택된 감지 증폭기 데이타를 데이타 버스선에 출력하고, 데이타 버스 증폭기로 증폭하고, 출력 버퍼로 다시 증폭하여 출력 단자(DQ)에 데이타가 출력된다. 이들 일련의 동작은 범용 DRAM과 완전히 동일한 동작이지만, SDRAM의 경우, 컬럼 어드레스에 관계된 회로가 파이프라인 동작하도록 되어 있고, 리드 데이타는 매사이클 연속하여 출력되게 된다. 이것에 의해, 데이타 전송 속도는 외부 클록의 주기가 된다.

SDRAM에서의 액세스 시간에는 3종류 있으며, 어느것이나 CLK의 상승 시점을 기준으로 하여 정의된다. 도 20에 있어서, tRAC는 로우 어드레스 액세스 시간, tCAC는 컬럼 어드레스 액세스 시간, tAC는 클록 액세스 시간을 나타내고 있다. 이 SDRAM을 고속 메모리 시스템으로 사용할 경우, 코멘드를 입력하고 나서 최초로 데이타가 수득될 때까지의 시간인 tRAC나 tCAC도 중요하지만, 도 3에서 설명한 바와 같이, 클록 액세스 시간 tAC도 중요한 것이다.

도 21은 도 19의 동기 DRAM의 주요부 구성을 개략적으로 나타내는 블록도이고, SDRAM에서의 파이프라인 동작을 설명하기 위한 것으로, 일예로서 파이프가 3단 설치되어 있는 경우를 나타내고 있다.

SDRAM에서의 컬럼 어드레스에 관계되는 처리 회로는 처리의 흐름에 따라서 복수단으로 분할되어 있으며, 분할된 각 단의 회로를 파이프라고 부르고 있다.

클록 버퍼(101)는 도 19를 참조하여 설명한 바와 같이, 내부 클록 생성 회로(121) 및 출력 타이밍 제어 회로(122)를 구비하고, 내부 클록 생성 회로(121)의 출력(통상의 내부 클록 신호)이 파이프(1) 및 파이프(2)에 공급되고, 출력 타이밍 제어 회로(122)의 출력(위상 제어된 내부 클록 신호)이 파이프(3)의 출력 회로(51)(데이타 출력 버퍼)에 공급되도록 되어 있다.

각 파이프는 공급된 내부 클록 신호에 따라서 제어되고, 각 파이프의 사이에는 파이프간의 신호 전달 타이밍을 제어하는 스위치가 설치되어 있으며, 이들의 스위치도 클록 버퍼(101)(내부 클록 생성 회로(121))에서 생성된 내부 클록 신호에 의해 제어된다.

도 21에 도시된 예에서는, 파이프(1)에 있어서, 컬럼 어드레스 버퍼(116)로 어드레스 신호를 증폭하여 컬럼 디코더(118)에 어드레스 신호를 전송하고, 컬럼 디코더(118)에서 선택된 어드레스 번지에 상당하는 감지 증폭기 회로(117)의 정보를 데이타 버스에 출력하며, 데이타 버스의 정보를 데이타 버스 증폭기(119)로 증폭할 때까지 행해진다. 또한, 파이프(2)에는 데이타 버스 제어 회로(120)만이 설치되고, 파이프(3)는 I/O 버퍼(104)(출력 회로(51))로 구성되어 있다. 또, I/O 버퍼(104)에 있어서의 데이타 입력 버퍼(13)는 도 21에서는 생략되어 있다.

그리고, 각 파이프내의 회로도, 클록 사이클 시간 내에서 동작 완료하면, 파이프와 파이프 사이에 있는 스위치를 클록 신호에 동기하여 개폐하는 것으로, 릴레이식으로 데이타를 송출한다. 이것에 의해, 각 파이프에서의 처리가 병렬로 행해지게 되고, 출력 단자에는 클록 신호에 동기하여 연속적으로 데이타가 출력되게 된다.

도 22는 본 발명에 관한 반도체 집적 회로에 있어서의 출력 회로(데이타 출력 버퍼 회로:51)의 일구성예를 설명하기 위한 도면이다. 도 21 및 도 22에 도시된 바와 같이, 도 22에 있어서의 Data1 및 Data2는 셀 어레이(115)로부터 독출되고, 감지 증폭기(117), 데이타 버스 증폭기(119) 및 데이타 버스 제어 회로(120)를 통해 출력된 기억 데이타에 대응하는 신호이고, Data1 및 Data2는 출력 데이타가 고레벨 "H"인 경우에는 모두 저레벨 "L"이고, 출력 데이타가 저레벨 "L"인 경우에는 모두 고레벨 "H"이다. 또, 출력 데이타가 고레벨 "H"도 저레벨 "L"도 아닌 하이 임피던스 상태(하이제트 상태)를 취하는 것도 가능하며, 그 경우에는 데이타 버스 제어 회로(120)에 있어서, Data1이 고레벨 "H"가 되고, Data2가 저레벨 "L"이 되도록 변환된다. 신호ϕoe는 출력 타이밍 제어 회로(122)(도 2 중의 지연 회로(33))의 출력 신호(클록 신호)에 대응하는 것으로, 출력 회로(51)의 인에이블 신호로서 기능하는 것이다.

클록 신호 ϕoe가 고레벨 "H"로 되면, Data1과 Data2의 정보가 데이타 출력 패드(6)(DQ0~DQ7)에 나타내도록 동작한다. 예컨대, 데이타 출력 패드(6)에 고레벨 "H"를 출력하는 경우를 상정하면, 클록 신호 ϕoe가 저레벨 "L"에서 고레벨 "H"로 변화하고, 노드 8a-1이 저레벨 "L"이 되고, 노드 8a-2가 고레벨 "H"로 되며, 트랜스퍼 게이트가 온하여 Data1 및 Data2가 노드 8a-3 및 8a-6에 전달된다. 그 결과, 노드8a-5가 저레벨 "L"이 되고, 노드 8a-8이 고레벨 "H"가 되면, 출력용의 P채널 트랜지스터(81)는 온이 되고 또한, N채널 트랜지스터(82)는 오프가 되어, 데이타 출력 패드(6)에는 고레벨 "H"의 출력이 나타나게 된다.

또한, 클록 신호 ϕ가 저레벨 "L"이 되면, 트랜스퍼 게이트는 오프하여 그 때까지의 출력 상태가 유지된다.

이상의 설명에서는, 본 발명의 반도체 집적 회로를 동기 DRAM으로서 설명하였지만, 본 발명은 동기 DRAM에 제한되지 않고, 외부에서 입력되는 신호에 동기하여 출력 신호가 출력되는 반도체 집적 회로이면 어떠한 것에도 적용가능하다.

도 23은 본 발명에 관한 반도체 집적 회로에 있어서의 더미의 내부 출력 클록 배선(42)(더미 배선 DL)의 일구성예를 설명하기 위한 도면이다. 도 23에서 명백한 바와 같이, 더미 배선 DL은 리얼 배선(41)(RL)과 동일한 선폭의 배선에 의해 형성되고, 도 2에 도시된 바와 같이, 더미 지연 회로(34)와 더미 출력 회로(52)와의 사이의 칩 상에 형성된다. 또, 이 더미 배선 대신에, 소정의 값을 갖는 용량 소자 혹은 저항 소자 등을 조합하여 대용하는 것도 가능하다.

이상의 설명에서는, 메모리(SDRAM)을 예로서 설명하였지만, 본 발명은 다른 다양한 반도체 집적 회로에 대해서도 폭넓게 적용할 수 있다. 또, 상기 각 실시예에서는 제어 신호로서 클록 신호를 예로 들어 설명하였지만, 제어 신호로서는 클록 신호에 한정되는 것이 아닌 것은 물론이다.

발명의 효과

이상, 상세히 기술한 바와 같이, 본 발명의 반도체 집적 회로에 의하면, 사용하는 제어 신호의 주파수가 더욱 고속화한 경우에 위상 동기한 제어 신호를 생성할 수 있다. 또, 본 발명의 반도체 집적 회로에 의하면, 위상 비교를 소정의 타이밍으로 행함으로써 출력하는 제어 신호를 안정시킬 수 있다.

(57) 청구의 범위

청구항 1

제어 신호를 수신하고 특정 지연을 갖는 신호를 대상 회로에 공급하는 제1 지연 회로와;

상기 제어 신호를 수신하는 분주 회로와;

상기 분주 회로의 제1 출력 신호를 수신하는 제2 지연 회로와;

상기 분주 회로의 제2 출력 신호가 공급되는 제1 입력 및 상기 제2 지연 회로의 출력 신호가 지연량 부여 수단을 통해 공급되는 제2 입력을 가지며, 상기 분주 회로의 제2 출력 신호와 상기 제2 지연 회로의 출력 신호와의 위상을 비교하는 비교 처리를 행하며, 상기 지연량 부여 수단은 상기 제1 지연 회로로부터 상기 제1 지연 회로의 출력 신호를 상기 대상 회로에 전송함으로써 결정된 시간에 대응하는 지연량을 부여하는 위상 비교 회로와;

상기 위상 비교 회로의 출력 신호를 수신하고, 상기 제1 및 제2 지연 회로의 지연량을 제어하는 지연 제어 회로를 구비하고,

상기 분주 회로는 제어 신호의 Y 주기(Y는 2이상의 정수)만큼의 기간이 제1 레벨이 되고 제어 신호의 Z 주기(Z는 정수)만큼의 기간이 제2 레벨이 되는 제1 및 제2 레벨을 갖는 제1 출력 신호를 발생시키고, 상기 위상 비교 회로의 위상 비교 처리는 제어 신호의 Y 주기만큼 지연한 타이밍에서 시작하도록 한 것을 특징으로 하는 반도체 집적 회로.

청구항 2

제1항에 있어서, 상기 분주 회로의 제1 및 제2 출력 신호는 상보 신호인 것을 특징으로 하는 반도체 집적 회로.

청구항 3

제1항에 있어서, 상기 분주 회로는 상기 제어 신호의 주파수를 X 분주하여 제1 및 제2 출력 신호를 발생시키고, 상기 위상 비교 회로의 비교 처리는 상기 제어 신호의 X 주기동안 행하며, 상기 X는 2이상의 정수로서 X=Y+Z의 식을 만족시키는 것임을 특징으로 하는 반도체 집적 회로.

청구항 4

제어 신호를 수신하고, 이 제어 신호에 특정 지연을 부여하는 제1 지연 회로와;

상기 제1 지연 회로의 출력 신호를 리얼 배선을 통해 수신하는 대상 회로와;

상기 제어 신호를 수신하는 분주 회로와;

상기 분주 회로의 제1 출력 신호를 수신하는 제2 지연 회로와;

상기 분주 회로의 제2 출력 신호가 공급되는 제1 입력 및 상기 제2 지연 회로의 출력 신호가 상기 리얼 배선의 지연에 대응하는 지연량을 부여하는 더미 배선을 통해 공급되는 제2 입력을 가지며, 상기 분주 회로의 제2 출력 신호와 상기 제2 지연 회로의 출력 신호와의 위상을 비교하는 비교 처리를 행하는 위상 비교 회로와;

상기 위상 비교 회로의 출력 신호를 수신하고, 상기 제1 및 제2 지연 회로의 지연량을 제어하는 지연 제어 회로를 구비하며,

상기 분주 회로는 제어 신호의 Y 주기(Y는 2이상의 정수)만큼의 기간이 제1 레벨이 되고 제어 신호의 Z 주기(Z는 정수)만큼의 기간이 제2 레벨이 되는 제1 및 제2 레벨을 갖는 제1 출력 신호를 발생시키고, 상기 위상 비교 회로의 위상 비교 처리는 제어 신호의 Y 주기만큼 지연한 타이밍에서 시작하도록 한 것을

특징으로 하는 반도체 집적 회로.

청구항 5

제4항에 있어서, 상기 분주 회로의 제1 및 제2 출력 신호는 상보 신호인 것을 특징으로 하는 반도체 집적 회로.

청구항 6

제1항에 있어서, 상기 분주 회로는 상기 제어 신호의 주파수를 X 분주하여 제1 및 제2 출력 신호를 발생시키고, 상기 위상 비교 회로의 비교 처리는 상기 제어 신호의 X 주기동안 행하며, 상기 X는 2이상의 정수로서 X=Y+Z의 식을 만족시키는 것임을 특징으로 하는 반도체 집적 회로.

청구항 7

제4항에 있어서, 상기 제어 신호는 입력 회로를 통해 공급되고, 상기 제2 지연 회로의 출력 신호는 상기 더미 배선, 상기 대상 회로에 기인한 지연을 부여하는 더미 대상 회로 및 상기 입력 회로에 기인한 지연을 부여하는 더미 입력 회로를 통해 상기 위상 비교 회로의 제2 입력에 공급되는 것을 특징으로 하는 반도체 집적 회로.

청구항 8

제7항에 있어서, 상기 제1 지연 회로의 최소 지연 시간, 상기 입력 회로의 지연 시간 및 상기 대상 회로의 지연 시간의 합계가 상기 제어 신호의 1주기의 시간보다 길고, 상기 제어 신호의 2주기 이상 지연한 타이밍에서 상기 위상 비교 회로의 위상 비교 처리를 행하도록 한 것을 특징으로 하는 반도체 집적 회로.

청구항 9

제4항에 있어서, 반도체 집적 회로는 동기 DRAM이고, 상기 대상 회로는 이 동기 DRAM의 출력 회로인 것을 특징으로 하는 반도체 집적 회로.

청구항 10

제1 주파수를 갖는 제어 신호를 수신하고, 상기 제1 주파수를 갖는 지연된 제어 신호를 내부 회로에 공급하는 제1 지연 회로와;

상기 제어 신호를 수신하고, 상기 제1 주파수를 이 제1 주파수보다 낮은 주파수를 갖는 제1 및 제2 출력 신호로 분주하는 분주 회로와;

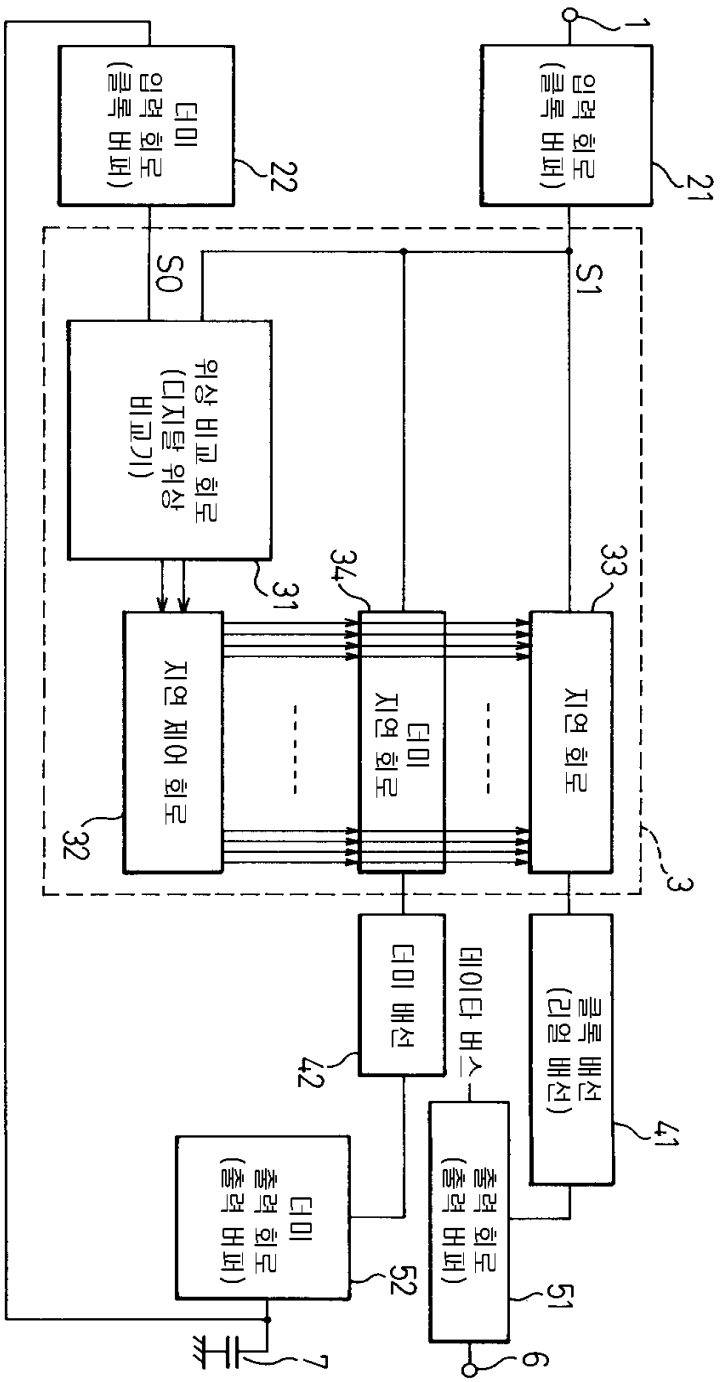
상기 분주 회로의 제1 출력 신호에 결합되는 입력을 가지며, 입력을 지연하는 제2 지연 회로와;

상기 분주 회로의 제2 출력 신호로부터의 제1 입력 및 상기 제2 지연 회로의 출력으로부터의 제2 입력을 가지며, 상기 제1 및 제2 입력에서의 신호의 위상을 비교하는 위상 비교 회로와;

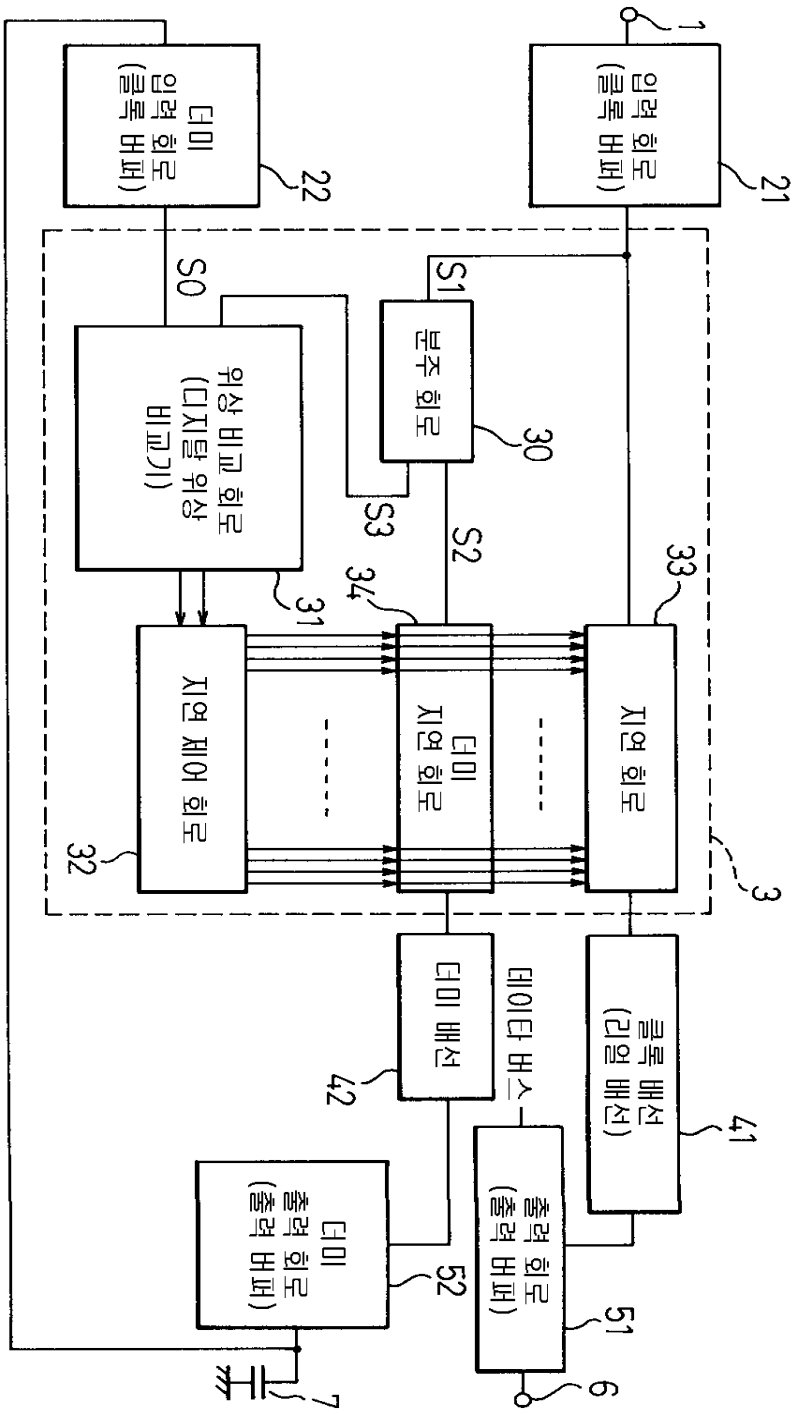
상기 위상 비교 회로의 출력 신호를 수신하고, 상기 제1 및 제2 지연 회로의 지연량을 제어하는 지연 제어 회로를 포함하는 것을 특징으로 하는 반도체 집적 회로.

도면

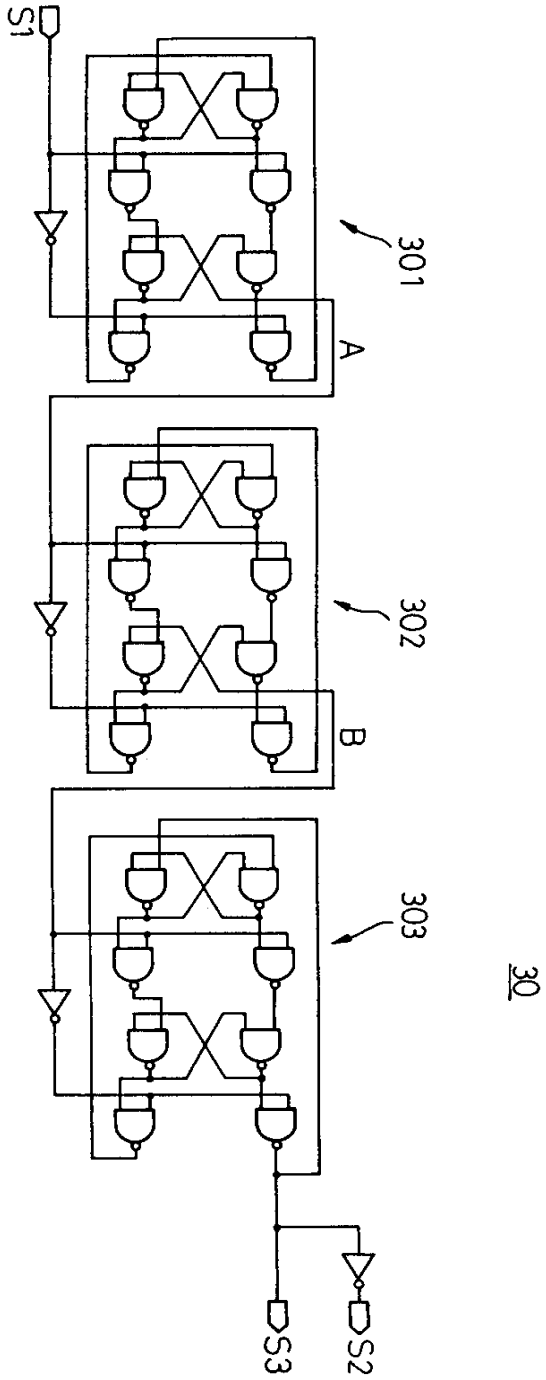
도면1


1
입력 회로
(클록 버퍼)
21
더미
입력 회로
(클록 버퍼)
22
S0
S1
위상 비교 회로
(디지탈 위상
비교기)
31
34
33
지연 제어 회로
32
더미
지연 회로
지연 회로
3
더미 배선
42
데이타 버스
클록 배선
(리얼 배선)
41
더미
출력 회로
(출력 버퍼)
52
출력 회로
(출력 버퍼)
51
7
6

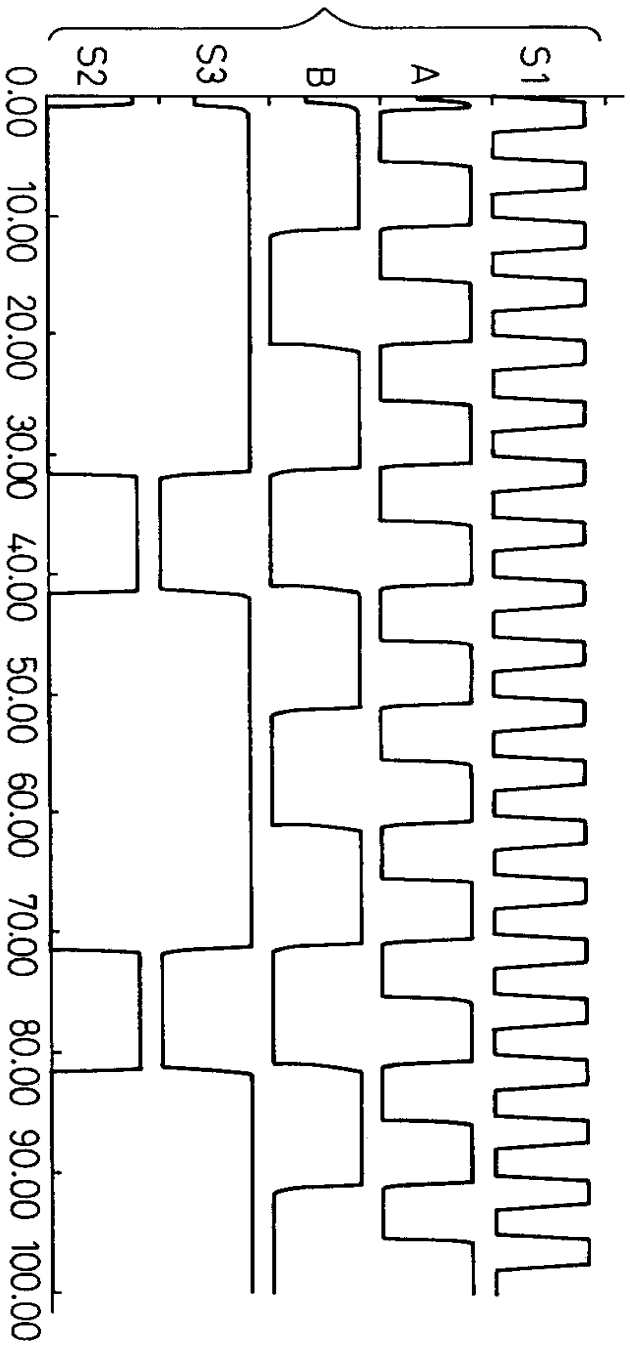
도면2


1
입력 회로
(클록 버퍼)
21
더미
입력 회로
(클록 버퍼)
22
S0
S1
분주 회로
30
위상 비교 회로
(디지탈 위상
비교기)
S3
S2
31
34
33
지연 제어 회로
32
더미
지연 회로
지연 회로
3
더미 배선
42
데이타 버스
클록 배선
(리얼 배선)
41
더미
출력 회로
(출력 버퍼)
52
출력 회로
(출력 버퍼)
51
6
7

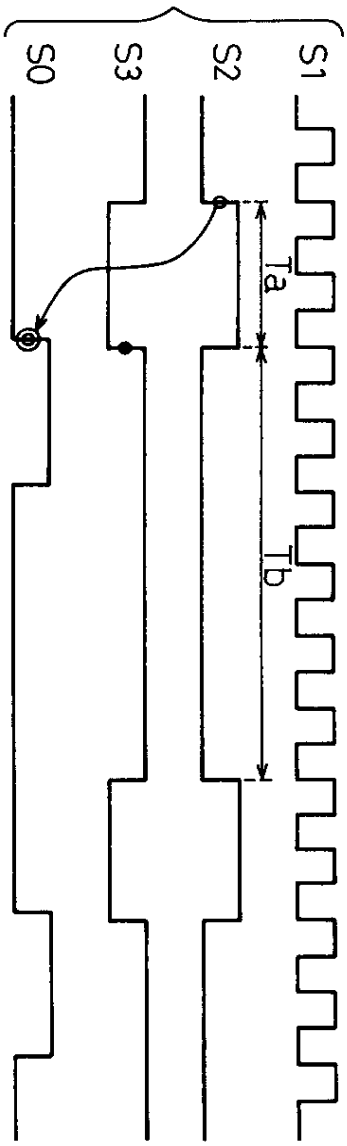
도면3



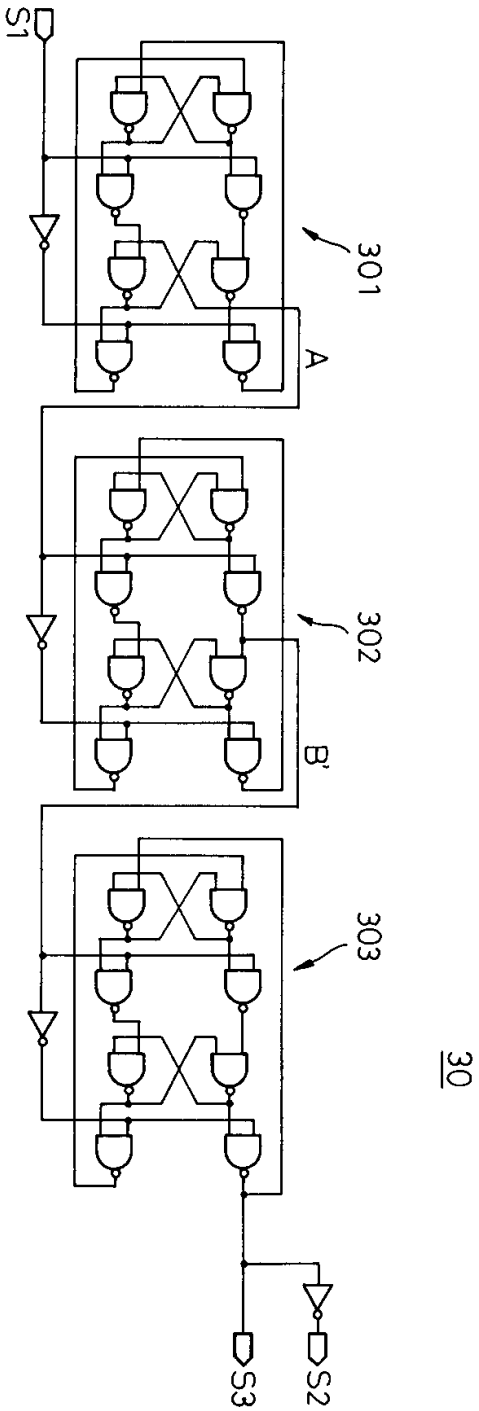
도면4


S1
A
B
S3
S2
0.00
10.00
20.00
30.00
40.00
50.00
60.00
70.00
80.00
90.00
100.00

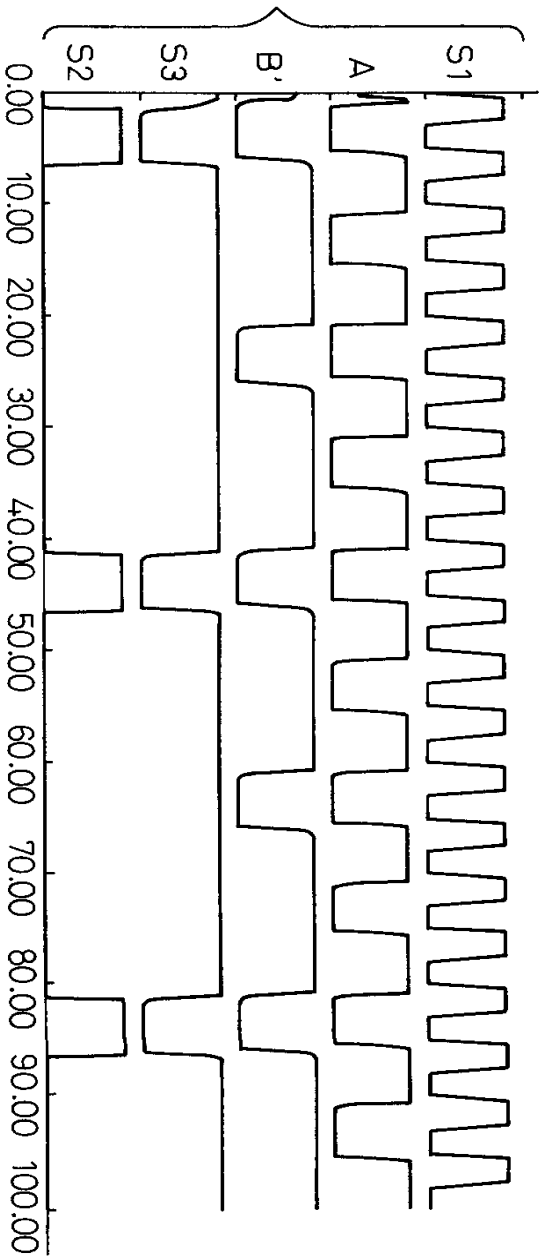
도면5



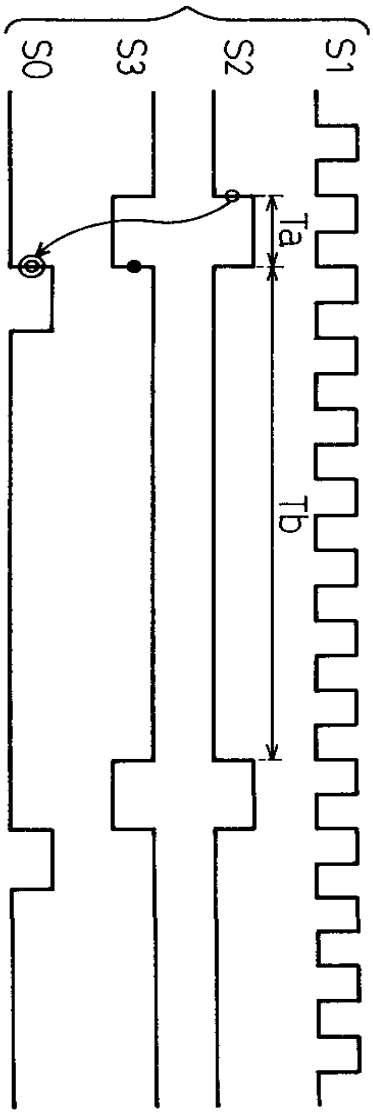
도면6



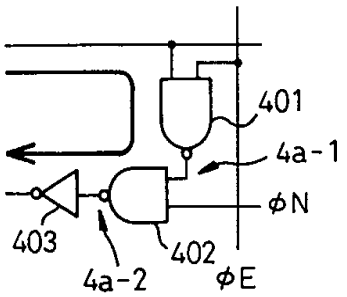
도면7


S1
A
B'
S3
S2
0.00
10.00
20.00
30.00
40.00
50.00
60.00
70.00
80.00
90.00
100.00

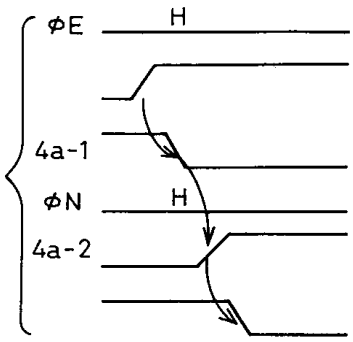
도면8



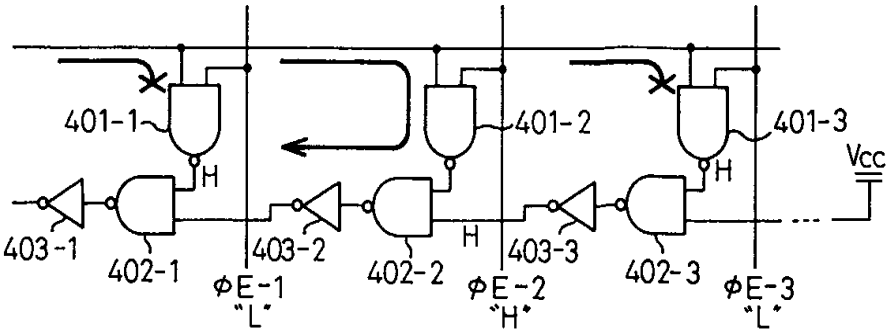
도면9a



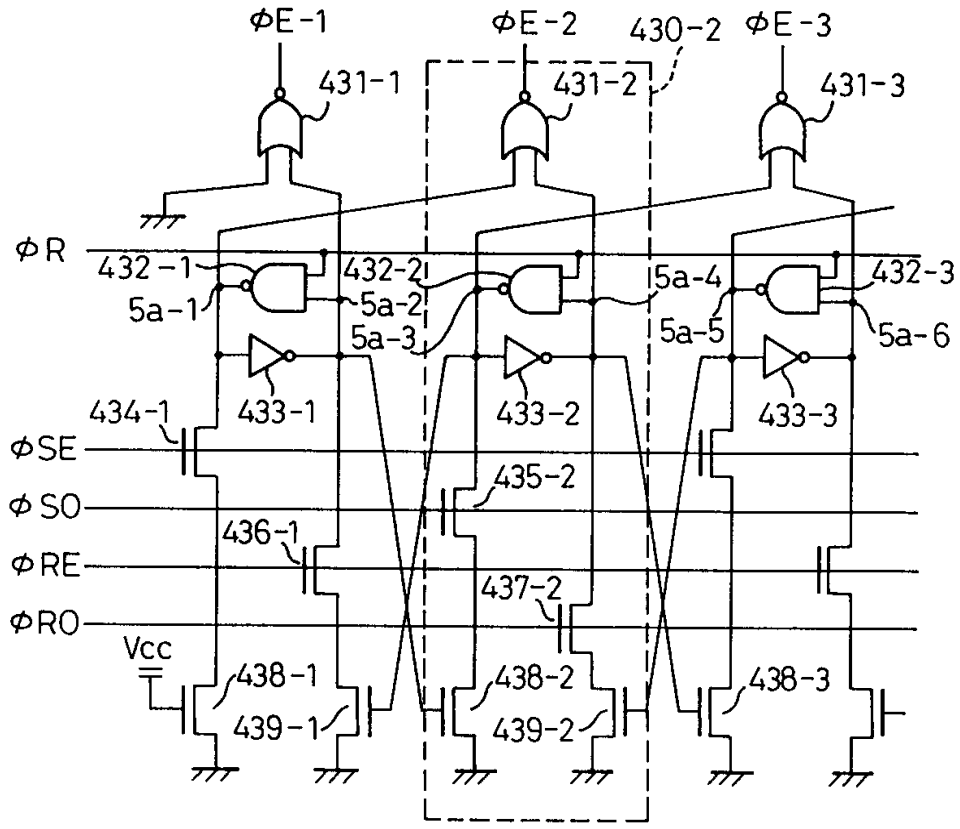
도면9b



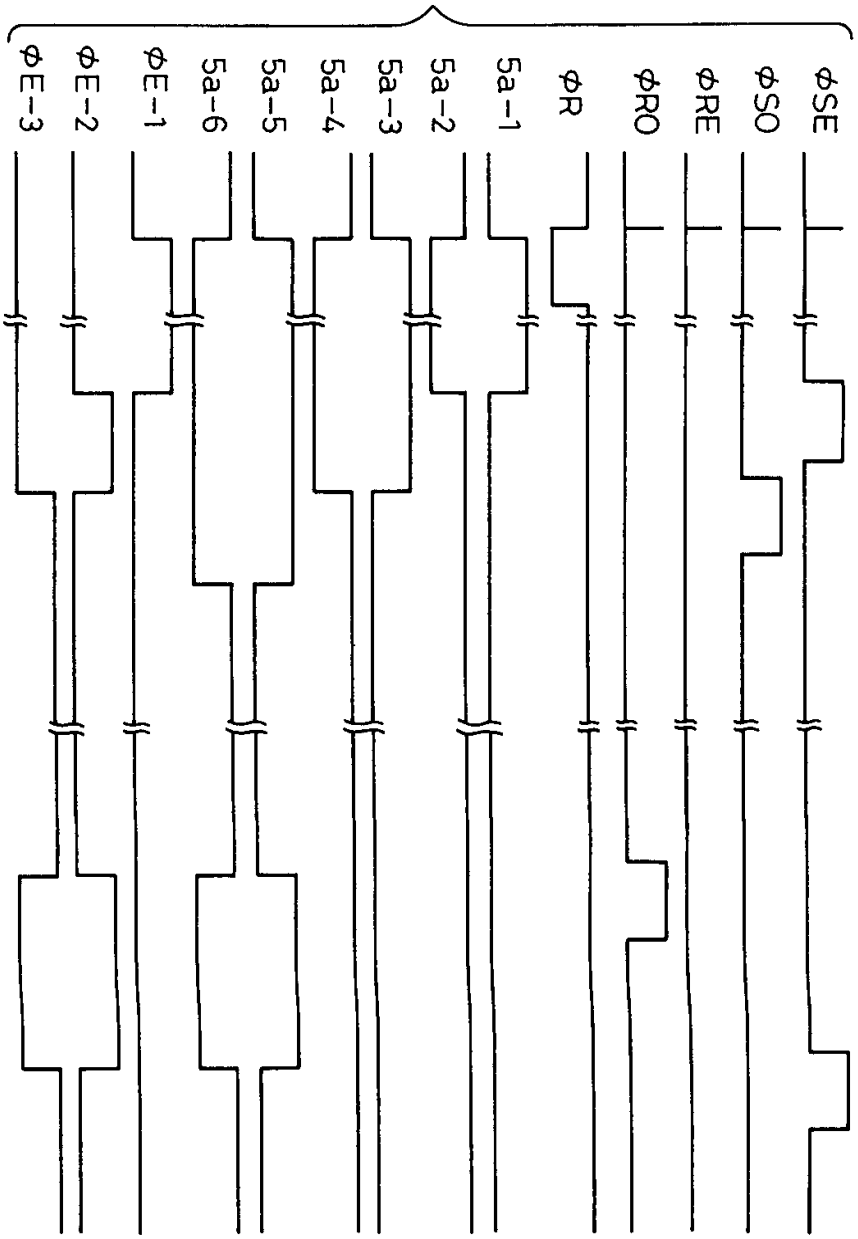
도면9c



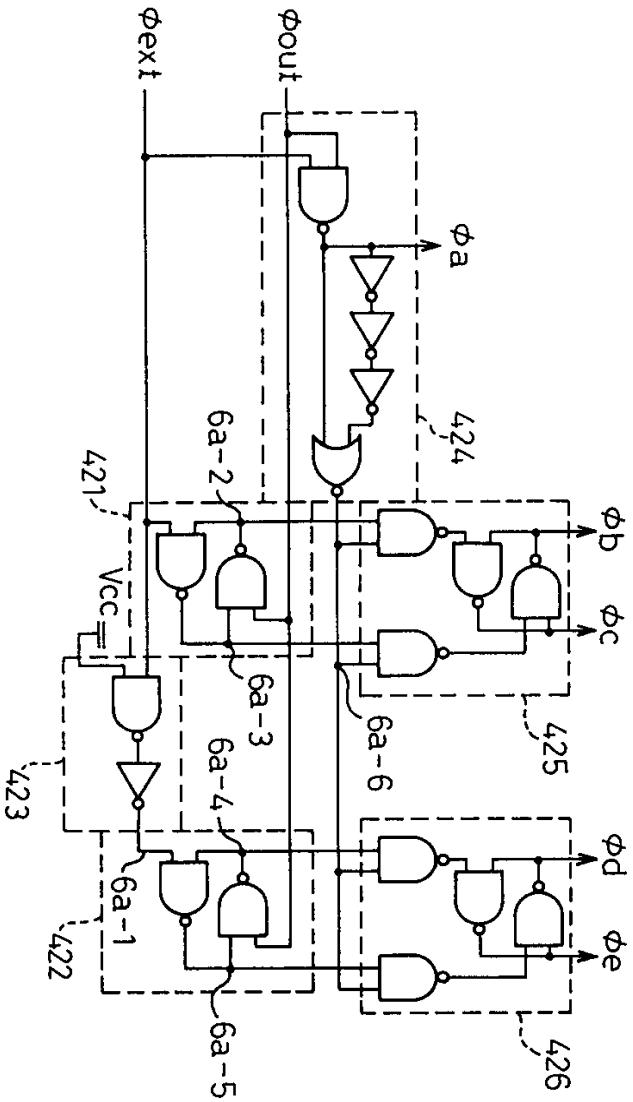
도면10



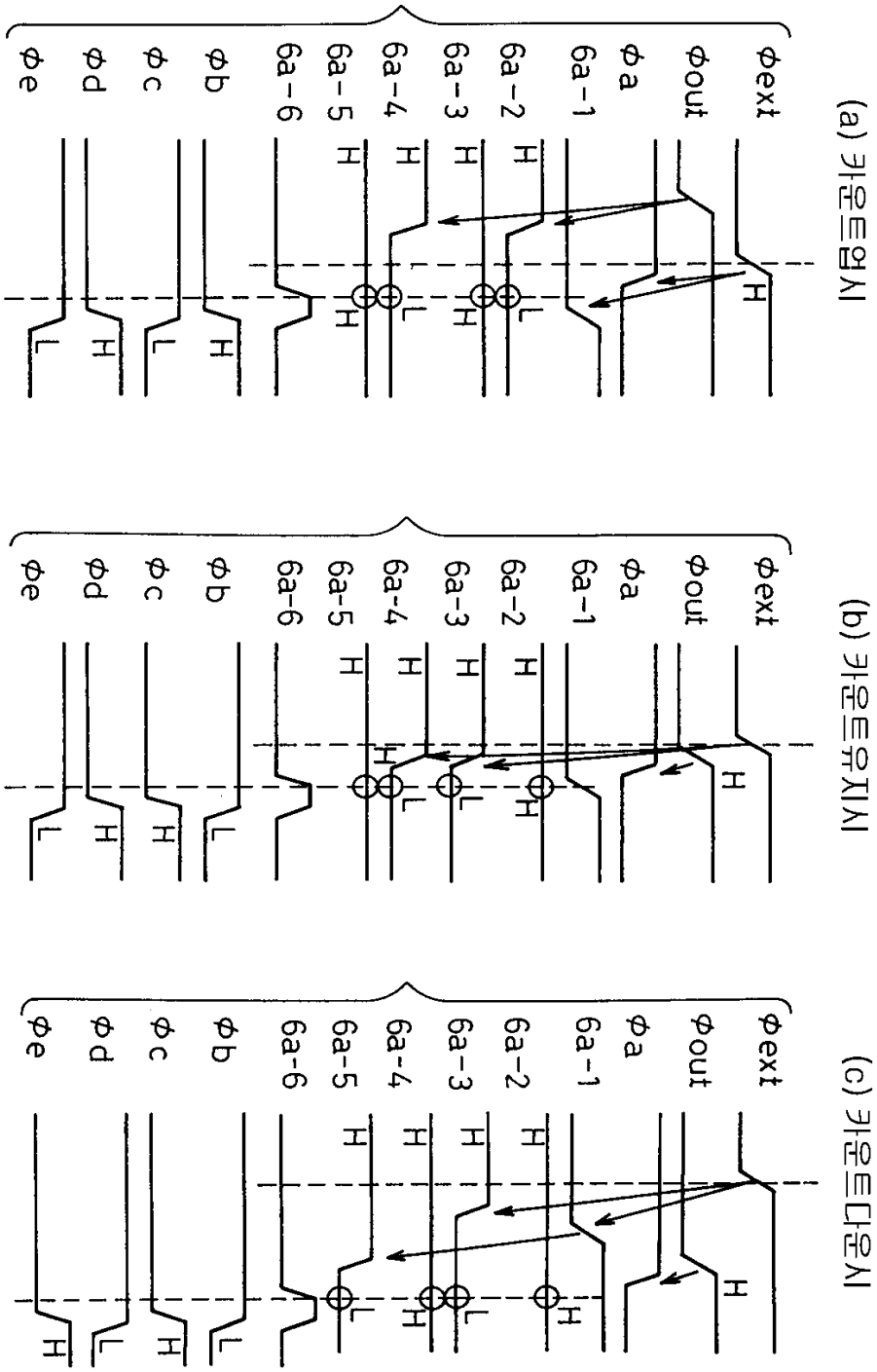
도면11



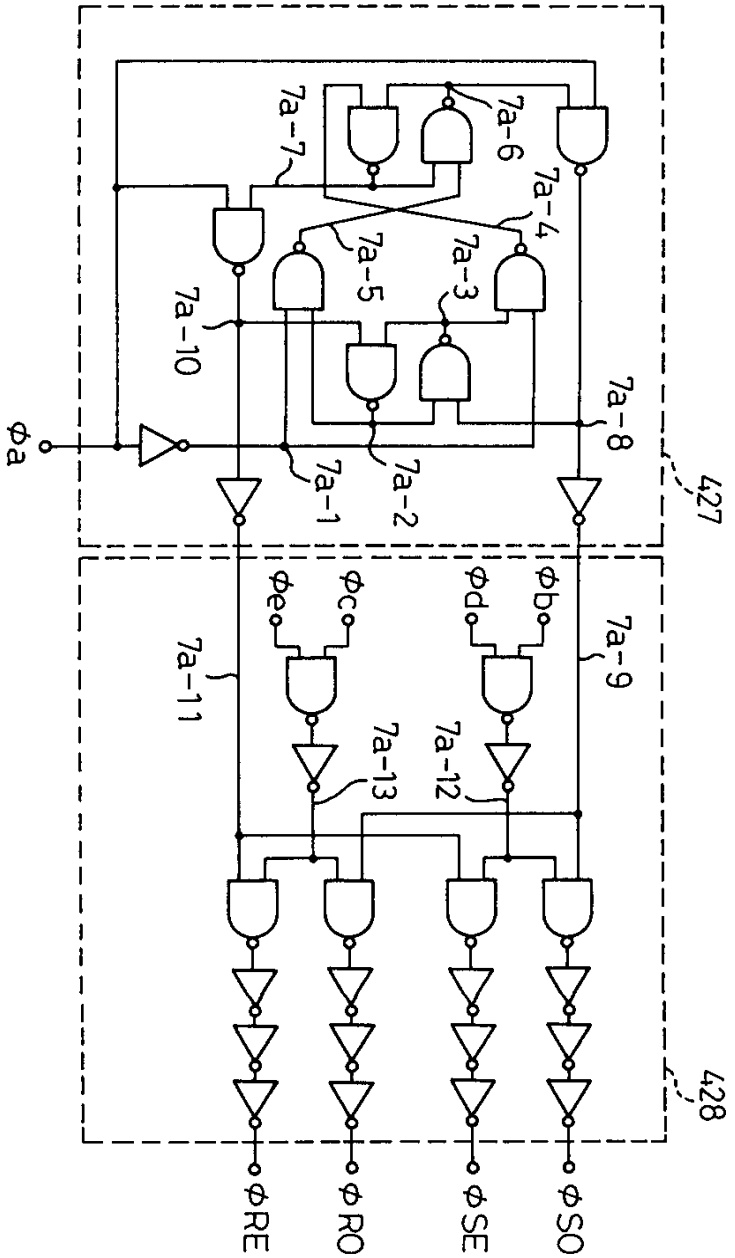
도면12


φext
φout
φa
424
6a-2
421
φb
Vcc
φc
6a-3
6a-6
425
423
6a-4
φd
6a-1
φe
422
6a-5
426

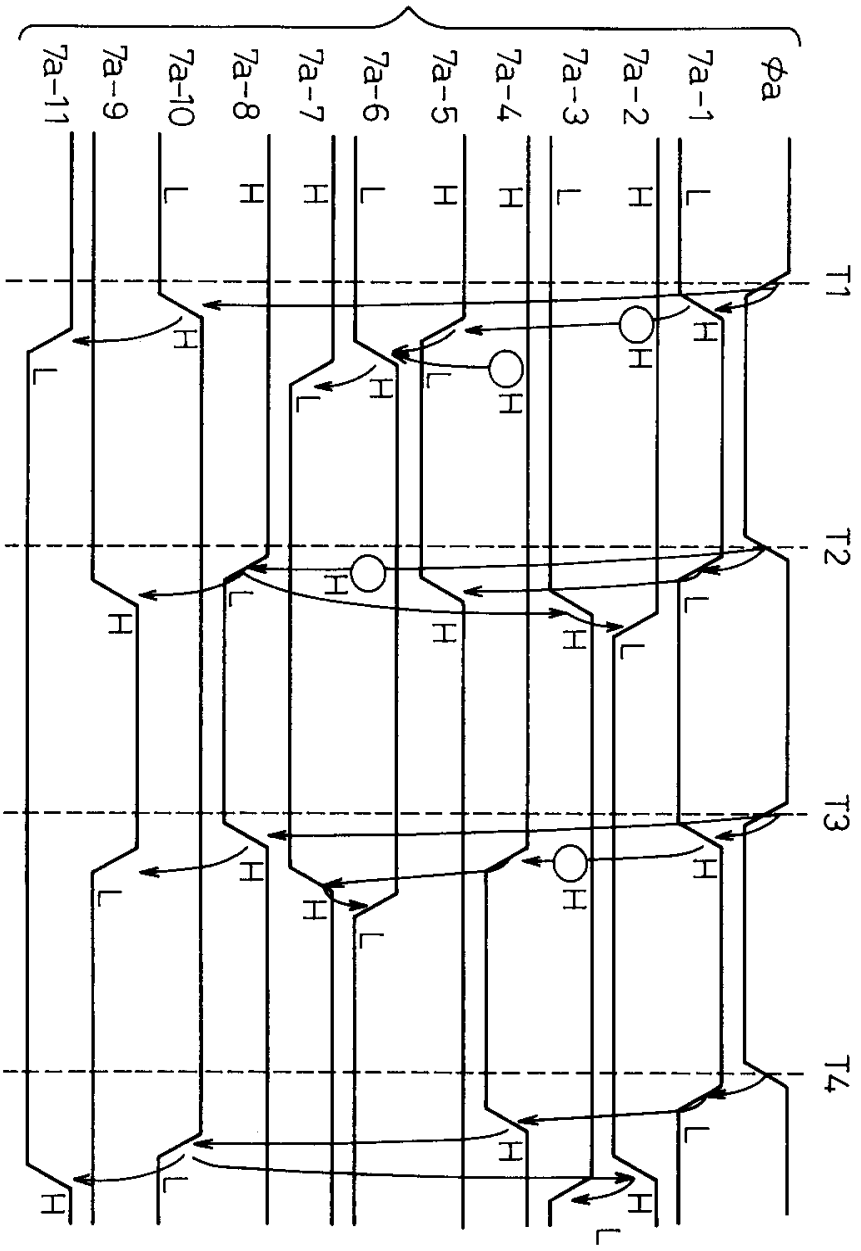
도면13


(a) 카운트업시
(b) 카운트유지시
(c) 카운트다운시
φext
φout
φa
6a-1
6a-2
6a-3
6a-4
6a-5
6a-6
φb
φc
φd
φe
H
L

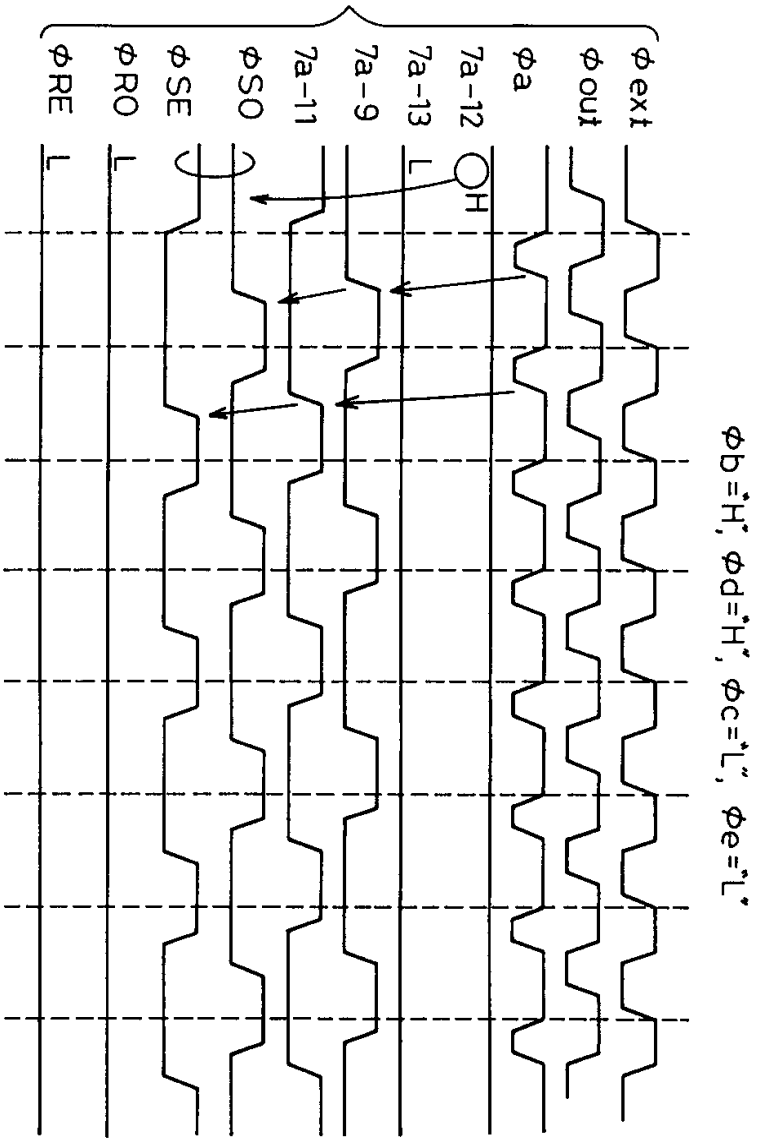
도면14


7a-7
7a-6
7a-4
7a-5
7a-3
7a-10
7a-8
Φa
7a-1
7a-2
427
Φe
Φc
Φd
Φb
7a-9
7a-11
7a-13
7a-12
428
Φ RE
Φ RO
Φ SE
Φ SO

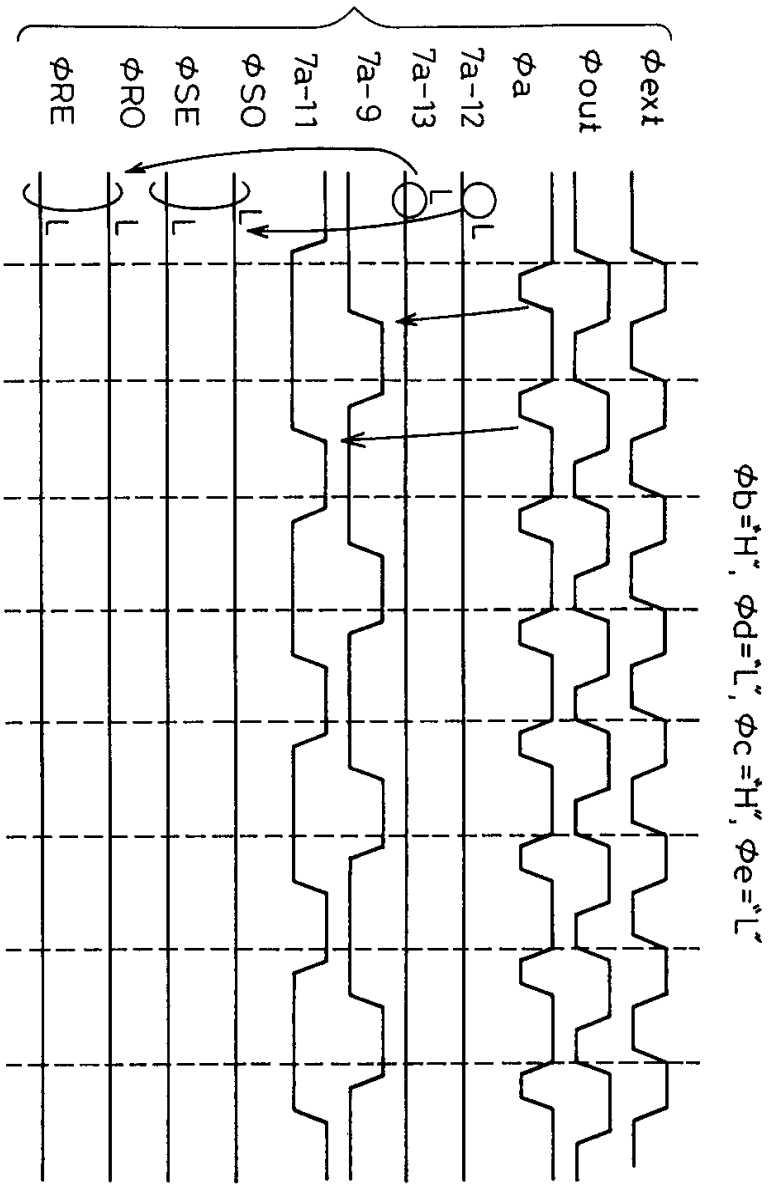
도면15



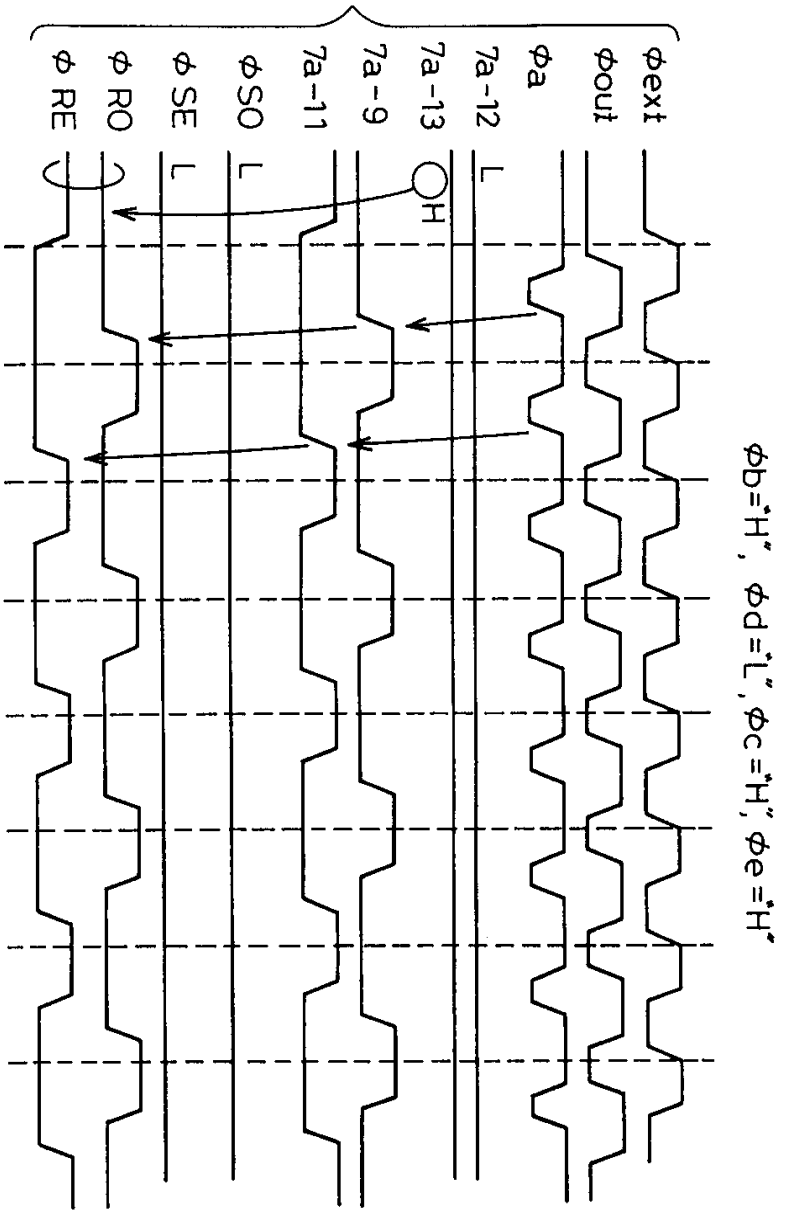
도면16


φext
φout
φa
7a-12
7a-13
7a-9
7a-11
φSO
φSE
φRO
φRE
H
L
L
L
φb="H", φd="H", φc="L", φe="L"

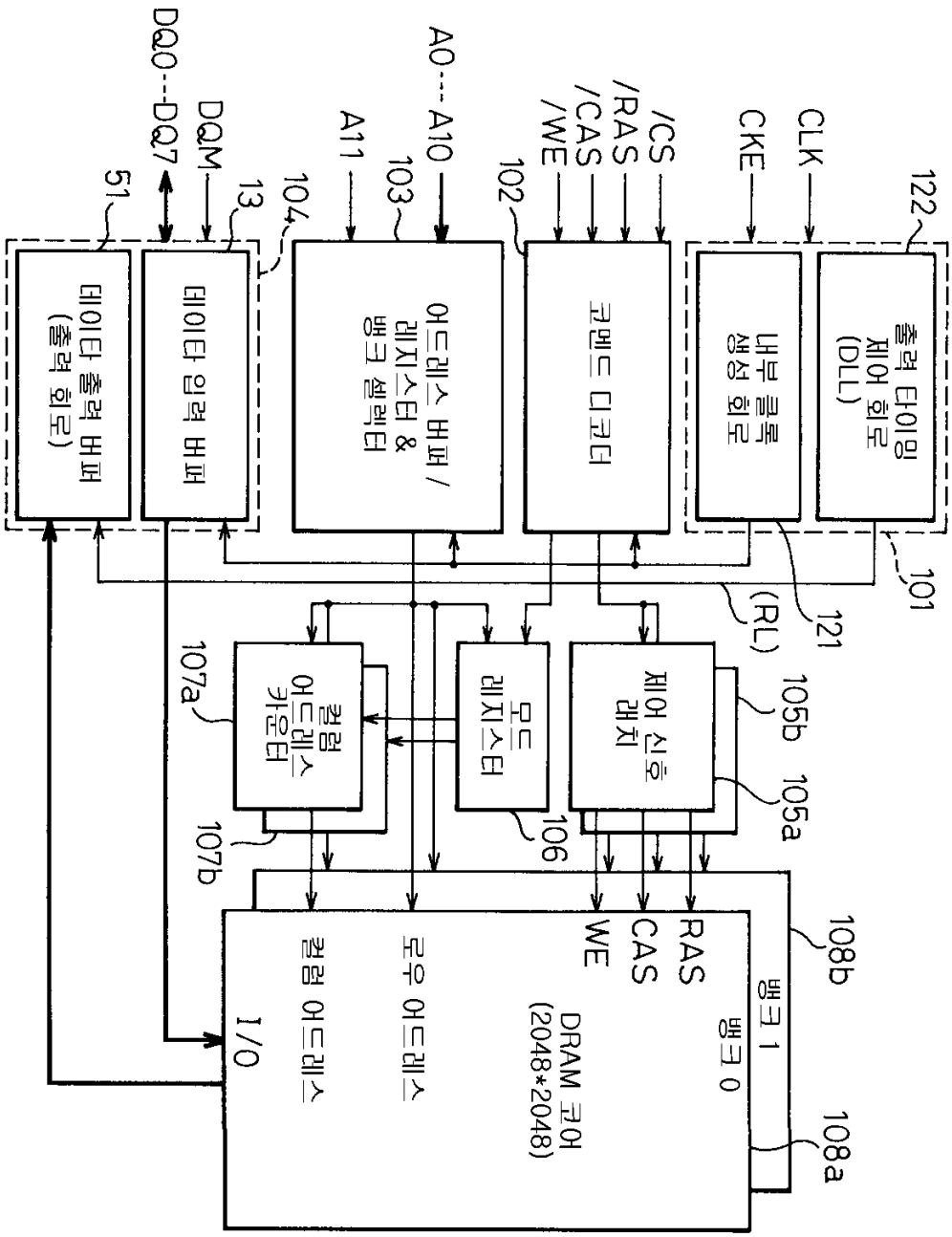
도면17


φext
φout
φa
7a-12
7a-13
7a-9
7a-11
φSO
φSE
φRO
φRE
L
φb="H", φd="L", φc="H", φe="L"

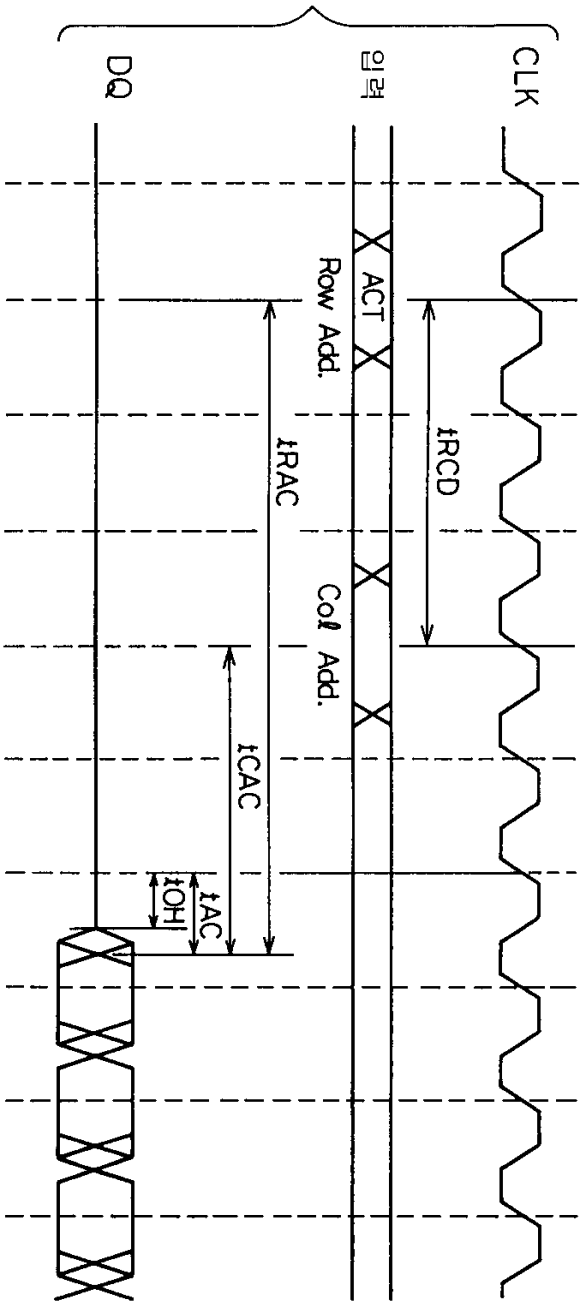
도면18


φext
φout
φa
7a-12
7a-13
7a-9
7a-11
φSO
φSE
φRO
φRE
H
L
L
L
φb="H", φd="L", φc="H", φe="H"

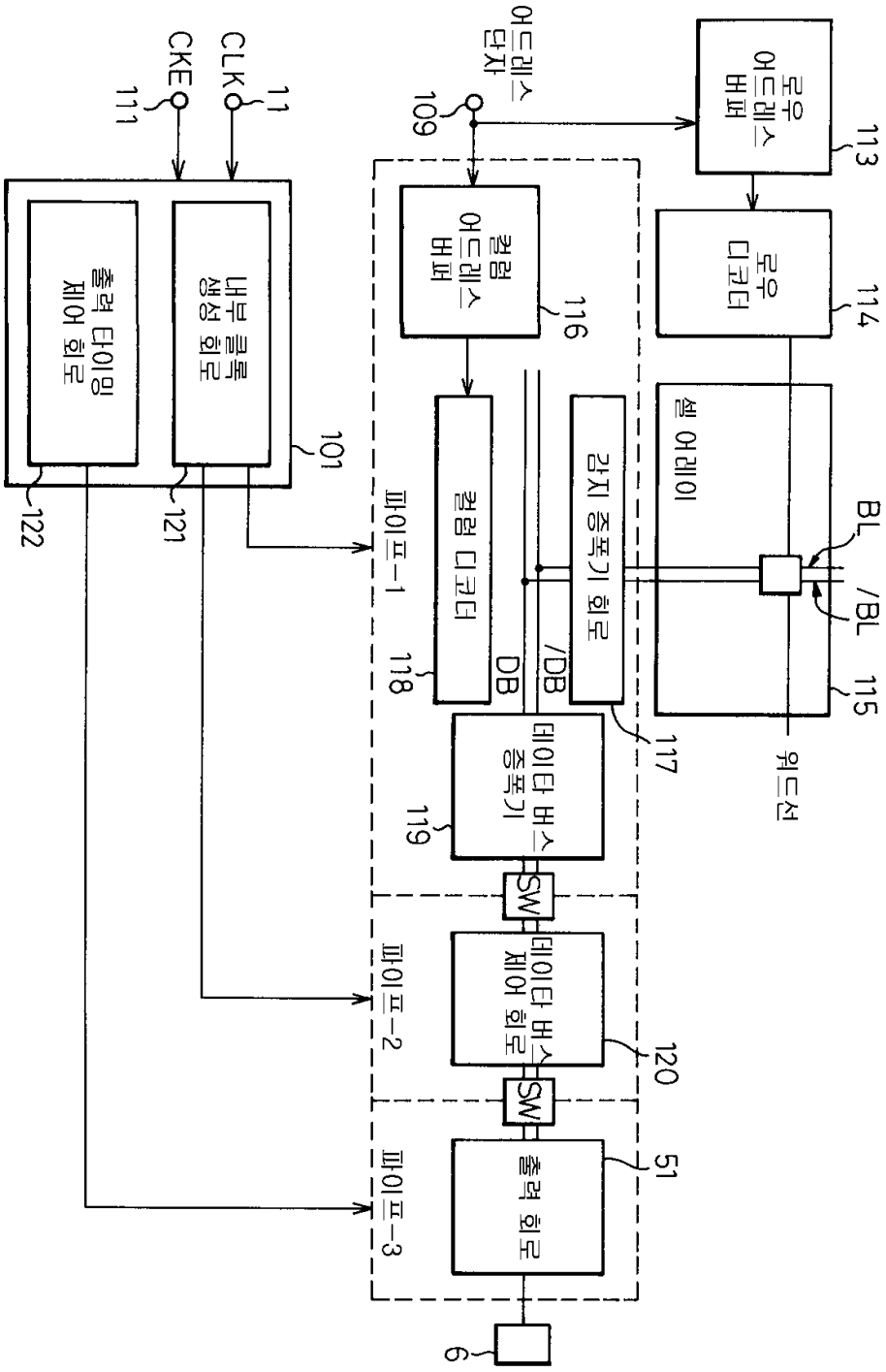
도면19


DQ0--DQ7
DQM
A0---A10
A11
/CS
/RAS
/CAS
/WE
CKE
CLK
51
13
104
103
102
122
데이타 출력 버퍼 (출력 회로)
데이타 입력 버퍼
어드레스 버퍼 / 레지스터 & 뱅크 셀렉터
코멘드 디코더
내부 클록 생성 회로
출력 타이밍 제어 회로 (DLL)
101
121
(RL)
107a
107b
105b
105a
106
컬럼 어드레스 카운터
모드 레지스터
제어 신호 래치
108b
108a
I/O
컬럼 어드레스
로우 어드레스
DRAM 코어 (2048*2048)
CAS
RAS
WE
뱅크 0
뱅크 1

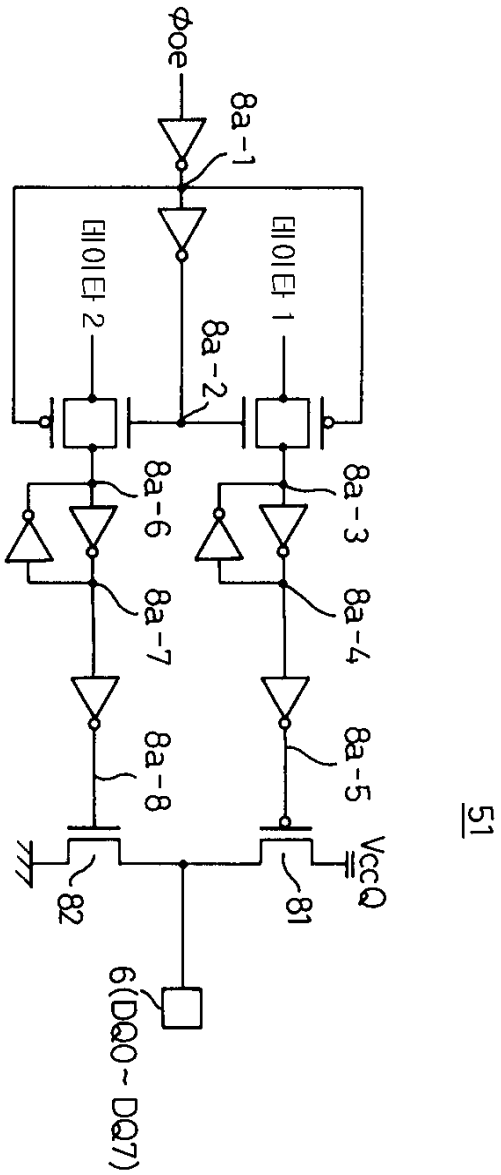
도면20



도면21


CKE
CLK
111
11
어드레스 단자
109
로우 어드레스 버퍼
113
로우 디코더
114
컬럼 어드레스 버퍼
116
셀 어레이
115
BL
/BL
워드선
감지 증폭기 회로
/DB
DB
컬럼 디코더
118
데이타 버스 증폭기
119
117
데이타 버스 제어 회로
120
출력 회로
51
6
SW
SW
출력 타이밍 제어 회로
내부 클록 생성 회로
101
122
121
파이프-1
파이프-2
파이프-3

도면22


φoe
8a-1
데이타 2
데이타 1
8a-2
8a-6
8a-3
8a-7
8a-4
8a-8
8a-5
VccQ
82
81
6(DQ0~ DQ7)
51

도면23

