



(12) 发明专利申请

(10) 申请公布号 CN 103928331 A

(43) 申请公布日 2014. 07. 16

(21) 申请号 201310011744. 9

(22) 申请日 2013. 01. 11

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 何永根 刘焕新

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 骆苏华

(51) Int. Cl.

H01L 21/336 (2006. 01)

H01L 21/28 (2006. 01)

H01L 21/311 (2006. 01)

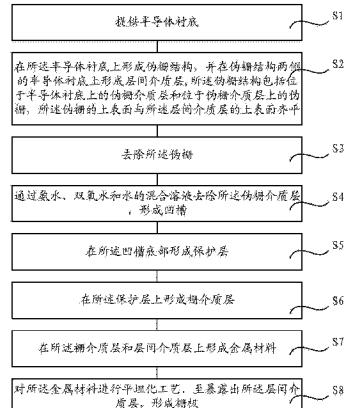
权利要求书1页 说明书5页 附图5页

(54) 发明名称

MOS 晶体管的形成方法

(57) 摘要

一种 MOS 晶体管的形成方法，包括：提供半导体衬底；在所述半导体衬底上形成伪栅结构，并在伪栅结构两侧的半导体衬底上形成层间介质层，所述伪栅结构包括位于半导体衬底上的伪栅介质层和位于伪栅介质层上的伪栅，所述伪栅的上表面与所述层间介质层的上表面齐平；去除所述伪栅；通过氨水、双氧水和水的混合溶液去除所述伪栅介质层，形成凹槽；在所述凹槽内形成栅极结构，所述栅极结构的上表面与所述层间介质层的上表面齐平。本发明所形成的 MOS 晶体管性能好、成品率高。



1. 一种 MOS 晶体管的形成方法, 其特征在于, 包括 :

提供半导体衬底;

在所述半导体衬底上形成伪栅结构, 并在伪栅结构两侧的半导体衬底上形成层间介质层, 所述伪栅结构包括位于半导体衬底上的伪栅介质层和位于伪栅介质层上的伪栅, 所述伪栅的上表面与所述层间介质层的上表面齐平;

去除所述伪栅;

通过氨水、双氧水和水的混合溶液去除所述伪栅介质层, 形成凹槽;

在所述凹槽内形成栅极结构, 所述栅极结构的上表面与所述层间介质层的上表面齐平。

2. 如权利要求 1 所述的 MOS 晶体管的形成方法, 其特征在于, 所述氨水、双氧水和水的混合溶液的温度为 25℃ ~ 65℃, 氨水、双氧水和水的体积比为 1:1~5:50~200。

3. 如权利要求 1 所述的 MOS 晶体管的形成方法, 其特征在于, 形成所述伪栅介质层的方法为热氧化工艺。

4. 如权利要求 1 所述的 MOS 晶体管的形成方法, 其特征在于, 形成所述层间介质层的方法为化学气相沉积工艺。

5. 如权利要求 1 所述的 MOS 晶体管的形成方法, 其特征在于, 所述伪栅的材料为多晶硅, 去除所述伪栅的方法为湿法刻蚀。

6. 如权利要求 5 所述的 MOS 晶体管的形成方法, 其特征在于, 所述湿法刻蚀的溶液为氨水或者四甲基羟胺溶液。

7. 如权利要求 1 所述的 MOS 晶体管的形成方法, 其特征在于, 在所述凹槽内形成栅极结构之前, 还包括 : 在所述凹槽的底部形成保护层。

8. 如权利要求 7 所述的 MOS 晶体管的形成方法, 其特征在于, 所述保护层的材料为氧化硅。

9. 如权利要求 8 所述的 MOS 晶体管的形成方法, 其特征在于, 在所述凹槽的底部形成保护层的方法为湿法氧化工艺。

10. 如权利要求 9 所述的 MOS 晶体管的形成方法, 其特征在于, 所述湿法氧化工艺的溶液为臭氧的水溶液。

11. 如权利要求 10 所述的 MOS 晶体管的形成方法, 其特征在于, 所述臭氧的水溶液中臭氧的质量浓度为 30ppm~80ppm, 湿法氧化工艺的时间为 30s~180s。

12. 如权利要求 9 所述的 MOS 晶体管的形成方法, 其特征在于, 所述湿法氧化工艺的溶液为氨水、双氧水和水的混合溶液。

13. 如权利要求 12 所述的 MOS 晶体管的形成方法, 其特征在于, 所述氨水、双氧水和水的混合溶液的温度为 25℃ ~ 65℃, 氨水、双氧水和水的体积比为 1:1~5:50~200。

14. 如权利要求 9 所述的 MOS 晶体管的形成方法, 其特征在于, 所述湿法氧化工艺的溶液为硫酸和双氧水的混合溶液。

15. 如权利要求 14 所述的 MOS 晶体管的形成方法, 其特征在于, 所述硫酸和双氧水的混合溶液的温度为 120℃ ~ 180℃, 硫酸和双氧水的体积比为 2~5:1, 湿法氧化工艺的时间为 30s~300s。

## MOS 晶体管的形成方法

### 技术领域

[0001] 本发明涉及半导体制造技术领域，尤其涉及一种 MOS 晶体管的形成方法。

### 背景技术

[0002] 随着半导体技术的不断发展，MOS 晶体管的特征尺寸不断缩小，MOS 晶体管中栅介质层的厚度也按等比例缩小的原则变得越来越薄，当所述栅介质层的厚度薄到一定的程度后，其可靠性问题，尤其是与时间相关的击穿、热载流子效应、栅电极中的杂质向衬底的扩散等问题，将严重影响器件的稳定性和可靠性。现在，氧化硅层作为栅介质层已经达到其物理极限，利用高 k 材料的栅介质层替代氧化硅栅介质层，可以在保持等效氧化层厚度(EOT)不变的情况下大大增加其物理厚度，从而减小了栅极漏电流。

[0003] 现有工艺在形成包含高 k 材料栅介质层的 MOS 晶体管时，主要包括如下步骤：参考图 1，提供半导体衬底 100，所述半导体衬底 100 上形成有伪栅结构和位于伪栅结构两侧半导体衬底 100 上的层间介质层 108，所述伪栅结构包括位于半导体衬底 100 上的氧化硅伪栅介质层 102、位于伪栅介质层 102 上的多晶硅伪栅 104 以及位于伪栅介质层 102 和伪栅 104 侧壁上的侧墙 106；参考图 2，去除图 1 中所述伪栅 104；参考图 3，通过稀释的氢氟酸溶液去除图 2 中所述伪栅介质层 102，形成凹槽 110；参考图 4，在图 3 中所述凹槽 110 内形成高 k 材料的栅介质层 112 和位于栅介质层 112 上的金属栅极 114。

[0004] 然而，在对上述工艺形成的 MOS 晶体管检测时发现，现有工艺形成的 MOS 晶体管易发生失效，成品率低。

[0005] 更多 MOS 晶体管的形成方法请参考申请号为 US2008149982A1 的美国专利申请。

### 发明内容

[0006] 本发明解决的问题是提供一种 MOS 晶体管的形成方法，提高所形成 MOS 晶体管的性能及成品率。

[0007] 为解决上述问题，本发明提供了一种 MOS 晶体管的形成方法，包括：

[0008] 提供半导体衬底；

[0009] 在所述半导体衬底上形成伪栅结构，并在伪栅结构两侧的半导体衬底上形成层间介质层，所述伪栅结构包括位于半导体衬底上的伪栅介质层和位于伪栅介质层上的伪栅，所述伪栅的上表面与所述层间介质层的上表面齐平；

[0010] 去除所述伪栅；

[0011] 通过氨水、双氧水和水的混合溶液去除所述伪栅介质层，形成凹槽；

[0012] 在所述凹槽内形成栅极结构，所述栅极结构的上表面与所述层间介质层的上表面齐平。

[0013] 可选的，所述氨水、双氧水和水的混合溶液的温度为 25℃ ~ 65℃，氨水、双氧水和水的体积比为 1:1~5:50~200。

[0014] 与现有技术相比，本发明技术方案具有以下优点：

[0015] 通过氨水、双氧水和水的混合溶液去除所述伪栅介质层，由于氨水、双氧水和水的混合溶液对层间介质层的刻蚀速率较小，在去除伪栅介质层过程中，可有效避免去除过多的层间介质层，进而在栅极结构的形成过程中避免在层间介质层表面残留金属材料，防止残留于介质层表面的金属材料对 MOS 晶体管的性能造成影响，提高了所形成 MOS 晶体管的性能以及成品率。

## 附图说明

- [0016] 图 1~图 4 为现有工艺中形成 MOS 晶体管的示意图；
- [0017] 图 5 为本发明 MOS 晶体管的形成方法一实施方式的流程示意图；
- [0018] 图 6~图 10 为本发明 MOS 晶体管的形成方法一实施例的示意图；
- [0019] 图 11 为通过氨水、双氧水和水的混合溶液去除通过热氧化工艺形成的氧化硅时，去除时间与所去除氧化硅厚度的关系图；
- [0020] 图 12 为通过氨水、双氧水和水的混合溶液去除通过亚常压化学气相沉积工艺形成的氧化硅时，去除时间与所去除氧化硅厚度的关系图。

## 具体实施方式

[0021] 为使本发明的上述目的、特征和优点能够更加明显易懂，下面结合附图对本发明的具体实施方式做详细的说明。

[0022] 在下面的描述中阐述了很多具体细节以便于充分理解本发明，但是本发明还可以采用其它不同于在此描述的其它方式来实施，因此本发明不受下面公开的具体实施例的限制。

[0023] 正如背景技术部分所述，现有工艺形成的 MOS 晶体管易发生失效、成品率低。

[0024] 发明人经过研究发现，现有工艺形成的 MOS 晶体管易发生失效、成品率低主要由以下原因造成：图 1 中 MOS 晶体管的伪栅介质层 102 的材料与层间介质层 108 的材料均为氧化硅，在通过稀释的氢氟酸溶液去除所述伪栅介质层 102 同时，也会消耗部分厚度的层间介质层 108。但由于伪栅介质层 102 和层间介质层 108 的形成方法不同，形成伪栅介质层 102 的方法为热氧化工艺，形成层间介质层 108 的方法为化学气相沉积工艺，稀释的氢氟酸溶液对伪栅介质层 102 和层间介质层 108 刻蚀速率也不相同，其对伪栅介质层 102 和层间介质层 108 刻蚀速率比约为 1:13。因此，尽管伪栅介质层 102 的厚度较薄，但由于稀释的氢氟酸溶液对层间介质层 108 的刻蚀速率远大于对伪栅介质层 102 的刻蚀速率，导致去除伪栅介质层 102 时会去除较厚的层间介质层 108，使图 3 中层间介质层 108 的上表面低于侧墙 106 的顶部。在伪栅 104 和伪栅介质层 102 被去除之后，形成图 4 中栅介质层 112 和金属栅极 114 时，用于形成金属栅极 114 的金属材料在填满图 3 中凹槽 110 的同时，还覆盖侧墙 106 顶部以及侧墙 106 两侧的层间介质层 108。后续通过化学机械研磨工艺平坦化金属材料，形成金属栅极 114 后，位于侧墙 106 两侧的层间介质层 108 表面还被金属材料 116 覆盖，影响了层间介质层 108 的绝缘性，导致所形成 MOS 晶体管失效、成品率低。

[0025] 经过发明人进一步研究发现，由氨水、双氧水和水组成的溶液对通过化学气相沉积工艺形成的层间介质层的刻蚀速率与对通过热氧化工艺形成的伪栅介质层的刻蚀速率相差不大，且由于伪栅介质层的厚度较薄，完全去除伪栅介质层的时间较短，去除伪栅介质

层对层间介质层的影响不大。在形成栅极结构过程中,可有效避免层间介质层被金属材料覆盖,进而提高所形成 MOS 晶体管的性能和成品率。

- [0026] 下面结合具体实施例进行详细说明。
- [0027] 参考图 5,为本发明 MOS 晶体管的形成方法一实施方式的流程示意图,包括:
  - [0028] 步骤 S1,提供半导体衬底;
  - [0029] 步骤 S2,在所述半导体衬底上形成伪栅结构,并在伪栅结构两侧的半导体衬底上形成层间介质层,所述伪栅结构包括位于半导体衬底上的伪栅介质层和位于伪栅介质层上的伪栅,所述伪栅的上表面与所述层间介质层的上表面齐平;
  - [0030] 步骤 S3,去除所述伪栅;
  - [0031] 步骤 S4,通过氨水、双氧水和水的混合溶液去除所述伪栅介质层,形成凹槽;
  - [0032] 步骤 S5,在所述凹槽底部形成保护层;
  - [0033] 步骤 S6,在所述保护层上形成栅介质层;
  - [0034] 步骤 S7,在所述栅介质层和层间介质层上形成金属材料;
  - [0035] 步骤 S8,对所述金属材料进行平坦化工艺,至暴露出所述层间介质层,形成栅极。
- [0036] 参考图 6~图 12,通过具体实施例对本发明 MOS 晶体管的形成方法做进一步说明。
- [0037] 参考图 6,提供半导体衬底 200。
  - [0038] 本实施例中,所述半导体衬底 200 的材料为单晶硅、硅锗、硅碳或 III-V 族化合物(例如镓化砷、磷化铟和氮化镓等)。所述半导体衬底 200 中还形成有浅沟槽隔离结构(图未示),将相邻的有源区相互隔离。半导体衬底 200 内还具有阱区(图未示),阱区内掺杂离子的导电类型与所形成 MOS 晶体管的类型相关。当所形成的 MOS 晶体管为 NMOS 晶体管时,阱区内掺杂离子的导电类型为 P 型,如硼离子、二氟化硼离子等。当所形成的 MOS 晶体管为 PMOS 晶体管时,阱区内掺杂离子的导电类型为 N 型,如磷离子、砷离子等。
  - [0039] 继续参考图 6,在所述半导体衬底 200 上形成伪栅结构,并在伪栅结构两侧的半导体衬底 200 上形成层间介质层 208,所述伪栅结构包括位于半导体衬底 200 上的伪栅介质层 202、位于伪栅介质层 202 上伪栅 204 以及位于伪栅介质层 202 和伪栅 204 侧壁上的侧墙 206,所述伪栅 204 的上表面与所述层间介质层 208 的上表面齐平。
  - [0040] 本实施例中,所述伪栅介质层 202 的材料为氧化硅,形成所述伪栅介质层 202 的方法为热氧化工艺。在后续去除伪栅 204 时,伪栅介质层 202 能够保护所述半导体衬底 200 免受损伤。
  - [0041] 所述侧墙 206 可以为单层结构,也可以为叠层结构。侧墙 206 的材料可为氮化硅、氮氧化硅或氧化硅的一种或多种组合。所述伪栅 204 的材料可为多晶硅。
  - [0042] 所述层间介质层 208 的材料为氧化硅,形成所述层间介质层 208 的方法为化学气相沉积工艺,如基于臭氧( $O_3$ )和正硅酸乙酯(Tetraethyl Orthosilicate,简称为 TEOS)的亚常压化学气相沉积(Sub-atmospheric Chemical Vapor Deposition,简称 SACVD)工艺。
  - [0043] 参考图 7,去除图 6 中所述伪栅 204。
  - [0044] 本实施例中,去除所述伪栅 204 的方法为湿法刻蚀,所述湿法刻蚀的溶液可为氨水或者四甲基羟胺溶液。例如,可采用质量百分比为 2.38% 的四甲基羟胺溶液去除所述伪栅 204。
  - [0045] 在去除伪栅 204 过程中,伪栅介质层 202 能够有效保护位于其下方的半导体衬底

200，避免湿法刻蚀工艺对 MOS 晶体管的沟道区域造成损伤，提高所形成 MOS 晶体管的性能。

[0046] 参考图 8，通过氨水 (NH<sub>4</sub>OH)、双氧水 (H<sub>2</sub>O<sub>2</sub>) 和水 (H<sub>2</sub>O) 的混合溶液去除图 7 中所述伪栅介质层 202，形成凹槽 210。

[0047] 本实施例中，氨水、双氧水和水的混合溶液 (Standard Cleaning-1，简称为 SC1 溶液) 的温度为 25℃ ~ 65℃，氨水、双氧水和水的混合溶液中氨水、双氧水和水的体积比为 1 : 1~5:50~200。由于氨水、双氧水和水的混合溶液对伪栅介质层 202 和层间介质层 208 的刻蚀速率相差不大，且由于伪栅介质层 202 的厚度较薄，完全去除伪栅介质层 202 的时间较短，消耗层间介质层 208 的厚度也较薄，去除伪栅介质层 202 对层间介质层 208 的影响不大。

[0048] 参考图 9，在图 8 中所述凹槽 210 底部形成保护层 212。

[0049] 本实施例中，所述保护层 212 的材料为氧化硅。形成保护层 212 的方法为湿法氧化工艺，以形成厚度较薄的氧化硅薄膜，将半导体衬底 200 与后续形成的栅介质层隔离，避免栅介质层中金属原子进入 MOS 晶体管的沟道区域，进而提高所形成 MOS 晶体管的性能。

[0050] 具体的，所述湿法氧化工艺的溶液可为臭氧 (O<sub>3</sub>) 的水溶液，所述臭氧的水溶液中臭氧的质量浓度为 30ppm~80ppm，湿法氧化工艺的时间为 30s~180s。即向图 8 中凹槽 210 底部喷洒质量浓度为 30ppm~80ppm 的臭氧的水溶液 30s~180s，将凹槽 210 底部的半导体衬底 200 表面氧化成氧化硅，形成保护层 212。

[0051] 所述湿法氧化工艺的溶液还可为温度为 25℃ ~ 65℃ 的氨水、双氧水和水的混合溶液，氨水、双氧水和水的混合溶液中氨水、双氧水和水的体积比为 1:1~5:50~200。

[0052] 所述湿法氧化工艺的溶液还可为温度为 120℃ ~ 180℃ 的硫酸和双氧水的混合溶液。即采用硫酸和双氧水的混合溶液进行硫酸双氧水清洗 (Sulfuric Peroxide Method，简称为 SPM)，形成所述保护层 212。硫酸和双氧水的混合溶液中硫酸和双氧水的体积比为 2~5:1，湿法氧化工艺的时间为 30s~300s。

[0053] 继续参考图 9，在所述保护层 212 上形成栅介质层 214。

[0054] 本实施例中，所述栅介质层 214 的材料为高 k 材料，如氧化铪、氧化锆、氧化镧、氧化铝、氧化钛、钛酸锶、氧化铝镧、氧化钇、氮氧化铪、氮氧化锆、氮氧化镧、氮氧化铝、氮氧化钛、氮氧化锶钛、氮氧化镧铝、氮氧化钇中的一种或多种。形成所述栅介质层 214 的方法为化学气相沉积工艺或者原子层沉积工艺。在其他实施例中，所述栅介质层 214 还可以为其他高 k 材料。

[0055] 继续参考图 9，在所述栅介质层 214 和层间介质层 208 上形成金属材料 216a。

[0056] 本实施例中，所述金属材料 216a 的材料可为铝或者钨，形成所述金属材料 216a 的方法可为物理气相沉积工艺。

[0057] 参考图 10，对图 9 中所述金属材料 216a 进行平坦化工艺，至暴露出所述层间介质层 208，形成栅极 216b。

[0058] 本实施例中，所述平坦化工艺可为化学机械研磨工艺。

[0059] 需要说明的是，尽管在去除伪栅介质层 202 时，会去除部分厚度的层间介质层 208，但由于去除伪栅介质层 202 的时间较短，去除层间介质层 208 的厚度较薄，在进行平坦化工艺时，位于层间介质层 208 上的金属材料 216a 能够被完全去除，可有效避免层间介质层 208 被金属材料 216a 覆盖，所形成 MOS 晶体管的性能较好、成品率高。

[0060] 参考图 11, 为采用温度为 65℃, 氨水、双氧水和水的体积比为 1:2:100 的混合溶液去除通过热氧化工艺形成的氧化硅时, 去除时间与所去除氧化硅厚度的关系图。由图 11 可知, 当去除时间为 5 分钟、10 分钟和 15 分钟时, 所去除氧化硅的厚度为 4.3 埃、6.2 埃和 9.0 埃, 去除时间与所去除氧化硅的厚度近似满足图 11 中直线 301, 直线 301 的斜率为 0.472, 即氧化硅的去除速率为 0.472 埃每分钟。

[0061] 参考图 12, 为采用温度为 65℃, 氨水、双氧水和水的体积比为 1:2:100 的混合溶液去除基于臭氧和正硅酸乙酯的亚常压化学气相沉积工艺形成的氧化硅时, 去除时间与所去除氧化硅厚度的关系图。由图 12 可知, 当去除时间为 5 分钟、10 分钟、15 分钟时, 去除氧化硅的厚度为 5.37 埃、10.50 埃和 17.68 埃, 去除时间与所去除氧化硅的厚度近似满足图 12 中直线 303, 直线 303 的斜率为 1.231, 即氧化硅的去除速率为 1.231 埃每分钟。

[0062] 由图 11 和图 12 可知, 氨水、双氧水和水的混合溶液对热氧化工艺形成的氧化硅去除速率与对亚常压化学气相沉积工艺形成的氧化硅的去除速率的比为 1:2.6, 其远大于 1:13。因此, 通过氨水、双氧水和水的混合溶液去除伪栅介质层 202 时, 对层间介质层 208 的影响较小, 进而不会在层间介质层 208 上方残留金属材料 216a, 避免残留于层间介质层 208 上方的金属材料 216a 对所形成 MOS 晶体管的性能造成影响, 提高了 MOS 晶体管的性能以及成品率。

[0063] 本发明虽然已以较佳实施例公开如上, 但其并不是用来限定本发明, 任何本领域技术人员在不脱离本发明的精神和范围内, 都可以利用上述揭示的方法和技术内容对本发明技术方案做出可能的变动和修改, 因此, 凡是未脱离本发明技术方案的内容, 依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化及修饰, 均属于本发明技术方案的保护范围。

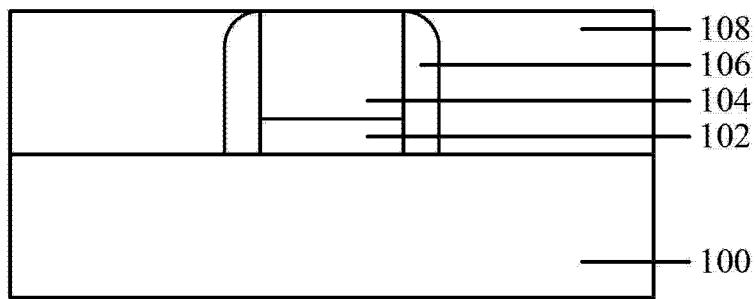


图 1

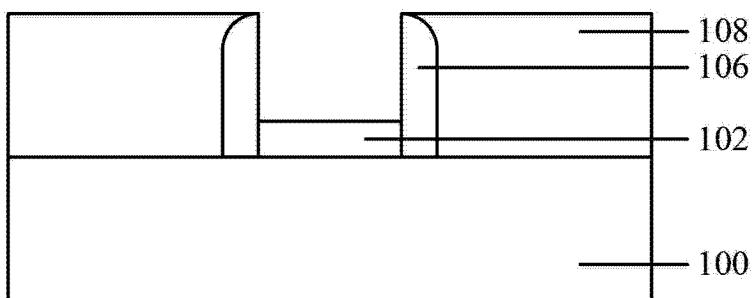


图 2

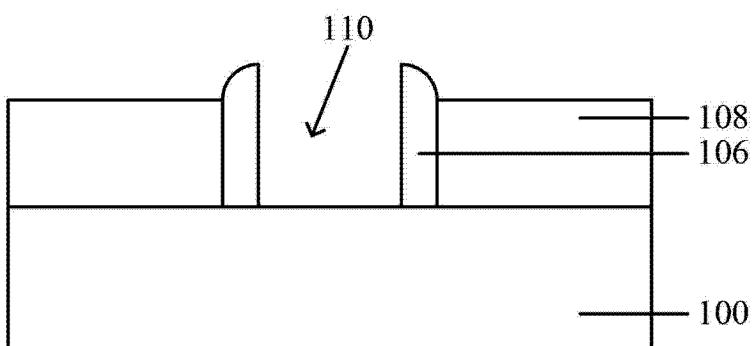


图 3

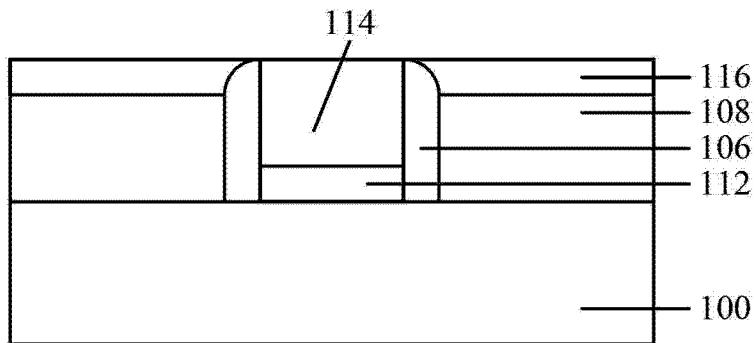


图 4

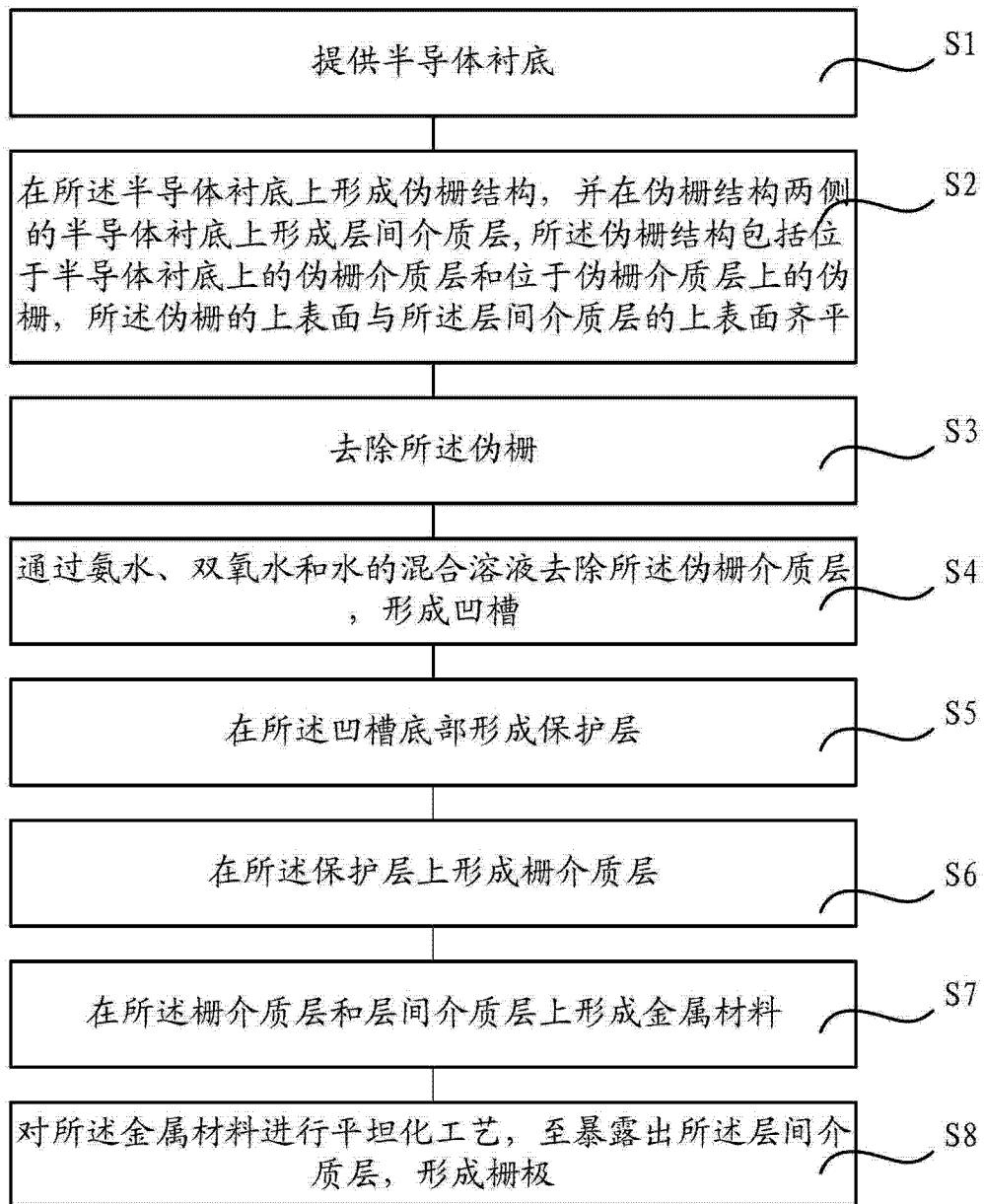


图 5

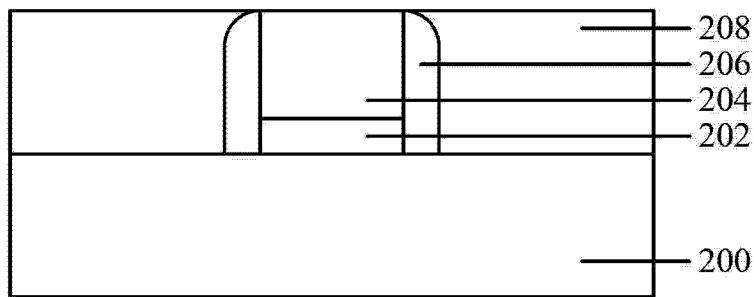


图 6

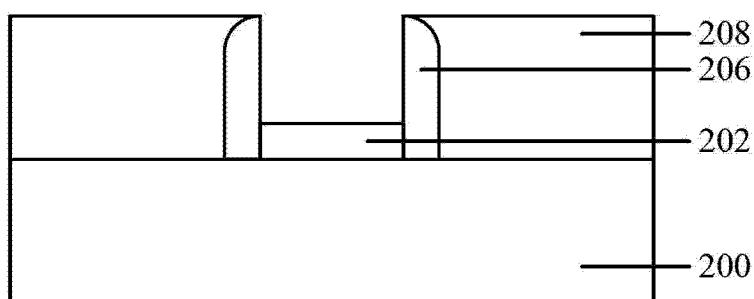


图 7

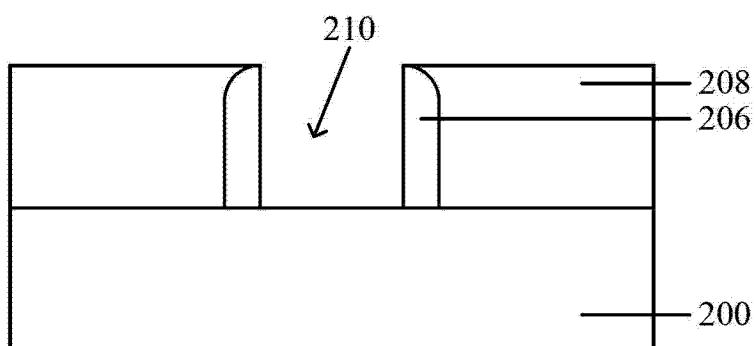


图 8

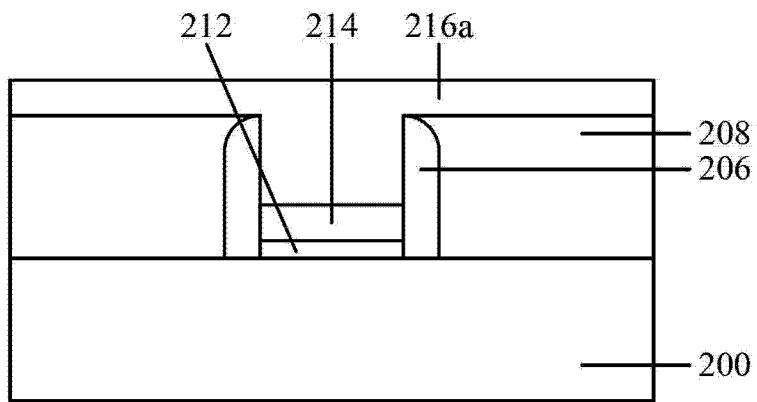


图 9

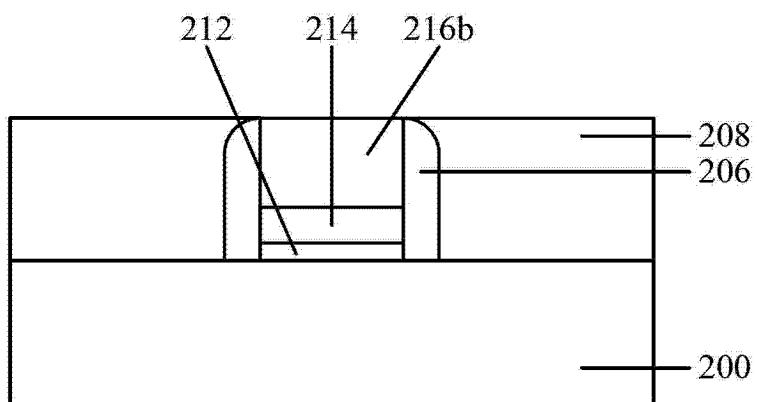


图 10

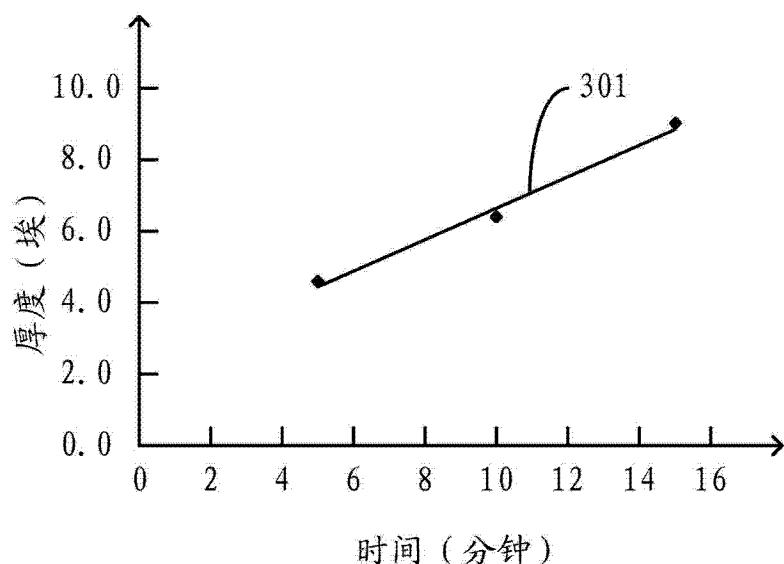


图 11

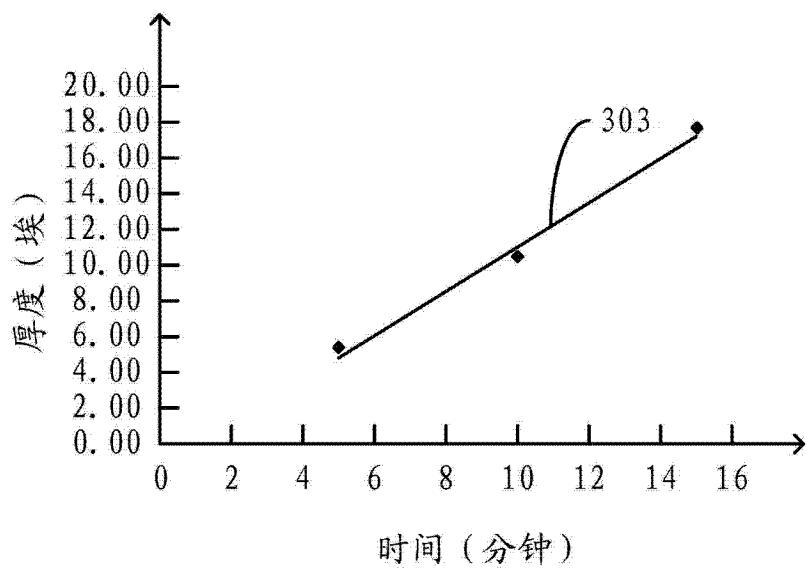


图 12