(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년06월02일
(11) 등록번호 10-2113024
(24) 등록일자 2020년05월14일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *G02F 1/1345* (2006.01)
H01L 27/12 (2006.01) *H01L 27/32* (2006.01)
H01L 29/417 (2006.01) *H01L 29/66* (2006.01)
H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 29/7869 (2013.01)
G02F 1/13458 (2013.01)
(21) 출원번호 10-2018-7022387(분할)
(22) 출원일자(국제) 2009년09월01일
심사청구일자 2018년08월02일
(85) 번역문제출일자 2018년08월02일
(65) 공개번호 10-2018-0090393
(43) 공개일자 2018년08월10일
(62) 원출원 특허 10-2014-7018423
원출원일자(국제) 2009년09월01일
심사청구일자 2014년07월03일
(86) 국제출원번호 PCT/JP2009/065560
(87) 국제공개번호 WO 2010/032640
국제공개일자 2010년03월25일
(30) 우선권주장
JP-P-2008-241335 2008년09월19일 일본(JP)
(56) 선행기술조사문헌
JP2000180890 A*
(뒷면에 계속)
전체 청구항 수 : 총 5 항

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 순페이
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
아키모토 켄고
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
(뒷면에 계속)
(74) 대리인
장훈

심사관 : 최혜미

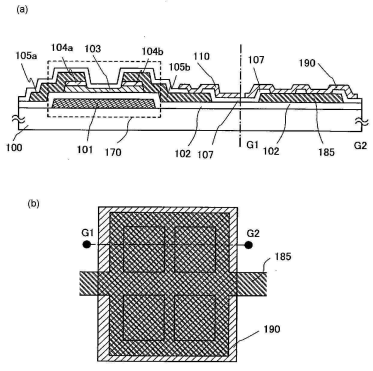
(54) 발명의 명칭 **표시 장치**

(57) 요 약

표시장치는, 화소 전극층이 매트릭스 형상으로 배열하는 화소부를 구비하고, 산소의 함유량이 다른 적어도 2종류의 산화물 반도체층의 조합을 갖는 역스태거형 박막 트랜지스터가 화소 전극층에 대응하여 설치된다. 이 표시장치에 있어서 화소부의 외측 영역에는, 화소 전극층과 동일한 재료로 제조된 도전층을 통해 대향 기판 위에 형성

(뒷면에 계속)

대 표 도 - 도1



된 공통 전극층에 전기적으로 접속되도록 패드부가 설치되어 있다. 표시 패널에 설치되는 패드부에 적합한 구조를 제공함으로써, 다양한 종류의 표시장치에 있어서 박막의 벗겨짐에 기인하는 불량을 방지하는 본 발명의 한가지 목적이 구현된다.

(52) CPC특허분류
H01L 27/1225 (2013.01)
H01L 27/124 (2013.01)
H01L 27/3262 (2013.01)
H01L 27/3276 (2013.01)
H01L 29/41733 (2013.01)
H01L 29/66742 (2013.01)
H01L 29/78606 (2013.01)
H01L 51/5221 (2013.01)
G09G 2300/0804 (2013.01)

(72) 발명자
코모리 시게키
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
우오치 히데키
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
와다 리히토
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
치바 요코
일본국 사이타마켄 카와고에시 신토미쵸 1-12-3 베루메존카와고에사잔스케푸701

(56) 선행기술조사문헌
JP2003167258 A*
KR1019980025840 A*
KR1019980072529 A*
KR1019980077678 A*
*는 심사관에 의하여 인용된 문헌

명 세 서

청구범위

청구항 1

표시 장치에 있어서:

기판 위의 화소부; 및

상기 기판 위에 있고, 상기 화소부의 외측에 위치된 접속부를 포함하고,

상기 접속부는:

상기 화소부의 게이트 배선과 동일한 재료를 포함하고 상기 게이트 배선으로부터 분리된 제 1 도전층;

상기 제 1 도전층 위에 있고 상기 화소부의 소스 배선과 동일한 재료를 포함하고 상기 소스 배선으로부터 분리된 제 2 도전층; 및

상기 제 2 도전층 위에 있고 상기 화소부의 화소 전극과 동일한 재료를 포함하고 상기 화소 전극으로부터 분리된 제 3 도전층을 포함하고,

상기 제 3 도전층은 상기 제 2 도전층과 접하는 제 1 영역을 포함하고,

상기 제 3 도전층은 상기 제 1 도전층과 접하는 제 2 영역을 포함하고,

상기 제 1 도전층은 상기 제 2 도전층이 신장하는 제 1 방향에서 제 1 단부 및 제 2 단부를 포함하고,

상기 제 2 도전층은 상기 제 1 단부로부터 신장하는 제 3 영역, 및 상기 제 2 단부로부터 신장하는 제 4 영역을 포함하고,

평면도에 있어서:

상기 제 1 방향과 교차하는 제 2 방향에서, 상기 제 2 도전층은 제 1 폭, 상기 제 1 폭보다 작은 제 2 폭, 및 상기 제 1 폭보다 작은 제 3 폭을 포함하고,

상기 제 3 영역은 상기 제 2 폭을 갖고,

상기 제 4 영역은 상기 제 3 폭을 갖고,

상기 제 2 도전층은 상기 제 3 영역과 상기 제 4 영역 사이의 제 5 영역을 포함하고, 상기 제 5 영역은 상기 제 1 폭을 갖고,

상기 제 1 도전층은 상기 제 2 도전층으로부터 신장하는 제 6 영역을 포함하고,

상기 제 6 영역은 상기 제 3 도전층과 중첩하고,

상기 제 1 영역은 상기 제 5 영역과 중첩하는, 표시 장치.

청구항 2

표시 장치에 있어서:

기판 위의 화소부; 및

상기 기판 위에 있고, 상기 화소부의 외측에 위치된 접속부를 포함하고,

상기 접속부는:

상기 화소부의 게이트 배선과 동일한 재료를 포함하고 상기 게이트 배선으로부터 분리된 제 1 도전층;

상기 제 1 도전층 위에 있고 상기 화소부의 소스 배선과 동일한 재료를 포함하고 상기 소스 배선으로부터 분리된 제 2 도전층; 및

상기 제 2 도전층 위에 있고 상기 화소부의 화소 전극과 동일한 재료를 포함하고 상기 화소 전극으로부

터 분리된 제 3 도전층을 포함하고,

상기 제 3 도전층은 상기 제 2 도전층과 접하는 제 1 영역을 포함하고,

상기 제 3 도전층은 상기 제 1 도전층과 접하는 제 2 영역을 포함하고,

상기 제 1 도전층은 상기 제 2 도전층이 신장하는 제 1 방향에서 제 1 단부 및 제 2 단부를 포함하고,

상기 제 2 도전층은 상기 제 1 단부로부터 신장하는 제 3 영역, 및 상기 제 2 단부로부터 신장하는 제 4 영역을 포함하고,

평면도에 있어서:

상기 제 1 방향과 교차하는 제 2 방향에서, 상기 제 2 도전층은 제 1 폭, 상기 제 1 폭보다 작은 제 2 폭, 및 상기 제 1 폭보다 작은 제 3 폭을 포함하고,

상기 제 3 영역은 상기 제 2 폭을 갖고,

상기 제 4 영역은 상기 제 3 폭을 갖고,

상기 제 2 도전층은 상기 제 3 영역과 상기 제 4 영역 사이의 제 5 영역을 포함하고, 상기 제 5 영역은 상기 제 1 폭을 갖고,

상기 제 1 도전층은 상기 제 2 도전층으로부터 상기 제 2 방향으로 신장하는 제 6 영역을 포함하고,

상기 제 6 영역은 상기 제 3 도전층과 중첩하고,

상기 제 1 영역은 상기 제 5 영역과 중첩하는, 표시 장치.

청구항 3

표시 장치에 있어서:

기판 위의 화소부; 및

상기 기판 위에 있고, 상기 화소부의 외측에 위치된 접속부를 포함하고,

상기 접속부는:

상기 화소부의 게이트 배선과 동일한 재료를 포함하고 상기 게이트 배선으로부터 분리된 제 1 도전층;

상기 제 1 도전층 위에 있고 상기 화소부의 소스 배선과 동일한 재료를 포함하고 상기 소스 배선으로부터 분리된 제 2 도전층; 및

상기 제 2 도전층 위에 있고 상기 화소부의 화소 전극과 동일한 재료를 포함하고 상기 화소 전극으로부터 분리된 제 3 도전층을 포함하고,

상기 제 3 도전층은 상기 제 2 도전층과 접하는 제 1 영역을 포함하고,

상기 제 3 도전층은 상기 제 1 도전층과 접하는 제 2 영역을 포함하고,

상기 제 1 도전층은 상기 제 2 도전층이 신장하는 제 1 방향에서 제 1 단부 및 제 2 단부를 포함하고,

상기 제 2 도전층은 상기 제 1 단부로부터 신장하는 제 3 영역, 및 상기 제 2 단부로부터 신장하는 제 4 영역을 포함하고,

평면도에 있어서:

상기 제 1 방향과 교차하는 제 2 방향에서, 상기 제 2 도전층은 제 1 폭, 상기 제 1 폭보다 작은 제 2 폭, 및 상기 제 1 폭보다 작은 제 3 폭을 포함하고,

상기 제 3 영역은 상기 제 2 폭을 갖고,

상기 제 4 영역은 상기 제 3 폭을 갖고,

상기 제 2 도전층은 상기 제 3 영역과 상기 제 4 영역 사이의 제 5 영역을 포함하고, 상기 제 5 영역은 상기 제 1 폭을 갖고,

상기 제 2 도전층은 상기 제 2 방향에서 제 3 단부를 포함하고,

상기 제 1 도전층은 상기 제 3 단부로부터 신장하는 제 6 영역을 포함하고,

상기 제 6 영역은 상기 제 3 도전층과 중첩하고,

상기 제 1 영역은 상기 제 5 영역과 중첩하는, 표시 장치.

청구항 4

표시 장치에 있어서:

기판 위의 화소부; 및

상기 기판 위의 접속부로서, 상기 접속부는 씰재와 겹치지 않는 개소에 위치되고, 상기 개소는 상기 화소부의 외측에 있는, 상기 접속부를 포함하고,

상기 접속부는:

상기 화소부의 게이트 배선으로부터 분리된 제 1 도전층으로서, 상기 제 1 도전층 및 상기 게이트 배선은 알루미늄을 포함하는, 상기 제 1 도전층;

상기 화소부의 소스 배선으로부터 분리된 제 2 도전층으로서, 상기 제 2 도전층 및 상기 소스 배선은 알루미늄을 포함하는, 상기 제 2 도전층; 및

상기 제 2 도전층 위의 투명 도전막을 포함하고,

상기 제 2 도전층은 상기 제 1 도전층 및 상기 투명 도전막에 전기적으로 접속되고,

상기 제 2 도전층은 절연층을 개재하여 상기 제 1 도전층 위에 위치되고,

상기 투명 도전막은 상기 절연층을 개재하여 상기 제 1 도전층 위에 위치되고,

상기 제 2 도전층은 상기 제 1 도전층과 중첩하고,

상기 제 2 도전층은 제 1 폭을 갖는 제 1 영역 및 상기 제 1 폭보다 작은 제 2 폭을 갖는 제 2 영역을 포함하고, 상기 제 2 영역은 상기 제 1 영역으로부터 신장하고,

제 1 방향에서, 상기 제 2 도전층의 상기 제 2 영역은 상기 제 1 도전층의 측면 단부 및 상기 투명 도전막의 측면 단부를 넘어 신장하고,

상기 제 1 방향에서, 상기 투명 도전막은 상기 제 1 도전층의 측면 단부들 양쪽을 넘어 신장하고,

상기 제 1 방향과 교차하는 제 2 방향에서, 상기 제 2 도전층의 상기 제 1 영역의 상기 제 1 폭은 상기 제 1 도전층의 폭보다 작고 상기 투명 도전막의 폭보다 작고,

상기 표시 장치는 FFS 모드로 구동하는 기능을 갖는, 표시 장치.

청구항 5

표시 장치에 있어서:

기판 위의 화소부; 및

상기 기판 위에 있고, 상기 화소부의 외측에 위치된 접속부를 포함하고,

상기 접속부는:

상기 화소부의 게이트 배선으로부터 분리된 제 1 도전층으로서, 상기 제 1 도전층 및 상기 게이트 배선은 알루미늄을 포함하는, 상기 제 1 도전층;

상기 화소부의 소스 배선으로부터 분리된 제 2 도전층으로서, 상기 제 2 도전층 및 상기 소스 배선은 알루미늄을 포함하는, 상기 제 2 도전층; 및

상기 제 2 도전층 위의 투명 도전막을 포함하고,

상기 제 2 도전층은 상기 제 1 도전층 및 상기 투명 도전막에 전기적으로 접속되고,

상기 제 2 도전층은 절연층을 개재하여 상기 제 1 도전층 위에 위치되고,

상기 투명 도전막은 상기 절연층을 개재하여 상기 제 1 도전층 위에 위치되고,

상기 제 2 도전층은 상기 제 1 도전층과 중첩하고,

상기 제 2 도전층은 제 1 폭을 갖는 제 1 영역 및 상기 제 1 폭보다 작은 제 2 폭을 갖는 제 2 영역을 포함하고, 상기 제 2 영역은 상기 제 1 영역으로부터 신장하고,

제 1 방향에서, 상기 제 2 도전층의 상기 제 2 영역은 상기 제 1 도전층의 측면 단부 및 상기 투명 도전막의 측면 단부를 넘어 신장하고,

상기 제 1 방향에서, 상기 투명 도전막은 상기 제 1 도전층의 측면 단부들 양쪽을 넘어 신장하고,

상기 제 1 방향과 교차하는 제 2 방향에서, 상기 제 2 도전층의 상기 제 1 영역의 상기 제 1 폭은 상기 제 1 도전층의 폭보다 작고 상기 투명 도전막의 폭보다 작고,

상기 표시 장치는 FFS 모드로 구동하는 기능을 갖는, 표시 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은, 산화물 반도체를 사용하는 표시장치 및 그 제조방법에 관한 것이다.

배 경 기 술

[0002] 액정 표시장치로 대표되는 것 같이, 유리 기판 등의 평판에 형성되는 박막 트랜지스터는 아모퍼스 실리콘 또는 다결정 실리콘에 의해 제조되고 있다. 아모퍼스 실리콘을 사용한 박막 트랜지스터는, 전계 효과 이동도가 낮지만 대면적의 유리 기판 위에 형성할 수 있다. 한편, 결정 실리콘을 사용한 박막 트랜지스터는 전계 효과 이동도가 높지만, 레이저 어닐 등의 결정화공정이 필요하여, 대면적의 유리 기판 위에 상시 형성이 가능한 것은 아니다.

[0003] 상기한 내용을 감안하여, 산화물 반도체를 사용해서 박막 트랜지스터를 제조하여, 전자 디바이스나 광 디바이스에 응용하는 기술이 주목받아 왔다. 예를 들면, 산화물 반도체막으로서 산화 아연 또는 In-Ga-Zn-O계 산화물 반도체를 사용해서 박막 트랜지스터를 제조하고, 화상 표시장치의 스위칭 소자 등에 사용하는 기술이 특허문헌 1 및 특허문헌 2에 개시되어 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본국 특개 2007-123861호 공보

(특허문헌 0002) 일본국 특개 2007-96055호 공보

발명의 내용

해결하려는 과제

[0005] 산화물 반도체를 채널 형성 영역에 사용하는 박막 트랜지스터의 전계 효과 이동도는, 아모퍼스 실리콘을 사용한 박막 트랜지스터의 전계 효과 이동도보다 높다. 산화물 반도체막은 스퍼터링법 등에 의해 300℃ 이하의 온도에서 막형성이 가능하다. 다결정 실리콘을 사용한 박막 트랜지스터보다도 제조공정이 간단하다.

[0006] 이와 같은 산화물 반도체를 사용해서 유리 기판, 플라스틱 기판 등에 박막 트랜지스터를 형성하고, 액정 디스플레이, 일렉트로루미네센스 디스플레이 또는 전자페이퍼 등에의 응용이 기대되고 있다.

[0007] 산화물 반도체 박막 트랜지스터는 동작 특성이 우수하고 저온에서 제조가능하다. 그러나, 이들 특성을 효율적으로 이용하기 위해서는, 소자의 구조와 제조 조건을 최적화할 필요가 있으며, 신호의 입출력에 필요한 배선구조

및 배선들의 접속 구조를 고려할 필요가 있다. 산화물 반도체막이 저온에서 성막가능하여도, 배선이나 전극에 사용되는 금속 등의 박막, 층간 절연막 등의 절연막이 박리되면, 제품 불량으로 되어 버린다. 또한, 표시 패널의 소자 기판측에 설치되는 공통 접속부의 전극의 접속 저항이 높으면, 표시 화면에 얼룩이 생겨 버려 휘도가 저하한다고 하는 문제가 발생한다.

[0008] 본 발명의 일 실시형태의 목적은, 표시 패널에 설치되는 공통 접속부에 적합한 구조를 제공함에 있다.

[0009] 본 발명의 일 실시형태의 또 다른 목적은, 산화물 반도체에, 절연막 및 도전막을 적층해서 제조되는 각종 용도의 표시장치에 있어서, 박막의 벗겨짐에 기인하는 불량을 방지함에 있다.

과제의 해결 수단

[0010] 본 발명의 일 실시형태에 따르면, 표시장치는, 주사선과 신호선이 교차하고, 화소 전극층이 매트릭스 형상으로 배열된 화소부를 구비하고, 산소의 함유량이 다른 적어도 2종류의 산화물 반도체층의 조합을 갖는 역스태거형 박막 트랜지스터가 화소 전극층에 대응하여 설치된다. 이 표시장치에 있어서 화소부의 외측 영역에는, 주사선 및 신호선과 동일한 재질로 이루어진 도전층을 거쳐, 화소 전극층과 대향하는 공통 전극층과 전기적으로 접속하는 패드부가 설치되어 있다.

[0011] 본 발명의 예시적인 일 태양에 따르면, 표시장치는, 화소 전극에 접속되는 박막 트랜지스터를 포함하는 화소부와, 화소 전극과 대향하는 공통 전극과 전기적으로 접속하는 패드부를 갖고, 표시장치가 이하의 구성을 포함한다.

[0012] 화소부에서는, 주사선과 신호선이 교차하고, 화소 전극층이 매트릭스 형상으로 배열하고 있다. 박막 트랜지스터는 화소 전극층에 대응해서 설치되고, 주사선과 접속하는 게이트 전극층과, 게이트 전극층을 피복하는 게이트 절연층과, 채널 형성 영역이 되는 제1 산화물 반도체층과, 제1 산화물 반도체층 위에 소스 영역 및 드레인 영역이 되는 제2 산화물 반도체층과, 제1 산화물 반도체층 및 제2 산화물 반도체층 위의 소스 전극층 및 드레인 전극층을 포함한다.

[0013] 패드부는 화소부의 외측 영역에 설치되고, 게이트 절연층과 같은 층으로 형성된 절연층과, 절연층 위에, 소스 전극층 및 드레인 전극층과 같은 층으로 형성된 도전층과, 도전층 위의 층간절연층을 포함한다. 패드부는, 층간절연층의 개구부를 통해 화소 전극층과 대향하는 공통 전극층과 전기적으로 접속될 수 있다.

[0014] 본 발명의 예시적인 일 태양에 따르면, 화소부의 외측 영역에 설치되는 패드부는 다음과 같은 다른 구성을 가져도 된다. 게이트 전극층과 같은 층으로 형성된 제1 도전층과, 게이트 절연층과 같은 층으로 형성된 절연층과, 소스 전극층 및 드레인 전극층과 같은 층으로 형성된 제2 도전층이 이 순서로 적층된다. 패드부는, 제2 도전층 위에 설치된 층간절연층의 개구부를 통해 화소 전극층과 대향하는 공통 전극층에 전기적으로 접속될 수 있다.

[0015] 상기 구성에 있어서, 패드부는, 게이트 절연층과 같은 층으로 형성된 절연층과 도전층(또는 제 2 도전층) 사이에 제2 산화물 반도체층과 같은 층으로 형성된 산화물 반도체층이 설치된 구성을 가져도 된다.

[0016] 반도체층의 채널 형성 영역으로서 사용하는 산화물 반도체층(제1 산화물 반도체층)은, 소스 영역 및 드레인 영역으로서 사용하는 산화물 반도체층(제2 산화물 반도체층)보다 산소 농도가 높다. 제1 산화물 반도체층은 산소 과잉 산화물 반도체층이며, 제2 산화물 반도체층은 산소 결핍 산화물 반도체층이라고 할 수 있다.

[0017] 제2 산화물 반도체층은 n형의 도전형을 갖고, 제1 산화물 반도체층보다 전기전도도가 높다. 따라서, 제2 산화물 반도체층을 사용하는 소스 영역 및 드레인 영역은, 제1 산화물 반도체층을 사용하는 반도체층보다 저항이 낮아진다.

[0018] 제1 산화물 반도체층은 비정질 구조를 갖고, 제2 산화물 반도체층은 비정질 구조 중에 결정립(나노 크리스탈)을 포함하는 경우가 있다. 이때, 이 제2 산화물 반도체층 중의 결정립(나노 크리스탈)은 직경 1nm~10nm, 대표적으로는 2nm~4nm 정도이다.

[0019] 이때, 본 명세서에서 "제1" 및 "제2" 등의 서수사는 편의상 사용하는 것이다. 따라서, 서수사가 공정 순서, 적층 순서, 및 본 발명을 특정하기 위한 고유의 명칭을 표시하는 것은 아니다.

[0020] 채널 형성 영역이 되는 제1 산화물 반도체층 및/또는 소스 영역 및 드레인 영역이 되는 제2 산화물 반도체층으로서는, In, Ga 및 Zn을 포함하는 산화물 반도체막을 사용할 수 있다. 원소 In, Ga 및 Zn의 어느 한 개를 텅스텐, 몰리브덴, 티타늄, 니켈, 또는 알루미늄으로 치환해도 된다.

[0021] 본 명세서에 있어서, In, Ga 및 Zn을 포함하는 산화물 반도체막을 사용해서 형성된 반도체층을 "IGZO 반도체층"으로 기재한다. IGZO 반도체층은, 비단결정 반도체층이며, 적어도 아모퍼스 성분을 포함한다.

[0022] 화소 전극층 및 상기 화소 전극층과 전기적으로 접속하는 박막 트랜지스터를 표면 위에 갖는 기판은, 씰재로 불리는 접착재로 대향 기판과 고정된다.

[0023] 액정 표시장치에 있어서, 액정 재료는 씰재로 2매의 기판 사이에 봉지된다.

[0024] 씰재는 복수의 도전성 입자(금 도금된 플라스틱 입자 등)와 혼합하여, 대향 기판에 설치된 대향 전극(공통 전극이라고도 부른다)이 다른 기판에 설치된 공통 전극 또는 공통 전위선과 전기적으로 접속된다.

[0025] 공통 전위선은 박막 트랜지스터의 공정과 같은 공정을 통해 동일 기판 위에 제조할 수 있다.

[0026] 또한, 공통 전위선과 씰재의 도전성 입자가 겹치는 부분이 공통 접속부로 부르는 일도 있다. 공통 전위선이 도전성 입자와 겹치는 부분을 공통 전극이라고도 부를 수 있다.

[0027] 박막 트랜지스터와 동일 기판 위에 형성하는 공통 전위선은, 액정을 교류 구동시킬 때에 기준으로 사용되는 전압을 제공하는 선이라고도 할 수 있다.

[0028] 대향 전극과 접속하는 공통 전위선 이외에도, 유지용량의 한쪽의 전극과 접속하는 용량 배선도 공통 전위선의 변형으로 간주할 수 있고, 마찬가지로 박막 트랜지스터와 동일 기판 위에 설치할 수 있다.

[0029] 전기영동 표시 소자를 사용한 전자 페이퍼로도 불리는 표시장치는, 한 쌍의 기판 사이에, 백색 입자와, 백색 입자와 반대의 극성을 갖는 흑색 입자 및 그것들을 분산하는 분산매(기체 또는 액체)를 수용하는 구조를 갖는다. 한 쌍의 기판의 한쪽의 기판 위에 설치된 전극은 공통 전극이다. 이 공통 전극에 대향해서 화소 전극이 다른 기판에 설치되고, 그 기판 위에는 화소 전극과 전기적으로 접속하는 박막 트랜지스터가 복수 배치된다. 예를 들면, 이 전기영동 표시 소자를 사용한 표시장치의 구동에 있어서, 백 표시로부터 흑 표시로 변화시키기 위해 화소 전극에 대하여, 공통 전극에 인가되어 있는 공통 전위에 대하여 양의 전압을 인가하고, 흑 표시로부터 백 표시로 변화시키기 위해 화소 전극에 대하여, 공통 전극에 인가되어 있는 공통 전위에 대하여 음의 전압을 인가하고, 표시를 변화시키지 않는 화소 전극은 공통 전위와 동전위로 설정한다.

[0030] 박막 트랜지스터와 동일 기판 위에 형성하는 공통 전위선은, 전기영동 표시 소자를 구동시킬 때에 기준으로 사용되는 전압을 제공하는 선이라고도 할 수 있다.

[0031] 이때, 전기영동 표시 소자를 사용한 표시장치는, 한 쌍의 기판 및 이 한쌍의 기판 사이에 설치되는 격벽에 의해 형성된 일정한 크기의 독립 공간을 복수 갖는다. 한개의 독립 공간이 단위 화소로 기능하여 화상의 일부를 표시한다. 한개의 독립 공간은, 복수의 백색 입자와, 백색 입자와 반대의 극성을 갖는 복수의 흑색 입자와, 그것들을 분산하는 분산매(기체 또는 액체)를 갖는다.

[0032] 전기영동 표시 소자를 사용한 표시장치에 있어서도, 다른 극성으로 대전한 복수의 유색 입자 및 그것들을 분산하는 분산매는 씰재로 2매의 기판 사이에 봉지된다. 또한, 전기영동 표시 소자를 사용한 표시장치에 있어서도, 한쪽의 기판에 설치된 공통 전극과 또 한쪽의 기판에 형성하는 공통 전위선은 공통 접속부에서 도전성 입자를 통해 전기적으로 접속된다.

[0033] 제조 프로세서 온도에 의존하여, 액정 표시장치 또는 전기영동 표시 소자를 사용한 표시장치에 사용하는 한 쌍의 기판의 재료로서 플라스틱 필름을 사용할 수도 있다.

[0034] 게이트 절연층, 채널 형성 영역이 되는 제1 산화물 반도체층, 소스 영역 및 드레인 영역이 되는 제2 산화물 반도체층, 소스 전극층 및 드레인 전극층은 스퍼터링(스퍼터링법)으로 형성하면 된다.

[0035] 스퍼터링의 예로는, 스퍼터용 전원에 고주파 전원을 사용하는 RF 스퍼터링과, DC 스퍼터링이 있고, 더구나 펄스식으로 바이어스를 제공하는 펄스 DC 스퍼터링도 있다. RF 스퍼터링은 주로 절연막을 성막하는 경우에 사용되고, DC 스퍼터링은 주로 금속막을 성막하는 경우에 사용된다.

[0036] 또한, 재료가 다른 타겟을 복수 설치할 수 있는 다원 스퍼터 장치도 있다. 다원 스퍼터 장치를 사용하여, 동일 챔버에서 다른 재료의 막을 적층 성막하는 것도, 동일 챔버에서 복수 종류의 재료를 동시에 방전시켜 성막할 수도 있다.

[0037] 또한, 챔버 내부에 자석기구를 구비하고 마그네트론 스퍼터링에 사요6d되는 스퍼터 장치와, 로우방전을 사용하지 않고 마이크로파를 사용해서 발생시킨 플라즈마를 사용하는 ECR 스퍼터링에 사용되는 스퍼터 장치가 있다.

[0038] 또한, 스퍼터링법을 사용하는 성막 방법으로서, 성막중에 타겟 물질과 스퍼터 가스 성분을 화학반응시켜 그들의 화합물 박막을 형성하는 리액티브 스퍼터링법과, 성막중에 기판에도 전압을 가하는 바이어스 스퍼터링법도 있다.

[0039] 이들 각종의 스퍼터링법을 사용해서, 게이트 절연층, 반도체층, 소스 영역 및 드레인 영역, 소스 전극층 및 드레인 전극층을 형성한다.

[0040] 또한, 제1 산화물 반도체층(산소 과잉 산화물 반도체층) 및 제2 산화물 반도체층(산소 결핍 산화물 반도체층)에 IGZO 반도체층을 사용하는 경우, 제1 산화물 반도체층 및 제2 산화물 반도체층은 다른 성막 조건에서 형성된다. 소스 영역 및 드레인 영역이 되는 제2 산화물 반도체층은, 성막 직후에 있어서 사이즈가 1nm 이상 10nm 이하의 결정립을 포함하는 조건에서 성막된다. 예를 들면, In_2O_3:Ga_2O_3:ZnO=1:1:1로 한 타겟을 사용한 DC 스퍼터링법에 의해 아르곤 가스 유량:산소 유량을 2:1의 비율로 챔버에 도입하거나, 또는 아르곤 가스만을 도입하면서 제 2 산화물 반도체층을 성막하는 경우, 성막 직후에 있어서 사이즈가 1nm 이상 10nm 이하의 결정립을 포함하는 막을 얻을 일이 있다. 이때, In_2O_3:Ga_2O_3:ZnO=1:1:1의 타겟은 아모퍼스 형상의 산화물 반도체막을 얻기 위해 이와 같은 비율을 갖도록 의도적으로 설계한다. 따라서, 소스 영역 및 드레인 영역의 결정성을 보다 높이기 위해 타겟의 조성비를 변경해도 된다. 프로세스의 간략화 및 저코스트를 실현하기 위해, 같은 타겟을 사용하고 도입 가스를 변경하는 것만으로 채널 형성 영역이 되는 제1 산화물 반도체층과, 소스 영역 및 드레인 영역이 되는 제2 산화물 반도체층을 별개로 형성하는 것이 바람직하다.

[0041] 또한, 소스 전극층 및 드레인 전극층에 티타늄 막을 사용하는 것이 바람직하다.

[0042] 스퍼터링시에, 타겟에 대하여 Ar 이온에 의해 강한 에너지가 주어지기 때문에, 성막된 산화물 반도체층(대표적으로는, IGZO 반도체층) 중에는 강한 변형 에너지가 내재한다고 생각된다. 이 변형 에너지를 해방하기 위해, 200℃~600℃, 대표적으로는 300℃~500℃에서의 열처리를 행하는 것이 바람직하다. 이 열처리에 의해 원자 레벨의 재배열이 행해진다. 이 열처리에 의해 캐리어의 이동을 저해하는 변형을 해방할 수 있기 때문에, 성막과 열처리(광 어닐도 포함한다)는 중요하다.

[0043] 이때, 본 명세서 중에 있어서 반도체장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고, 전기광학장치, 반도체회로 및 전자기기는 모두 반도체장치에 포함된다.

발명의 효과

[0044] 본 발명의 일 실시형태에 따르면, 표시 패널에 설치되는 패드부에 적합한 구조를 제공할 수 있다.

[0045] 본 발명의 일 실시형태에 따르면, 화소부의 외측 영역에 설치되는 패드부에 있어서, 산화물 반도체층과 도전층을 적층한 구성으로 함으로써, 박막의 벗겨짐에 기인한 불량을 방지할 수 있다. 또한, 산화물 반도체층과 도전층을 적층한 구성을 채용함으로써, 패드부가 후막화되어, 저저항화가 도모되고, 구조의 강도를 증가시킬 수 있다.

[0046] 본 발명의 일 실시형태에 따르면, 광전류가 적고, 기생 용량이 작고, 온 오프비가 높으며, 양호한 동특성을 갖는 박막 트랜지스터를 제조할 수 있다.

[0047] 따라서, 본 발명의 일 실시형태에 따르면, 전기 특성이 높고 신뢰성이 좋은 표시장치를 제공할 수 있다.

도면의 간단한 설명

[0048] 첨부도면에 있어서,

도 1a 및 도 1b는 반도체장치를 설명하는 도면.

도 2a 및 도 2b는 반도체장치를 설명하는 도면.

도 3a 및 도 3b는 반도체장치를 설명하는 도면.

도 4a 내지 도 4c는 반도체장치의 제조방법을 설명하는 도면.

도 5a 내지 도 5c는 반도체장치의 제조방법을 설명하는 도면.

도 6은 반도체장치의 제조방법을 설명하는 도면.

도 7은 반도체장치의 제조방법을 설명하는 도면.

도 8은 반도체장치의 제조방법을 설명하는 도면.

도 9는 반도체장치를 설명하는 도면.

도 10a 내지 도 10d는 반도체장치를 설명하는 도면.

도 11은 반도체장치를 설명하는 도면.

도 12는 반도체장치를 설명하는 도면.

도 13a 및 도 13b는 반도체장치의 블록도를 설명하는 도면.

도 14는 신호선 구동회로의 구성을 설명하는 도면.

도 15는 신호선 구동회로의 동작을 설명하는 타이밍 차트.

도 16은 신호선 구동회로의 동작을 설명하는 타이밍 차트.

도 17은 시프트 레지스터의 구성을 설명하는 도면.

도 18은 도 17에 나타낸 플립플롭의 접속 구성을 설명하는 도면.

도 19는 반도체장치의 화소의 등가회로도.

도 20a 내지 도 20c는 반도체장치를 설명하는 도면.

도 21a 내지 도 21c는 반도체장치를 설명하는 도면.

도 22는 반도체장치를 설명하는 도면.

도 23a 및 도 23b는 반도체장치를 설명하는 도면.

도 24a 및 도 24b는 전자 페이퍼의 응용을 나타낸 도면.

도 25는 전자서적 리더의 일례를 나타낸 외관도.

도 26a 및 도 26b는 텔레비젼 장치 및 디지털 포토 프레임의 예를 나타낸 외관도.

도 27a 및 도 27b는 오락기기의 예를 나타낸 외관도.

도 28은 휴대전화기의 일례를 나타낸 외관도.

도 29a 및 도 29b는 반도체장치를 설명하는 도면.

도 30a 및 도 30b는 반도체장치를 설명하는 도면.

도 31a 및 도 31b는 반도체장치를 설명하는 도면.

발명을 실시하기 위한 구체적인 내용

[0049] 본 발명의 실시형태에 대해서 도면을 참조해서 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 일탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타낸 실시형태의 기재 내용에 한정해서 해석되는 것은 아니다. 이때, 이하에 설명하는 본 발명의 구성에 있어서, 동일한 부분 또는 유사한 기능을 갖는 부분에는 동일한 참조부호로 표시하고, 그것의 설명은 생략한다.

[0051] (실시형태 1)

[0052] 본 실시형태는, 제1 기판과 제2 기판의 사이에 액정층을 봉입하고, 제2 기판에 설치된 대향 전극과 전기적으로 접속하기 위한 공통 접속부(패드부)를 제1 기판 위에 형성하는 액정표시장치의 예를 나타낸다. 이때, 제1 기판 위에는 스위칭 소자로서 박막 트랜지스터가 형성되어 있고, 공통 접속부를 화소부의 스위칭 소자와 동일한 제조공정으로 제조함으로써, 공정을 간단하게 한다.

[0053] 공통 접속부는, 제1 기판과 제2 기판을 접착하기 위한 씰재와 겹치는 위치에 설치되고, 씰재에 포함되는 도전성 입자를 거쳐 대향 전극과 전기적인 접속이 행해진다. 또는, 씰재와 겹치지 않는 개소(화소부를 제외한다)에 공

통 접속부를 설치하고, 공통 접속부에 겹치도록 도전성 입자를 포함하는 페이스트를 씰재와는 별도 설치하여, 페이스트 내부의 도전성 입자를 통해 공통 접속부를 대향 전극에 전기적으로 접속할 수 있다.

[0054] 도 1은 박막 트랜지스터와 공통 접속부를 동일 기판 위에 제조하는 반도체장치의 단면도이다. 이때, 도 1a에 나타낸 박막 트랜지스터는 역스태거형 박막 트랜지스터이며, 반도체층(103) 위에 소스 영역 및 드레인 영역 104a 및 104b를 개재하여 소스 전극층 및 드레인 전극층 105a 및 105b를 갖는다. 본 실시형태에서는, 채널 형성 영역을 갖는 반도체층(103)은, In, Ga, Zn 및 O를 포함하는 비단결정 반도체층(제1 산화물 반도체층)이며, 적어도 아모퍼스 성분을 포함한다. 소스 영역 및 드레인 영역 104a 및 104b는, In, Ga, Zn 및 O를 포함하는 산화물 반도체층(제2 산화물 반도체층)이며, IGZO 반도체층(103)과는 다른 성막 조건에서 형성되고, 반도체층(103)보다도 낮은 산소 농도 및 낮은 저항을 갖는다. 소스 영역 및 드레인 영역 104a 및 104b는, n형의 도전형을 갖고, 활성화 에너지(ΔE)가 0.01eV 이상 0.1eV 이하이며, n+ 영역으로도 부를 수 있다. 이때, 소스 영역 및 드레인 영역 104a 및 104b는, In, Ga, Zn 및 O를 포함하는 비단결정 반도체층이며, 적어도 아모퍼스 성분을 포함한다. 따라서, 반도체층(103)에 사용하는 산화물 반도체층은 산소 과잉 산화물 반도체층이며, 소스 영역 및 드레인 영역으로서 사용하는 산화물 반도체층은 산소 결핍 반도체층이다.

[0055] 산소 결핍 산화물 반도체층을 소스 영역 및 드레인 영역 104a 및 104b로서 설치함으로써, 금속층인 소스 전극층 및 드레인 전극층 105a 및 105b와, 반도체층(103)(산소 과잉 산화물 반도체층) 사이를 양호한 접합으로 하여 쇼트키 접합에 비해 더 높은 열적 안정성을 갖게 한다. 또한, 채널에 캐리어를 공급하거나(소스측), 채널로부터 캐리어를 안정적으로 흡수하거나(드레인측), 또는 저항성분이 소스 전극층(또는 드레인 전극층)과의 계면에서 발생하는 것을 방지하기 위해서도 적극적으로 소스 영역 및 드레인 영역을 설치하는 것이 중요하다. 저저항화에 의해, 높은 드레인 전압에서도 양호한 이동도를 유지할 수 있다.

[0056] 도 1b는 공통 접속부의 평면도의 일례를 나타낸 도면이고, 도 11b 중 쇄선 G1-G2가 도 1a의 공통 접속부의 단면에 해당한다. 이때, 도 1b에 있어서, 도 1a와 유사한 부분은 동일한 부호로 표시한다.

[0057] 공통 전위선(185)은, 게이트 절연층(102) 위에 설치되고, 소스 전극층 및 드레인 전극층 105a 및 105b와 같은 재료 및 같은 공정으로 제조된다.

[0058] 공통 전위선(185)은 보호 절연층(107)으로 덮이고, 보호 절연층(107)은, 공통 전위선(185)과 겹치는 위치에 복수의 개구부를 갖고 있다. 이 개구부는, 소스 또는 드레인 전극층(105b)과 화소 전극층(110)을 접속하는 콘택홀과 같은 공정으로 제조된다.

[0059] 이때, 여기에서는 사이즈가 크게 다르기 때문에, 화소부에 있어서의 콘택홀과, 공통 접속부의 개구부로 구별하여 설명한다. 도 1a에는, 화소부와 공통 접속부가 같은 축척으로 도시하고 있지 않다. 예를 들면, 공통 접속부의 쇄선 G1-G2의 길이가 500㎛ 정도이고, 박막 트랜지스터의 폭은 50㎛ 미만이므로, 공통 접속부의 면적은 박막 트랜지스터의 면적의 10배 이상 크다. 그러나, 간략을 도모하기 위해 도 1a에서는 화소부와 공통 접속부의 축척을 변경하였다.

[0060] 공통 전극층(190)은 보호 절연층(107) 위에 설치되고, 화소부의 화소 전극층(110)과 같은 재료 및 같은 공정으로 제조된다.

[0061] 이와 같이, 공통 접속부는 화소부의 스위칭 소자와 동일한 제조공정으로 제조된다.

[0062] 그후, 화소부와 공통 접속부가 설치된 제1 기판(100)을 대향 전극을 갖는 제2 기판에 씰재로 고정한다.

[0063] 씰재에 도전성 입자를 포함시키는 경우에는, 씰재와 공통 접속부가 겹치도록 한 쌍의 기판이 정렬된다. 예를 들면, 소형의 액정 패널의 경우에는, 화소부의 대향 모서리 등에서 2개의 공통 접속부가 씰재와 겹친다. 대형의 액정 패널의 경우에는, 4개 이상의 공통 접속부가 씰재와 겹친다.

[0064] 이때, 공통 전극층(190)은, 씰재에 포함되는 도전성 입자와 접촉하는 전극이며, 제2 기판의 대향 전극과 전기적으로 접속이 행해진다.

[0065] 액정주입법을 사용하는 경우에는, 씰재로 한 쌍의 기판을 고정한 후, 액정을 한 쌍의 기판 사이에 주입한다. 액정적하법을 사용하는 경우에는, 제2 기판 또는 제1 기판 위에 씰재를 묘화하고, 그 위에 액정을 적하시킨 후, 감압 하에서 한 쌍의 기판을 부착시킨다.

[0066] 본 실시형태에서는, 대향 전극과 전기적으로 접속하는 공통 접속부의 예를 나타내었다. 그러나, 본 발명은 이와 같은 예에 특별히 한정되지 않고, 다른 배선과 접속하는 접속부나, 외부 접속 단자 등과 접속하는 접속부에 적

용할 수 있다.

[0067] 예를 들면, 발광 표시장치를 제조하는 경우, 액정 표시장치와는 다르게, 대향 전극과 접속하기 위한 접속 부분은 없다. 그 대신에, 발광 표시장치는 발광소자의 캐소드(음극)를 공통 배선에 접속하는 부분을 갖고, 그 부분은 도 1a에 나타낸 것과 같은 접속 구조를 가져도 된다. 발광소자의 캐소드는 화소마다 접속 부분을 가져도 된다. 또는, 화소부와 구동회로부 사이에 접속 부분을 설치하면 된다.

[0069] (실시형태 2)

[0070] 본 실시형태에서는, 공통 전위선으로서 게이트 배선과 같은 재료 및 같은 공정으로 배선이 형성되는 공통 접속부(패드부)를 제조하는 예를 도 2a 및 도 2b에 나타낸다.

[0071] 도 2b는 공통 접속부의 평면도의 일례를 나타낸 도면이고, 도 2b 중의 쇄선 E1-E2가 도 2a의 공통 접속부의 단면에 해당한다.

[0072] 이때, 도 2a에 나타낸 것과 같이, 실시형태 1과 화소부의 박막 트랜지스터의 구조가 동일하므로, 도 1a와 유사한 부분은 동일한 부호로 표시하고, 상세한 설명은 생략하는 것으로 한다.

[0073] 공통 전위선(181)은, 기판(100) 위에 설치되고, 게이트 전극층(101)과 같은 재료 및 같은 공정으로 제조된다.

[0074] 또한, 공통 전위선(181)은, 게이트 절연층(102) 및 보호 절연층(107)으로 덮인다. 게이트 절연층(102) 및 보호 절연층(107)은, 공통 전위선(181)과 겹치는 위치에 복수의 개구부를 갖고 있다. 이 개구부는, 실시형태 1과는 다르게, 2층의 절연막의 두께에 해당하는 깊은 개구부를 갖는다. 이때, 이 개구부는, 소스 전극층(105a) 또는 드레인 전극층(105b)과 화소 전극층(110)을 접속하는 콘택홀과 같은 공정으로 에칭한 후, 게이트 절연층(102)을 선택적으로 더 에칭함으로써 제조된다.

[0075] 공통 전극층(190)은, 보호 절연층(107) 위에 설치되고, 화소부의 화소 전극층(110)과 같은 재료 및 같은 공정으로 제조된다.

[0076] 이와 같이, 화소부의 스위칭 소자와 동일한 공정으로 공통 접속부를 제조한다.

[0077] 그후, 화소부와 공통 접속부가 설치된 제1 기판(100)을 대향 전극을 갖는 제2 기판에 씰재로 고정한다.

[0078] 씰재가 도전성 입자를 포함하는 경우에는, 씰재와 공통 접속부가 겹치도록 한 쌍의 기판이 정렬된다.

[0079] 이때, 공통 전극층(190)은, 씰재에 포함되는 도전성 입자와 접촉하는 전극이며, 제2 기판의 대향 전극과 전기적으로 접속된다.

[0080] 액정주입법을 사용하는 경우에는, 씰재로 한 쌍의 기판을 고정한 후, 액정을 한 쌍의 기판 사이에 주입한다. 액정적하법을 사용하는 경우에는, 제2 기판 또는 제1 기판 위에 씰재를 묘화하고, 그 위에 액정을 적하시킨 후, 감압 하에서 한 쌍의 기판을 부착시킨다.

[0081] 본 실시형태에서는, 대향 전극과 전기적으로 접속하는 공통 접속부의 예를 나타내었다. 그러나. 본 발명은 이와 같은 예에 특별히 한정되지 않고, 다른 배선과 접속하는 접속부나, 외부 접속 단자 등과 접속하는 접속부에 적용할 수 있다.

[0083] (실시형태 3)

[0084] 본 실시형태에서는, 게이트 배선과 같은 재료 및 같은 공정으로 형성되는 전극을 설치하고, 전극 위의 공통 전위선으로서, 소스 전극층과 같은 재료 및 같은 공정으로 형성되는 배선을 설치한, 공통 접속부(패드부)의 제조 예를 도 3a 및 도 3b에 나타낸다.

[0085] 도 3b는 공통 접속부의 평면도의 일례를 나타낸 도면이고, 도 3b 중의 쇄선 F1-F2가 도 3a의 공통 접속부의 단면에 해당한다.

[0086] 이때, 도 3a에 나타낸 것과 같이, 화소부의 박막 트랜지스터의 구조는 실시형태 1과 동일하므로, 도 1a와 유사한 부분은 동일한 부호로 표시하고 상세한 설명은 생략하는 것으로 한다.

[0087] 접속 전극층(191)은, 기판(100) 위에 설치되고, 게이트 전극층(101)과 같은 재료 및 같은 공정으로 제조된다.

[0088] 또한, 접속 전극층(191)은, 게이트 절연층(102) 및 보호 절연층(107)으로 덮인다. 게이트 절연층(102) 및 보호 절연층(107)은, 공통 전극층(190)과 겹치는 위치에 개구부를 갖고 있다. 이 개구부는, 실시형태 1과는 다르게,

2층의 절연막의 두께에 해당하는 깊은 개구부를 갖는다. 이때, 이 개구부는, 소스 전극층(105a) 또는 드레인 전극층(105b)과 화소 전극층(110)을 접속하는 콘택홀과 같은 공정으로 에칭한 후, 게이트 절연층(102)을 선택적으로 더 에칭함으로써 제조된다.

[0089] 공통 전위선(185)은, 게이트 절연층(102) 위에 설치되고, 소스 전극층 및 드레인 전극층 105a 및 105b와 같은 재료 및 같은 공정으로 제조된다.

[0090] 공통 전위선(185)은 보호 절연층(107)으로 덮이고, 보호 절연층(107)은 공통 전위선(185)과 겹치는 위치에 복수의 개구부를 갖고 있다. 이 개구부는, 소스 전극층(105a) 또는 드레인 전극층(105b)과 화소 전극층(110)을 접속하는 콘택홀과 같은 공정으로 제조된다.

[0091] 공통 전극층(190)은, 보호 절연층(107) 위에 설치되고, 화소부의 화소 전극층(110)과 같은 재료 및 같은 공정으로 제조된다.

[0092] 이와 같이, 화소부의 스위칭 소자와 동일한 공정으로 공통 접속부가 제조된다.

[0093] 그후, 화소부와 공통 접속부가 설치된 제1 기판(100)을 대향 전극을 갖는 제2 기판에 씰재로 고정한다.

[0094] 이때, 본 실시형태에 있어서는, 복수의 도전성 입자를 게이트 절연층의 개구부에만 선택적으로 배치한다. 즉, 공통 전극층(190)과 접속 전극층(191)이 접하고 있는 영역에 복수의 도전성 입자를 배치한다. 접속 전극층(191) 및 공통 전위선(185)의 양쪽과 접촉하는 공통 전극층(190)은 도전성 입자와 접촉하는 전극이며, 제2 기판의 대향 전극과 전기적으로 접속된다.

[0095] 액정주입법을 사용하는 경우에는, 씰재로 한 쌍의 기판을 고정한 후, 액정을 한 쌍의 기판 사이에 주입한다. 액정적하법을 사용하는 경우에는, 제2 기판 또는 제1 기판 위에 씰재를 묘화하고, 그 위에 액정을 적하시킨 후, 감압 하에서 한 쌍의 기판을 부착시킨다.

[0096] 본 실시형태에서는, 대향 전극과 전기적으로 접속하는 공통 접속부의 예를 나타내었다. 그러나, 본 발명은 이 예에 특별히 한정되지 않고, 다른 배선과 접속하는 접속부나, 외부 접속 단자 등과 접속하는 접속부에 사용할 수 있다.

[0098] (실시형태 4)

[0099] 본 실시형태에서는, 소스 전극층 및 드레인 전극층과 소스 영역 및 드레인 영역을 같은 마스크를 사용하는 에칭에 의해 형성하는 실시형태 1에 도시된 표시장치의 다른 예를 도 29a 및 도 29b에 나타낸다.

[0100] 도 29a는 박막 트랜지스터와 공통 접속부(패드부)를 동일 기판 위에 제조하는 반도체장치의 단면도이다. 도 29a에 나타낸 박막 트랜지스터(172)는, 역스태거형 박막 트랜지스터이며, 반도체층(103) 위에 소스 영역 및 드레인 영역 104a 및 104b를 개재하여 소스 전극층 및 드레인 전극층 105a 및 105b가 설치되는 박막 트랜지스터의 예다. 박막 트랜지스터(172)에서는, 소스 영역 및 드레인 영역 104a 및 104b를 형성하는 산화물 반도체층과, 소스 전극층 및 드레인 전극층 105a 및 105b를 형성하는 도전층은 같은 마스크를 사용해서 에칭된다.

[0101] 따라서, 박막 트랜지스터(172)에 있어서는, 소스 전극층 및 드레인 전극층 105a 및 105b 및 소스 영역 및 드레인 영역 104a 및 104b는 같은 형상을 갖고, 소스 전극층 및 드레인 전극층 105a 및 105b 소스 영역 아래에 소스 영역 및 드레인 영역 104a 및 104b가 놓인다.

[0102] 따라서, 공통 접속부에 있어서도, 게이트 절연층(102)과 공통 전위선(185) 사이에 소스 영역 및 드레인 영역 104a 및 104b와 같은 재료 및 같은 공정으로 제조되는 산화물 반도체층(186)이 형성된다.

[0103] 이때, 도 29b는 공통 접속부의 평면도의 일례를 나타낸 도면이고, 도 29b의 쇄선 G1-G2가 도 29a의 공통 접속부의 단면에 해당한다.

[0104] 이때, 도 29b에 나타낸 것과 같이, 공통 접속부의 평면도가 실시형태 1과 동일한 구조를 가지므로, 도 1b와 유사한 부분은 동일한 부호로 표시하고, 상세한 설명은 생략하는 것으로 한다.

[0105] 본 실시형태에 따르면, 화소부의 외측 영역에 설치되는 공통 접속부(패드부)에서, 산화물 반도체층과 도전층이 적층됨으로써, 박막의 벗겨짐에 기인한 불량을 방지할 수 있어, 구조의 강도를 증가시킬 수 있다. 또한, 산화물 반도체층과 도전층의 적층 구조를 채용함으로써, 패드부가 후막화되고, 저저항화가 도모된다.

[0107] (실시형태 5)

[0108] 본 실시형태에서는, 소스 전극층 또는 드레인 전극층과 소스 영역 및 드레인 영역을 같은 마스크로 에칭하여 형성한 실시형태 3에 도시된 표시장치의 예를 도 30a 및 도 30b에 나타낸다.

[0109] 도 30a는 박막 트랜지스터와 공통 접속부(패드부)를 동일 기판 위에 제조하는 반도체장치의 단면도이다.

[0110] 이때, 도 30a에 나타낸 것과 같이, 화소부의 박막 트랜지스터의 구조는 실시형태 4와 동일하므로, 도 29a와 유사한 부분은 동일한 부호로 표시하고, 상세한 설명은 생략하는 것으로 한다.

[0111] 박막 트랜지스터(172)에서는, 소스 영역 및 드레인 영역 104a 및 104b를 형성하는 산화물 반도체층과, 소스 전극층 및 드레인 전극층 105a 및 105b를 형성하는 도전층을 같은 마스크를 사용해서 에칭한다. 따라서, 박막 트랜지스터(172)에 있어서는, 소스 전극층 및 드레인 전극층 105a 및 105b 및 소스 영역 및 드레인 영역 104a 및 104b는 같은 형상을 갖고, 소스 전극층 및 드레인 전극층 105a 및 105b 소스 영역 아래에 소스 영역 및 드레인 영역 104a 및 104b가 놓인다.

[0112] 공통 접속부에 있어서도, 게이트 절연층(102)과 공통 전위선(185) 사이에 소스 영역 및 드레인 영역 104a 및 104b와 같은 재료 및 같은 공정으로 제조되는 산화물 반도체층(186)이 형성된다.

[0113] 도 30b는 공통 접속부의 평면도의 일례를 나타낸 도면이고, 도 30b 중의 쇄선 F1-F2가 도 30a의 공통 접속부의 단면에 해당한다.

[0114] 이때, 도 30b에 나타낸 것과 같이, 공통 접속부의 평면도의 구성은 실시형태 3과 동일하므로, 도 3b와 유사한 부분은 동일한 부호로 표시하고, 상세한 설명은 생략하는 것으로 한다.

[0115] 본 실시형태에 따르면, 화소부의 외측 영역에 설치되는 공통 접속부(패드부)에 있어서 산화물 반도체층과 도전층이 적층됨으로써, 박막의 벗겨짐에 기인한 불량을 방지할 수 있어, 구조의 강도를 증가시킬 수 있다. 또한, 산화물 반도체층과 도전층의 적층 구성을 채용함으로써, 패드부가 후막화되고, 저저항화가 도모된다.

[0117] (실시형태 6)

[0118] 본 실시형태에서는, 본 발명의 일 실시형태의 박막 트랜지스터를 포함하는 표시장치의 제조공정을 도 4a 내지 도 4c, 도 5a 내지 도 5c, 도 6 내지 도 9, 도 10a 내지 도 10d와 도 11을 참조하여 설명한다.

[0119] 도 4a에 있어서, 투광성을 갖는 기판(100)으로서, Corning Incorporated사제의 #7059 글래스, #1737 글래스 등으로 대표되는 바륨 보로실리케이트 유리나 알루미노보로실리케이트 유리 등으로 제조된 유리 기판을 사용할 수 있다.

[0120] 도전층을 기판(100) 전체면에 형성한 후, 제1 포토리소그래피 공정을 행하여 레지스트 마스크를 형성한다. 그후, 에칭에 의해 불필요한 부분을 제거함으로써, 배선 및 전극(게이트 전극층(101)을 포함하는 게이트 배선, 용량 배선(108) 및 제1 단자(121))을 형성한다. 이때, 적어도 게이트 전극층(101)의 단부에 테이퍼 형상으로 되도록 에칭을 행한다. 이 단계에서의 단면도를 도 4a에 나타내었다. 이때, 이 단계에서의 평면도가 도 6에 해당한다.

[0121] 게이트 전극층(101)을 포함하는 게이트 배선, 용량 배선(108)과, 단자부의 제1 단자(121)는, 알루미늄(Al)이나 구리(Cu) 등의 저저항 도전성 재료로 형성하는 것이 바람직하지만, 그러나, Al 단체는 내열성이 떨어지고, 부식하기 쉬운 것 등의 문제점이 있으므로, 내열성을 갖는 도전성 재료와 조합해서 사용한다. 내열성을 갖는 도전성 재료로서는, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), Nd(네오디뮴), 스칸듐(Sc)으로부터 선택된 원소, 전술한 원소를 성분으로 포함하는 합금, 전술한 원소의 조합을 포함하는 합금, 또는 전술한 원소를 성분으로 포함하는 질화물을 사용할 수 있다.

[0122] 이어서, 게이트 전극층(101)의 전체 면 위에 게이트 절연층(102)을 성막한다. 게이트 절연층(102)은 스퍼터링법 등을 사용하여, 막두께를 50 내지 250nm로 형성한다.

[0123] 예를 들면, 게이트 절연층(102)으로서, 스퍼터링법에 의해 산화 실리콘 막을 100nm의 두께로 형성한다. 물론, 게이트 절연층(102)은 이와 같은 산화 실리콘 막에 한정되는 것은 아니고, 산화 질화 실리콘 막, 질화 실리콘 막, 산화 알루미늄 막, 또는 산화 탄탈 막 등의 다른 절연막을 사용하여 단층 또는 적층 구조로서 형성해도 된다.

[0124] 플라즈마처리에 의해, 채널 형성 영역이 되는 산화물 반도체층(IGZO 반도체층)을 형성하기 전에 게이트 절연층의 표면을 세정해도 된다. 게이트 절연층의 표면에 존재하는 유기물 등의 먼지를 제거하는 플라즈마처리를 행하

는 것은 유용하다. 또한, 게이트 절연층의 표면에 플라즈마처리를 행하여 산소 과잉 영역으로 하는 것은, 그후의 공정에서의 신뢰성 향상을 위한 열처리(200℃ 내지 600℃)에 있어서, 게이트 절연막과 IGZO 반도체층 사이의 계면의 개질을 위한 산소의 공급원으로 기능하므로 유효하다.

[0125] 플라즈마처리후에, 대기에 노출시키지 않고 스퍼터링법으로 산화물 반도체층을 성막하는 것이 바람직하다. 산화물 반도체층의 성막전에 피성막 기판이 대기에 노출된 경우, 피성막 기판에 수분 등이 부착되어, 계면상태에 악영향을 미쳐, 임계값의 격차, 전기 특성의 열화, 노멀리 온 TFT의 생성을 일으킬 수도 있다. 플라즈마처리는 산소 가스 또는 아르곤 가스를 사용하여 행한다. 아르곤 가스 대신에, 다른 희가스를 사용해도 된다.

[0126] 플라즈마처리후에 대기에 노출시키지 않고 스퍼터링법으로 채널 형성 영역이 되는 IGZO 반도체층을 성막하기 위해, IGZO 반도체층의 성막에서 사용된 것과 같은 챔버에서 행하는 것이 가능한 역스퍼터처리로 불리는 플라즈마처리의 일종을 행하는 것이 바람직하다. 역스퍼터처리란, 타겟측에 전압을 인가하지 않고, 산소 분위기, 또는 산소 및 아르곤 분위기 하에서 기판측에 전압을 인가해서 플라즈마를 발생하여 기판 위의 박막 표면을 개질하는 방법이다.

[0127] 산소 분위기에서 플라즈마처리를 행하는 경우, 게이트 절연층 표면이 산소 라디칼에 노출되어 산소 과잉 영역으로 개질됨으로써, 나중에 성막할 채널 형성 영역이 되는 산화물 반도체층과의 계면에 있어서의 산소 농도를 증가시킨다. 즉, 게이트 절연층에 산소 라디칼 처리를 행하고 그 위에 산화물 반도체층을 적층한 후 열처리를 행하면, 채널 형성 영역이 되는 산화물 반도체층의 게이트 절연층측의 산소 농도도 증가시킬 수 있다. 따라서, 게이트 절연층과 채널 형성 영역이 되는 산화물 반도체층과의 계면에서 산소 농도가 피크에 도달하고, 게이트 절연층의 산소 농도는 농도 구배를 갖고, 그 구배는 게이트 절연층과 채널 형성 영역이 되는 산화물 반도체층 사이의 계면을 향해 증가한다. 산소 과잉 영역을 갖는 게이트 절연층과 산소 과잉 산화물 반도체층인 채널 형성 영역이 되는 산화물 반도체층이 화합할 수 있으므로, 양호한 계면특성을 얻을 수 있다.

[0128] 산소 라디칼은, 산소를 포함하는 가스를 사용해서 플라즈마 발생 장치에서 발생되어도, 또는 오존 발생 장치에서 발생되어도 된다. 발생된 산소 라디칼 또는 산소에 박막을 노출시킴으로써, 막표면을 개질할 수 있다.

[0129] 플라즈마 처리는 산소 라디칼을 사용하는 처리에 한정되지 않고, 아르곤 및 산소 라디칼을 사용하여 행해도 된다. 아르곤과 산소 라디칼을 사용한 처리란, 아르곤 가스와 산소 가스를 도입해서 플라즈마를 발생시켜 박막 표면의 개질을 행하는 처리이다.

[0130] 전계가 인가되어 방전 플라즈마가 발생하고 있는 반응 공간 중의 Ar 원자(Ar)는, 방전 플라즈마 중의 전자(e)에 의해 여기 또는 전리되어, 아르곤 라디칼(Ar^*), 아르곤 이온(Ar^+) 또는 전자(e)로 변환된다. 아르곤 라디칼(Ar^*)은 에너지가 높은 준안정 상태에 있고, 주변에 있는 동종 또는 이종의 원자와 반응하여, 그들 원자를 여기 또는 전리시켜 안정상태로 되돌아옴으로써, 애벌란시와 같은 반응이 발생한다. 그 때에 주변에 산소가 존재하면, 산소 원자(O)가 여기 또는 전리되어, 산소 라디칼(O^*), 산소 이온(O^+) 또는 산소(O)가 변환된다. 그 산소 라디칼(O^*)이 피처리물인 박막 표면의 재료와 반응하여, 표면 개질이 행해지고, 산호 라디칼이 표면에 있는 유기물과 반응해서 유기물이 제거된다. 이에 따라 플라즈마처리가 행해진다. 이때, 아르곤 가스의 라디칼은, 반응성 가스(산소 가스)의 라디칼보다 준안정 상태가 오래 유지된다고 하는 특징을 갖는다. 따라서, 플라즈마를 발생시키는데 아르곤 가스를 사용하는 것이 일반적이다.

[0131] 다음에, 게이트 절연층(102) 위에, 제1 산화물 반도체막(본 실시형태에서는, 제1 IGZO막)을 성막한다. 플라즈마처리후 대기에 노출시키지 않고 제1 IGZO막을 성막하는 것은, 게이트 절연층과 반도체막 사이의 계면에 먼지나 수분을 부착되지 못하게 하는 점에서 유용하다. 여기에서는, 직경 8인치의 In, Ga 및 Zn을 포함하는 산화물 반도체 타겟(In_2O_3:Ga_2O_3:ZnO=1:1:1)을 사용하여, 기판과 타겟 사이의 거리를 170mm, 압력 0.4Pa, 직류(DC) 전원 0.5kW에서, 아르곤 분위기 또는 산소 분위기 하에서 성막을 행한다. 이때, 펄스 직류(DC) 전원을 사용하면, 먼지를 경감하고, 막두께 분포도 균일하게 되기 때문에 바람직하다. 제1 IGZO막의 막두께는, 5nm 내지 200nm이고, 본 실시형태에서는, 제1 IGZO막의 막두께는 100nm이다.

[0132] 게이트 절연층 및 제1 IGZO막은, 스퍼터링법으로, 챔버에 도입하는 가스 또는 챔버에 설치된 타겟을 적절히 전환함으로써 대기에 노출하지 않고 연속 성막할 수 있다. 대기에 노출하지 않고 연속 성막하면, 불순물의 혼입을 방지할 수 있다. 대기에 노출시키지 않고 연속 성막하는 경우, 멀티 챔버 방식의 제조장치를 사용하는 것이 바람직하다.

[0133] 이어서, 대기에 노출시키지 않고, 제2 산화물 반도체막(본 실시형태에서는 제2 IGZO막)을 스퍼터링법으로 성막한다. 여기에서는, In_2O_3:Ga_2O_3:ZnO=1:1:1의 타겟을 사용하고, 압력 0.4Pa, 전력 500W, 성막 온도 실온, 아르곤 가스 유량 40sccm에서 스퍼터 성막을 행한다. In_2O_3:Ga_2O_3:ZnO=1:1:1의 타겟을 의도적으로 사용하더라도, 성막 직후에 1nm 내지 10nm의 직경을 갖는 결정립을 포함하는 IGZO막이 형성되는 일이 있다. 타겟의 성분비, 성막 압력(0.1Pa 내지 2.0Pa), 전력(250W 내지 3000W: 8인치φ), 또는 온도(실온 내지 100℃) 등의 반응성 스퍼터의 성막 조건 등을 적절히 조절함으로써 결정립의 유무, 밀도 및 직경을 조절할 수 있다고 말할 수 있다. 결정립의 직경은 1nm 내지 10nm의 범위에서 조절된다. 제2 IGZO막의 막두께는 5nm 내지 20nm이다. 물론, 막중에 결정립이 포함되는 경우, 결정립의 직경이 막두께를 넘지 않는다. 본 실시형태에서는, 제2 IGZO막의 막두께는 5nm이다.

[0134] 제1 IGZO막과 제2 IGZO막을 다른 조건에서 성막함으로써, 제2 IGZO막의 막 중의 산소 농도보다 제1 IGZO막 중의 산소 농도가 높다. 예를 들면, 제2 IGZO막의 성막 조건에 있어서의 산소 가스와 아르곤 가스의 유량비보다 제1 IGZO막의 성막 조건에 있어서의 산소 가스와 아르곤 가스의 유량비가 더 높다. 구체적으로는, 제2 IGZO막은 희가스(아르곤 또는 헬륨 등) 분위기 하(또는 산소 가스 10%이하, 아르곤 가스 90% 이상을 포함하는 분위기)에서 성막하고, 제1 IGZO막은, 산소 분위기 하(또는 산소 가스의 유량이 아르곤 가스의 유량과 같거나 그 이상)에서 성막한다. 또한, 제1 IGZO막이 더 많은 산소를 포함함으로써, 제1 IGZO막의 도전율이 제2 IGZO막보다도 낮게 할 수 있다. 또한, 제1 IGZO막이 더 많은 산소를 포함할 때 제1 IGZO막의 오프 전류를 저감할 수 있으므로, 온/오프비가 높은 박막 트랜지스터를 얻을 수 있다.

[0135] 제2 IGZO막의 성막은, 이전의 역스퍼터처리에서 사용된 챔버와 동일 챔버를 사용해도 되고, 또는 대기에 노출시키지 않고 성막할 수 있는 것이라면, 다른 챔버에서 성막해도 된다.

[0136] 이어서, 200℃ 내지 600℃, 대표적으로는 300℃ 내지 500℃의 열처리를 행하는 것이 바람직하다. 여기에서는 로에 넣고 질소 분위기 하에서 350℃에서, 1시간의 열처리를 행한다. 이 열처리는 IGZO막의 원자 레벨에서의 재배열을 포함한다. 이와 같은 단계에서의 열처리(광 어닐도 포함한다)는, 캐리어의 이동을 저해하는 변형이 해방되기 때문에, 중요하다. 이때, 열처리를 행하는 타이밍은 특별히 한정되지 않고, 제2 IGZO막의 성막후이면 어느 때나, 예를 들면, 화소 전극 형성후에 열처리를 행해도 된다.

[0137] 다음에, 제2 포토리소그래피 공정을 행하여 레지스트 마스크를 형성하고, 제1 IGZO막 및 제2 IGZO막을 에칭한다. 여기에서는, ITO07N(KANTO CHEMICAL CO., INC.제)을 사용한 웨트에칭에 의해 불필요한 부분을 제거해서, 산소 과잉형의 제1 IGZO막인 IGZO막 109와 산소 결핍형의 제2 IGZO막인 IGZO막 111을 형성한다. 이때, 이와 같은 에칭공정은 웨트에칭에 한정되지 않고 드라이에칭을 사용해도 된다. 이 단계에서의 단면도를 도 4b에 나타내었다. 이때, 이 단계에서의 평면도가 도 7에 해당한다.

[0138] 다음에, IGZO막 109 및 IGZO막 111 위에 금속 재료로 이루어진 도전막(132)을 스퍼터링법이나 진공증착법으로 형성한다. 이 단계에서의 단면도를 도 4c에 나타내었다.

[0139] 도전막(132)의 재료로서는, Al, Cr, Ta, Ti, Mo, W로부터 선택된 원소, 전술한 원소를 성분으로 하는 합금, 전술한 원소의 조합을 포함하는 합금 등을 들 수 있다. 200℃ 내지 600℃의 열처리를 행하는 경우에는, 이 열처리에 견디는데 충분한 내열성을 도전막에 갖게 하는 것이 바람직하다. Al 단체는 내열성이 떨어지고, 부식하기 쉬운 것 등의 문제점이 있기 때문에, 내열성을 갖는 도전성 재료와 조합해서 형성한다. Al과 조합하는 내열성을 갖는 도전성 재료로서는, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), Nd(네오디뮴), Sc(스칸듐)로부터 선택된 원소, 전술한 원소를 성분으로 포함하는 합금, 전술한 원소의 조합을 포함하는 합금, 또는 전술한 원소를 성분으로 포함하는 질화물을 사용할 수 있다.

[0140] 여기에서는, 도전막(132)은 티타늄 막의 단층 구조를 갖는다. 또한, 도전막(132)은, 알루미늄 막 위에 티타늄막을 적층한 2층 구조를 가져도 된다. 또는, 도전막(132)은, Ti막과, Nd를 포함하는 알루미늄막(Al-Nd막)과 Ti막을 이 순서로 적층한 3층 구조를 가져도 된다. 또는, 도전막(132)은, 실리콘을 포함하는 알루미늄 막의 단층 구조를 가져도 된다.

[0141] 다음에, 제3 포토리소그래피 공정을 행하여 레지스트 마스크(131)를 형성하고, 에칭에 의해 불필요한 부분을 제거해서, 소스 전극층 및 드레인 전극층 105a 및 105b, 및 소스 영역 및 드레인 영역 104a 및 104b를 형성한다. 이와 같은 에칭공정은 웨트에칭 또는 드라이에칭에 의해 행해진다. 예를 들면, 도전막(132)으로서 알루미늄 막 또는 알루미늄 합금막을 사용하는 경우에는, 인산과 초산과 질산을 섞은 용액을 사용하여 웨트에칭을 행할 수 있다. 여기에서는, 암모니아 과수 혼합물(과산화 수소:암모니아:물=5:2:2)을 사용하여, Ti으로 이루어진 도전막(132)을 에칭해서 소스 전극층 및 드레인 전극층 105a 및 105b를 형성하고, IGZO막(111)을 에칭해서 소스 영역

및 드레인 영역 104a 및 104b를 형성한다. 이 에칭공정에 있어서, IGZO막 109의 노출 영역이 일부 에칭되어, 반도체층(103)이 된다. 따라서, 소스 영역 및 드레인 영역 104a 및 104b의 사이의 반도체층(103)의 채널 영역은 얇은 막두께를 갖는다. 도 5a에 있어서는, 소스 전극층 및 드레인 전극층 105a 및 105b와, 소스 영역 및 드레인 영역 104a 및 104b는 암모니아 과수 혼합물을 사용하여 동시에 에칭되므로, 소스 전극층 및 드레인 전극층 105a 및 105b의 단부가 소스 영역 및 드레인 영역 104a 및 104b의 단부와 정렬되어, 연속적인 구조를 갖는다. 또한, 웨트에칭에 의해 층들이 등방적으로 에칭되어, 소스 전극층 및 드레인 전극층 105a 및 105b의 단부가 레지스트 마스크(131)로부터 후퇴하고 있다. 이상의 공정을 통해, IGZO 반도체층(103)을 채널 형성 영역으로 포함하는 박막 트랜지스터(170)를 제조할 수 있다. 이 단계에서의 단면도를 도 5a에 나타내었다. 이때, 이 단계에서의 평면도가 도 8에 해당한다.

[0142] 더구나, 노출하고 있는 반도체층(103)의 채널 형성 영역에 산소 라디칼 처리를 행하여, 노멀리 오프 박막 트랜지스터를 얻을 수 있다. 또한, 라디칼 처리를 함으로써, 반도체층(103)의 에칭에 의한 대미지를 회복할 수 있다. 라디칼 처리는 O_2 또는 N_2O의 분위기하에서 행하는 것이 바람직하며, 바람직하게는 산소를 포함하는 N_2, He, Ar 분위기 하에서 행하는 것이 바람직하다. 또한, 상기 분위기에 Cl_2 또는 CF_4을 추가한 분위기 하에서 라디칼 처리를 행해도 된다. 이때, 라디칼 처리는, 무바이어스에서 행하는 것이 바람직하다.

[0143] 제3 포토리소그래피 공정에 있어서, 소스 전극층 및 드레인 전극층 105a 및 105b와 같은 재료로 제조된 제2 단자(122)는 단자부에 남는다. 이때, 제2 단자(122)는 소스 배선(소스 전극층 및 드레인 전극층 105a 및 105b를 포함하는 소스 배선)과 전기적으로 접속되어 있다.

[0144] 다계조 마스크를 사용하여 형성한 서로 다른 두께들(대표적으로는 2종류의 두께)을 갖는 복수의 영역을 갖는 레지스트 마스크를 사용하면, 레지스트 마스크의 수를 절감할 수 있으므로, 공정간략화 저코스트화를 도모할 수 있다.

[0145] 이어서, 레지스트 마스크(131)를 제거하고, 박막 트랜지스터(170)를 덮는 보호 절연층(107)을 형성한다. 보호 절연층(107)은 스퍼터링법 등을 사용해서 얻어지는 질화 실리콘 막, 산화 실리콘 막, 산화질화 실리콘 막, 산화 알루미늄막, 산화 탄탈 막 등으로 형성할 수 있다.

[0146] 다음에, 제4 포토리소그래피 공정을 행하여 레지스트 마스크를 형성하고, 보호 절연층(107)을 에칭하여 소스 전극층 또는 드레인 전극층(105b)에 이르는 콘택홀 125를 형성한다. 또한, 동일한 에칭공정에서 제2 단자(122)에 이르는 콘택홀 127도 형성한다. 마스크 수를 삭감하기 위해, 같은 레지스트 마스크를 사용해서 게이트 절연층을 에칭해서, 게이트 전극에 이르는 콘택홀(126)도 같은 레지스트 마스크를 사용하여 형성하는 것이 바람직하다. 이 단계에서의 단면도를 도 5b에 나타낸다.

[0147] 이어서, 레지스트 마스크를 제거한 후, 투명 도전막을 성막한다. 투명 도전막은, 산화 인듐(In_2O_3), 산화 인듐-산화 주석 합금(In_2O_3-SnO_2, ITO로 약기한다) 등을 스퍼터링법이나 진공증착법 등을 사용해서 형성한다. 이와 같은 재료는 염산계의 용액에 의해 에칭된다. 그러나, 특히 ITO의 에칭에서는 잔류물이 발생하기 쉬우므로, 에칭 가공성을 개선하기 위해 산화 인듐-산화 아연 합금(In_2O_3-ZnO)을 사용해도 된다.

[0148] 다음에, 제5 포토리소그래피 공정을 행하여 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거해서, 화소 전극층(110)을 형성한다.

[0149] 제5 포토리소그래피 공정에 있어서, 용량부에 있어서의 게이트 절연층(102) 및 보호 절연층(107)을 유전체로 사용하여, 용량 배선(108)과 화소 전극층(110) 사이에 유지용량이 형성된다.

[0150] 또한, 이 제5 포토리소그래피 공정에 있어서, 제1 단자 및 제2 단자를 레지스트 마스크로 덮어, 단자부에 투명 도전막 128 및 129를 남긴다. 투명 도전막 128 및 129는 FPC에 접속된 전극 또는 배선으로 기능한다. 제2 단자(122) 위에 형성된 투명 도전막 129는, 소스 배선의 입력 단자로서 기능하는 접속용의 단자 전극이다.

[0151] 이어서, 레지스트 마스크를 제거하고, 이 단계에서의 단면도를 도 5c에 나타낸다. 이때, 이 단계에서의 평면도가 도 9에 해당한다.

[0152] 도 10a 내지 도 10d는, 이 단계에서의 게이트 배선 단자부의 단면도 및 평면도를 각각 도시하고 있다. 도 10a는 도 10b 중의 C1-C2선에 따른 단면도에 해당한다. 도 10a에 있어서, 보호 절연막(154) 위에 형성되는 투명 도전막(155)은, 입력 단자로서 기능하는 접속용의 단자 전극이다. 또한, 도 10a의 단자부에서는, 게이트 배선과 같은 재료로 형성되는 제1 단자(151)와, 소스 배선과 같은 재료로 형성되는 접속 전극층(153)이 게이트 절연층

(152)을 개재하여 서로 겹치고, 투명 도전막(155)을 통해 서로 전기적으로 접속된다. 이때, 도 5c에 도시한 투명 도전막 128과 제1 단자(121)가 접촉하고 있는 부분이, 도 10a의 투명 도전막(155)과 제1 단자(151)가 접촉하고 있는 부분에 대응하고 있다.

[0153] 또한, 도 10c 및 도 10d는, 도 5c에 나타낸 소스 배선 단자부와는 다른 소스 배선 단자부의 단면도 및 평면도를 각각 도시하고 있다. 도 10c는 도 10d 중의 D1-D2선에 따른 단면도에 해당한다. 도 10c에 있어서, 보호 절연막(154) 위에 형성되는 투명 도전막(155)은 입력 단자로서 기능하는 접속용의 단자 전극이다. 또한, 도 10c의 단자부에서는, 게이트 배선과 같은 재료로 형성되는 전극층(156)이 소스 배선과 전기적으로 접속되는 제2 단자(150)의 아래쪽에 형성되어 게이트 절연층(152)을 개재하여 제 2 단자(150)와 겹친다. 전극층(156)은 제2 단자(150)와는 전기적으로 접속되어 있지 않고, 전극층(156)의 전위를 제2 단자(150)와 다른 전위, 예를 들면, 플로팅, GND, 0V 등으로 설정하면, 노이즈 또는 정전기 대책을 위한 용량을 형성할 수 있다. 제2 단자(150)는, 보호 절연막(154)을의 개구를 개재하여 투명 도전막(155)과 전기적으로 접속하고 있다.

[0154] 복수의 게이트 배선, 소스 배선 및 용량 배선은 화소 밀도에 의존하여 설치되는 것이다. 또한, 단자부에 있어서는, 게이트 배선과 동전위에 있는 제1 단자, 소스 배선과 동전위에 있는 제2 단자, 용량 배선과 동전위에 있는 제3 단자 등이 복수 배치된다. 각각의 단자의 수에는 특별한 제한은 없으며, 단자의 수는 실시자가 적절히 결정하면 된다.

[0155] 이와 같은 5회의 포토리소그래피 공정에 의해, 5매의 포토마스크를 사용하여, 보텀 게이트형의 n채널형 박막 트랜지스터인 박막 트랜지스터(170)를 갖는 화소 박막 트랜지스터부와, 유지용량을 완성시킬 수 있다. 각각의 화소에 대응해서 이들 화소 박막 트랜지스터부와 유지용량을 매트릭스 형상으로 배치하면, 화소부를 구성할 수 있고, 액티브 매트릭스형의 표시장치를 제조하기 위한 한쪽의 기판을 얻을 수 있다. 본 명세서에서는, 편의상 이와 같은 기판을 액티브 매트릭스 기판으로 부른다.

[0156] 액티브 매트릭스형의 액정 표시장치를 제조하는 경우에는, 액티브 매트릭스 기판과, 대향 전극이 설치된 대향 기판을 액정층을 개재하여 서로 접합한다. 이때, 대향 기판 위의 대향 전극과 전기적으로 접속하는 공통 전극을 액티브 매트릭스 기판 위에 설치하고, 공통 전극과 전기적으로 접속하는 제4 단자를 단자부에 설치한다. 이 제4 단자는, 공통 전극을 고정 전위, 예를 들면, GND, 0V 등으로 설정하기 위한 설치된다.

[0157] 본 발명의 일 실시형태는, 도 9의 화소 구성에 한정되지 않고, 도 9와는 다른 평면도의 예를 도 11에 나타낸다. 도 11은, 용량 배선을 설치하지 않고, 화소 전극층이 인접한 화소의 게이트 배선과 보호 절연막 및 게이트 절연층를 개재하여 겹쳐 유지용량을 형성하는 예를 나타낸 것이다. 이 경우, 용량 배선과, 용량 배선에 접속되는 제3 단자는 생략할 수 있다. 이때, 도 11에 있어서, 도 9와 유사한 부분에는 동일한 부호로 표시한다.

[0158] 액티브 매트릭스형의 액정 표시장치에 있어서는, 매트릭스 형상으로 배치된 화소 전극을 구동하여, 화면 위에 표시 패턴이 형성된다. 상세하게는, 선택된 화소 전극과 상기 화소 전극에 대응하는 대향 전극 사이에 전압이 인가됨으로써, 화소 전극과 대향 전극 사이에 설치된 액정층이 광학적으로 변조되고, 이 광학변조가 표시 패턴으로서 관찰자에게 인식된다.

[0159] 동화상 표시에 있어서, 액정 표시장치는, 액정 분자 자체의 긴 응답 시간이 잔상이나 동화상의 블러를 일으킨다고 하는 문제를 갖는다. 액정 표시장치의 동화상 특성을 개선하기 위해, 전체 화면에 흑 표시를 1 프레임 주기 걸러 행하는, 흑 삽입으로 불리는 구동법을 채용한다.

[0160] 더구나, 소위 배속 구동으로 불리는 다른 구동방법도 존재한다. 배속 구동에서는, 통상의 수직 주기보다 수직 주기를 1.5배 이상(바람직하게는 2배 이상) 길게 함으로써, 동화상 특성을 개선한다.

[0161] 또는, 액정 표시장치의 동화상 특성을 개선하기 위해, 백라이트로서 복수의 LED(발광 다이오드) 또는 복수의 EL 광원 등을 사용해서 면광원을 구성하고, 면광원의 각 광원을 독립하여 1 프레임 기간에 간헐 점등 구동하는 구동방법을 채용해도 된다. 면광원으로서, 3종류 이상의 LED를 사용해도 되고, 백색 발광의 LED를 사용해도 된다. 독립하여 복수의 LED를 제어할 수 있기 때문에, 액정층이 광학변조되는 타이밍에 맞춰서 LED의 발광 타이밍을 동기시킬 수도 있다. 이 구동방법에 따르면, LED를 부분적으로 소등할 수 있으므로, 특히 흑색이 표시되는 큰 부분을 갖는 영상을 표시하는 경우에는, 소비 전력의 저감 효과를 도모할 수 있다.

[0162] 이들 구동방법을 조합함으로써, 액정 표시장치의 동화상 특성 등의 표시 특성을 종래의 액정 표시장치에 비해 개선할 수 있다.

[0163] 본 실시형태의 n채널형의 트랜지스터는, IGZO 반도체층을 채널 형성 영역에 포함하고, 양호한 동특성을 갖는다.

따라서, 이들 구동방법을 본 실시형태의 n채널형의 트랜지스터와 조합하여 적용할 수 있다.

[0164] 발광 표시장치를 제조하는 경우, 유기발광소자의 한쪽의 전극(캐소드라고도 부른다)은 저전원 전위, 예를 들면, GND, 0V 등으로 설정되므로, 단자부에, 캐소드를 저전원 전위, 예를 들면, GND, 0V 등으로 설정하기 위한 제4 단자가 설치된다. 또한, 발광 표시장치를 제조하는 경우에는, 소스 배선 및 게이트 배선 이외에 전원공급선을 설치한다. 따라서, 단자부에는, 전원공급선과 전기적으로 접속하는 제5 단자를 설치한다.

[0165] 소스 영역 및 드레인 영역(In, Ga 및 Zn을 포함하는 산소 결핍 산화물 반도체층)을 설치하지 않고, 게이트 전극층, 게이트 절연층, 반도체층(In, Ga 및 Zn을 포함하는 산소 과잉 산화물 반도체층), 소스 전극층 및 드레인 전극층을 적층하는 경우에는, 게이트 전극층 및 소스 전극층과 드레인 전극층의 거리가 줄어들어, 그들 사이의 기생 용량이 증가해 버린다. 더구나, 이 기생 용량은, 반도체층의 박막화에 의해 더 증가한다. 본 실시형태에서는, 박막 트랜지스터가, 게이트 전극층, 게이트 절연층, 반도체층, 소스 및 드레인 전극 영역, 소스 전극층 및 드레인 전극층이 적층된 적층 구조를 가지므로, 반도체층의 막두께가 작아져도, 기생 용량을 억제할 수 있다.

[0166] 본 실시형태에 따르면, 광전류가 적고, 기생 용량이 작고, 온 오프비가 높으며, 양호한 동특성을 갖는 박막 트랜지스터를 제조할 수 있다. 따라서, 전기 특성이 높고 신뢰성이 좋은 박막 트랜지스터를 갖는 반도체장치를 제공할 수 있다.

[0168] (실시형태 7)

[0169] 본 실시형태에서는, 소스 전극층 및 드레인 전극층과 반도체층이 접하는 박막 트랜지스터를 갖는 실시형태 3에 나타낸 표시장치의 다른 예를 도 31a 및 도 31b에 나타낸다.

[0170] 도 31a는 박막 트랜지스터와 공통 접속부(패드부)를 동일 기판 위에 제조하는 반도체장치의 단면도이다. 도 31a에 나타낸 박막 트랜지스터(171)는, 역스태거형 박막 트랜지스터이며, 소스 전극층 및 드레인 전극층 105a 및 105b가 반도체층 103과 접하여 설치된 박막 트랜지스터의 예이다.

[0171] 박막 트랜지스터(171)에 있어서, 반도체층(103)과 소스 전극층 및 드레인 전극층 105a 및 105b 사이의 접촉 영역은 플라즈마처리에 의해 개질되어 있는 것이 바람직하다. 본 실시형태에서는, 소스 전극층 또는 드레인 전극층으로 기능하는 도전막을 형성하기 전에, 산화물 반도체층(본 실시형태에서는 IGZO 반도체층)에 플라즈마처리를 행한다.

[0172] 플라즈마처리는, 아르곤 가스, 수소 가스, 또는 아르곤과 수소의 혼합 가스를 사용할 수 있다. 또한, 상기 가스에 산소 가스를 포함시켜도 된다. 아르곤 가스 대신에, 다른 희가스를 사용해도 된다.

[0173] 본 실시형태에서는, 소스 전극층 또는 드레인 전극층 105a 및 105b는 티타늄 막을 사용하여 제조되고, 암모니아 과수 혼합물(과산화 수소:암모니아:물=5:2:2)을 사용한 웨트에칭을 행한다. 이 에칭공정에 있어서, IGZO 반도체층인 반도체층의 노출 영역도 일부 에칭되어, 반도체층(103)이 된다. 따라서, 소스 전극층 및 드레인 전극층 105a 및 105b 사이의 반도체층(103)의 채널 영역은 얇은 막두께를 갖는다.

[0174] 플라즈마처리에 의해 개질된 반도체층(103)에 접해서 도전층을 형성하여, 소스 전극층 및 드레인 전극층 105a 및 105b를 형성한다. 이에 따라, 반도체층(103)과 소스 전극층 및 드레인 전극층 105a 및 105b 사이의 콘택 저항을 저감할 수 있다.

[0175] 이상의 공정에 의해, 반도체장치로서 신뢰성이 높은 표시장치를 제조할 수 있다.

[0176] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 구현할 수 있다.

[0178] (실시형태 8)

[0179] 본 실시형태에서는, 본 발명의 반도체장치의 일례인 표시장치를 설명한다. 이 표시장치에서는, 1개의 기판 위에 적어도 구동회로의 일부와, 화소부에 배치하는 박막 트랜지스터를 형성한다.

[0180] 화소부에 배치하는 박막 트랜지스터는, 실시형태 6 또는 실시형태 7에 따라 형성한다. 또한, 실시형태 6 또는 실시형태 7에 나타낸 박막 트랜지스터는 n채널형 TFT이므로, 구동회로 중에서 n채널형 TFT를 포함할 수 있는 구동회로의 일부를 화소부의 박막 트랜지스터와 동일 기판 위에 형성한다.

[0181] 본 발명의 반도체장치의 일례인 액티브 매트릭스형 액정 표시장치의 블록도의 일례를 도 13a에 나타낸다. 도 13a에 나타낸 표시장치는, 기판(5300) 위에, 표시 소자를 구비한 화소를 복수 갖는 화소부(5301)와, 각 화소를

선택하는 주사선 구동회로(5302)와, 선택된 화소에의 비디오 신호의 입력을 제어하는 신호선 구동회로(5303)를 갖는다.

[0182] 화소부(5301)는, 신호선 구동회로(5303)로부터 열방향으로 뻗는 복수의 신호선 S1 내지 Sm(미도시)에 의해 신호선 구동회로(5303)와 접속되고, 주사선 구동회로(5302)로부터 행방향으로 뻗는 복수의 주사선 G1 내지 Gn(미도시)에 의해 주사선 구동회로(5302)와 접속된다. 화소부(5301)는, 신호선 S1 내지 Sm과 주사선 G1 내지 Gn에 대응해서 매트릭스 형상으로 배치된 복수의 화소(미도시)를 갖는다. 각 화소는, 신호선 Sj(신호선 S1 내지 Sm 중 어느 한 개)과 주사선 Gi(주사선 G1 내지 Gn 중 어느 한 개)와 접속된다.

[0183] 실시형태 6 또는 실시형태 7에 나타낸 박막 트랜지스터는 n채널형 TFT이며, n채널형 TFT를 포함하는 신호선 구동회로에 대해 도 14를 사용하여 설명한다.

[0184] 도 14에 나타낸 신호선 구동회로는, 드라이버 IC(5601), 스위치군(5602_1 내지 5602_M), 제1 배선(5611), 제2 배선(5612), 제3 배선(5613) 및 배선 5621_1 내지 5621_M을 갖는다. 스위치군(5602_1 내지 5602_M) 각각은, 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)를 갖는다.

[0185] 드라이버 IC(5601)은 제1 배선(5611), 제2 배선(5612), 제3 배선(5613) 및 배선 5621_1 내지 5621_M에 접속된다. 스위치군(5602_1 내지 5602_M) 각각은, 제1 배선(5611), 제2 배선(5612) 및 제3 배선(5613)에 접속되고, 스위치군(5602_1 내지 5602_M) 각각 배선 5621_1 내지 5621_M에 접속된다. 배선 5621_1 내지 5621_M 각각은, 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)를 거쳐, 3개의 신호선에 접속된다. 예를 들면, J열째의 배선 5621_J(배선 5621_1 내지 배선 5621_M 중 어느 한개)는, 스위치군 5602_J에 포함된 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)를 거쳐, 신호선 Sj-1, 신호선 Sj, 신호선 Sj+1에 접속된다.

[0186] 제1 배선(5611), 제2 배선(5612), 제3 배선(5613)에는, 각각 신호가 입력된다.

[0187] 이때, 드라이버 IC(5601)은 단결정 기판 위에 형성되어 있는 것이 바람직하다. 더구나, 스위치군(5602_1 내지 5602_M)은, 화소부와 동일 기판 위에 형성되어 있는 것이 바람직하다. 따라서, 드라이버 IC(5601)는 스위치군(5602_1 내지 5602_M)에 FPC 등을 거쳐 접속하는 것이 바람직하다.

[0188] 다음에, 도 14에 나타낸 신호선 구동회로의 동작에 대해 도 15의 타이밍 차트를 참조해서 설명한다. 이때, 도 15의 타이밍 차트는, i행째의 주사선 Gi가 선택되어 있는 경우를 나타내고 있다. i행째의 주사선 Gi의 선택 기간은, 제1 서브 선택 기간 T1, 제2 서브 선택 기간 T2 및 제3 서브 선택 기간 T3로 분할되어 있다. 더구나, 도 14의 신호선 구동회로는, 다른 행의 주사선이 선택되어 있는 경우에도 도 15와 유사한 동작을 한다.

[0189] 이때, 도 15의 타이밍 차트는, J열째의 배선 5621_J가 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)를 거쳐 신호선 Sj-1, 신호선 Sj, 신호선 Sj+1에 접속되는 경우에 대해 나타내고 있다.

[0190] 도 15의 타이밍 차트는, i행째의 주사선 Gi가 선택되는 타이밍, 제1 박막 트랜지스터(5603a)의 온/오프의 타이밍 5703a, 제2 박막 트랜지스터(5603b)의 온/오프의 타이밍 5703b, 제3 박막 트랜지스터(5603c)의 온/오프의 타이밍 5703c 및 J열째의 배선 5621_J에 입력되는 신호 5721_J를 나타내고 있다.

[0191] 제1 서브 선택 기간 T1, 제2 서브 선택 기간 T2 및 제3 서브 선택 기간 T3에 있어서, 배선 5621_1 내지 배선 5621_M에는 각각 다른 비디오 신호가 입력된다. 예를 들면, 제1 서브 선택 기간 T1에 있어서 배선 5621_J에 입력되는 비디오 신호는 신호선 Sj-1에 입력되고, 제2 서브 선택 기간 T2에 있어서 배선 5621_J에 입력되는 비디오 신호는 신호선 Sj에 입력되고, 제3 서브 선택 기간 T3에 있어서 배선 5621_J에 입력되는 비디오 신호는 신호선 Sj+1에 입력된다. 제1 서브 선택 기간 T1, 제2 서브 선택 기간 T2 및 제3 서브 선택 기간 T3에 있어서 배선 5621_J에 입력되는 비디오 신호를 각각 Data_j-1, Data_j, Data_j+1로 표시한다.

[0192] 도 15에 나타낸 것과 같이, 제1 서브 선택 기간 T1에 있어서, 제1 박막 트랜지스터(5603a)가 온하고, 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)가 오프한다. 이때, 배선 5621_J에 입력되는 Data_j-1이 제1 박막 트랜지스터(5603a)를 거쳐 신호선 Sj-1에 입력된다. 제2 서브 선택 기간 T2에서는, 제2 박막 트랜지스터(5603b)가 온하고, 제1 박막 트랜지스터(5603a) 및 제3 박막 트랜지스터(5603c)가 오프한다. 이때, 배선 5621_J에 입력되는 Data_j가 제2 박막 트랜지스터(5603b)를 거쳐 신호선 Sj에 입력된다. 제3 서브 선택 기간 T3에서는, 제3 박막 트랜지스터(5603c)가 온하고, 제1 박막 트랜지스터(5603a) 및 제2 박막 트랜지스터(5603b)가 오프한다. 이때, 배선 5621_J에 입력되는 Data_j+1이 제3 박막 트랜지스터(5603c)를 거쳐 신호선 Sj+1에 입

력된다.

[0193] 전술한 것과 같이, 도 14의 신호선 구동회로에서는, 1 게이트 선택 기간을 3개로 분할함으로써, 1 게이트 선택 기간 동안에 1개의 배선 5621로부터 3개의 신호선에 비디오 신호를 입력할 수 있다. 따라서, 도 14의 신호선 구동회로에서는, 드라이버 IC(5601)가 설치되는 기판과, 화소부가 설치되는 기판 사이의 접속수를 신호선의 수에 비해 약 1/3로 줄일 수 있다. 접속수가 신호선 수의 약 1/3로 감소함으로써, 도 14의 신호선 구동회로의 신뢰성, 수율 등을 향상시킬 수 있다.

[0194] 이때, 도 14에 나타낸 것과 같이, 1 게이트 선택 기간을 복수의 서브 선택 기간으로 분할하고, 복수의 서브 선택 기간 각각에 있어서, 어떤 1개의 배선으로부터 복수의 신호선 각각에 비디오 신호를 입력할 수 있으면, 박막 트랜지스터의 배치, 개수, 구동방법 등은 특별히 한정되지 않는다.

[0195] 예를 들면, 3개 이상의 서브 선택 기간 각각에 있어서 1개의 배선으로부터 3개 이상의 신호선 각각에 비디오 신호를 입력하는 경우에, 박막 트랜지스터 및 박막 트랜지스터를 제어하기 위한 배선을 추가하면 된다. 단, 1 게이트 선택 기간을 4개 이상의 서브 선택 기간으로 분할하면, 1개의 서브 선택 기간이 짧아진다. 따라서, 1 게이트 선택 기간은, 2개 또는 3개의 서브 선택 기간으로 분할하는 것이 바람직하다.

[0196] 다른 예로서, 도 16의 타이밍 차트에 나타낸 것과 같이, 1개의 선택 기간을 프리차지 기간 Tp, 제1 서브 선택 기간 T1, 제2 서브 선택 기간 T2 및 제3 서브 선택 기간 T3로 분할해도 된다. 도 16의 타이밍 차트는, i행째의 주사선 Gi가 선택되는 타이밍, 제1 박막 트랜지스터(5603a)의 온/오프의 타이밍 5803a, 제2 박막 트랜지스터(5603b)의 온/오프의 타이밍 5803b, 제3 박막 트랜지스터(5603c)의 온/오프의 타이밍 5803c 및 J열째의 배선 5621_J에 입력되는 신호 5821_J를 나타내고 있다. 도 16에 나타낸 것과 같이, 프리차지 기간 Tp에 있어서 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)가 온한다. 이때, 배선 5621_J에 입력되는 프리차지 전압 Vp가 제1 박막 트랜지스터(5603a), 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)를 거쳐 각각 신호선 Sj-1, 신호선 Sj, 신호선 Sj+1에 입력된다. 제1 서브 선택 기간 T1에 있어서, 제1 박막 트랜지스터(5603a)가 온하고, 제2 박막 트랜지스터(5603b) 및 제3 박막 트랜지스터(5603c)가 오프한다. 이때, 배선 5621_J에 입력되는 Data_j-1이 제1 박막 트랜지스터(5603a)를 거쳐 신호선 Sj-1에 입력된다. 제2 서브 선택 기간 T2에서는, 제2 박막 트랜지스터(5603b)가 온하고, 제1 박막 트랜지스터(5603a) 및 제3 박막 트랜지스터(5603c)가 오프한다. 이때, 배선 5621_J에 입력되는 Data_j가 제2 박막 트랜지스터(5603b)를 거쳐 신호선 Sj에 입력된다. 제3 서브 선택 기간 T3에서는, 제3 박막 트랜지스터(5603c)가 온하고, 제1 박막 트랜지스터(5603a) 및 제2 박막 트랜지스터(5603b)가 오프한다. 이때, 배선 5621_J에 입력되는 Data_j+1이 제3 박막 트랜지스터(5603c)를 거쳐 신호선 Sj+1에 입력된다.

[0197] 전술한 것과 같이, 도 16의 타이밍 차트를 적용한 도 14의 신호선 구동회로에서는, 서브 선택 기간 이전에 프리차지 선택 기간을 설치함으로써 신호선을 프리차지할 수 있기 때문에, 화소에의 비디오 신호의 기록을 고속으로 행할 수 있다. 이때, 도 15와 유사한 도 16의 부분은 공통의 부호를 사용해서 나타내고, 동일 부분 또는 유사한 기능을 갖는 부분의 상세한 설명은 생략한다.

[0198] 또한, 주사선 구동회로의 구성에 대해 설명한다. 주사선 구동회로는, 시프트 레지스터와 버퍼를 갖고 있다. 또한, 경우에 따라서는 주사선 구동회로가 레벨 시프터를 갖고 있어도 된다. 주사선 구동회로에 있어서, 시프트 레지스터에 클록 신호(CLK) 및 스타트 펄스 신호(SP)가 입력됨으로써, 선택신호가 생성된다. 생성된 선택신호는 버퍼에 의해 완충 및 증폭되고, 그 결과 얻어지는 신호는 대응하는 주사선에 공급된다. 주사선에는, 1 라인분의 화소의 트랜지스터의 게이트 전극이 접속되어 있다. 그리고, 1 라인분의 화소의 트랜지스터를 일제히 ON으로 해야 하므로, 큰 전류를 공급할 수 있는 버퍼를 사용한다.

[0199] 주사선 구동회로의 일부에 사용하는 시프트 레지스터의 일 형태에 대해 도 17 및 도 18을 참조하여 설명한다.

[0200] 도 17에 시프트 레지스터의 회로 구성을 나타낸다. 도 17에 나타낸 시프트 레지스터는 복수의 플립플롭(플립플롭 5701_1 내지 5701_n)을 포함한다. 시프트 레지스터는 제1 클록 신호, 제2 클록 신호, 스타트 펄스 신호 및 리셋트 신호가 입력되어 동작한다.

[0201] 도 17의 시프트 레지스터의 접속 관계에 대해 설명한다. 도 17의 시프트 레지스터에 있어서 i단째의 플립플롭 5701_i(플립플롭 5701_1 내지 5701_n 중 한 개)에서는, 도 18에 나타낸 제1 배선(5501)이 제7 배선(5717_i-1)에 접속되고, 도 18에 나타낸 제2 배선(5502)이 제7 배선(5717_i+1)에 접속되고, 도 18에 나타낸 제3 배선(5503)이 제7 배선(5717_i)에 접속되고, 도 18에 나타낸 제6 배선(5506)이 제5 배선(5715)에 접속된다.

[0202] 또한, 도 18에 나타낸 제4 배선(5504)이 홀수단째의 플립플롭에서는 제2 배선(5712)에 접속되고, 짝수단째의 플

립플롭에서는 제3 배선(5713)에 접속된다. 도 18에 나타낸 제5 배선(5505)이 제4 배선(5714)에 접속된다.

[0203] 단, 도 18에 나타낸 1단째의 플립플롭 5701_1의 제1 배선(5501)은 제1 배선(5711)에 접속된다. 더구나, 도 18에 나타낸 n단째의 플립플롭 5701_n의 제2 배선(5502)은 제6 배선(5716)에 접속된다.

[0204] 이때, 제1 배선(5711), 제2 배선(5712), 제3 배선(5713), 제6 배선(5716)을, 각각 제1 신호선, 제2 신호선, 제3 신호선, 제4 신호선으로 불러도 된다. 제4 배선(5714) 및 제5 배선(5715)을, 각각 제1 전원선 및 제2 전원선으로 불러도 된다.

[0205] 다음에, 도 17에 나타낸 플립플롭의 상세에 대해, 도 18에 나타낸다. 도 18에 나타낸 플립플롭은, 제1 박막 트랜지스터(5571), 제2 박막 트랜지스터(5572), 제3 박막 트랜지스터(5573), 제4 박막 트랜지스터(5574), 제5 박막 트랜지스터(5575), 제6 박막 트랜지스터(5576), 제7 박막 트랜지스터(5577) 및 제8 박막 트랜지스터(5578)를 갖는다. 이때, 제1 박막 트랜지스터(5571), 제2 박막 트랜지스터(5572), 제3 박막 트랜지스터(5573), 제4 박막 트랜지스터(5574), 제5 박막 트랜지스터(5575), 제6 박막 트랜지스터(5576), 제7 박막 트랜지스터(5577) 및 제8 박막 트랜지스터(5578) 각각은, n채널형 트랜지스터이며, 게이트·소스간 전압(V_{gs})이 임계전압(V_{th})을 상회했을 때 온으로 된다.

[0206] 다음에, 도 18에 나타낸 플립플롭의 접속 구성에 대해, 이하에서 나타낸다.

[0207] 제1 박막 트랜지스터(5571)의 제1 전극(소스 전극 또는 드레인 전극의 한쪽)이 제4 배선(5504)에 접속된다. 제1 박막 트랜지스터(5571)의 제2 전극(소스 전극 또는 드레인 전극의 다른 쪽)이 제3 배선(5503)에 접속된다.

[0208] 제2 박막 트랜지스터(5572)의 제1 전극이 제6 배선(5506)에 접속된다. 제2 박막 트랜지스터(5572)의 제2 전극이 제3 배선(5503)에 접속된다.

[0209] 제3 박막 트랜지스터(5573)의 제1 전극이 제5 배선(5505)에 접속되고, 제3 박막 트랜지스터(5573)의 제2 전극이 제2 박막 트랜지스터(5572)의 게이트 전극에 접속된다. 제3 박막 트랜지스터(5573)의 게이트 전극이 제5 배선(5505)에 접속된다.

[0210] 제4 박막 트랜지스터(5574)의 제1 전극이 제6 배선(5506)에 접속된다. 제4 박막 트랜지스터(5574)의 제2 전극이 제2 박막 트랜지스터(5572)의 게이트 전극에 접속된다. 제4 박막 트랜지스터(5574)의 게이트 전극이 제1 박막 트랜지스터(5571)의 게이트 전극에 접속된다.

[0211] 제5 박막 트랜지스터(5575)의 제1 전극이 제5 배선(5505)에 접속된다. 제5 박막 트랜지스터(5575)의 제2 전극이 제1 박막 트랜지스터(5571)의 게이트 전극에 접속된다. 제5 박막 트랜지스터(5575)의 게이트 전극이 제1 배선(5501)에 접속된다.

[0212] 제6 박막 트랜지스터(5576)의 제1 전극이 제6 배선(5506)에 접속된다. 제6 박막 트랜지스터(5576)의 제2 전극이 제1 박막 트랜지스터(5571)의 게이트 전극에 접속된다. 제6 박막 트랜지스터(5576)의 게이트 전극이 제2 박막 트랜지스터(5572)의 게이트 전극에 접속된다.

[0213] 제7 박막 트랜지스터(5577)의 제1 전극이 제6 배선(5506)에 접속된다. 제7 박막 트랜지스터(5577)의 제2 전극이 제1 박막 트랜지스터(5571)의 게이트 전극에 접속된다. 제7 박막 트랜지스터(5577)의 게이트 전극이 제2 배선(5502)에 접속된다. 제8 박막 트랜지스터(5578)의 제1 전극이 제6 배선(5506)에 접속된다. 제8 박막 트랜지스터(5578)의 제2 전극이 제2 박막 트랜지스터(5572)의 게이트 전극에 접속된다. 제8 박막 트랜지스터(5578)의 게이트 전극이 제1 배선(5501)에 접속된다.

[0214] 이때, 제1 박막 트랜지스터(5571)의 게이트 전극, 제4 박막 트랜지스터(5574)의 게이트 전극, 제5 박막 트랜지스터(5575)의 제2 전극, 제6 박막 트랜지스터(5576)의 제2 전극 및 제7 박막 트랜지스터(5577)의 제2 전극의 접속 개소를 노드 5543라고 한다. 제2 박막 트랜지스터(5572)의 게이트 전극, 제3 박막 트랜지스터(5573)의 제2 전극, 제4 박막 트랜지스터(5574)의 제2 전극, 제6 박막 트랜지스터(5576)의 게이트 전극 및 제8 박막 트랜지스터(5578)의 제2 전극의 접속 개소를 노드 5544라고 한다.

[0215] 이때, 제1 배선(5501), 제2 배선(5502), 제3 배선(5503) 및 제4 배선(5504)을, 각각 제1 신호선, 제2 신호선, 제3 신호선, 제4 신호선으로 불러도 된다. 제5 배선(5505) 및 제6 배선(5506)을 각각 제1 전원선 및 제2 전원선으로 불러도 된다.

[0216] 또한, 신호선 구동회로 및 주사선 구동회로를 실시형태 6에 나타낸 n채널형 TFT만으로 제조하는 것도 가능하다. 실시형태 6에서 설명한 n채널형 TFT는 높은 이동도를 갖기 때문에, 구동회로의 구동 주파수를 높게 하는 것이

가능해 진다. 또한, 실시형태 6에서 설명한 n채널형 TFT에서는, 인듐, 갈륨, 및 아연을 포함하는 산소 결핍 산화물 반도체층인 소스 영역 또는 드레인 영역에 의해 기생 용량이 저감되기 때문에, 높은 주파수 특성(f 특성이라고 불린다)을 얻을 수 있다. 예를 들면, 실시형태 6에 나타낸 n채널형 TFT를 사용한 주사선 구동회로는 고속으로 동작시킬 수 있으므로, 프레임 주파수를 높게 할 수 있고, 흑 화면 삽입을 실현할 수 있다.

[0217] 더구나, 주사선 구동회로의 트랜지스터의 채널 폭을 크게 하거나, 복수의 주사선 구동회로를 설치하면, 한층 더 높은 프레임 주파수를 실현할 수 있다. 복수의 주사선 구동회로를 설치하는 경우에는, 짝수행의 주사선을 구동하기 위한 주사선 구동회로를 한쪽에 배치하고, 홀수행의 주사선을 구동하기 위한 주사선 구동회로를 그것의 반대측에 배치함으로써, 프레임 주파수의 증가를 실현할 수 있다.

[0218] 또한, 본 발명의 반도체장치의 일례인 액티브 매트릭스형 발광 표시장치를 제조하는 경우, 적어도 한개의 화소에 복수의 박막 트랜지스터를 배치하므로, 주사선 구동회로를 복수 배치하는 것이 바람직하다. 액티브 매트릭스형 발광 표시장치의 블록도의 일례를 도 13b에 나타낸다.

[0219] 도 13b에 나타낸 발광 표시장치는, 기판(5400) 위에, 표시 소자를 구비한 화소를 복수 갖는 화소부(5401)와, 각 화소를 선택하는 제1 주사선 구동회로(5402) 및 제2 주사선 구동회로(5404)와, 선택된 화소에의 비디오 신호의 입력을 제어하는 신호선 구동회로(5403)를 갖는다.

[0220] 도 13b에 나타낸 발광 표시장치의 화소에 입력되는 비디오 신호가 디지털 신호인 경우, 화소는 트랜지스터의 온/오프 전환에 의해, 발광 혹은 비발광의 상태가 된다. 따라서, 면적계조법 또는 시간계조법을 사용해서 계조의 표시를 행할 수 있다. 면적계조법은, 1 화소를 복수의 부화소로 분할하고, 각 부화소를 독립하여 비디오 신호에 근거하여 구동시킴으로써 계조표시를 행하는 구동법이다. 또한, 시간계조법은, 화소가 발광하는 기간을 제어함으로써, 계조표시를 행하는 구동법이다.

[0221] 발광소자의 응답 시간이 액정소자 등에 비해 높기 때문에, 발광소자는 액정소자보다도 시간계조법에 더 적합하다. 구체적으로, 시간계조법으로 표시를 행하는 경우, 1 프레임 기간을 복수의 서브프레임 기간으로 분할한다. 그후, 비디오 신호에 따라, 각 서브프레임 기간에 있어서 화소의 발광소자를 발광 상태 또는 비발광 상태로 한다. 1 프레임 기간을 복수의 서브프레임 기간으로 분할함으로써, 1 프레임 기간 동안에 화소가 실제로 발광하는 기간의 전체 길이를 비디오 신호에 의해 제어할 수 있어, 계조를 표시할 수 있다.

[0222] 도 13b에 나타낸 발광 표시장치에서는, 한개의 화소에 스위칭용 TFT와 전류제어용 TFT의 2개의 TFT를 배치하는 경우, 스위칭용 TFT의 게이트 배선으로서 기능하는 제1 주사선에 입력되는 신호를 제1 주사선 구동회로(5402)가 생성하고, 전류제어용 TFT의 게이트 배선으로 기능하는 제2 주사선에 입력되는 신호를 제2 주사선 구동회로(5404)가 생성하지만, 제1 주사선에 입력되는 신호와, 제2 주사선에 입력되는 신호를, 모두 1개의 주사선 구동회로가 생성하도록 해도 된다. 또한, 예를 들면, 스위칭 소자에 포함된 트랜지스터의 수에 의해, 스위칭 소자의 동작을 제어하는데 사용되는 복수의 제1 주사선이 각 화소에 설치되는 것도 가능하다. 이 경우, 복수의 제1 주사선에 입력되는 신호를 모두 1개의 주사선 구동회로가 생성해도 되고, 또는 복수의 제1 주사선에 입력되는 신호를 복수의 주사선 구동회로가 생성해도 된다.

[0223] 또한, 발광 표시장치에 있어서도, 구동회로 중, n채널형 TFT를 포함할 수 있는 구동회로의 일부를 화소부의 박막 트랜지스터와 동일 기판 위에 형성할 수 있다. 또는, 신호선 구동회로 및 주사선 구동회로를 실시형태 6 또는 7에서 설명한 n채널형 TFT만을 사용하여 제조하는 것도 가능하다.

[0224] 또한, 전술한 구동회로는, 액정 표시장치나 발광 표시장치에의 응용에 한정되지 않고, 스위칭 소자와 전기적으로 접속하는 소자를 이용해서 전자 잉크를 구동시키는 전자 페이퍼에 사용할 수 있다. 전자 페이퍼는, 전기영동 표시장치(전기영동 디스플레이)도 불리고 있고, 종이와 같은 읽기 쉬움, 다른 표시장치에 비해 저소비 전력, 얇고 가벼운 형상으로 만드는 것이 가능하다고 하는 이점을 갖고 있다.

[0225] 전기영동 디스플레이는 다양한 형태를 가질 수 있다. 전기영동 디스플레이는, 플러스의 전하를 갖는 제1 입자와, 마이너스의 전하를 갖는 제2 입자를 포함하는 마이크로 캡슐이 용매 또는 용질에 복수 분산된 것이다. 마이크로 캡슐에 전계를 인가함으로써, 마이크로 캡슐 중의 입자를 서로 반대 방향으로 이동시켜 한쪽측에 집합한 입자의 색만을 표시하는 것이다. 이때, 제1 입자 또는 제2 입자는 염료를 포함하고, 전계가 없는 경우에 이동하지 않는 것이다. 또한, 제1 입자와 제2 입자는 다른 색(무색을 포함한다)을 갖는다.

[0226] 이와 같이, 전기영동 디스플레이는, 유전상수가 높은 물질이 높은 전계영역으로 이동하는, 소위 유전 영동적 효과를 이용한 디스플레이다. 전기영동 디스플레이는, 액정 표시장치에는 필요한 편광판 또는 대향 기판도 사용할

필요가 없으며, 전기영동 표시장치의 두께와 무게를 액정 표시장치에 비해 절반으로 줄일 수 있다.

[0227] 상기 마이크로 캡슐을 용매중에 분산시킨 용액이 전자 잉크로 불리는 것이다. 이 전자 잉크는 유리, 플라스틱, 천, 종이 등의 표면에 인쇄할 수 있다. 또한, 칼라필터나 색소를 갖는 입자를 사용함으로써, 컬러 표시도 얻을 수 있다.

[0228] 또한, 액티브 매트릭스 기판 위에 적절히, 두개의 전극 사이에 끼워지도록 상기 마이크로 캡슐을 복수 배치하면, 액티브 매트릭스형의 표시장치가 완성되고, 마이크로 캡슐에 전계를 인가하여 표시를 행할 수 있다. 예를 들면, 실시형태 6 또는 7에서 기재된 박막 트랜지스터에 의해 얻어지는 액티브 매트릭스 기판을 사용할 수 있다.

[0229] 이때, 마이크로 캡슐 중의 제1 입자 및 제2 입자는, 도전체 재료, 절연체 재료, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 일렉트로루미네센트 재료, 일렉트로크로믹 재료 및 자기영동 재료로부터 선택된 1종의 재료로 형성하거나, 또는 이들의 복합재료로 형성해도 된다.

[0230] 이상의 공정에 의해, 반도체장치로서 신뢰성이 높은 표시장치를 제조할 수 있다.

[0231] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0233] (실시형태 9)

[0234] 본 발명의 일 실시형태의 박막 트랜지스터를 제조하고, 상기 박막 트랜지스터를 화소부, 더구나 구동회로에 사용하면, 표시 기능을 갖는 반도체장치(표시장치라고도 한다)를 제조할 수 있다. 또한, 본 발명의 일 실시형태의 박막 트랜지스터를 사용하여 구동회로의 일부 또는 전체를 화소부와 같은 기판 위에 형성하면, 시스템 온 패널을 얻을 수 있다.

[0235] 표시장치는 표시 소자를 포함한다. 표시 소자로서는, 액정소자(액정 표시 소자라고도 한다) 또는 발광소자(발광 표시 소자라고도 한다)를 사용할 수 있다. 발광소자는, 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고 있고, 구체적으로는 무기 일렉트로루미네센트(EL) 소자, 유기 EL 소자 등이 포함된다. 또한, 전자 잉크 등, 전기적 작용에 의해 콘트라스트가 변화하는 표시 매체도 사용할 수 있다.

[0236] 또한, 표시장치는, 표시 소자가 봉지된 상태에 있는 패널과, 상기 패널에 콘트롤러를 포함하는 IC 등을 실장한 상태에 있는 모듈을 포함한다. 더구나, 본 발명의 일 실시형태는, 상기 표시장치를 제조하는 과정에 있어서 표시 소자가 완성되기 전의 일 실시형태에 해당하는 소자 기판에 관한 것으로서, 상기 소자 기판은, 전류를 표시 소자에 공급하기 위한 수단을 복수의 각 화소에 구비한다. 소자 기판은, 구체적으로는, 표시 소자의 화소 전극만이 형성된 후의 상태에 있어도 되고, 화소 전극이 되는 도전막을 성막한 후이며 도전막을 에칭해서 화소 전극을 형성하기 전의 상태에 있어도 되고, 다른 상태에 있어도 된다.

[0237] 이때, 본 명세서 중에 있어서의 표시장치란, 화상 표시 디바이스, 표시 디바이스, 혹은 광원(조명장치를 포함한다)을 가리킨다. 또한, 표시장치는, 커넥터, 예를 들면 FPC(Flexible Printed Circuit), TAB(Tape Automated Bonding) 테이프 혹은 TCP(Tape Carrier Package)가 부착된 모듈, TAB 테이프나 TCP의 앞에 프린트 배선판이 설치된 모듈, 또는 표시 소자에 COG(Chip On Glass) 방식에 의해 IC(집적회로)가 직접 실장된 모듈도 그것의 범주에 포함하는 것으로 한다.

[0238] 본 실시형태에서는, 본 발명의 반도체장치의 일 실시형태에 해당하는 액정 표시 패널의 외관 및 단면에 대해, 도 21a 및 도 21b를 참조하여 설명한다. 도 21a1 및 도 21a2는, 실시형태 6에 나타낸 채널 형성 영역으로서 산소 과잉 산화물 반도체층, 및 소스 영역 및 드레인 영역으로서 산소 결핍 산화물 반도체층을 포함하는 신뢰성의 높은 박막 트랜지스터 4010 및 4011과, 액정소자(4013)를, 제 1 기판(4001)과 제2 기판(4006) 사이에 씰재(4005)로 밀봉한 패널의 평면도이며, 도 21b는, 도 21a1 및 도 21a2의 M-N선에 따른 단면도이다.

[0239] 제1 기판(4001) 위에 설치된 화소부(4002)와 주사선 구동회로(4004)를 둘러싸도록, 씰재(4005)가 설치되어 있다. 화소부(4002)와 주사선 구동회로(4004) 위에 제2 기판(4006)이 설치되어 있다. 따라서, 화소부(4002)와 주사선 구동회로(4004)는, 제1 기판(4001), 씰재(4005) 및 제2 기판(4006)에 의해, 액정층(4008)과 함께 봉지되어 있다. 또한, 제1 기판(4001) 위의 씰재(4005)에 의해 둘러싸여져 있는 영역과는 다른 영역에, 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동회로(4003)가 실장되어 있다.

[0240] 이때, 별도 형성한 구동회로의 접속방법은 특별히 한정되는 것은 아니고, COG, 와이어본딩, 또는 TAB 등을 사용할 수 있다. 도 21a1은, COG에 의해 신호선 구동회로(4003)를 실장하는 예를 나타낸 것이고, 도 21a2는 TAB법에

의해 신호선 구동회로(4003)를 실장하는 예를 나타낸 것이다.

[0241] 제1 기판(4001) 위에 설치된 화소부(4002)와 주사선 구동회로(4004)는 박막 트랜지스터를 복수 갖고 있다. 도 21b는 화소부(4002)에 포함되는 박막 트랜지스터 4010과, 주사선 구동회로(4004)에 포함되는 박막 트랜지스터 4011을 예시하고 있다. 박막 트랜지스터 4010 및 4011 위에는 절연층 4020 및 4021이 설치되어 있다.

[0242] 박막 트랜지스터 4010 및 4011로서, 채널 형성 영역으로서 산소 과잉 산화물 반도체층, 및 소스 영역 및 드레인 영역으로서 산소 결핍 산화물 반도체층을 포함하는 신뢰성이 높은 실시형태 6에 나타낸 박막 트랜지스터를 적용할 수 있다. 또는, 박막 트랜지스터 4010 및 4011로서 실시형태 7에 나타낸 박막 트랜지스터를 적용해도 된다. 본 실시형태에 있어서, 박막 트랜지스터 4010 및 4011은 n채널형 박막 트랜지스터다.

[0243] 액정소자(4013)에 포함되는 화소 전극층(4030)은 박막 트랜지스터 4010과 전기적으로 접속되어 있다. 액정소자(4013)의 대향 전극층(4031)은 제2 기판(4006) 위에 형성되어 있다. 화소 전극층(4030), 대향 전극층(4031)과 액정층(4008)이 겹쳐 있는 부분이, 액정소자(4013)에 해당한다. 이때, 화소 전극층(4030)과 대향 전극층(4031)은 각각 배향막으로서 기능하는 절연층 4032 및 4033을 구비한다. 절연층 4032 및 4033을 개재하여 화소 전극층(4030)과 대향 전극층(4031) 사이에 액정층(4008)을 끼우고 있다.

[0244] 이때, 제1 기판(4001) 및 제2 기판(4006)은, 유리, 금속(대표적으로는 스테인레스), 세라믹, 플라스틱으로 제조할 수 있다. 플라스틱으로서는, FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐 플루오라이드) 필름, 폴리에스테르 필름 또는 아크릴수지 필름을 사용할 수 있다. 또는, 알루미늄 호일을 PVF 필름이나 폴리에스테르 필름 사이에 끼운 구조를 갖는 시이트를 사용할 수도 있다.

[0245] 참조부호 4035는 절연막을 선택적으로 에칭함으로써 얻어지는 기둥형의 스페이서를 표시하며, 화소 전극층(4030)과 대향 전극층(4031) 사이의 거리(셀 갭)를 제어하기 위해 설치되어 있다. 또는, 구형의 스페이서를 사용하고 있어도 된다. 대향 전극층(4031)은, 박막 트랜지스터 4010과 동일 기판 위에 설치되는 공통 전위선과 전기적으로 접속된다. 실시형태 1 내지 3에 나타낸 어느 한개의 공통 접속부를 사용하여, 한 쌍의 기판 사이에 설치되는 도전성 입자를 거쳐 대향 전극층(4031)과 공통 전위선이 전기적으로 접속된다. 이때, 도전성 입자가 씰재(4005)에 함유된다.

[0246] 또는, 배향막을 사용하지 않는 블루상을 표시하는 액정을 사용해도 된다. 블루상은 액정상의 한가지로서, 콜레스테릭 액정을 승온하는 동안, 콜레스테릭 상으로부터 등방 상으로 전이하기 직전에 발현되는 상이다. 블루상은 좁은 온도범위에서만 발현되기 때문에, 온도범위를 개선하기 위해 5중량% 이상의 카이럴제를 혼합시킨 액정 조성물을 액정층(4008)에 사용한다. 블루상을 표시하는 액정과 카이럴제를 포함하는 액정 조성물은, 응답 속도가 10㎲ 내지 100㎲로 짧고, 광학적 등방성을 가지므로, 배향처리가 불필요하고, 시야각 의존성이 작다.

[0247] 본 실시형태에서는 투과형 액정 표시장치의 일례를 나타내었지만, 본 발명의 일 실시형태는 반사형 액정 표시장치 또는 반투과형 액정 표시장치에서도 적용할 수 있다.

[0248] 본 실시형태에서는, 기판의 외측(시인측)에 편광판을 설치하고, 기판의 내측에 착색층 및 표시 소자에 사용하는 전극층을 이 순서로 설치하는 액정 표시장치의 예를 나타내었지만, 편광판은 기판의 내측에 설치해도 된다. 편광판과 착색층의 적층 구조도 본 실시형태에 나타낸 것에 한정되지 않고, 편광판 및 착색층의 재료나 제조공정 조건에 의해 적절히 설정하면 된다. 또한, 블랙 매트릭스로서 기능하는 차광막을 설치해도 된다.

[0249] 본 실시형태에서는, 박막 트랜지스터의 표면 요철을 저감하기 위해, 그리고 박막 트랜지스터의 신뢰성을 향상시키기 위해, 실시형태 6에서 얻어진 박막 트랜지스터를 보호막이나 평탄화 절연막으로서 기능하는 절연층(절연층 4020 및 절연층 4021)으로 덮는다. 이때, 보호막은 대기중에 부유하는 유기물, 금속물, 또는 수증기 등의 오염 불순물의 침입을 방지하기 위해 설치되며, 치밀한 막이 바람직하다. 보호막은 스퍼터링법을 사용하여, 산화 규소막, 질화 규소막, 산화질화 규소막, 질화산화 규소막, 산화 알루미늄막, 질화 알루미늄 막, 산화질화 알루미늄 막/또는 질화산화 알루미늄막의 단층막 또는 적층막으로 형성하면 된다. 본 실시형태는 보호막을 스퍼터링법으로 형성하는 예를 나타내지만, 본 발명은 이 방법에 한정되지 않고 다양한 방법으로 채용해도 된다.

[0250] 본 실시형태서는, 보호막으로서 적층 구조의 절연층 4020을 형성한다. 절연층 4020의 1층째로서, 스퍼터링법을 사용해서 산화 규소막을 형성한다. 보호막으로서 산화 규소막을 사용하면, 소스 전극층 및 드레인 전극층으로서 사용하는 알루미늄 막의 힐록 방지에 효과가 있다.

[0251] 또한, 보호막의 2층째로서 절연층을 형성한다. 본 실시형태에서는, 절연층 4020의 2층째로서, 스퍼터링법을 사용해서 질화 규소막을 형성한다. 보호막으로서 질화 규소막을 사용하면, 나트륨 등의 가동 이온이 반도체 영역

중에 침입하는 것을 방지하여, TFT의 전기 특성의 변화를 억제할 수 있다.

[0252] 보호막을 형성한 후에, IGZO 반도체층의 어닐(300℃ 내지 400℃)을 행해도 된다.

[0253] 평탄화 절연막으로서 절연층 4021을 형성한다. 절연층 4021로서는, 폴리이미드, 아크릴, 폴리이미드, 벤조시클로부텐, 폴리아미드, 에폭시 등의 내열성을 갖는 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인글라스), BPSG(인 붕소 글라스) 등을 사용할 수 있다. 실록산계 수지는, 치환기로서 수소 이외에, 불소, 알킬기, 또는 아릴기 중 적어도 1종을 갖고 있어도 된다. 이때, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연층 4021을 형성해도 된다.

[0254] 이때 실록산계 수지란, 실록산계 재료를 출발 재료로 하여 형성된 Si-O-Si 결합을 포함하는 수지에 해당한다. 실록산계 수지는, 치환기로서 수소 이외에, 불소, 알킬기, 또는 방향족 탄화수소 중, 적어도 1종을 갖고 있어도 된다.

[0255] 절연층 4021의 형성법은 특별히 한정되지 않고, 그 재료에 따라, 스퍼터링법, SOG법, 스핀코트, 딥, 스프레이 도포, 액적토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등에 의해 형성할 수 있다. 절연층 4021을 재료액을 사용해서 형성하는 경우, 베이크하는 공정과 동시에, IGZO 반도체층의 어닐(300℃ 내지 400℃)을 행해도 된다. 절연층 4021의 베이크 공정은 IGZO 반도체층의 어닐공정으로도 기능함으로써, 효율적으로 반도체장치를 제조하는 것이 가능해 진다.

[0256] 화소 전극층(4030) 및 대향 전극층(4031)은, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티탄을 포함하는 인듐 산화물, 산화 티탄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO로 표시한다), 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료로 제조할 수 있다.

[0257] 화소 전극층(4030) 및 대향 전극층(4031)으로서, 도전성 고분자(도전성 폴리머라고도 한다)를 포함하는 도전성 조성물을 사용할 수 있다. 도전성 조성물로 제조된 화소 전극은, 시이트 저항이 10000Ω/□ 이하, 파장 550nm에 있어서의 투광율이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항율이 0.1Ω·cm 이하인 것이 바람직하다.

[0258] 도전성 고분자로서는, 소위 π전자 공역계 도전성 고분자를 사용할 수 있다.

[0259] 예를 들면, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 혹은 이들 2종 이상의 공중합체 등을 사용할 수 있다.

[0260] 또한, 별도 형성된 신호선 구동회로(4003)와, 주사선 구동회로(4004) 또는 화소부(4002)에 각종 신호 및 전위가 FPC(4018)로부터 공급되고 있다.

[0261] 본 실시형태에서는, 접속 단자 전극(4015)이, 액정소자(4013)에 포함된 화소 전극층(4030)과 같은 도전막을 사용하여 형성되고, 단자 전극(4016)은, 박막 트랜지스터 4010 및 4011의 소스 전극층 및 드레인 전극층과 같은 도전막을 사용하여 형성되어 있다.

[0262] 접속 단자 전극(4015)은, FPC(4018)에 포함된 단자에 이방성 도전막(4019)을 거쳐 전기적으로 접속되어 있다.

[0263] 이때, 도 21a 내지 도 21b는, 신호선 구동회로(4003)를 별도 형성하고, 제1 기판(4001)에 실장하고 있는 예를 나타내고 있지만, 본 실시형태는 이 구성에 한정되지 않는다. 주사선 구동회로를 별도 형성한 후 실장해도 되고, 또는 신호선 구동회로의 일부 또는 주사선 구동회로의 일부만을 별도 형성한 후 실장해도 된다.

[0264] 도 22는, 본 발명에 의해 제조되는 TFT 기판(2600)을 사용해서 반도체장치로서 형성되는 액정 표시 모듈의 일례를 나타내고 있다.

[0265] 도 22는 액정 표시 모듈의 일례이며, TFT 기판(2600)과 대향 기판(2601)이 씰재(2602)로 고정되고, 이들 기판 사이에 TFT 등을 포함하는 화소부(2603), 액정층을 포함하는 표시 소자(2604)와, 착색층(2605)이 설치되어 표시 영역을 형성하고 있다. 착색층(2605)은 컬러 표시를 행하는 경우에 필요하다. RGB 방식의 경우에는, 적색, 녹색 및 청색 각 색에 대응한 착색층이 각 화소에 대해 설치되어 있다. TFT 기판(2600)과 대향 기판(2601)의 외측에는 편광판 2606 및 2607과, 확산판(2613)이 설치되어 있다. 광원은 냉음극관(2610)과 반사판(2611)을 포함한다. 회로 기판(2612)은, 플렉시블 배선 기판(2609)을 통해 TFT 기판(2600)의 배선회로부(2608)와 접속되고, 콘트롤 회로나 전원회로 등의 외부회로를 포함한다. 편광판과 액정층은 위상차판을 개재하여 적층해도 된다.

[0266] 액정 표시 모듈에 대해, TN(twisted nematic) 모드, IPS(in-plane-switching) 모드, FFS(fringe field switching) 모드, MVA(multi-domain vertical alignment) 모드, PVA(patterned vertical alignment) 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optical compensated birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, AFLC(antiferroelectric liquid crystal) 모드 등을 사용할 수 있다.

[0267] 이상의 공정에 의해, 반도체장치로서 신뢰성이 높은 액정 표시 패널을 제조할 수 있다.

[0268] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0270] (실시형태 10)

[0271] 본 실시형태에서는, 본 발명의 일 실시형태의 반도체장치로서 전자 페이퍼의 예를 나타낸다.

[0272] 도 12는, 본 발명을 적용한 반도체장치의 예로서 액티브 매트릭스형의 전자 페이퍼를 나타낸다. 반도체장치에 사용되는 박막 트랜지스터(581)는, 실시형태 6에 나타낸 박막 트랜지스터와 마찬가지로 제조할 수 있고, 채널 형성 영역으로서 산소 과잉 산화물 반도체층, 및 소스 영역 및 드레인 영역으로서 산소 결핍 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터다. 실시형태 7에 나타낸 박막 트랜지스터도 본 실시형태의 박막 트랜지스터(581)로서 적용할 수도 있다.

[0273] 도 12의 전자 페이퍼는, 트위스트 볼 표시를 사용하는 표시장치의 예이다. 트위스트 볼 표시방식이란, 백과 흑으로 칠해진 구형 입자를 표시 소자에 사용하는 전극층인 제1 전극층 및 제2 전극층 사이에 배치하고, 제1 전극층 및 제2 전극층 사이에 전위차를 생기게 하여 구형 입자의 방향을 제어함으로써, 표시를 행하는 방법이다.

[0274] 기판 580과 기판 596 사이에 밀봉된 박막 트랜지스터(581)는 보텀 게이트 구조의 박막 트랜지스터이며, 소스 또는 드레인 전극층이 제1 전극층(587)과 절연층(585)에 형성하는 개구를 통해 접하고 있어, 박막 트랜지스터(581)가 제 1 전극층(587)에 전기적으로 접속되어 있다. 제1 전극층(587)과 제2 전극층(588) 사이에는, 흑색 영역(590a), 백색 영역(590b)과, 주변에 액체로 채워져 있는 캐비티(594)를 각각 갖는 구형 입자(589)가 설치되어 있다. 구형 입자(589)의 주위는 수지 등의 충전재(595)로 충전되어 있다(도 12 참조). 본 실시형태에 있어서는, 제1 전극층(587)이 화소 전극에 해당하고, 제2 전극층(588)이 공통 전극에 해당한다. 제2 전극층(588)은, 박막 트랜지스터(581)와 동일 기판 위에 설치되는 공통 전위선과 전기적으로 접속된다. 실시형태 1 내지 3의 어느 한 개에 나타낸 공통 접속부를 사용하여, 한 쌍의 기판 사이에 설치되는 도전성 입자를 거쳐 제2 전극층(588)이 공통 전위선에 전기적으로 접속된다.

[0275] 트위스트 볼의 대신에, 전기영동소자를 사용하는 것도 가능하다. 투명한 액체와, 양으로 대전한 흰 미립자와, 음으로 대전한 검은 미립자를 봉입한 직경 10㎛ 내지 200㎛ 정도의 마이크로 캡슐을 사용한다. 제1 전극층과 제2 전극층 사이에 설치되는 마이크로 캡슐에서는, 제1 전극층과 제2 전극층 사이에 전계가 인가되면, 흰 미립자와 검은 미립자가 반대의 방향으로 이동하여, 백 또는 흑을 표시할 수 있다. 이 원리를 응용한 표시 소자가 전기영동 표시 소자이며, 일반적으로 전자 페이퍼로 불리고 있다. 전기영동 표시 소자는, 액정 표시 소자보다 반사율이 높으므로, 보조 라이트는 불필요하며, 소비 전력이 작고, 어둑어둑한 장소에서도 표시부를 인식하는 것이 가능하다. 또한, 표시부에 전원이 공급되지 않는 경우에도, 한번 표시한 상을 유지하는 것이 가능하다. 이에 따라, 전파 발신원으로부터 표시 기능을 갖는 반도체장치(간단히 표시장치, 또는 표시장치를 구비한 반도체장치라고도 한다)가 멀리 떨어진 경우에도, 표시된 상을 보존해 두는 것이 가능해 진다.

[0276] 이상의 공정에 의해, 반도체장치로서 신뢰성이 높은 전자 페이퍼를 제조할 수 있다.

[0277] 본 실시형태는, 실시형태 1 내지 5의 어느 한개에 기재한 공통 접속부의 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0279] (실시형태 11)

[0280] 본 실시형태에서는, 본 발명의 일 실시형태의 반도체장치로서 발광 표시장치의 예를 나타낸다. 표시장치에 포함된 표시 소자로서는, 여기에서는 일렉트로루미네센스를 이용하는 발광소자를 설명한다. 일렉트로루미네센스를 이용하는 발광소자는, 발광 재료가 유기 화합물인지 무기화합물인지에 따라 구별된다. 일반적으로, 전자는 유기 EL 소자로 부르고, 후자는 무기 EL 소자로 부르고 있다.

[0281] 유기 EL 소자에서는, 발광소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되어, 전류가 흐른다. 그후, 그들 캐리어(전자 및 정공)가 재결합함으로써, 발

광성의 유기 화합물이 여기된다. 발광성 유기 화합물이 여기상태가 기저상태로 되돌아옴으로써, 발광한다. 이와 같은 메커니즘으로 인해, 이와 같은 발광소자는, 전류 여기형의 발광소자로 불린다.

[0282] 무기 EL 소자는, 그것의 소자 구성에 따라, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 갖는 것이며, 그것의 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 발광층을 유전체층들 사이에 끼우고, 그것을 전극으로 더 끼운 구조이며, 그것의 발광 메커니즘은 금속 이온의 내각 전자 천이를 이용하는 국재형 발광이다. 이때, 여기에서는, 발광소자로서 유기 EL 소자를 사용하여 설명한다.

[0283] 도 19는, 디지털 시간계조법에 의해 구동될 수 있는, 본 발명의 반도체장치의 예로서 화소 구성의 일례를 도시한 것이다.

[0284] 디지털 시간계조법에 의해 구동될 수 있는 화소의 구성 및 동작에 대해 설명한다. 여기에서는, 산화물 반도체층(IGZO 반도체층)을 채널 형성 영역에 사용하는 n채널형의 트랜지스터를 1개의 화소에 2개 포함하는 예를 나타낸다.

[0285] 화소(6400)는, 스위칭용 트랜지스터(6401), 구동용 트랜지스터(6402), 발광소자(6404) 및 용량소자(6403)를 갖고 있다. 스위칭용 트랜지스터(6401)의 게이트가 주사선(6406)에 접속되고, 스위칭용 트랜지스터(6401)의 제1전극(소스 전극 및 드레인 전극의 한쪽)이 신호선(6405)에 접속되고, 스위칭용 트랜지스터(6401)의 제2전극(소스 전극 및 드레인 전극의 다른 쪽)이 구동용 트랜지스터(6402)의 게이트에 접속되어 있다. 구동용 트랜지스터(6402)의 게이트가 용량소자(6403)를 거쳐 전원선(6407)에 접속되고, 구동용 트랜지스터(6402)의 제1전극이 전원선(6407)에 접속되고, 구동용 트랜지스터(6402)의 제2전극이 발광소자(6404)의 제1전극(화소 전극)에 접속되어 있다. 발광소자(6404)의 제2전극은 공통 전극(6408)에 해당한다. 공통 전극(6408)은, 동일 기판 위에 설치된 공통 전위선과 전기적으로 접속되고, 그 접속 부분을 공통 접속부로 사용하여, 도 1a, 도 2a, 또는 도 3a에 나타낸 구조가 얻어진다.

[0286] 이때, 발광소자(6404)의 제2전극(공통 전극(6408))은 저전원 전위로 설정되어 있다. 저전원 전위는, 전원선(6407)에 공급되는 고전원 전위보다 낮다. 예를 들어, GND 또는 0V가 저전원 전위로 설정되어 있어도 된다. 이 고전원 전위와 저전원 전위의 전위차를 발광소자(6404)에 인가하여, 발광소자(6404)에 전류를 흘려보냄으로써, 발광소자(6404)를 발광시킨다. 따라서, 고전원 전위와 저전원 전위의 전위차가 순방향 임계전압 이상이 되도록 각각의 전위를 설정한다.

[0287] 구동용 트랜지스터(6402)의 게이트 용량이 용량소자(6403)의 대용물로 사용되면, 용량소자(6403)를 생략하는 것도 가능하다. 구동용 트랜지스터(6402)의 게이트 용량은, 채널 영역과 게이트 전극 사이에서 형성되어 있어도 된다.

[0288] 전압 입력 전압 구동방식을 사용하는 경우에는, 구동용 트랜지스터(6402)의 게이트에는, 구동용 트랜지스터(6402)가 충분히 온하거나 오프하기 위한 비디오 신호를 입력한다. 즉, 구동용 트랜지스터(6402)는 선형 영역에서 동작하므로, 전원선(6407)의 전압보다도 높은 전압이 구동용 트랜지스터(6402)의 게이트에 가해진다. 이때, 신호선(6405)에는, (전원선 전압+구동용 트랜지스터(6402)의 V_{th}) 이상의 전압을 가한다.

[0289] 또한, 디지털 시간계조법 대신에, 아날로그 계조법을 사용하는 경우, 신호의 입력을 다르게 함으로써, 도 19와 같은 화소 구성을 사용할 수 있다.

[0290] 아날로그 계조구동법을 사용하는 경우, 구동용 트랜지스터(6402)의 게이트에 (발광소자(6404)의 순방향 전압+구동용 트랜지스터(6402)의 V_{th}) 이상의 전압을 가한다. 발광소자(6404)의 순방향 전압이란, 원하는 휘도를 얻기 위한 전압을 가리키고, 적어도 순방향 임계전압을 포함한다. 구동용 트랜지스터(6402)가 포화 영역에서 동작하도록 비디오 신호를 입력함으로써, 발광소자(6404)에 전류를 흘릴 수 있다. 구동용 트랜지스터(6402)를 포화 영역에서 동작시키도록 하기 위해, 전원선(6407)의 전위는 구동용 트랜지스터(6402)의 게이트 전위보다도 높게 한다. 비디오 신호가 아날로그 신호이기 때문에, 발광소자(6404)에 비디오 신호에 따른 전류가 흘러, 아날로그 계조법을 행할 수 있다.

[0291] 이때, 화소 구성은 도 19에 나타낸 것에 한정되지 않는다. 예를 들면, 도 19에 나타낸 화소는 스위치, 저항소자, 용량소자, 트랜지스터 또는 논리회로 등을 더 구비할 수 있다.

[0292] 다음에, 발광소자의 구성에 대해 도 20a 내지 도 20c를 참조하여 설명한다. n형 구동용 TFT를 예로 들어 화소의 단면 구조에 대해 설명한다. 도 20a 내지 도 20c의 반도체장치에 사용되는 구동용 TFT 7001, 7011 및 7021은,

실시형태 6에서 나타낸 박막 트랜지스터와 마찬가지로 제조할 수 있고, 채널 형성 영역으로서 산소 과잉 산화물 반도체층을 포함하고, 소스 영역 및 드레인 영역으로서 산소 결핍 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터이다. 또는, 실시형태 7에서 설명한 박막 트랜지스터를 TFT 7001, 7011, 7021로서 적용할 수도 있다.

[0293] 발광소자로부터 발광을 추출하기 위해, 적어도 양극 또는 음극의 한쪽이 빛을 투과하는 것이 필요하다. 기판 위에 박막 트랜지스터 및 발광소자를 형성한다. 발광소자는, 기판과는 반대측의 면을 통해 발광을 추출하는 상면 출사 구조, 기판측의 면을 통해 발광을 추출하는 하면 출사 구조, 또는 기판과는 반대측의 면과 기판측의 면을 통해 발광을 추출하는 양면 출사 구조를 가질 수 있다. 본 발명의 일 실시형태의 화소 구성은 이들 출사 구조 중 어느 한 개를 갖는 발광소자에 적용할 수 있다.

[0294] 상면 출사 구조의 발광소자에 대해 도 20a를 참조하여 설명한다.

[0295] 도 20a는, 구동용 TFT(7001)가 n형이고, 발광소자(7002)로부터 양극(7005)측으로 빛이 발광하는 경우의 화소의 단면도를 나타낸 것이다. 도 20a에서는, 발광소자(7002)의 음극(7003)은 구동용 TFT인 TFT(7001)에 전기적으로 접속되어 있고, 음극(7003) 위에 발광층(7004)과 양극(7005)이 순서대로 적층되어 있다. 음극(7003)은, 일함수가 작고 빛을 반사하는 도전막이면 다양한 도전성 재료로 제조할 수 있다. 예를 들면, Ca, Al, CaF, MgAg, AlLi 등이 바람직하게 사용된다. 발광층(7004)은, 단수의 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도 된다. 발광층(7004)이 복수의 층을 사용하여 구성되어 있는 경우, 음극(7003) 위에 전자주입층, 전자수송층, 발광층, 홀 수송층 및 홀 주입층의 순서대로 적층하여 발광층(7004)이 형성된다. 이들 층을 모두 설치할 필요는 없다. 양극(7005)은 투광성을 갖는 도전성 재료로 형성하고, 예를 들면, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티탄을 포함하는 인듐 산화물, 산화 티탄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO로 나타낸다), 인듐 아연 산화물 또는 산화 규소를 첨가한 인듐 주석 산화물을 사용한다.

[0296] 음극(7003) 및 양극(7005)으로 발광층(7004)을 끼우고 있는 영역이 발광소자(7002)에 해당한다. 도 20a에 나타낸 화소의 경우, 발광소자(7002)로부터 화살표로 도시한 것과 같이 양극(7005)측으로 빛이 방출된다.

[0297] 다음에, 하면 출사 구조를 갖는 발광소자에 대해 도 20b를 참조하여 설명한다. 도 20b는, 구동용 TFT(7011)가 n형이고, 발광소자(7012)로부터 음극(7013)측으로 빛이 방출되는 경우의 화소의 단면도를 나타낸 것이다. 도 20b에서는, 구동용 TFT(7011)에 전기적으로 접속된 투광성을 갖는 도전막(7017) 위에, 발광소자(7012)의 음극(7013)이 성막되어 있고, 음극(7013) 위에 발광층(7014)과 양극(7015)이 순서대로 적층되어 있다. 양극(7015)이 투광성을 갖는 경우, 양극 위를 덮도록, 빛을 반사 또는 차폐하기 위한 차폐막(7016)이 성막되어 있어도 된다. 음극(7013)에 대해서는, 도 20a의 경우와 마찬가지로, 일함수가 작은 도전성 재료이면 다양한 재료를 사용할 수 있다. 단 음극(7013)은, 빛을 투과할 수 있는 막두께(바람직하게는, 5nm 내지 30nm 정도)를 갖도록 형성한다. 예를 들면, 20nm의 막두께를 갖는 알루미늄 막을 음극(7013)으로서 사용할 수 있다. 발광층(7014)은, 도 20a와 마찬가지로, 단수의 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도 된다. 양극(7015)은 빛을 투과할 필요는 없지만, 도 20a와 마찬가지로, 투광성을 갖는 도전성 재료를 사용해서 형성할 수 있다. 차폐막(7016)으로서는, 예를 들면, 빛을 반사하는 금속 등을 사용할 수 있지만, 금속막에 한정되지 않는다. 예를 들면, 흑의 안료를 첨가한 수지 등을 사용할 수도 있다.

[0298] 음극(7013) 및 양극(7015)으로 발광층(7014)을 끼우고 있는 영역이 발광소자(7012)에 해당한다. 도 20b에 나타낸 화소의 경우, 발광소자(7012)로부터 화살표로 도시한 것과 같이 음극(7013)측으로 빛이 방출된다.

[0299] 다음에, 양면 출사 구조를 갖는 발광소자에 대해 도 20c를 참조하여 설명한다. 도 20c에서는, 구동용 TFT(7021)에 전기적으로 접속된 투광성을 갖는 도전막(7027) 위에, 발광소자(7022)의 음극(7023)이 성막되어 있고, 음극(7023) 위에 발광층(7024) 및 양극(7025)이 순서대로 적층되어 있다. 음극(7023)은, 도 20a의 경우와 마찬가지로, 일함수가 작은 도전성 재료이면 다양한 재료를 사용할 수 있다. 단 음극(7023)은 빛을 투과할 수 있는 막두께를 갖도록 형성한다. 예를 들면, 20nm의 막두께를 갖는 Al을 음극(7023)으로서 사용할 수 있다. 발광층(7024)은, 도 20a와 마찬가지로, 단수의 층으로 구성되어 있어도 복수의 층이 적층되도록 구성되어 있어도 된다. 양극(7025)은, 도 20a와 마찬가지로, 투광성을 갖는 도전성 재료를 사용해서 형성할 수 있다.

[0300] 음극(7023), 발광층(7024) 및 양극(7025)이 겹쳐 있는 영역이 발광소자(7022)에 해당한다. 도 20c에 나타낸 화소의 경우, 발광소자(7022)로부터 화살표로 도시한 것과 같이 양극(7025)측과 음극(7023)측의 양쪽으로 빛이 방출된다.

[0301] 여기에서는, 발광소자로서 유기 EL 소자에 대해 서술했지만, 발광소자로서 무기 EL 소자를 설치하는 것도 가능하다.

[0302] 본 실시형태에서는, 발광소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)가 발광소자에 전기적으로 접속되어 있는 예를 나타내었지만, 구동용 TFT와 발광소자 사이에 전류제어용 TFT가 접속되어 있는 구성을 채용해도 된다.

[0303] 본 실시형태에서 설명한 반도체장치의 구조는 도 20a 내지 도 20c에 나타낸 것에 한정되는 것은 아니고, 본 발명의 기술적 사상에 근거한 각종의 변형이 가능하다.

[0304] 다음에, 본 발명의 반도체장치의 일 실시형태에 해당하는 발광 표시 패널(의 외관 및 단면에 대해, 도 23a 및 도 23b를 참조하여 설명한다. 도 23a는, 박막 트랜지스터 및 발광소자를 제 1 기판과 제2 기판 사이에 씰재로 밀봉한 패널의 평면도이다. 도 23b는, 도 23a의 H-I선에 따른 단면도에 해당한다.

[0305] 제1 기판(4501) 위에 설치된, 화소부(4502), 신호선 구동회로(4503a, 4503b), 및 주사선 구동회로(4504a, 4504b)를 둘러싸도록 하여 씰재(4505)가 설치되어 있다. 또한, 화소부(4502), 신호선 구동회로(4503a, 4503b), 및 주사선 구동회로(4504a, 4504b) 위에 제2 기판(4506)이 설치되어 있다. 따라서, 화소부(4502), 신호선 구동회로(4503a, 4503b), 및 주사선 구동회로(4504a, 4504b)는, 제1 기판(4501), 씰재(4505) 및 제2 기판(4506)에 의해, 충전재(4507)와 함께 밀봉되어 있다. 이와 같이 표시장치가 외기에 노출되지 않도록, 기밀성이 높고 탈가스가 적은 보호 필름(부착 필름, 자외선 경화 수지 필름 등)이나 커버재로 표시장치를 패키징(봉입)하는 것이 바람직하다.

[0306] 제1 기판(4501) 위에 설치된 화소부(4502), 신호선 구동회로(4503a, 4503b), 및 주사선 구동회로(4504a, 4504b)는, 박막 트랜지스터를 복수 갖고 있고, 도 23b에서는 화소부(4502)에 포함되는 박막 트랜지스터 4510과, 신호선 구동회로 4503a에 포함되는 박막 트랜지스터 4509를 예시하고 있다.

[0307] 박막 트랜지스터 4509 및 4510으로서는, 채널 형성 영역으로서 산소 과잉 산화물 반도체층, 및 소스 영역 및 드레인 영역으로서 산소 결핍 산화물 반도체층을 포함하는 실시형태 6에 나타낸 박막 트랜지스터를 적용할 수 있다. 또는, 실시형태 7에 나타낸 박막 트랜지스터를 박막 트랜지스터 4509 및 4510으로 사용해도 된다. 본 실시형태에 있어서, 박막 트랜지스터 4509 및 4510은 n채널형 박막 트랜지스터이다.

[0308] 또한, 참조부호 4511은 발광소자를 표시한다. 발광소자(4511)에 포함된 화소 전극인 제1 전극층(4517)은, 박막 트랜지스터 4510의 소스 전극층 또는 드레인 전극층에 전기적으로 접속되어 있다. 이때 발광소자(4511)의 구성은, 제1 전극층(4517), 전계발광층(4512) 및 제2 전극층(4513)을 포함하는 본 실시형태에 나타낸 적층 구성에 한정되지 않는다. 발광소자(4511)로부터 빛이 추출되는 방향 등에 의존하여, 발광소자(4511)의 구성은 적절히 바꿀 수 있다.

[0309] 격벽(4520)은, 유기 수지막, 무기 절연막 또는 유기 폴리실록산으로 제조한다. 특히 격벽(4520)은, 감광성의 재료를 사용하여 제1 전극층(4517) 위에 개구부를 갖도록 형성하여, 그 개구부의 측벽이 연속한 곡률을 갖는 경사면으로 형성하는 것이 바람직하다.

[0310] 전계발광층(4512)은, 단수의 층으로 구성되어 있어도 복수의 층이 적층되도록 구성되어 있어도 된다.

[0311] 발광소자(4511)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록, 제2 전극층(4513) 및 격벽(4520) 위에 보호막을 형성해도 된다. 보호막으로서는, 질화 규소막, 질화산화 규소막, DLC막 등을 형성할 수 있다.

[0312] FPC(4518a, 4518b)로부터 신호선 구동회로(4503a, 4503b), 주사선 구동회로(4504a, 4504b) 또는 화소부(4502)에 각종 신호 및 전위가 공급되고 있다.

[0313] 본 실시형태에서는, 접속 단자 전극(4515)이 발광소자(4511)에 포함된 제1 전극층(4517)과 같은 도전막을 사용하여 형성되고, 단자 전극(4516)은, 박막 트랜지스터 4509 및 4510에 포함된 소스 전극층 및 드레인 전극층과 같은 도전막을 사용하여 형성된다.

[0314] 접속 단자 전극(4515)은, FPC 4518a의 단자에 이방성 도전막(4519)을 거쳐 전기적으로 접속되어 있다.

[0315] 발광소자(4511)로부터 빛이 추출되는 방향에 위치하는 제2 기판(4506)은 투광성을 가질 필요가 있다. 그 경우에는, 유리판, 플라스틱판, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성 재료를 사용한다.

[0316] 충전재(4507)로서는, 질소나 아르곤 등의 불활성 기체 이외에, 자외선 경화 수지 또는 열경화 수지를 사용할 수

있다. 예를 들면, PVC(폴리비닐 클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부티랄) 또는 EVA(에틸렌 비닐 아세테이트)를 사용할 수 있다. 본 실시형태에서는, 충전재로서 질소를 사용한다.

[0317] 필요하면, 발광소자의 출사면에, 편광판, 원편광판(타원 편광판을 포함한다), 위상차판(λ/4판 및 λ/2판), 칼라필터 등의 광학 필름을 적절히 설치해도 된다. 또한, 편광판 또는 원편광판에 반사방지막을 설치해도 된다. 예를 들면, 표면의 요철에 의해 반사광을 확산하여 눈부심을 저감할 수 있는 안티글레어 처리를 실시할 수 있다.

[0318] 신호선 구동회로(4503a, 4503b), 및 주사선 구동회로(4504a, 4504b)는, 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막을 사용하여 형성된 구동회로로서 실장되어 있어도 된다. 또는, 신호선 구동회로만 또는 그것의 일부, 또는 주사선 구동회로만, 또는 그것의 일부만을 별도 형성해서 실장해도 된다. 본 실시형태는 도 23a 및 도 23b에 도시된 구성에 한정되지 않는다.

[0319] 이상의 공정에 의해, 반도체장치로서 신뢰성이 높은 발광 표시장치(표시 패널)를 제조할 수 있다.

[0320] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0322] (실시형태 12)

[0323] 본 발명의 일 실시형태의 반도체장치는 전자 페이퍼로서 적용할 수 있다. 전자 페이퍼는, 정보를 표시하는 것이면 다양한 분야의 전자기기에 사용하는 것이 가능하다. 예를 들면, 전자 페이퍼를 사용하여, 전자서적 리더(전자 북), 포스터, 전차 등의 탈것의 차내 광고, 크레딧 카드 등의 각종 카드에 있어서의 표시 등에 적용할 수 있다. 전자기기의 일례를 도 24a 및 도 24b와 도 25에 나타낸다.

[0324] 도 24a는, 전자 페이퍼를 사용한 포스터(2631)를 나타내고 있다. 광고 매체가 종이 인쇄물인 경우에는, 광고의 교환은 사람의 손에 의해 행해지지만, 본 발명을 적용한 전자 페이퍼를 사용함으로써, 단시간에 광고의 표시를 바꿀 수 있다. 또한, 표시 결함이 없이 안정한 화상이 얻어질 수 있다. 이때, 포스터는 무선으로 데이터를 송수신할 수 있는 구성을 가져도 된다.

[0325] 도 24b는, 전차 등의 탈것의 차내광고(2632)를 나타내고 있다. 광고 매체가 종이의 인쇄물인 경우에는, 광고의 교환은 사람의 손에 의해 행해지지만, 본 발명을 적용한 전자 페이퍼를 사용함으로써, 사람의 손을 많이 거치지 않고 단시간에 광고의 표시를 바꿀 수 있다. 또한, 표시 결함이 없이 안정한 화상이 얻어질 수 있다. 이때, 차내광고는 무선으로 정보를 송수신할 수 있는 구성을 가져도 된다.

[0326] 도 25는, 전자서적 리더(2700)의 일례를 나타내고 있다. 예를 들면, 전자서적 리더(2700)는, 하우징 2701 및 하우징 2703의 2개의 하우징으로 구성되어 있다. 하우징 2701 및 하우징 2703은, 축부(2711)에 의해 일체로 되어 있어, 상기 축부(2711)를 축으로 하여 전자서적 리더(2700)를 개폐할 수 있다. 이와 같은 구성에 의해, 종이 서적과 같이 전자서적 리더(2700)가 동작을 행하는 것이 가능해 진다.

[0327] 하우징 2701 및 하우징 2703에는 표시부 2705 및 표시부 2707이 각각 삽입되어 있다. 표시부 2705 및 표시부 2707은 한 개의 화상 또는 다른 화상을 표시하는 구성으로 해도 된다. 표시부 2705 및 표시부 2707이 다른 화상을 표시하는 경우에는, 예를 들면, 우측의 표시부(도 25에서는 표시부 2705)에 텍스트를 표시하고, 좌측의 표시부(도 25에서는 표시부 2707)에 그래픽을 표시할 수 있다.

[0328] 도 25는, 하우징(2701)에 조작부 등을 구비한 예를 나타내고 있다. 예를 들면, 하우징(2701)은, 전원 스위치(2721), 조작 키(2723), 스피커(2725) 등을 구비하고 있다. 조작 키(2723)에 의해, 페이지를 보낼 수 있다. 이때, 하우징의 표시부와 동일 면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 해도 된다. 또한, 하우징의 이면이나 측면에, 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능한 단자 등), 기록매체 삽입부 등을 구비하는 구성으로 해도 된다. 더구나, 전자서적 리더(2700)는, 전자사전의 기능을 가져도 된다.

[0329] 전자서적 리더(2700)는, 무선으로 데이터를 송수신할 수 있는 구성으로 해도 된다. 무선통신을 통해, 전자서적 서버로부터, 원하는 서적 데이터 등을 구입하여, 다운로드하는 구성으로 하는 것도 가능하다.

[0331] (실시형태 13)

[0332] 본 발명의 반도체장치는, 다양한 전자기기(오락기도 포함한다)에 적용할 수 있다. 전자기기로서는, 예를 들면, 텔레비젼 장치(텔레비젼, 또는 텔레비젼 수신기라고도 한다), 컴퓨터용 등의 모니터, 디지털 카메라 또는 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대전화기(휴대전화, 휴대전화장치라고도 한다), 휴대형

게임기, 휴대 정보단말, 음향 재생장치, 파칭코기 등의 대형 게임기 등을 들 수 있다.

[0333] 도 26a는, 텔레비젼 장치(9600)의 일례를 나타내고 있다. 텔레비젼 장치(9600)에서는, 하우징(9601)에 표시부(9603)가 삽입되어 있다. 표시부(9603)에 영상을 표시하는 것이 가능하다. 여기에서는, 스탠드(9605)에 의해 하우징(9601)을 지지한다.

[0334] 텔레비젼 장치(9600)의 조작은, 하우징(9601)의 조작 스위치나, 별체의 리모트 콘트롤 조작기(9610)에 의해 행할 수 있다. 리모트 콘트롤 조작기(9610)의 조작 키(9609)에 의해, 채널이나 음량의 조작을 행할 수 있어, 표시부(9603)에 표시되는 영상을 조작할 수 있다. 또한, 리모트 콘트롤 조작기(9610)에, 해당 리모트 콘트롤 조작기(9610)로부터 출력하는 데이터를 표시하는 표시부(9607)를 설치하는 구성으로 해도 된다.

[0335] 이때, 텔레비젼 장치(9600)는, 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의해, 일반의 텔레비젼 방송의 수신을 행할 수 있다. 더구나, 모뎀을 거쳐 유선 또는 무선접속에 의해 텔레비전 장치(9600)가 통신 네트워크에 접속될 때, 일방향(송신자로부터 수신자) 또는 양방향(송신자와 수신자 사이, 혹은 수신자간끼리 등)의 데이터 통신을 행하는 것도 가능하다.

[0336] 도 26b는, 디지털 포토 프레임(9700)의 일례를 나타내고 있다. 예를 들면, 디지털 포토 프레임(9700)에서는, 하우징(9701)에 표시부(9703)가 삽입되어 있다. 표시부(9703)에 각종 화상을 표시하는 것이 가능하다. 예를 들면, 표시부(9703)가 디지털 카메라 등에서 촬영한 화상의 데이터를 표시시킴으로써 통상의 사진틀과 같이 기능시킬 수 있다.

[0337] 이때, 디지털 포토 프레임(9700)은, 조작부, 외부 접속용 단자(USB 단자, USB 케이블 등의 각종 케이블과 접속 가능한 단자 등), 기록매체 삽입부 등을 구비하는 구성으로 한다. 이들 구성은 표시부와 동일면에 설치되어도 되지만, 측면이나 이면에 구비하면 디지털 포토 프레임(9700)의 디자인성이 향상하기 때문에 바람직하다. 예를 들면, 디지털 포토 프레임의 기록매체 삽입부에, 디지털 카메라에서 촬영한 화상의 데이터를 기억한 메모리를 삽입함으로써, 화상 데이터를 다운로드하여 표시부(9703)에 표시시킬 수 있다.

[0338] 디지털 포토 프레임(9700)은, 무선으로 정보를 송수신할 수 있는 구성으로 해도 된다. 무선통신을 통해, 원하는 화상 데이터를 다운로드하여 표시할 수 있다.

[0339] 도 27a는 휴대형 오락기이며, 하우징 9881과 하우징 9891의 2개의 하우징으로 구성되어 있다. 하우징 9881 및 9891은 연결부(9893)로 개폐 가능하게 연결되어 있다. 하우징 9881 및 하우징 9891에는 표시부 9882 및 표시부 9883이 삽입되어 있다. 또한, 도 27a에 나타낸 휴대형 오락기는, 스피커부(9884), 기록매체 삽입부(9886), LED 램프(9890), 입력수단(조작 키(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 빛, 액, 자기, 온도, 화학물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 기울기, 진동, 냄새 또는 적외선을 측정하는 기능을 갖는 센서), 마이크로폰(9889)) 등을 구비하고 있다. 물론, 휴대형 오락기의 구성은 상기한 것에 한정되지 않고, 적어도 본 발명의 반도체장치를 구비한 기타 구성을 채용해도 된다. 휴대형 오락기는 다른 부재 설치를 적절히 구비하여도 된다. 도 27a에 나타낸 휴대형 게임기는, 기록매체에 기억되어 있는 프로그램 또는 데이터를 판독해서 표시부에 표시하는 기능과, 다른 휴대형 게임기와 무선통신에 의해 정보를 공유하는 기능을 갖는다. 이때, 도 27a에 나타낸 휴대형 게임기는 상기한 기능에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0340] 도 27b는 대형 오락기인 슬롯머신(9900)의 일례를 나타내고 있다. 슬롯머신(9900)에서는, 하우징(9901)에 표시부(9903)가 삽입되어 있다. 또한, 슬롯머신(9900)은, 스타트 레버나 스톱 스위치 등의 조작 수단, 코인 투입구, 스피커 등을 구비하고 있다. 물론, 슬롯머신(9900)의 구성은 상기한 것에 한정되지 않고, 적어도 본 발명의 반도체장치를 구비한 다른 구성을 채용해도 된다. 슬롯머신(900)은 기타 부속 설비를 적절히 구비해도 된다.

[0341] 도 28은, 휴대전화기(1000)의 일례를 나타내고 있다. 휴대전화기(1000)는, 하우징(1001)에 삽입된 표시부(1002), 조작 버튼(1003), 외부 접속 포트(1004), 스피커(1005), 마이크(1006) 등을 구비하고 있다.

[0342] 도 28에 나타낸 휴대전화기(1000)의 표시부(1002)를 손가락 등으로 접촉함으로써, 휴대전화기(1000)에 데이터를 입력할 수 있다. 또한, 전화를 걸거나 메일을 작성하는 것 등의 조작은, 표시부(1002)를 손가락 등으로 접촉하는 것에 의해 행할 수 있다.

[0343] 표시부(1002)의 화면은 주로 3가지 모드가 있다. 제1모드는, 화상의 표시를 주로 하는 표시 모드이다. 제2모드는, 문자 등의 데이터의 입력을 주로 하는 입력 모드이다. 제3모드는 표시 모드와 입력 모드의 2개의 모드가 혼합한 표시-입력 모드이다.

[0344] 예를 들면, 전화를 걸거나, 또는 메일을 작성하는 경우에는, 표시부(1002)에 대해 문자의 입력을 주로 하는 문자 입력 모드를 선택하여, 화면에 표시시킨 문자의 입력 조작을 행하면 된다. 이 경우, 표시부(1002)의 화면의 대부분에 키보드 또는 번호 버튼을 표시시키는 것이 바람직하다.

[0345] 휴대전화기(1000) 내부에 자이로스코프, 가속도 센서 등의 기울기를 검출하는 센서를 갖는 검출장치를 설치함으로써, 휴대전화기(1000)의 방향(휴대전화기(1000)가 풍경 모드 또는 인물화 모드에 대해 횡으로 또는 종으로 위치하는지 여부)을 판단하여, 표시부(1002)의 화면 표시를 자동적으로 전환할 수 있다.

[0346] 화면 모드의 전환은, 표시부(1002)를 접촉하는 것, 또는 하우징(1001)의 조작 버튼(1003)의 조작에 의해 행해진다. 또는, 표시부(1002)에 표시되는 화상의 종류에 의존하여 화면 모드를 전환해도 있다. 예를 들면, 표시부에 표시하는 화상신호가 동화상의 데이터이면, 화면 모드를 표시 모드로 전환한다. 신호가 텍스트 데이터이면, 화면 모드를 입력 모드로 전환한다.

[0347] 또한, 입력 모드에 있어서, 표시부(1002)의 광센서에 의해 신호를 검출하는 동안 표시부(1002)의 터치 조작에 의한 입력이 일정 기간 동안 행해지지 않는 경우에는, 화면의 모드를 입력 모드로부터 표시 모드로 전환하도록 제어해도 된다.

[0348] 표시부(1002)는 이미지 센서로서 기능시킬 수도 있다. 예를 들면, 표시부(1002)에 손바닥이나 손가락을 접촉하여 손바닥 무늬, 지문 등을 촬상함으로써, 개인인증을 행할 수 있다. 또한, 표시부에 대해 근적외광을 발광하는 백라이트 또는 센싱용 광원을 사용하면, 손가락 정맥, 손바닥 정맥 등을 촬상할 수도 있다.

[0349] 본 출원은, 2008년 9월 19일자 일본 특허청에 출원된 일본 특허출원 2008-241335에 근거한 것으로, 이 출원의 전체내용은 참조를 위해 본 출원에 원용한다.

부호의 설명

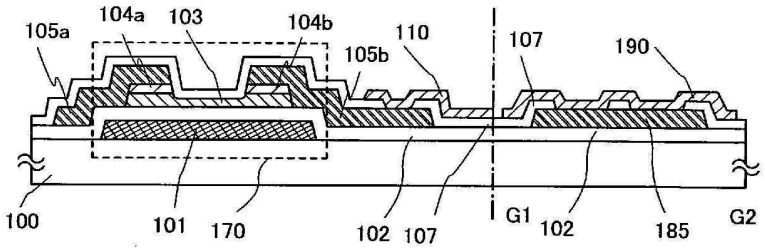
[0350] 100 기판, 101 게이트 전극, 102 게이트 절연층, 103 반도체층, 107 보호 절연막, 108 용량 배선, 109: IGZO막, 110 화소 전극층, 111 IGZO막, 121 단자, 122 단자, 125 콘택홀, 126 콘택홀, 127 콘택홀, 128 투명 도전막, 129 투명 도전막, 131 레지스트 마스크, 132 도전막, 150 단자, 151 단자, 152 게이트 절연층, 153 접속 전극층, 154 보호 절연막, 155 투명 도전막, 156 전극층, 170~172 박막 트랜지스터, 181 공통 전위선, 185 공통 전위선, 186 산화물 반도체층, 190 공통 전극층, 191 접속 전극층, 581 박막 트랜지스터, 585 절연층, 587 전극층, 588 전극층, 589 구형 입자, 594 캐비티, 595 충전재, 1000 휴대전화기, 1001 하우징, 1002 표시부, 1003 조작 버튼, 1004 외부 접속 포트, 1005 스피커, 1006 마이크, 104a 소스 또는 드레인 영역, 104b 소스 또는 드레인 영역, 105a 소스 또는 드레인 전극층, 105b 소스 또는 드레인 전극층, 2600 TFT 기판, 2601 대향 기판, 2602 씰재, 2603 화소부, 2604 표시 소자, 2605 착색층, 2606 편광판, 2607 편광판, 2608 배선회로부, 2609 플렉시블 배선 기판, 2610 냉음극관, 2611 반사판, 2612 회로 기판, 2613 확산판, 2631 포스터, 2632 차내광고, 2700 전자서적 리더, 2701 하우징, 2703 하우징, 2705 표시부, 2707 표시부, 2711 축부, 2721 전원 스위치, 2723 조작 키, 2725 스피커, 4001 기판, 4002 화소부, 4003 신호선 구동회로, 4004 주사선 구동회로, 4005 씰재, 4006 기판, 4008 액정층, 4010 박막 트랜지스터, 4011 박막 트랜지스터, 4013 액정소자, 4015 접속 단자, 4016 단자 전극, 4018 FPC, 4019 이방성 도전막, 4020 절연층, 4021 절연층, 4030 화소 전극층, 4031 대향 전극층, 4032 절연층, 4501 기판, 4502 화소부, 4505 씰재, 4506 기판, 4507 충전재, 4509 박막 트랜지스터, 4510 박막 트랜지스터, 4511 발광소자, 4512 전계발광층, 4513 전극층, 4515 접속 단자 전극, 4516 단자 전극, 4517 전극층, 4519 이방성 도전막, 4520 격벽, 5300 기판, 5301 화소부, 5302 주사선 구동회로, 5303 신호선 구동회로, 5400 기판, 5401 화소부, 5402 주사선 구동회로, 5403 신호선 구동회로, 5404 주사선 구동회로, 5501~5506 배선, 5543 노드, 5544 노드, 5571~5578 박막 트랜지스터, 5601 드라이버 IC, 5602 스위치군, 5611~5613 배선, 5621 배선, 5701 플립플롭, 5711~5717 배선, 5721 신호, 5821 신호, 590a 백색 영역, 590b 흑색 영역, 6400 화소, 6401 스위칭용 트랜지스터, 6402 구동용 트랜지스터, 6403 용량소자, 6404 발광소자, 6405 신호선, 6406 주사선, 6407 전원선, 6408 공통 전극, 7001 TFT, 7002 발광소자, 7003 음극, 7004 발광층, 7005 양극, 7011 구동용 TFT, 7012 발광소자, 7013 음극, 7014 발광층, 7015 양극, 7016 차폐막, 7017 도전막, 7021 구동용 TFT, 7022 발광소자, 7023 음극, 7024 발광층, 7025 양극, 7027 도전막, 9600 텔레비젼 장치, 9601 하우징, 9603 표시부, 9605 스탠드, 9607 표시부, 9609 조작 키, 9610 리모트 콘트롤러, 9700 디지털 포토 프레임, 9701 하우징, 9703 표시부, 9881 하우징, 9882 표시부, 9883 표시부, 9884 스피커부, 9885 조작 키, 9886 기록매체 삽입부, 9887 접속 단자, 9888 센서, 9889 마이크로폰, 9890 LED 램프, 9891 하우징, 9893 연결부, 9900 슬롯머신, 9901 하우징, 9903 표시부, 4503a: 신호선 구동회로, 4503b: 신호선 구동회로,

4504a 주사선 구동회로, 4504b 주사선 구동회로, 4518a: FPC, 4518b: FPC, 5603a～5603c 박막 트랜지스터, 5703a～5703c 타이밍, 5803a～5803c 타이밍

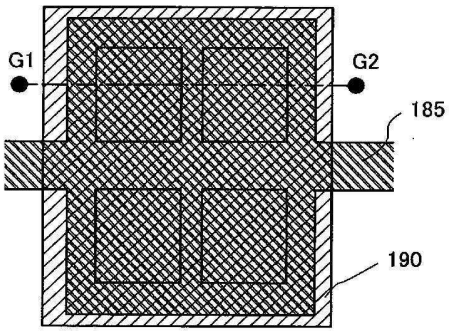
도면

도면1

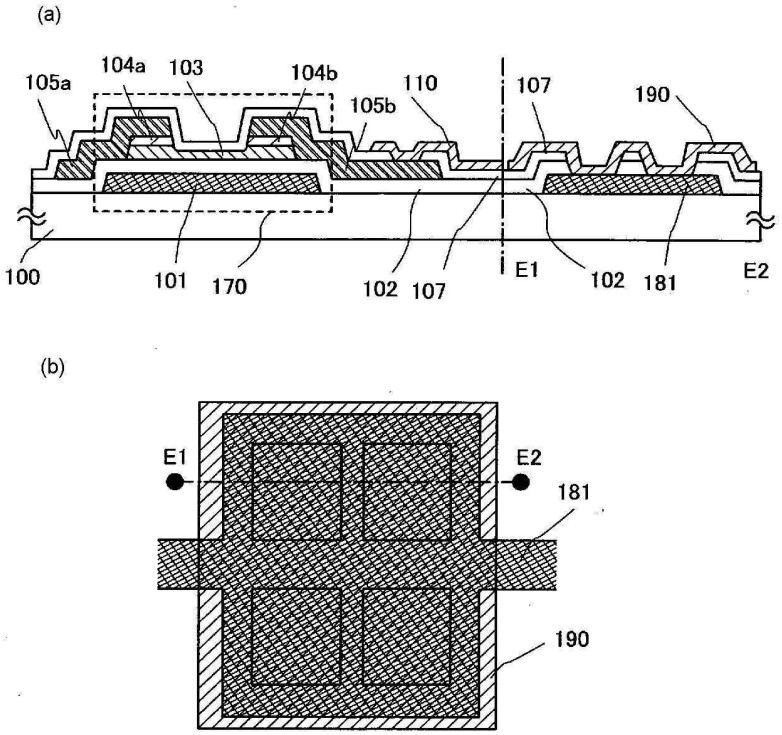
(a)



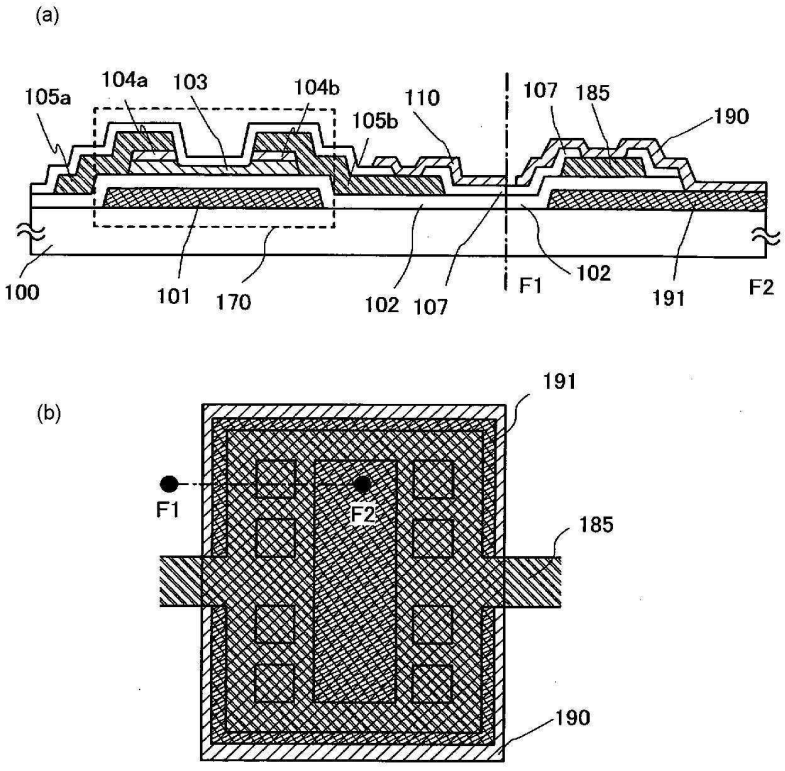
(b)



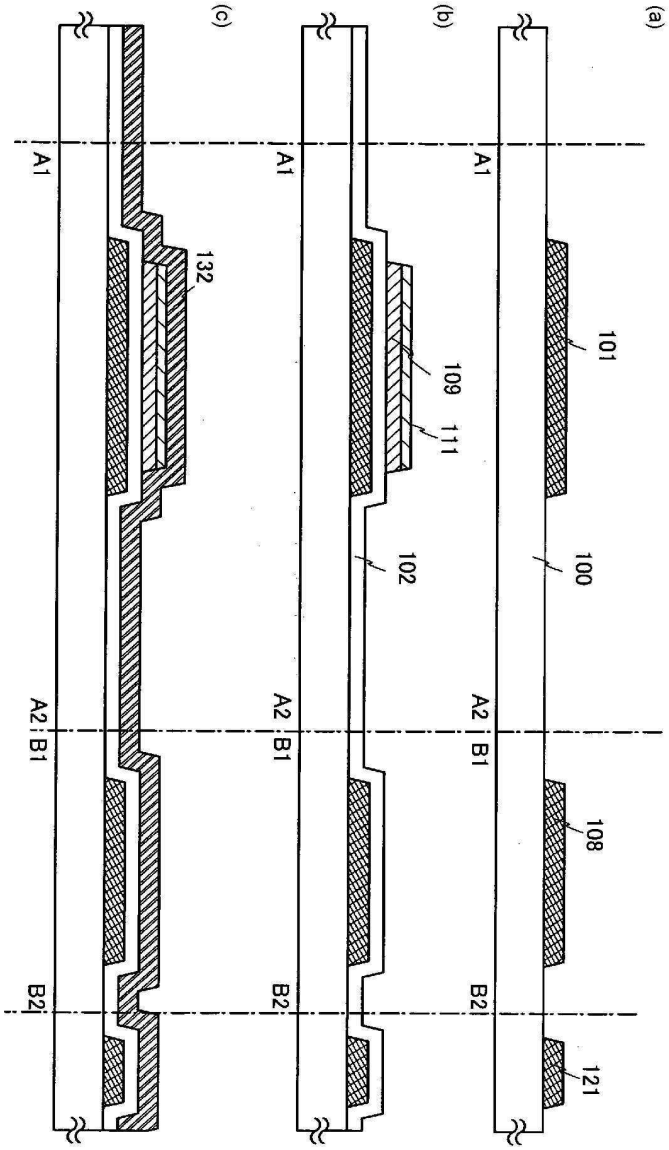
도면2


(a)
105a
104a
103
104b
105b
110
107
190
100
101
170
102
107
E1
102
181
E2
(b)
E1
E2
181
190

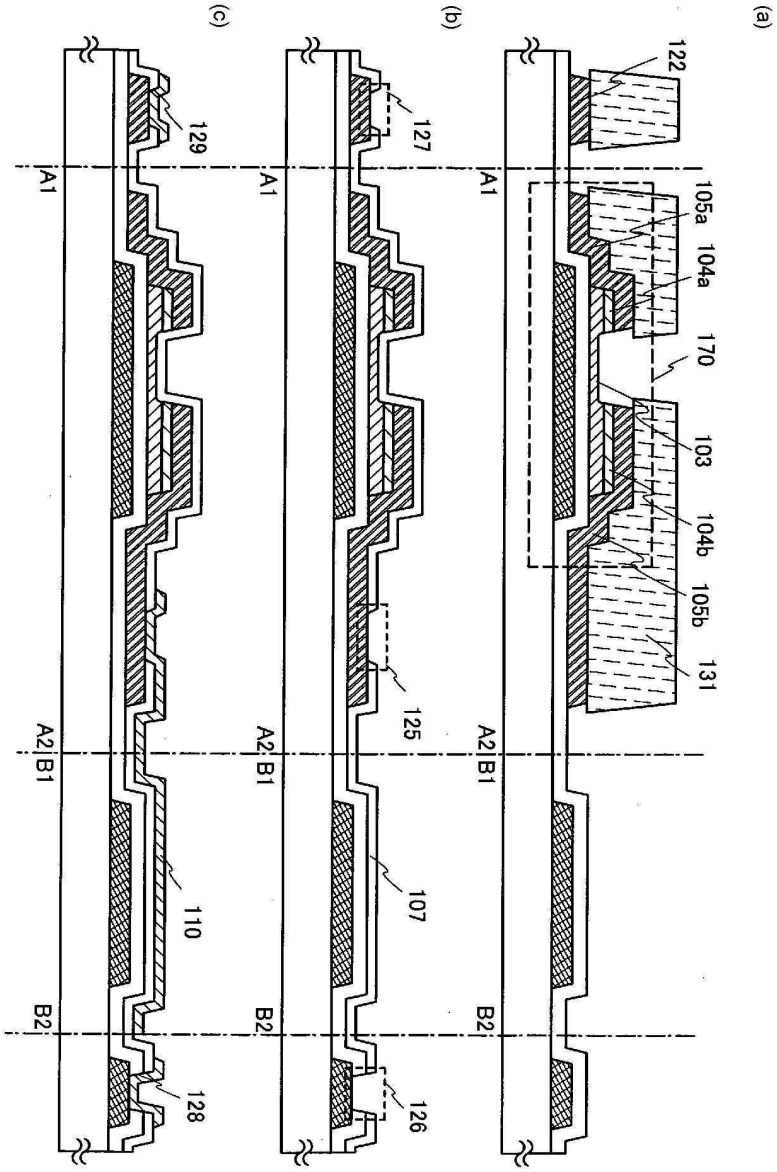
도면3


(a)
105a
104a
103
104b
105b
110
107
185
190
100
101
170
102
107
F1
102
191
F2
(b)
191
F1
F2
185
190

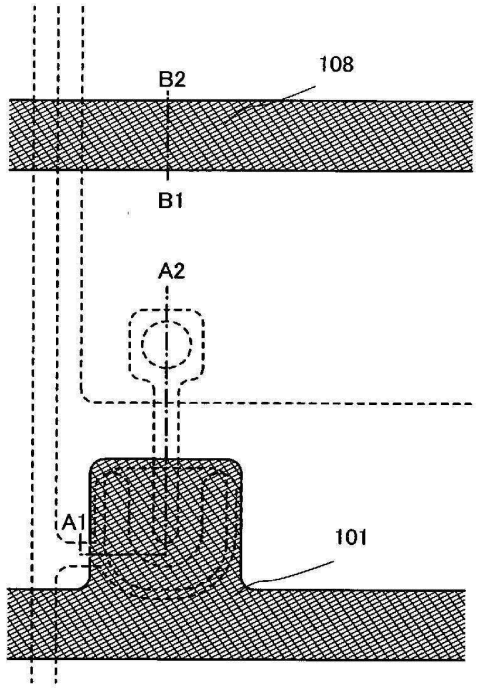
도면4



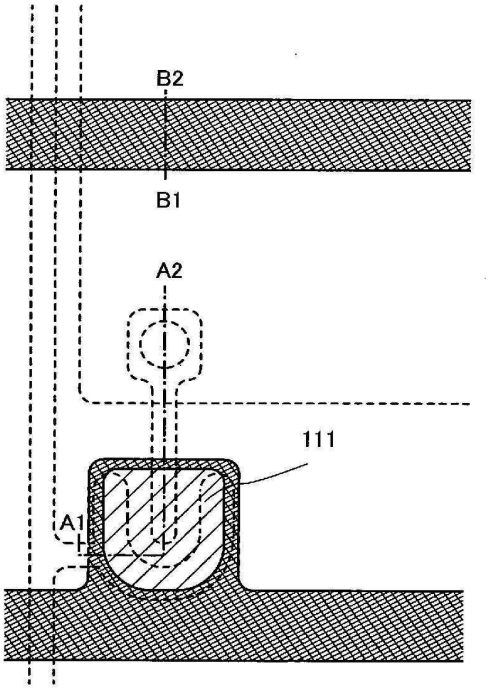
도면5


(a)
(b)
(c)
122
105a
104a
170
103
104b
105b
131
127
125
107
126
129
110
128
A1
A2
B1
B2

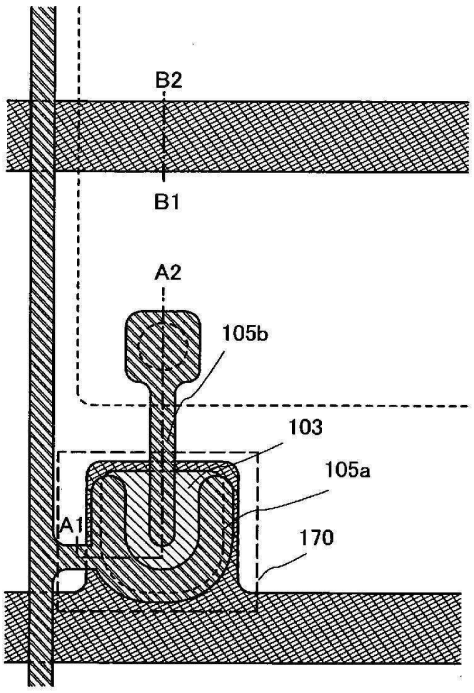
도면6



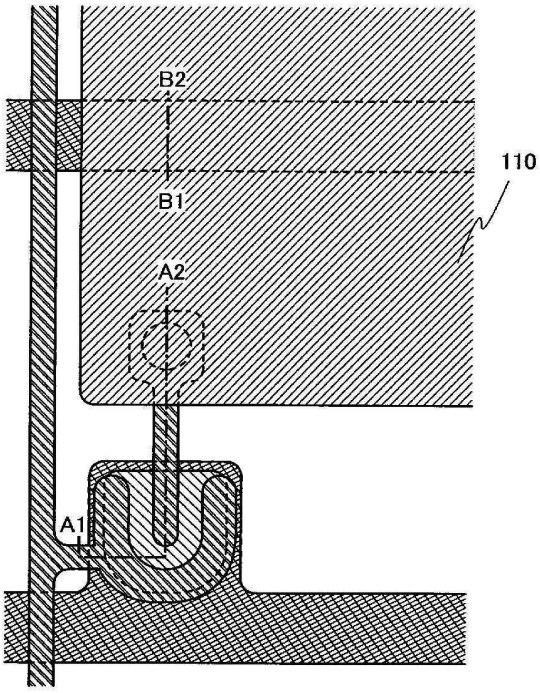
도면7



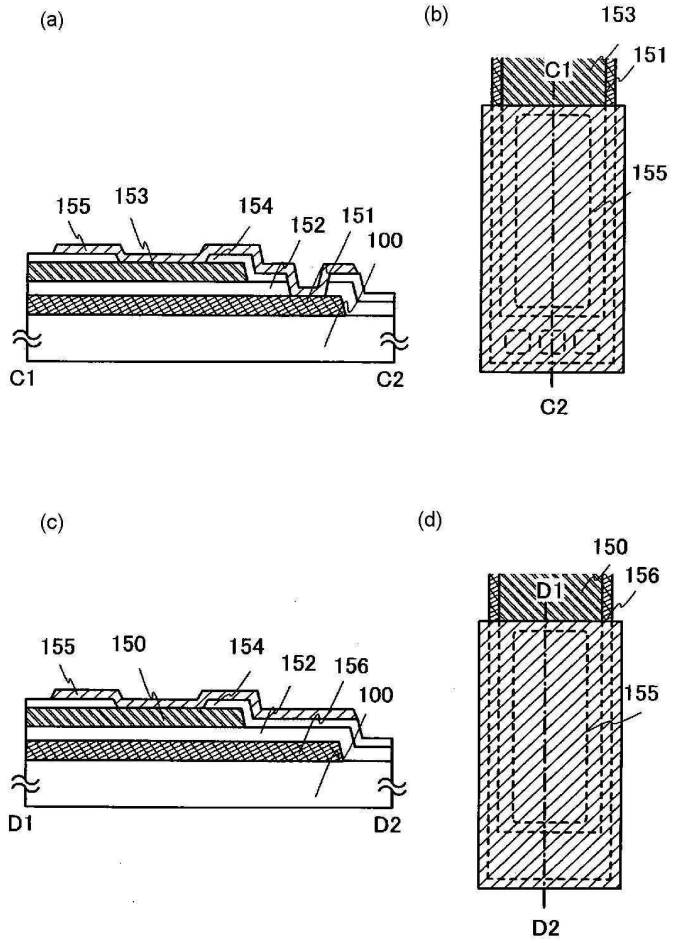
도면8



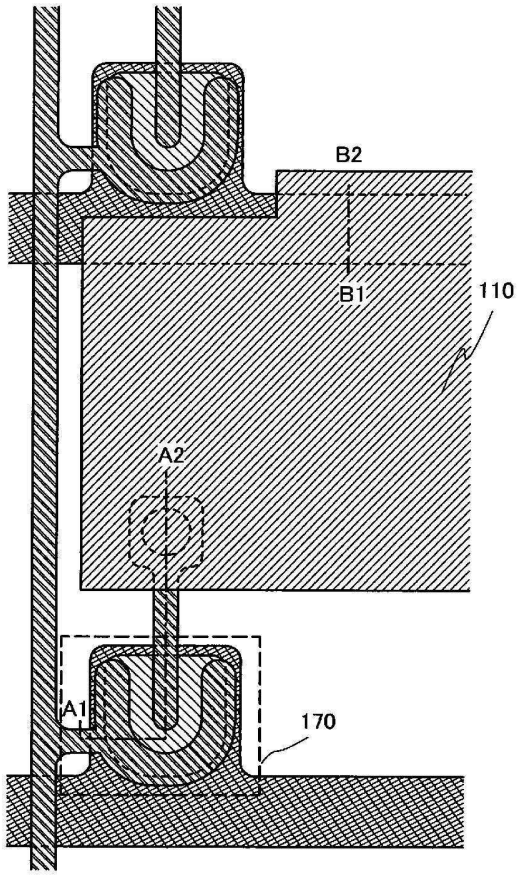
도면9



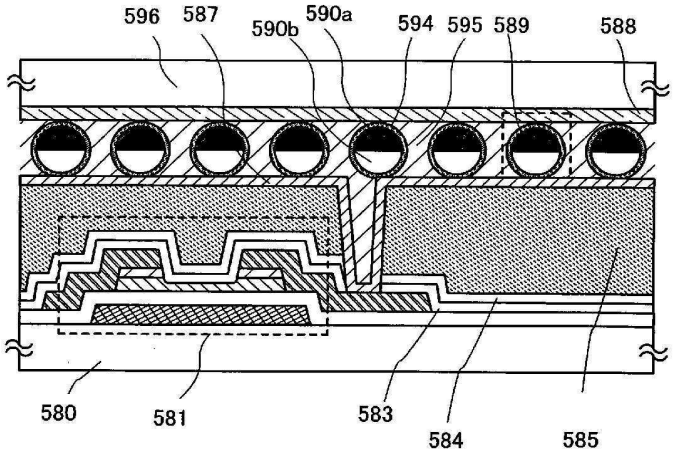
도면10


(a)
155
153
154
152
151
100
C1
C2
(b)
153
151
C1
155
C1
C2
(c)
155
150
154
152
156
100
D1
D2
(d)
150
156
D1
155
D2

도면11

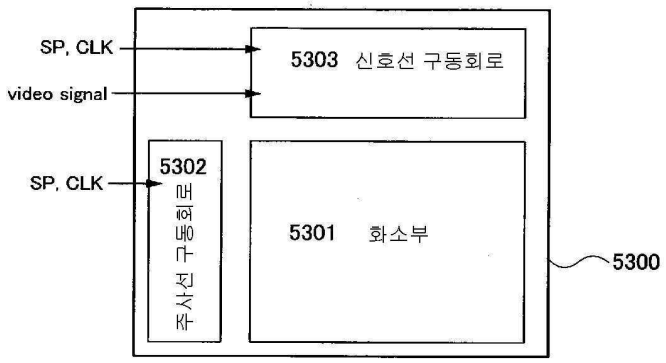

B2
B1
110
A2
A1
170

도면12

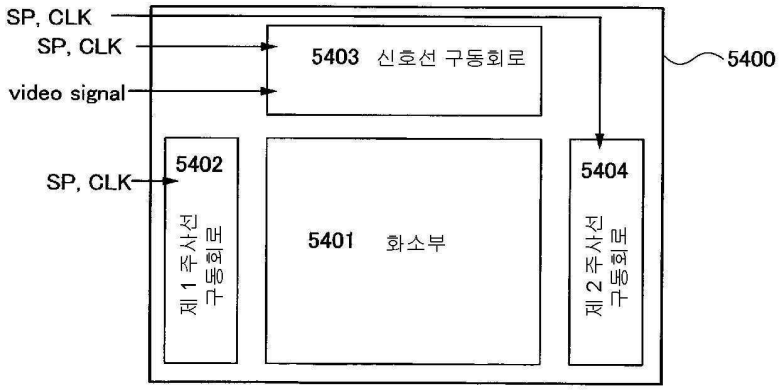

596
587
590b
590a
594
595
589
588
580
581
583
584
585

도면13

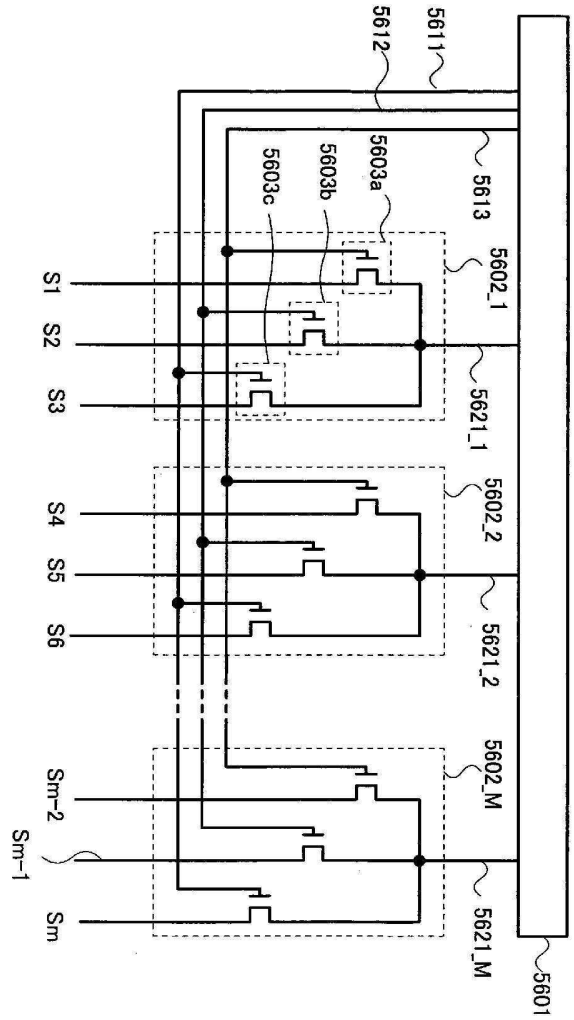
(a)


SP, CLK
video signal
SP, CLK
5303 신호선 구동회로
5302
주사선 구동회로
5301 화소부
5300

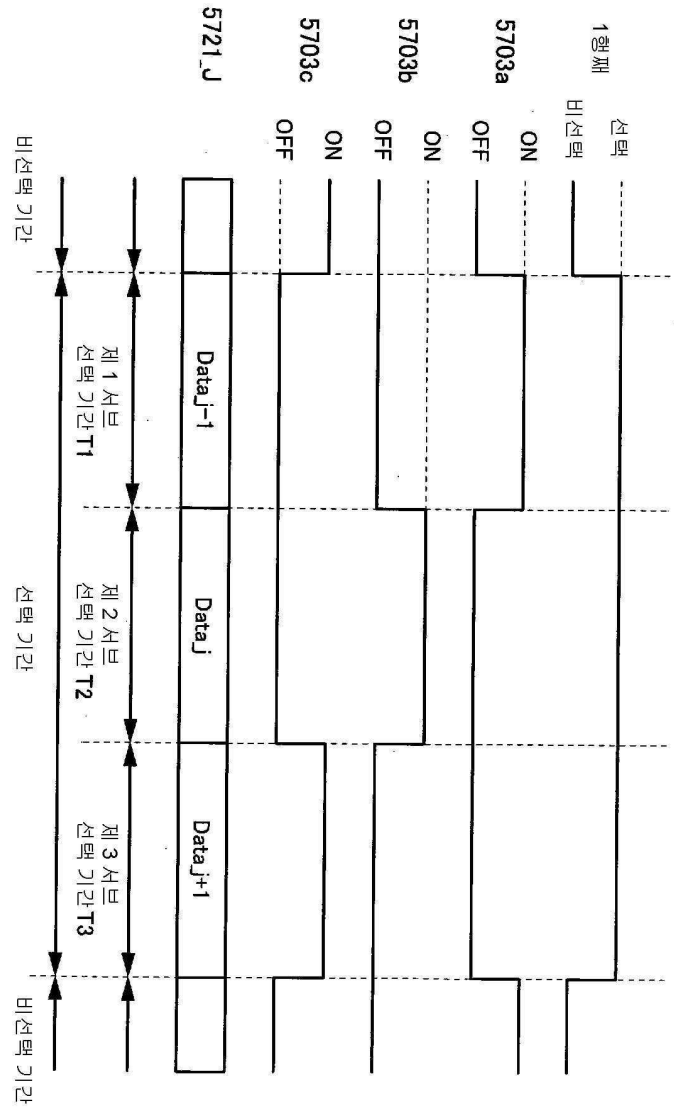
(b)


SP, CLK
SP, CLK
video signal
SP, CLK
5403 신호선 구동회로
5400
5402
제 1 주사선 구동회로
5401 화소부
5404
제 2 주사선 구동회로

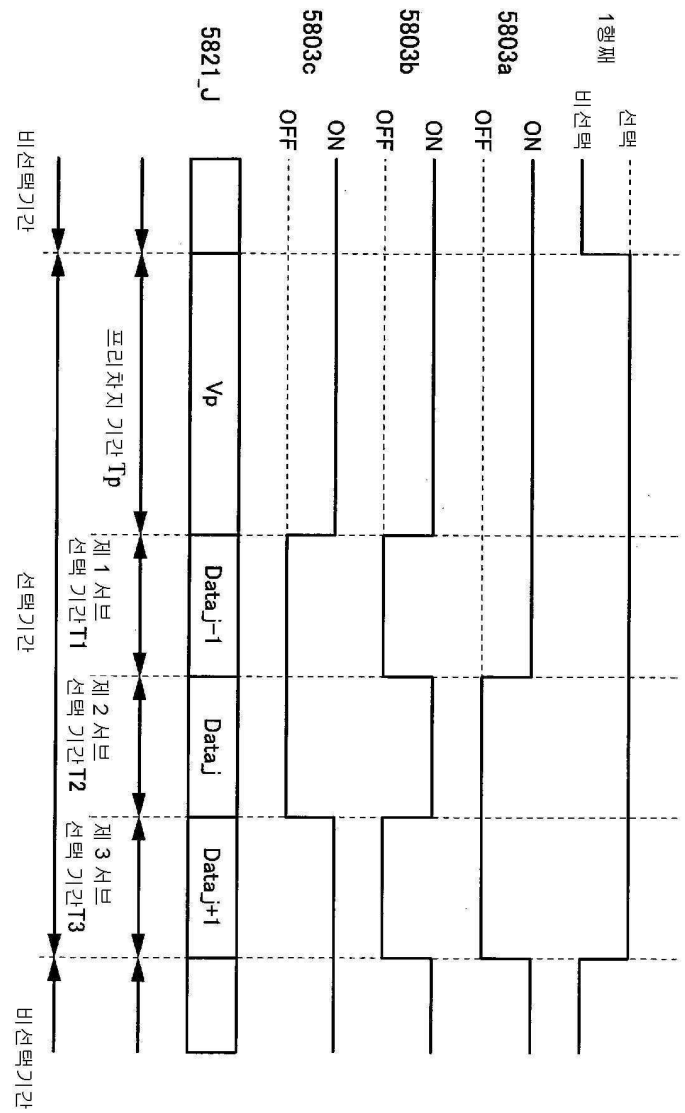
도면14


5612
5611
5603a
5603b
5603c
5613
5602_1
5621_1
5602_2
5621_2
5602_M
5621_M
5601
S1
S2
S3
S4
S5
S6
Sm-2
Sm-1
Sm

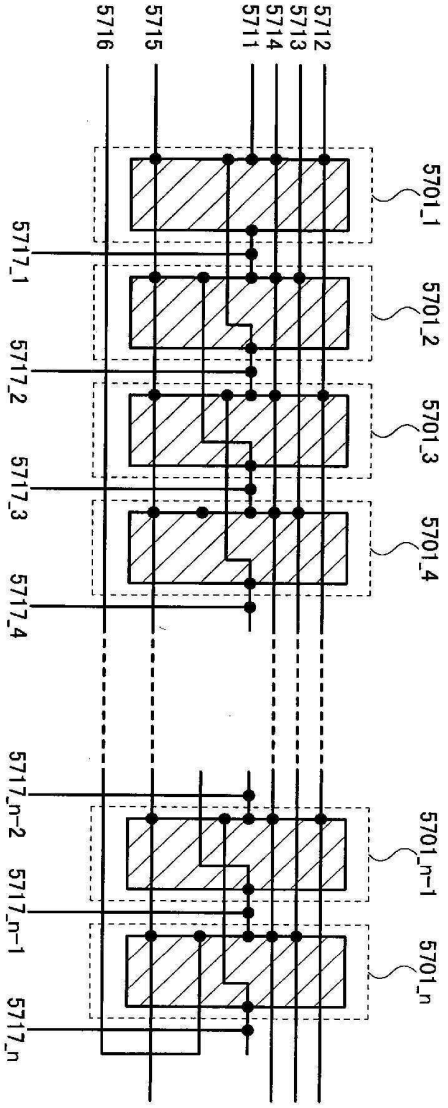
도면15


1행째
선택
비선택
5703a
ON
OFF
5703b
ON
OFF
5703c
ON
OFF
5721_J
Data_j-1
Data_j
Data_j+1
비선택 기간
제 1 서브 선택 기간 T1
선택 기간
제 2 서브 선택 기간 T2
제 3 서브 선택 기간 T3
비선택 기간

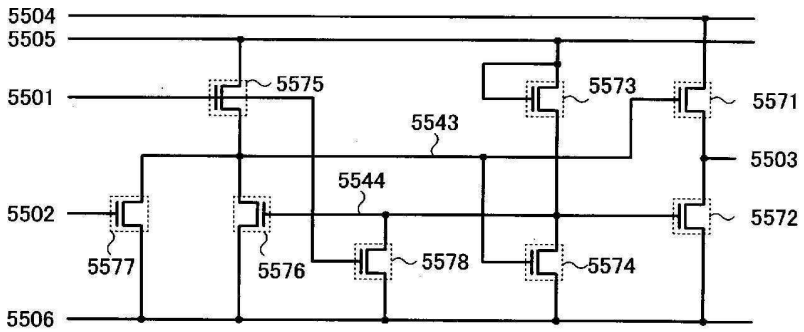
도면16


1행째
선택
비선택
5803a
ON
OFF
5803b
ON
OFF
5803c
ON
OFF
5821_J
Vp
Data_j-1
Data_j
Data_j+1
비선택기간
프리차지 기간 Tp
제 1 서브 선택 기간 T1
제 2 서브 선택 기간 T2
제 3 서브 선택 기간 T3
선택기간
비선택기간

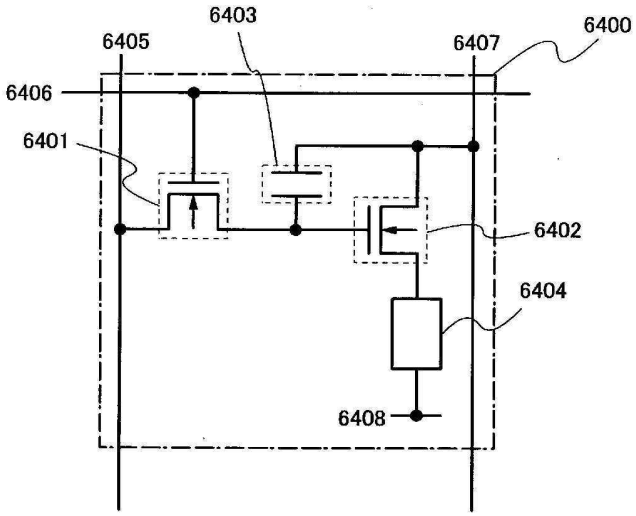
도면17


5716
5715
5711
5714
5713
5712
5701_1
5701_2
5701_3
5701_4
5701_n-1
5701_n
5717_1
5717_2
5717_3
5717_4
5717_n-2
5717_n-1
5717_n

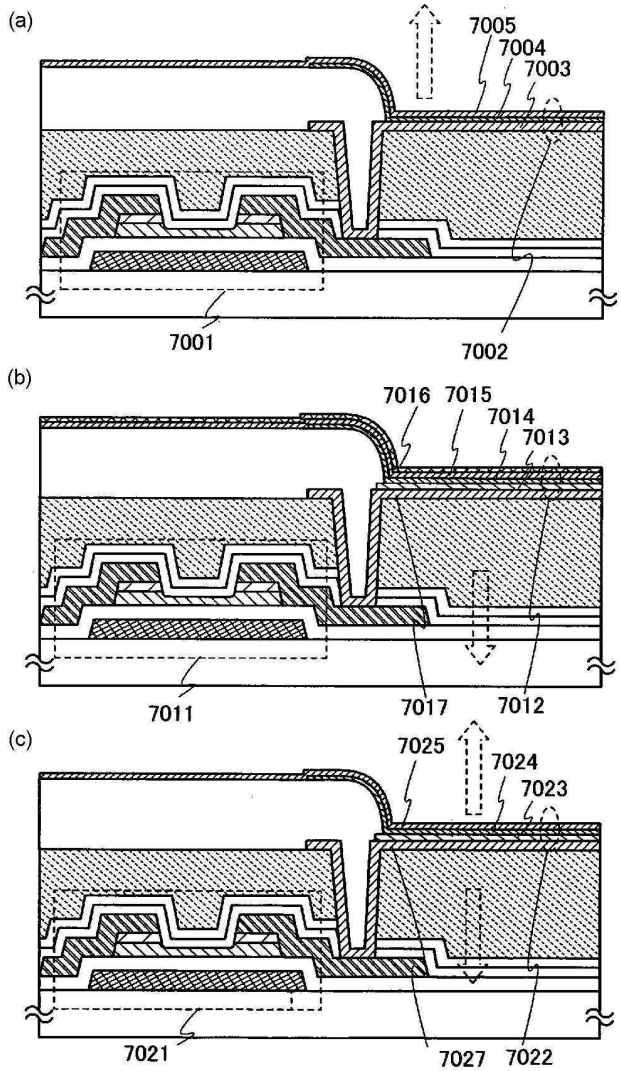
도면18


5504
5505
5501
5502
5506
5575
5573
5571
5543
5503
5544
5572
5577
5576
5578
5574

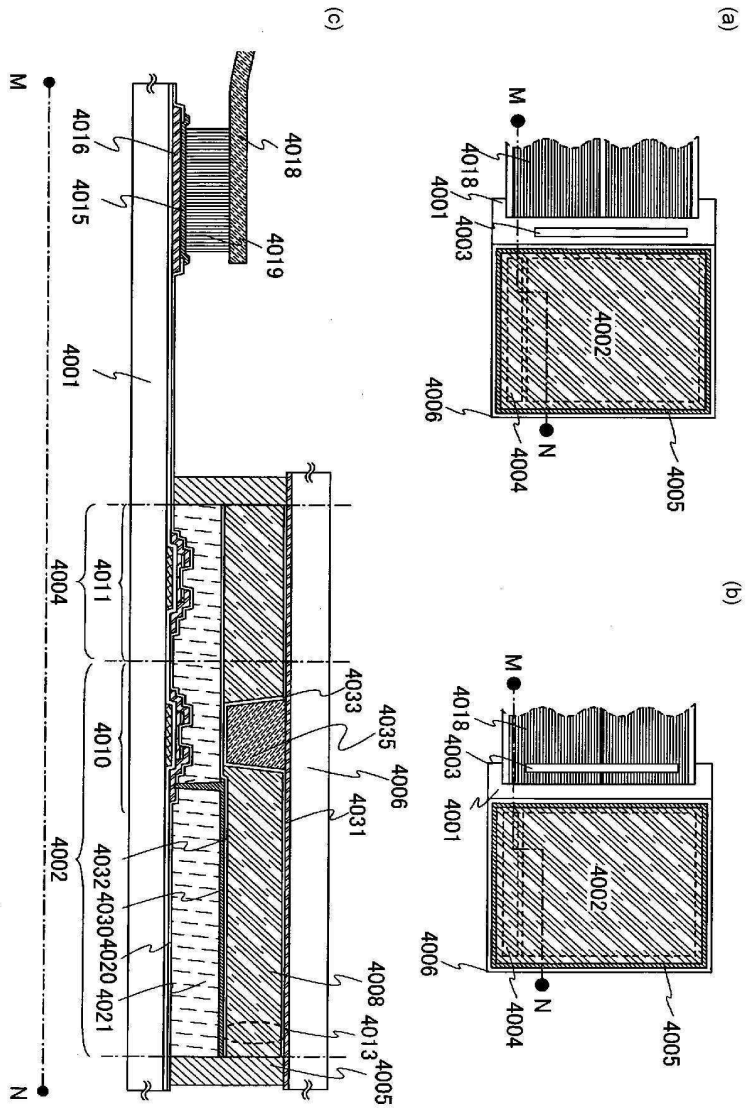
도면19


6403
6405
6407
6400
6406
6401
6402
6404
6408

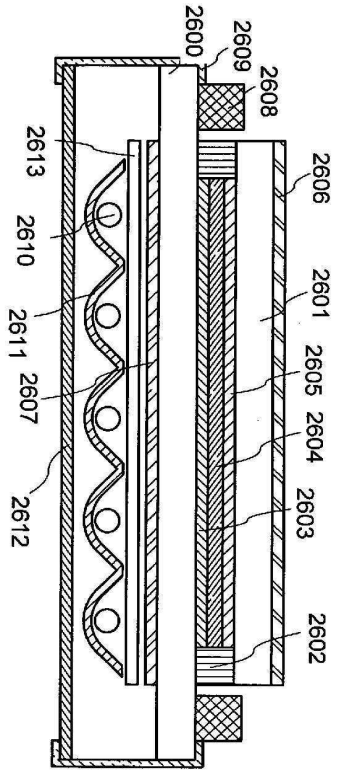
도면20


(a)
7005
7004
7003
7001
7002
(b)
7016
7015
7014
7013
7011
7017
7012
(c)
7025
7024
7023
7021
7027
7022

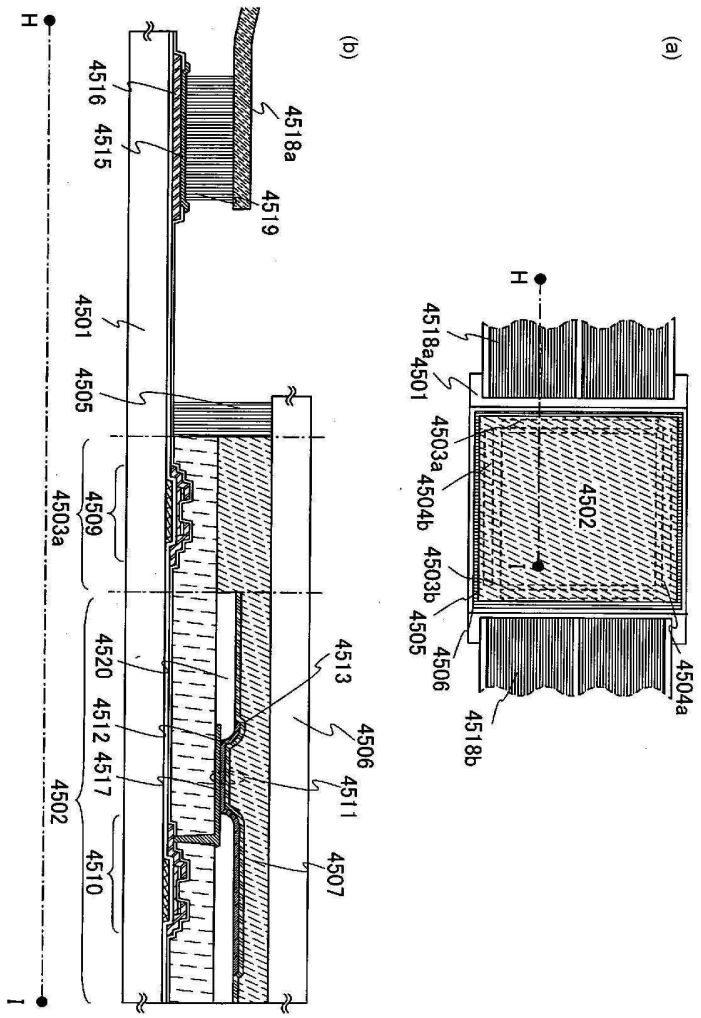
도면21


(a)
M
4018
4001
4003
4002
4006
N
4004
4005
(b)
M
4018
4003
4001
4002
4006
N
4004
4005
(c)
M
4016
4015
4018
4019
4001
4004
4011
4010
4002
4033
4035
4006
4031
4032
4030
4020
4021
4008
4013
4005
N

도면22

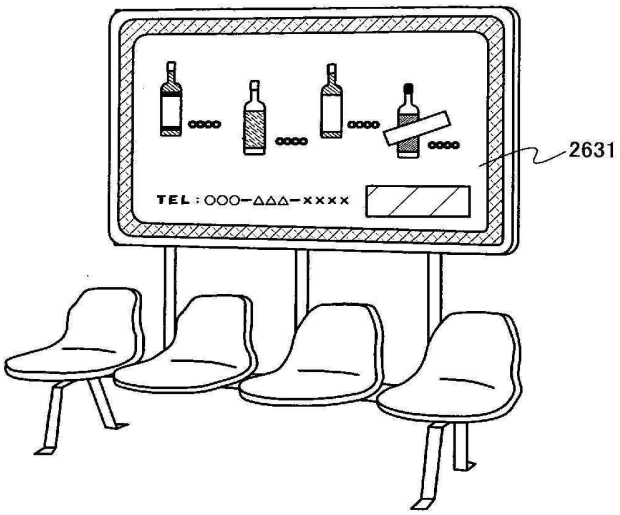

2600
2609
2608
2613
2610
2611
2607
2612
2606
2601
2605
2604
2603
2602

도면23

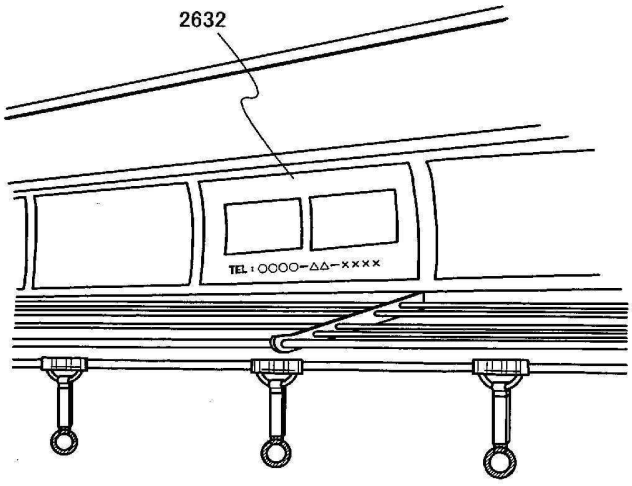

(a)
H
4518a
4501
4503a
4504b
4503b
4505
4506
4518b
4502
4504a
(b)
H
4516
4515
4518a
4519
4501
4505
4503a
4509
4520
4512
4517
4502
4510
4513
4506
4511
4507
I

도면24

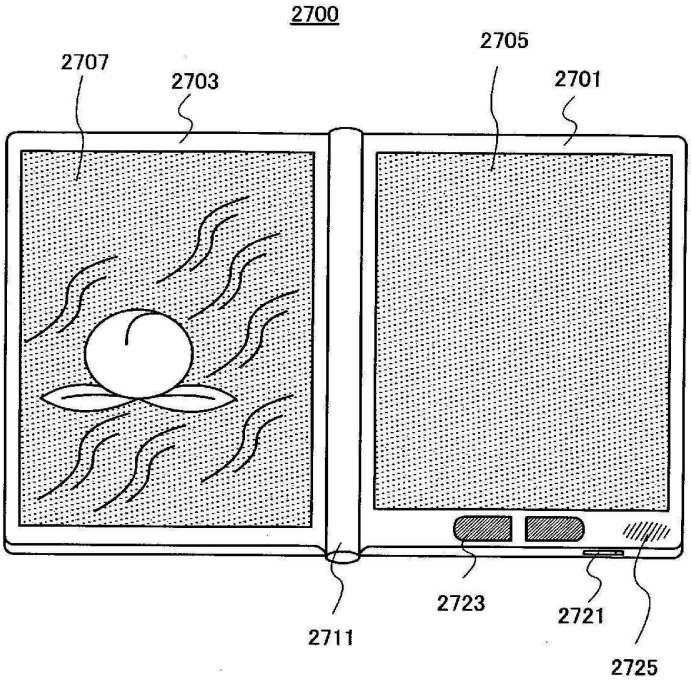
(a)



(b)

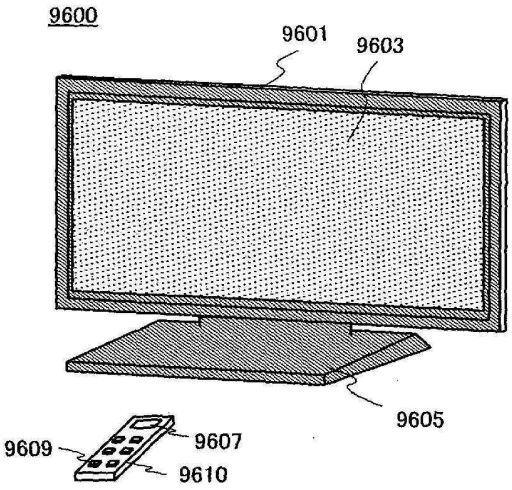


도면25

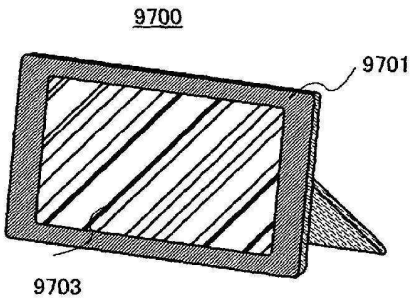

2700
2707
2703
2705
2701
2723
2721
2711
2725

도면26

(a)

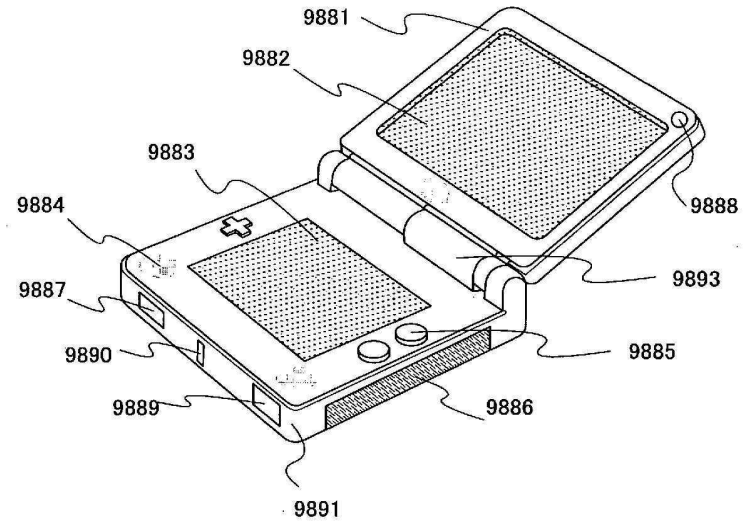

9600
9601
9603
9605
9609
9607
9610

(b)

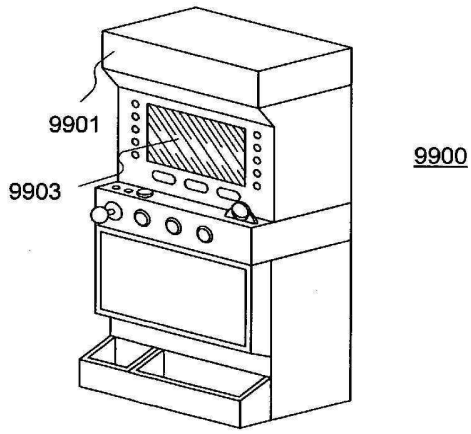

9700
9701
9703

도면27

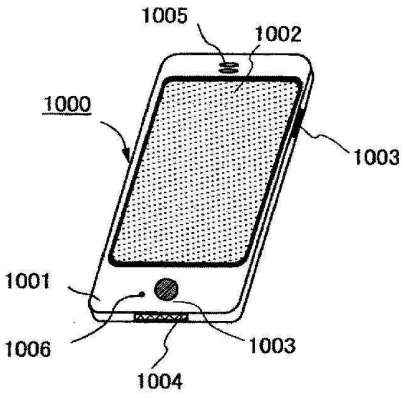
(a)


9881
9882
9883
9884
9887
9890
9889
9891
9888
9893
9885
9886

(b)

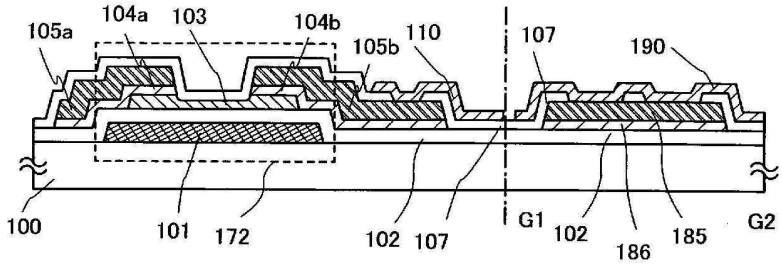

9901
9903
9900

도면28

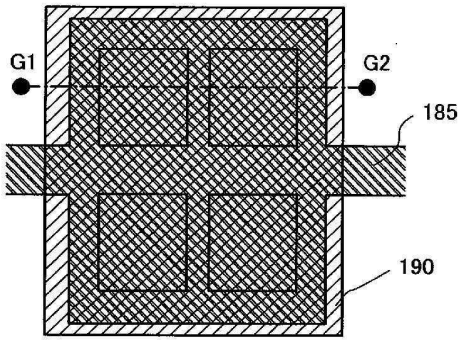

1005
1002
1000
1003
1001
1006
1003
1004

도면29

(a)

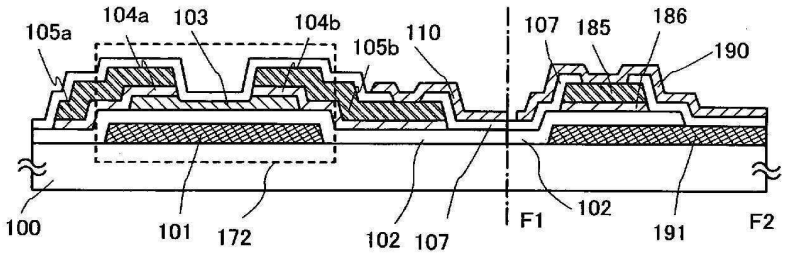


(b)

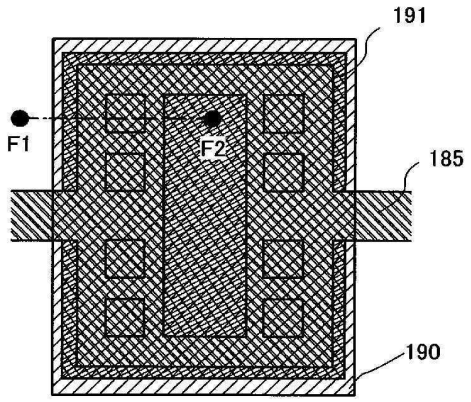


도면30

(a)

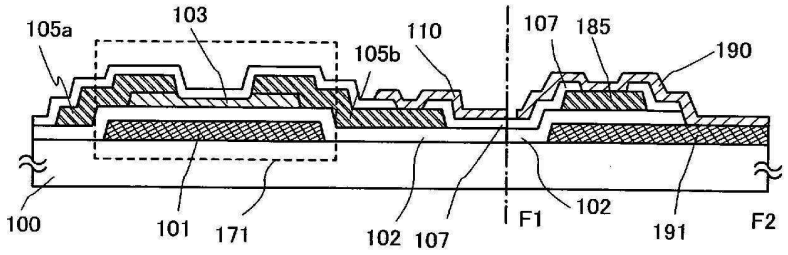


(b)

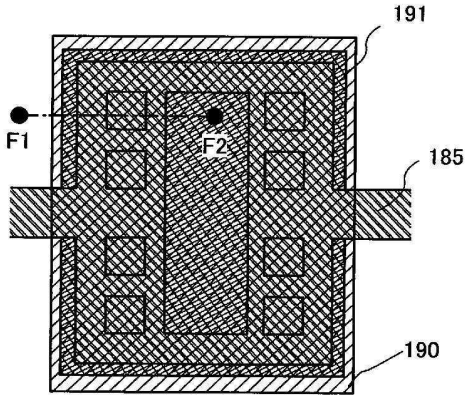


도면31

(a)



(b)



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 4~5

【변경전】

상기 1 도전층의 폭보다 작고

【변경후】

상기 제 1 도전층의 폭보다 작고