

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2024年11月7日(07.11.2024)



(10) 国際公開番号

WO 2024/228364 A1

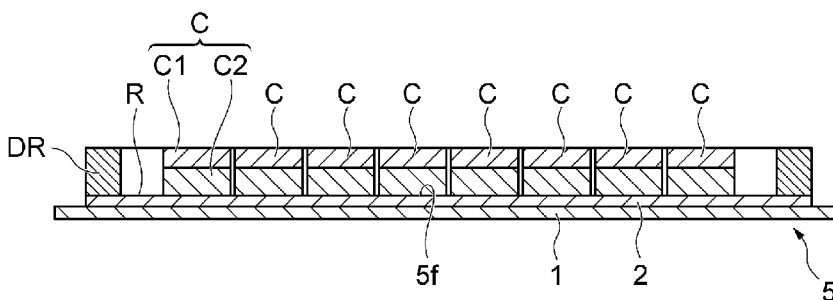
- (51) 国際特許分類:  
H01L 21/301 (2006.01) H01L 21/304 (2006.01)
- (21) 国際出願番号: PCT/JP2024/016316
- (22) 国際出願日: 2024年4月25日(25.04.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2023-075732 2023年5月1日(01.05.2023) JP
- (71) 出願人: 株式会社レゾナック (RESONAC CORPORATION) [JP/JP]; 〒1057325 東京都港区東新橋一丁目9番1号 Tokyo (JP).
- (72) 発明者: 出口 央視 (DEGUCHI Hiroyoshi); 〒1057325 東京都港区東新橋一丁目9番1号 株式会社レゾナック内 Tokyo (JP). 牧野 竜也 (MAKINO Tatsuya); 〒1057325 東京都

港区東新橋一丁目9番1号 株式会社レゾナック内 Tokyo (JP). 甲斐 誠二 (KAI Seiji); 〒1057325 東京都港区東新橋一丁目9番1号 株式会社レゾナック内 Tokyo (JP). 白坂 敏明 (SHIRASAKA Toshiaki); 〒1057325 東京都港区東新橋一丁目9番1号 株式会社レゾナック内 Tokyo (JP). 諸崎 友人 (MOROSAKI Tomohito); 〒1057325 東京都港区東新橋一丁目9番1号 株式会社レゾナック内 Tokyo (JP). 青柳 元 (AOYAGI Chikashi); 〒1057325 東京都港区東新橋一丁目9番1号 株式会社レゾナック内 Tokyo (JP). 佐々木 一博 (SASAKI Kazuhiro); 〒1057325 東京都港区東新橋一丁目9番1号 株式会社レゾナック内 Tokyo (JP). 木下 健宏 (KINOSHITA Takehiro); 〒1057325 東京都港区東新橋一丁目9番1号 株式会社レゾナック内 Tokyo (JP). 直田 耕治 (NAODA Koji);

(54) Title: METHOD FOR CLEANING SEMICONDUCTOR CHIP AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体チップの洗浄方法及び半導体装置の製造方法

[図1]



(57) Abstract: This method for cleaning a semiconductor chip includes: (a) a step for cleaning a plurality of semiconductor chips using a chemical solution, the semiconductor chips being disposed in a region that is on the surface of an adhesive film, the region being inside a dicing ring stuck on the surface; and (b) a step for picking up the cleaned semiconductor chips from the surface. The chemical solution is one type of chemical solution selected from the group consisting of a solvent system, an acid system, and an alkali system. This method for manufacturing a semiconductor device includes a step for bonding, to an adherend, a semiconductor chip that went through cleaning using this semiconductor chip cleaning method.

(57) 要約: (a) 接着フィルムの表面上の領域であって当該表面上に貼られたダイシングリング内の領域に配置された複数の半導体チップを薬液で洗浄する工程と、(b) 洗浄後の半導体チップを表面上からピックアップする工程とを含み、薬液が溶剤系、酸系及びアルカリ系からなる群から選ばれる一種の薬液である半導体チップの洗浄方法。この半導体チップの洗浄方法による洗浄を経た半導体チップを被着体に接合する工程を含む、半導体装置の製造方法。

〒1057325 東京都港区東新橋一丁目9番1号  
株式会社レゾナック内 Tokyo (JP).

(74) 代理人: 長谷川 芳樹, 外 (HASEGAWA Yoshiki et al.); 〒1000005 東京都千代田区丸の内二丁目1番1号丸の内 M Y P L A Z A (明治安田生命ビル) 9階 創英国際特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

## 明 細 書

発明の名称：半導体チップの洗浄方法及び半導体装置の製造方法

### 技術分野

[0001] 本開示は半導体チップの洗浄方法及び半導体装置の製造方法に関する。

### 背景技術

[0002] 従来、半導体装置は以下の工程を経て製造される。すなわち、ダイシング用接着シートに半導体ウェハを貼り付け、その状態で半導体ウェハを半導体チップに個片化する（ダイシング工程）。その後、半導体チップをピックアップする工程及び半導体チップを被着体（例えば、基板）に接合する工程等が実施される。種々のデバイスの多機能化に伴い、半導体素子を多段に積層することによって高容量化したスタックドMCP（Multi Chip Package）が普及している。より高度な三次元集積技術を実現するため、例えば、異種デバイス同士を接続するハイブリッドボンディングの開発もなされている。特許文献1は、複数の半導体チップを基板にハイブリッドボンディングによって接合することを開示している。

### 先行技術文献

#### 特許文献

[0003] 特許文献1：特開2001-197431号公報

### 発明の概要

#### 発明が解決しようとする課題

[0004] ところで、本発明者らは、ハイブリッドボンディングのような高度な三次元集積技術の実用化に向け、種々の観点から検討を進めた結果、半導体チップを被着体に接合するに先立ち、従来と比較してより高度に半導体チップを洗浄することが有用であることを見出した。半導体装置の製造プロセスのうち、例えば、半導体ウェハを薄膜化する工程及びダイシング工程において切削屑等の異物が発生し、かかる異物が付着した半導体チップが次の工程に供されることがあった。例えば、ハイブリッドボンディングは異種デバイス同

士が互いに面で接合されることが多く、二つの面の間に異物が残存していると、その異物が微細であっても半導体装置の接続信頼性低下の原因となる。

[0005] 本開示は、半導体装置の製造プロセスにおいて半導体チップに付着した異物を効率的且つ高度に取り除くことができる半導体チップの洗浄方法を提供する。また、本開示は、この方法で洗浄された半導体チップを使用した半導体装置の製造方法を提供する。

### 課題を解決するための手段

[0006] 本開示の一側面は半導体チップの洗浄方法に関する。この方法は（a）接着フィルムの表面上の領域であって当該表面上に貼られたダイシングリング内の領域に配置された複数の半導体チップを薬液で洗浄する工程と、（b）洗浄後の半導体チップを表面上からピックアップする工程とを含み、薬液が溶剤系、酸系及びアルカリ系からなる群から選ばれる一種の薬液である。

[0007] 従来、ダイシングリングが貼られた接着フィルム（「ダイシングテープ」とも称される。）の表面上において、水を使用して半導体チップが洗浄されることはあっても、薬液を使用して半導体チップが洗浄させることはなかった。すなわち、例えば、半導体チップに形成された bumps を介して半導体チップを基板に接合する場合、水による洗浄で問題が生じていなかった。これに対し、本発明によれば、接着フィルム上の半導体チップを薬液で洗浄することにより、それまでの種々の工程を経て半導体チップに付着した異物を高度に取り除くことができる。高度に洗浄された半導体チップを使用することで高度な三次元集積技術を適用して製造される半導体装置の優れた接続信頼性を実現し得る。

[0008] 上記洗浄方法は半導体製造プロセスにおいて効率的に実施し得る点でも有用である。すなわち、半導体装置の製造プロセスにおいて、半導体チップを高度に洗浄するための設備に半導体チップを搬送し、そこで洗浄された半導体チップを実装設備に返送するのでは効率的ではない。これに対し、本発明によれば、薬液による高度な洗浄が接着フィルムの表面上であり且つ接着フィルムにダイシングリングが貼られた状態で実施されるため、洗浄後の半導

体チップをピックアップして次の工程にそのまま供することが可能である。

[0009] 本開示の一側面は半導体装置の製造方法に関する。この方法は、上記半導体チップの洗浄方法を実施する工程を経た半導体チップを被着体に接合する工程を含む。この方法によれば、高度に洗浄された半導体チップが使用されるため、優れた接続信頼性を有する半導体装置を製造可能である。

### 発明の効果

[0010] 本開示によれば、半導体装置の製造プロセスにおいて半導体チップに付着した異物を効率的且つ高度に取り除くことができる半導体チップの洗浄方法が提供される。また、本開示によれば、この方法で洗浄された半導体チップを使用した半導体装置の製造方法が提供される。

### 図面の簡単な説明

[0011] [図1]図1は本開示に係る洗浄方法を実施する準備が整った状態を模式的に示す断面図である。

[図2]図2は洗浄後の半導体チップをピックアップしている様子を模式的に示す断面図である。

[図3]図3(a)～図3(c)は第一実施形態に係る方法によって半導体装置が製造される過程を模式的に示す断面図である。

[図4]図4(a)～図4(c)は第一実施形態に係る方法によって半導体装置が製造される過程を模式的に示す断面図である。

[図5]図5は接着フィルムに張力を加えることによって隣接する二つの半導体チップの間隔を広げている様子を模式的に示す断面図である。

[図6]図6は基板上に一つの半導体チップが接合された状態を模式的に示す断面図である。

[図7]図7は基板上に複数の半導体チップが積層された状態を模式的に示す断面図である。

[図8]図8は複数の半導体チップが積層された構成を有する半導体装置の一例を模式的に示す断面図である。

[図9]図9(a)及び図9(b)は第二実施形態に係る方法によって半導体装

置が製造される過程を模式的に示す断面図である。

[図10]図10(a)及び図10(b)は第二実施形態に係る方法によって半導体装置が製造される過程を模式的に示す断面図である。

[図11]図11(a)及び図11(b)は第三実施形態に係る方法によって半導体装置が製造される過程を模式的に示す断面図である。

[図12]図12(a)及び図12(b)は第三実施形態に係る方法によって半導体装置が製造される過程を模式的に示す断面図である。

[図13]図13(a)及び図13(b)は第四実施形態に係る方法によって半導体装置が製造される過程を模式的に示す断面図である。

[図14]図14(a)～図14(c)は第五実施形態に係る方法によって半導体装置が製造される過程を模式的に示す断面図である。

### 発明を実施するための形態

[0012] 以下、図面を参照しながら本開示の実施形態について詳細に説明する。ただし、本開示は以下の実施形態に限定されるものではない。以下の実施形態において、その構成要素（ステップ等も含む）は、特に明示した場合を除き、必須ではない。以下の説明では、同一又は相当部分には同一符号を付し、重複する説明は省略する。また、上下左右等の位置関係は、特に断らない限り、図面に示す位置関係に基づくものとする。各図における構成要素の大きさは概念的なものであり、図面の寸法比率は図示の比率に限られるものではない。

[0013] 本明細書における数値及びその範囲も本開示を制限するものではない。本明細書において「～」を用いて示された数値範囲は、「～」の前後に記載される数値をそれぞれ最小値及び最大値として含む範囲を示す。本明細書中に段階的に記載されている数値範囲において、一つの数値範囲で記載された上限値又は下限値は、他の段階的な記載の数値範囲の上限値又は下限値に置き換えてもよい。

[0014] <半導体チップの洗浄方法>

図1, 2を参照しながら、本実施形態に係る半導体チップの洗浄方法につ

いて説明する。図1は本実施形態に係る洗浄方法を実施する準備が整った状態を模式的に示す断面図である。図1に示す複数の半導体チップCが洗浄対象である。図2は洗浄後の半導体チップCをピックアップしている様子を模式的に示す断面図である。半導体チップCは、図3(a)に示すワークピースPwを個片化する工程を経て得られるものであり、回路層C1とダイC2とを備える。回路層C1は回路層Lcが個片化されたものであり、ダイC2は半導体ウェハWが個片化されたものである(図4(c)参照)。

[0015] 本実施形態に係る洗浄方法は以下の工程を含む。

(a) 接着フィルム5の表面5f上の領域であって表面5f上に貼られたダイシングリングDR内の領域Rに配置された複数の半導体チップCを薬液で洗浄する工程。

(b) 洗浄後の半導体チップCを表面上からピックアップする工程。

[0016] 図1に示すように、複数の半導体チップCはダイシングリングDRで囲われた領域Rに配置されている。半導体チップCを洗浄する具体的方法は特に制限はないが、例えば、ノズルから半導体チップCに向けて薬液を噴射することによって半導体チップCが洗浄される。薬液は、例えば、溶剤系薬液、酸系薬液及びアルカリ系薬液である。

[0017] 溶剤系薬液は、例えば、NMP(N-メチル-2-ピロリドン)、MEK(メチルエチルケトン)、PGMEA(プロピレングリコールモノメチルエーテルアセテート)、DMSO(ジメチルスルホキシド)又はシクロペンタノンを含むものであり、切削屑、研削屑、加工屑、ゴミなどの異物を半導体チップCから高度に取り除くことができる。

[0018] 酸系薬液は、例えば、硫酸、クエン酸又はフッ酸を含むものであり、切削屑、研削屑、加工屑、ゴミなどの異物を半導体チップCから高度に取り除くことができる。

[0019] アルカリ系薬液は、例えば、水酸化カリウム、水酸化ナトリウム、水酸化アンモニウム、炭酸水素ナトリウム、ヒドロキシアミン、TMAH(テトラメチルアンモニウム=ヒドロキシド)又はアンモニア水を含むものである。

り、切削屑、研削屑、加工屑、ゴミなどの異物を半導体チップCから高度に取り除くことができる。

[0020] 接着フィルム5は、基材フィルム1と、基材フィルム1の表面上に形成された接着層2とによって構成されている。基材フィルム1としては、例えば、ポリテトラフルオロエチレンフィルム、ポリエチレンテレフタレートフィルム、ポリエチレンフィルム、ポリプロピレンフィルム、ポリメチルペンテンフィルム、ポリアミドフィルム等のプラスチックフィルムが挙げられる。これらのうち、半導体チップCの洗浄に使用する薬液に対する耐性を有するフィルムを使用すればよい。必要に応じて、プライマー塗布、UV処理、コロナ放電処理、研磨処理、エッチング処理等の表面処理が施されていてもよい。

[0021] 接着層2は、例えば、適度な接着力を有する樹脂組成物を含む塗液を基材フィルム1の表面に塗工する工程を経て形成される。半導体チップCの洗浄に使用する薬液に対する耐性を有する樹脂組成物を使用すればよい。接着層2は、活性化エネルギー（例えば、紫外線）が照射されることによって接着力が低下する性質を有するものであってもよい。

[0022] 図2に示すように、突き上げ治具42で半導体チップCを突き上げることによって接着層2から半導体チップCをはく離させるとともに、半導体チップCを吸引コレット44で吸引してピックアップする。接着層2が活性化エネルギー照射によって接着力が低下するものである場合、ピックアップに先立って、接着層2に対する活性エネルギー線を照射する。照射量は、例えば、 $10\sim 1000\text{ mJ/cm}^2$ であり、 $100\sim 700\text{ mJ/cm}^2$ 又は $200\sim 500\text{ mJ/cm}^2$ であってもよい。

[0023] 本実施形態に係る洗浄方法によれば、接着フィルム5上の半導体チップCを薬液で洗浄することにより、水による洗浄と比較して、半導体チップCに付着している異物を高度に取り除くことができる。高度に洗浄された半導体チップCを使用することで、優れた接続信頼性を有する半導体装置を製造することができる。この洗浄方法は半導体製造プロセスにおいて効率的に実施

し得る点でも有用である。すなわち、この洗浄方法によれば、薬液による高度な洗浄が接着フィルム5の表面5f上であり且つ接着フィルム5にダイシングリングDRが貼られた状態で実施されるため、洗浄後の半導体チップCをピックアップし、そのまま次の工程に半導体チップCを供することが可能である。なお、薬品による洗浄の前及び／又は後において純水によって半導体チップCを洗浄してもよい。

[0024] <半導体装置の製造方法>

[第一実施形態]

上記洗浄方法を実施する工程を含む半導体装置の製造方法について具体的に説明する。第一実施形態に係る半導体装置の製造方法は以下の工程を含む。

(1a) 第一の表面f1及び第二の表面f2を有する半導体ウェハWと、第一の表面f1上に形成された回路層Lcとを備えるワークピースPwに対し、回路層Lcを覆うようにフォトレジストRpを形成する工程(図3(a)参照)。

(2a) フォトレジストRpに対して露光及び現像処理を施すことにより回路層Lcに至る溝部G1をフォトレジストRpに形成する工程(図3(b)参照)。

(3a) プラズマダイシングによって溝部G1を通じて回路層Lcをカットし且つ半導体ウェハWをハーフカットして溝部G2を形成する工程(図3(c)参照)。

(4a) 回路層LcからフォトレジストRpを剥離する工程(図4(a)参照)。

(5a) 回路層Lcを覆うようにバックグラインドテープT<sub>BG</sub>を貼る工程(図4(b)参照)。

(6a) 半導体ウェハWを第二の表面f2側から研削することによって、バックグラインドテープT<sub>BG</sub>の表面上に複数の半導体チップCを得る工程(図4(c)参照)。

(7a) 複数の半導体チップCをバックグラインドテープ $T_{BG}$ の表面上から接着フィルム5の表面5f上に移すとともに、複数の半導体チップCを囲うように表面5f上にダイシングリングDRを貼る工程(図1参照)。

(8a) 上記半導体チップの洗浄方法を実施する工程。

(9a) 洗浄後の半導体チップCを被着体に接合する工程(図6参照)。

[0025] 図3(a)に示すワークピースPwは、半導体ウェハWと、回路層Lcとを備える。半導体ウェハWの厚さは、例えば、 $5\sim 775\mu\text{m}$ であり、 $50\sim 300\mu\text{m}$ であってもよい。半導体ウェハWの直径は、例えば、 $50\sim 300\text{mm}$ であり、 $150\sim 300\text{mm}$ であってもよい。回路層Lcは、半導体装置の用途により、種々の電子回路(例えば、集積回路及び電源回路)が形成されている。回路層Lcの厚さは、例えば、 $0.01\sim 50\mu\text{m}$ であり、 $0.1\sim 10\mu\text{m}$ であってもよい。フォトレジストRpは感光性絶縁材料で構成されており、フォトリソグラフィープロセスによってフォトレジストRpに溝部G1を形成することができる(図3(b))。

[0026] 図3(c)に示す溝部G2は、回路層Lcを貫通し、第一の表面f1から半導体ウェハWの内部にまで延びている。溝部G2は第二の表面f2には至っていない。溝部G2はプラズマダイシングによって形成される。プラズマダイシングの一つとして、ボッシュプロセスと称されるプロセスが知られている。ボッシュプロセスにおいては、 $\text{C}_4\text{F}_8$ プラズマを使用したパッシベーションステップと、 $\text{SF}_6$ プラズマを使用したエッチングステップとを交互に行って半導体ウェハWを構成するシリコンをエッチングする。すなわち、パッシベーションステップにおいてはフルオロカーボン系重合膜(以下、単に「重合膜」と言う。)が溝部G1の内面の全体に等方的に形成される。その後、エッチングステップにおいては半導体ウェハWにバイアスが印加され、溝部G1の底部の重合膜はイオンによるエッチングで除去される。一方、溝部G1の側壁の重合膜は、除去されずに溝部G1の側壁を構成している。重合膜が除去された溝部G1の底部に露出したシリコンのみがフッ素ラジカルによってエッチングされる。これらのステップを繰り返すことにより溝部G

2が形成される。このようにして形成された溝部G2の側面は重合膜で覆われている。その後のプロセスにおいて重合膜が剥離すると半導体装置の信頼性を低下させる異物となり得る。回路層Lcが溝部G2によって分断されることにより、複数の回路層C1が形成される。

[0027] 上記(6a)の工程後、ダイC2の厚さ(半導体チップCから回路層C1を除いた部分の厚さ)は、例えば、5~775 $\mu$ mであり、50~300 $\mu$ mであってもよい。上記(6a)の工程で生じた研削屑も半導体装置の信頼性を低下させる異物となり得る。

[0028] 上記(7a)の工程後、半導体チップの洗浄方法を実施するに先立ち、接着フィルム5に張力を加えることにより、隣接する二つの半導体チップCの間隔を広げてよい。すなわち、図5に示すように、接着フィルム5の基材フィルム1側からダイシングリングDRの内側をリングRaで突き上げることによって接着フィルム5に張力を付与する。これにより、上記(8a)の工程において、半導体チップCの側面に薬液が供給されやすく、側面に付着している重合膜を薬液で十分に取り除くことができる。重合膜を除去するには薬液としてHFE(ハイドロフルオロエーテル)系又はHAD(ヒドロキシルアミン)系の薬液を使用することが好ましい。他方、研削屑を除去するには薬液として、上記の溶剤系、酸系又はアルカリ系の薬液を使用することが好ましい。

[0029] 図6は、洗浄後の半導体チップCが基板10(被着体)に接合された状態を模式的に示す断面図である。基板10に対する半導体チップCの接合には、例えば、ダイボンディングフィルム(不図示)が使用される。図7に示すように、複数の半導体チップCを積層する場合、二段目以降の半導体チップCが接着される対象(被着体)は下段の半導体チップCである。基板10と複数の半導体チップCをそれぞれワイヤwで接続する工程、及び複数の半導体チップCを樹脂材料20で封止する工程を経て、図8に示す半導体装置30が作製される。

[0030] [第二実施形態]

第二実施形態に係る半導体装置の製造方法は以下の工程を含む。

(1 b) 接着フィルム5の表面5 f上に貼られたダイシングリングDR内の領域RにワークピースPwを配置する工程(図9(a)参照)。

(2 b) 回路層Lcを覆うようにフォトレジストRpを形成する工程(図9(b)参照)。

(3 b) フォトレジストRpに対して露光及び現像処理を施すことによりフォトレジストに回路層Lcに至る溝部G3を形成する工程(図10(a)参照)。

(4 b) プラズマダイシングによって溝部G3を通じて回路層Lc及び半導体ウェハWをカットして接着フィルム5の表面5 f上に複数の半導体チップCを得る工程(図10(b)参照)。

(5 b) 上記半導体チップCの洗浄方法を実施する工程(図1, 2参照)。

(6 b) 洗浄後の半導体チップCを被着体に接合する工程(図6参照)。

[0031] 本実施形態については第一実施形態と相違する点に関して主に説明する。本実施形態においては、上記(2 b)～(5 b)までの工程をダイシングリングDRが貼られた接着フィルム5の表面上で実施する。上記(4 b)の工程後、図10(b)に示すように、半導体チップCの上面にフォトレジストRpが残存している。フォトレジストRpは上記(5 b)の工程を実施するに先立ち、レジスト除去剤を使用して除去してもよいし、上記(5 b)の工程において、薬液を使用して除去してもよい。フォトレジストRpを除去するには溶剤系薬液(特にNMP)を使用することが好ましい。なお、図10(b)に示す溝部G4は、回路層Lc及び半導体ウェハWを貫通し、接着フィルム5の表面5 fにまで至っている。溝部G4は、上述の溝部G2と同様、プラズマダイシングによって形成すればよい。プラズマダイシングに起因する重合膜の除去は、第一実施形態と同様、HFE系又はHDA系の薬液を使用して実施すればよい。

[0032] [第三実施形態]

第三実施形態に係る半導体装置の製造方法は以下の工程を含む。

(1c) 接着フィルム5の表面5f上に貼られたダイシングリングDR内の領域RにワークピースPwを配置する工程(図11(a)参照)。

(2c) 回路層Lcを覆うように保護膜Mpを形成する工程(図11(b)参照)。

(3c) レーザーによって保護膜Mp及び回路層Lcをカットして半導体ウェハWの第一の表面f1に至る溝部G5を形成する工程(図12(a)参照)。

(4c) プラズマダイシングによって溝部G5を通じて半導体ウェハWをカットして接着フィルム5の表面5f上に複数の半導体チップCを得る工程(図12(b)参照)。

(5c) 上記半導体チップの洗浄方法を実施する工程(図1, 2参照)。

(6c) 洗浄後の前記半導体チップCを被着体に接合する工程(図6参照)。

。

[0033] 本実施形態については第一及び第二実施形態と相違する点に関して主に説明する。本実施形態においては、上記(2c)の工程において保護膜Mpを形成する。保護膜Mpは、回路層Lcが損傷することを防止するためのものである。保護膜Mpは、例えば、水溶性樹脂で構成されており、かかる樹脂を含む塗膜をワークピースPwの表面上に塗工することによって形成することができる。保護膜Mpは、上記(4c)の工程後、半導体チップCの上面上に残存している(図12(b)参照)。保護膜Mpは、上記(5c)の工程において、純水によって除去される。なお、図12(b)に示す溝部G6は半導体ウェハWを貫通し、接着フィルム5の表面5fにまで至っている。溝部G6は、上述の溝部G2と同様、プラズマダイシングによって形成すればよい。プラズマダイシングに起因する重合膜の除去は、第一実施形態と同様、HFE系又はHDA系の薬液を使用して実施すればよい。

[0034] 本実施形態において、プラズマダイシングの代わりにブレードダイシングによって溝部G6を形成してもよい。例えば、回路層LcがLow-k膜を含む場合、機械的強度が比較的低いLow-k膜の剥がれを抑制する観点か

ら、レーザーによって回路層Lcをカットして溝部G5を形成する。一方、その後、半導体ウェハWを切断するプロセス（溝部G6を形成するプロセス）はブレードダイシングによって実施してもよい。なお、Low-k膜は、低い誘電率を持つ材料で構成された膜であり、主にインターコネクタ層、つまりチップ内の異なる電子部品を電氣的に接続する金属配線間の絶縁材料として使用される。Low-k膜を使用することで、配線間の寄生容量を減少させることができ、これにより信号の伝達速度が向上し、また配線間のクロストークを抑制できる。なお、レーザーによって回路層Lcに溝を形成するプロセスはレーザーグルーピングと称される。

[0035] [第四実施形態]

第四実施形態に係る半導体装置の製造方法は以下の工程を含む。

(1d) 接着フィルム5の表面5f上に貼られたダイシングリングDR内の領域RにワークピースPwを配置する工程（図13(a)参照）。

(2d) ブレードダイシングによってワークピースPwをカットして接着フィルム5の表面5f上に複数の半導体チップCを得る工程（図13(b)参照）。

(3d) 上記半導体チップの洗浄方法を実施する工程（図1, 2参照）。

(4d) 洗浄後の前記半導体チップを被着体に接合する工程（図6参照）。

[0036] 本実施形態については第一、第二及び第三実施形態と相違する点に関して主に説明する。本実施形態においては、上記(2d)の工程において、ブレードダイシングによってワークピースPwを複数の半導体チップCに個片化する。ブレードダイシングによって形成された溝部G7は、回路層Lc及び半導体ウェハWを貫通し、接着フィルム5の表面5fにまで至っている。上記(2d)の工程で生じた研削屑は半導体装置の信頼性を低下させる異物となり得る。ブレードダイシングで生じる研削屑の除去は薬液として、上記の溶剤系、酸系又はアルカリ系の薬液を使用することが好ましい。本実施形態によれば、フォトリソト又は保護膜を形成する工程が不要であり、また、これらを除去する工程も不要である。

## [0037] [第五実施形態]

第五実施形態に係る半導体装置の製造方法は以下の工程を含む。

(1 e) 接着フィルム5の表面5 f上に貼られたダイシングリングDR内の領域RにワークピースPwを配置する工程(図14(a)参照)。

(2 e) レーザーによって回路層Lcをカットして半導体ウェハWの第一の表面f1に至る溝部G8を形成する工程(図14(b)参照)。

(3 e) ブレードダイシングによって溝部G8を通じて半導体ウェハWをカットして接着フィルム5の表面5 f上に複数の半導体チップCを得る工程(図14(c)参照)。

(4 e) 上記半導体チップの洗浄方法を実施する工程(図1, 2参照)。

(5 e) 洗浄後の前記半導体チップを被着体に接合する工程(図6参照)。

## [0038] 本実施形態については第四実施形態と相違する点に関して主に説明する。

本実施形態においては、上記(2 e)の工程において、レーザーによって回路層Lcをカットする。回路層Lcのカットにレーザーを使用することから、回路層LcがLow-k膜を含むものであっても、Low-k膜の剥がれを抑制することができる。次いで、ブレードダイシングによって半導体ウェハWを切断する。図14(c)に示す溝部G9は半導体ウェハWを貫通し、接着フィルム5の表面5 fにまで至っている。上記(2 e)及び(3 e)の工程で生じた研削屑は半導体装置の信頼性を低下させる異物となり得る。本実施形態によれば、これらの工程で生じる研削屑をその後の上記(4 e)の工程で除去することができる。薬液として、上記の溶剤系、酸系又はアルカリ系の薬液を使用することが好ましい。

## [0039] 以上、本開示の実施形態について詳細に説明したが、本開示は上記実施形態に限定されるものではない。例えば、上記第二、第三、第四及び第五実施形態においては、半導体ウェハWをバックグラインドせずにそのまま使用する態様を例示したが、接着フィルム5の領域Rに半導体ウェハWを配置するに先立ち、半導体ウェハWをバックグラインドしてもよい。すなわち、上記所定の実施形態において、接着フィルム5の領域RにワークピースPwを配

置する前に、回路層L<sub>c</sub>を覆うようにワークピースP<sub>w</sub>に対してバックグラインドテープを貼った状態で半導体ウェハWを第二の表面f<sub>2</sub>側から研削してもよい。この場合も回路層L<sub>c</sub>がLow-k膜を含んでいてもよい。

### 符号の説明

[0040] 1…基材フィルム、2…接着層、5…接着フィルム、5f…接着フィルムの表面、10…基板（被着体）、20…樹脂材料、30…半導体装置、42…突き上げ治具、44…吸引コレット、C…半導体チップ、C1…個片化された回路層、C2…ダイ、DR…ダイシングリング、f1…第一の表面、f2…第二の表面、G1, G2, G3, G4, G5, G6, G7, G8, G9…溝部、L<sub>c</sub>…回路層、M<sub>p</sub>…保護膜、P<sub>w</sub>…ワークピース、R…領域、R<sub>p</sub>…フォトリジスト、T<sub>BG</sub>…バックグラインドテープ、W…半導体ウェハ、w…ワイヤ。

## 請求の範囲

- [請求項1] (a) 接着フィルムの表面上の領域であって当該表面上に貼られたダイシングリング内の領域に配置された複数の半導体チップを薬液で洗浄する工程と、
- (b) 洗浄後の前記半導体チップを前記表面上からピックアップする工程と、
- を含み、
- 前記薬液が溶剤系、酸系及びアルカリ系からなる群から選ばれる一種の薬液である、半導体チップの洗浄方法。
- [請求項2] 第一の表面及び第二の表面を有する半導体ウェハと、前記第一の表面上に形成された回路層とを備えるワークピースに対し、前記回路層を覆うようにフォトレジストを形成する工程と、
- 前記フォトレジストに対して露光及び現像処理を施すことにより前記フォトレジストに前記回路層に至る溝部を形成する工程と、
- プラズマダイシングによって前記溝部を通じて前記回路層をカットし且つ前記半導体ウェハをハーフカットする工程と、
- 前記回路層から前記フォトレジストを剥離する工程と、
- 前記回路層を覆うようにバックグラインドテープを貼る工程と、
- 前記半導体ウェハを前記第二の表面側から研削することによって、前記バックグラインドテープの表面上に複数の半導体チップを得る工程と、
- 前記複数の半導体チップを前記バックグラインドテープの表面上から接着フィルムの表面上に移すとともに、前記接着フィルムの表面上において前記複数の半導体チップを囲うように当該表面上にダイシングリングを貼る工程と、
- 請求項1に記載の半導体チップの洗浄方法を実施する工程と、
- 洗浄後の前記半導体チップを被着体に接合する工程と、
- を含む、半導体装置の製造方法。

- [請求項3]            接着フィルムの表面上の領域であって当該表面上に貼られたダイシングリング内の領域に、第一の表面及び第二の表面を有する半導体ウェハと、前記第一の表面上に形成された回路層とを備えるワークピースを配置する工程と、
- 前記回路層を覆うようにフォトレジストを形成する工程と、
- 前記フォトレジストに対して露光及び現像処理を施すことにより前記フォトレジストに前記回路層に至る溝部を形成する工程と、
- プラズマダイシングによって前記溝部を通じて前記回路層及び前記半導体ウェハをカットして前記接着フィルムの表面上に複数の半導体チップを得る工程と、
- 請求項1に記載の半導体チップの洗浄方法を実施する工程と、
- 洗浄後の前記半導体チップを被着体に接合する工程と、
- を含む、半導体装置の製造方法。
- [請求項4]            接着フィルムの表面上の領域であって当該表面上に貼られたダイシングリング内の領域に、第一の表面及び第二の表面を有する半導体ウェハと、前記第一の表面上に形成された回路層とを備えるワークピースを配置する工程と、
- 前記回路層を覆うように保護膜を形成する工程と、
- レーザーによって前記保護膜及び前記回路層をカットして前記第一の表面に至る溝部を形成する工程と、
- プラズマダイシングによって前記溝部を通じて前記半導体ウェハをカットして前記接着フィルムの表面上に複数の半導体チップを得る工程と、
- 請求項1に記載の半導体チップの洗浄方法を実施する工程と、
- 洗浄後の前記半導体チップを被着体に接合する工程と、
- を含む、半導体装置の製造方法。
- [請求項5]            前記洗浄方法を実施する工程は前記保護膜を除去することを含む、請求項4に記載の半導体装置の製造方法。

[請求項6] 接着フィルムの表面上の領域であって当該表面上に貼られたダイシングリング内の領域に、第一の表面及び第二の表面を有する半導体ウェハと、前記第一の表面上に形成された回路層とを備えるワークピースを配置する工程と、

ブレードダイシングによって前記ワークピースをカットして前記接着フィルムの表面上に複数の半導体チップを得る工程と、

請求項1に記載の半導体チップの洗浄方法を実施する工程と、

洗浄後の前記半導体チップを被着体に接合する工程と、  
を含む、半導体装置の製造方法。

[請求項7] 接着フィルムの表面上の領域であって当該表面上に貼られたダイシングリング内の領域に、第一の表面及び第二の表面を有する半導体ウェハと、前記第一の表面上に形成された回路層とを備えるワークピースを配置する工程と、

レーザーによって前記回路層に溝部を形成することにより、前記回路層を複数の個片化された回路層に分断する工程と、

ブレードダイシングによって前記溝部を通じて前記半導体ウェハをカットして前記接着フィルムの表面上に複数の半導体チップを得る工程と、

請求項1に記載の半導体チップの洗浄方法を実施する工程と、

洗浄後の前記半導体チップを被着体に接合する工程と、  
を含む、半導体装置の製造方法。

[請求項8] 接着フィルムの表面上の領域であって当該表面上に貼られたダイシングリング内の領域に、第一の表面及び第二の表面を有する半導体ウェハと、前記第一の表面上に形成された回路層とを備えるワークピースを配置する工程と、

前記回路層を覆うように保護膜を形成する工程と、

レーザーによって前記保護膜及び前記回路層をカットして前記第一の表面に至る溝部を形成する工程と、

ブレードダイシングによって前記溝部を通じて前記半導体ウェハをカットして前記接着フィルムの表面上に複数の半導体チップを得る工程と、

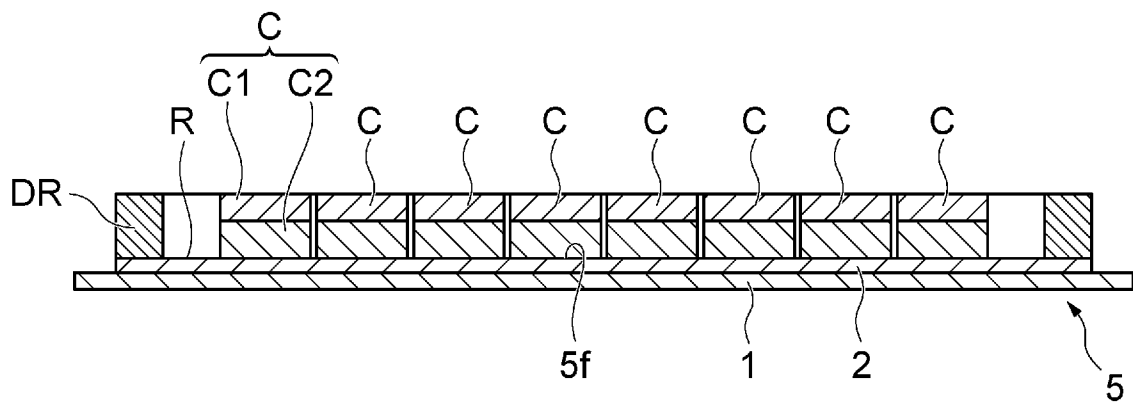
請求項 1 に記載の半導体チップの洗浄方法を実施する工程と、  
洗浄後の前記半導体チップを被着体に接合する工程と、  
を含む、半導体装置の製造方法。

[請求項9] 前記洗浄方法を実施する工程は前記保護膜を除去することを含む、請求項 8 に記載の半導体装置の製造方法。

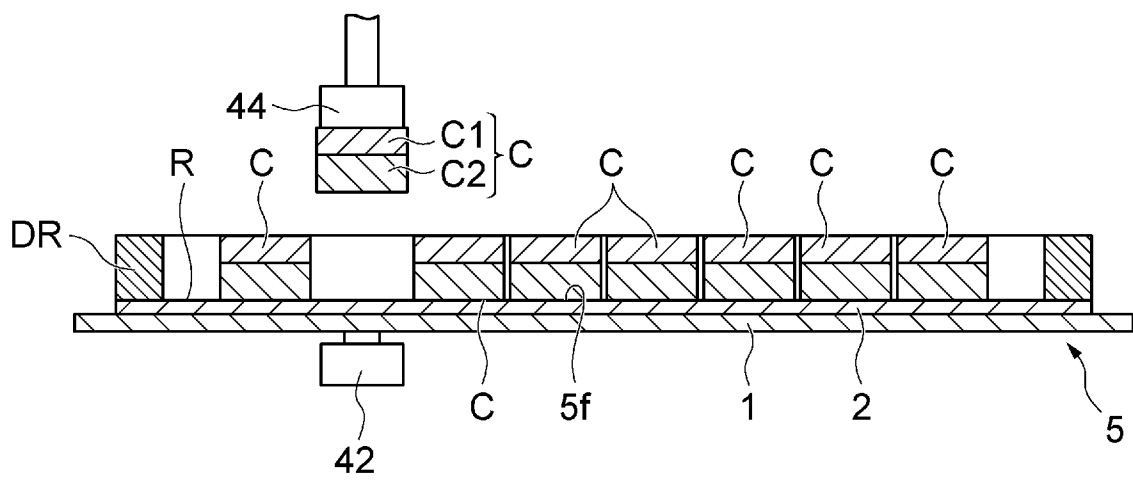
[請求項10] 前記半導体ウェハの前記第一の表面上に形成された前記回路層がLow-k膜を含む、請求項 7～9 のいずれか一項に記載の半導体装置の製造方法。

[請求項11] 前記接着フィルムの表面上の前記領域に前記ワークピースを配置する前に、  
前記回路層を覆うように前記ワークピースに対してバックグラインドテープを貼った状態で前記半導体ウェハを前記第二の表面側から研削する工程を更に含む、請求項 3～9 のいずれか一項に記載の半導体装置の製造方法。

[図1]

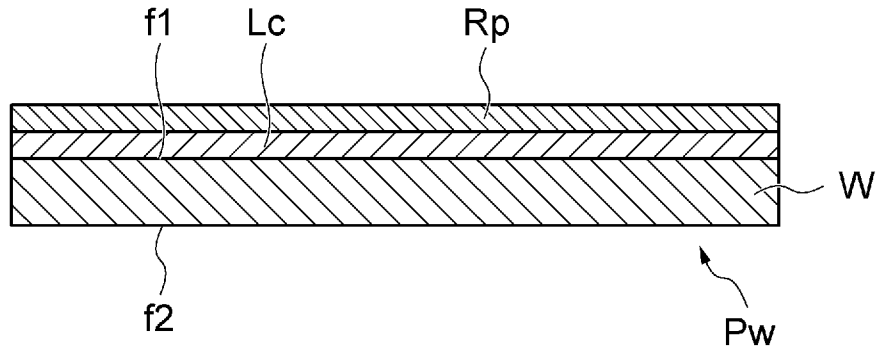


[図2]

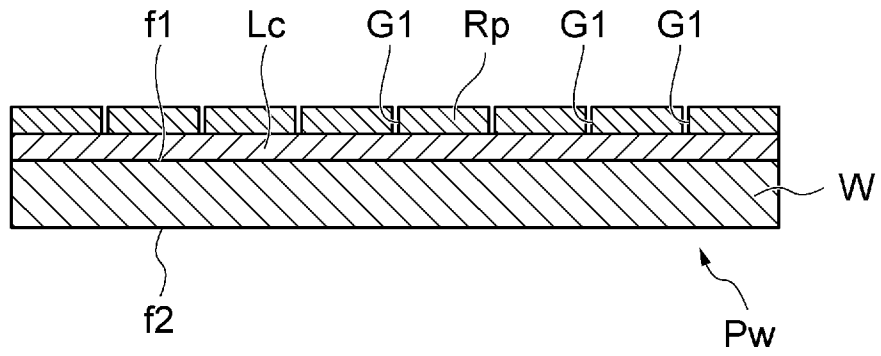


[図3]

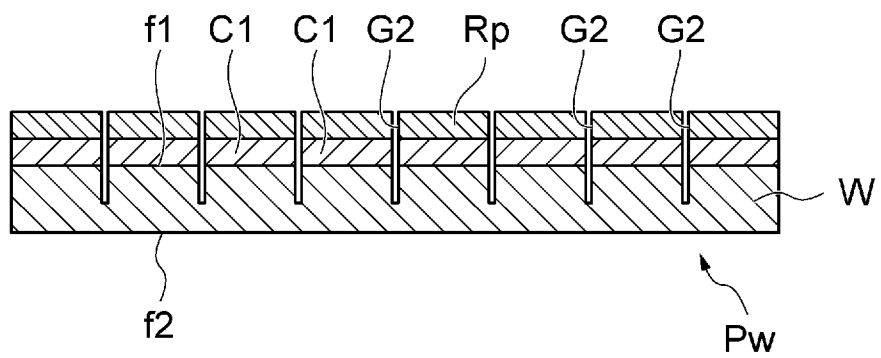
(a)



(b)

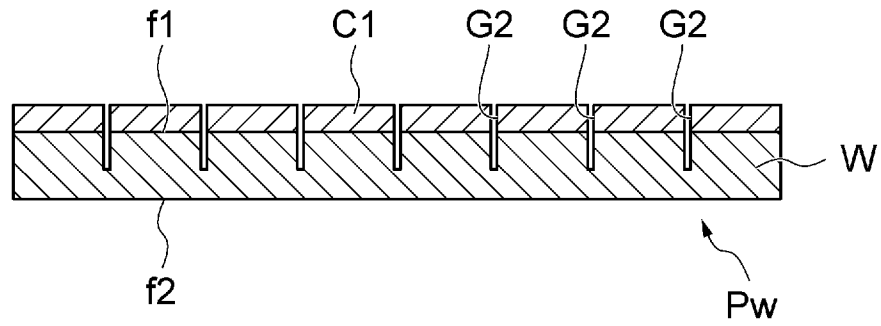


(c)

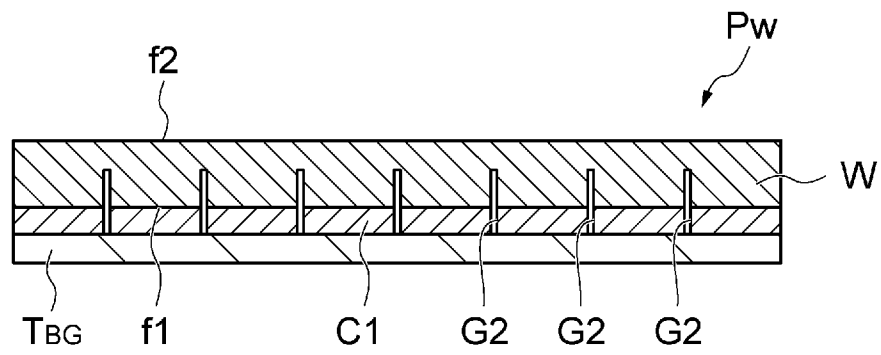


[図4]

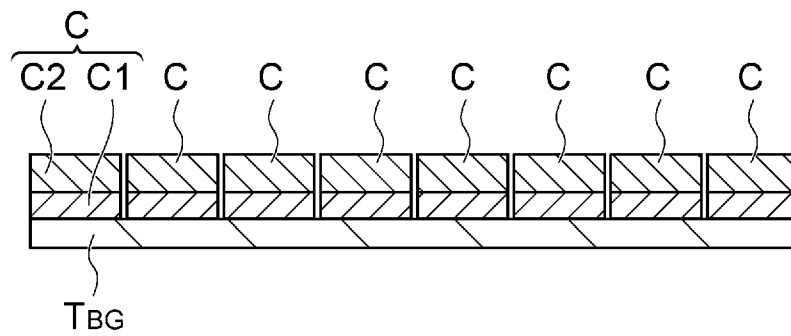
(a)



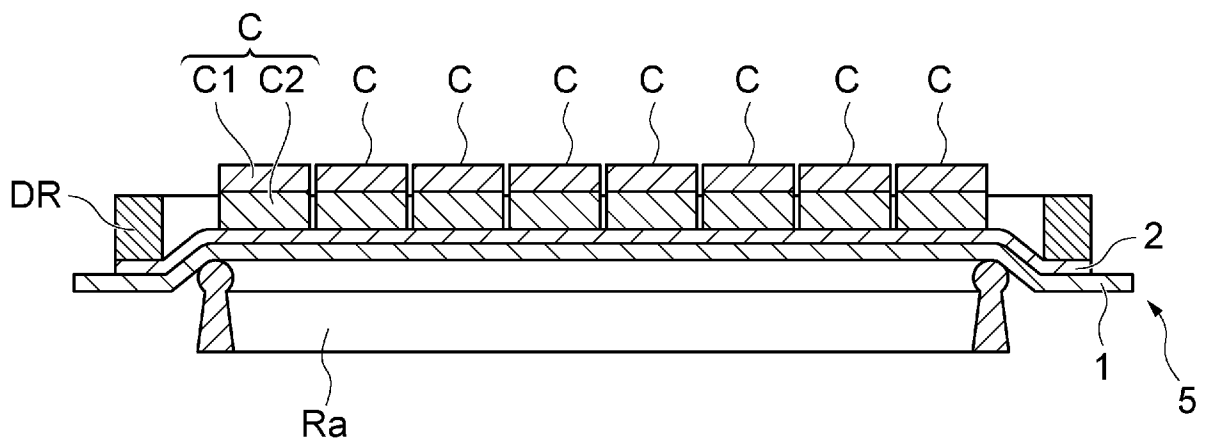
(b)



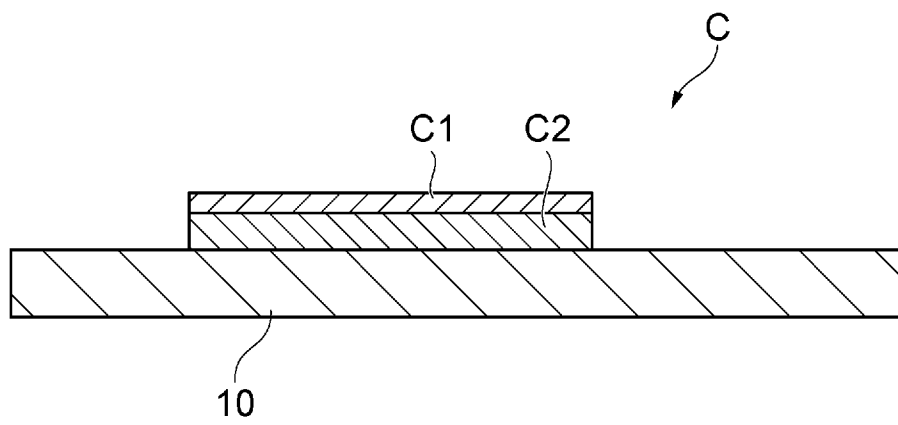
(c)



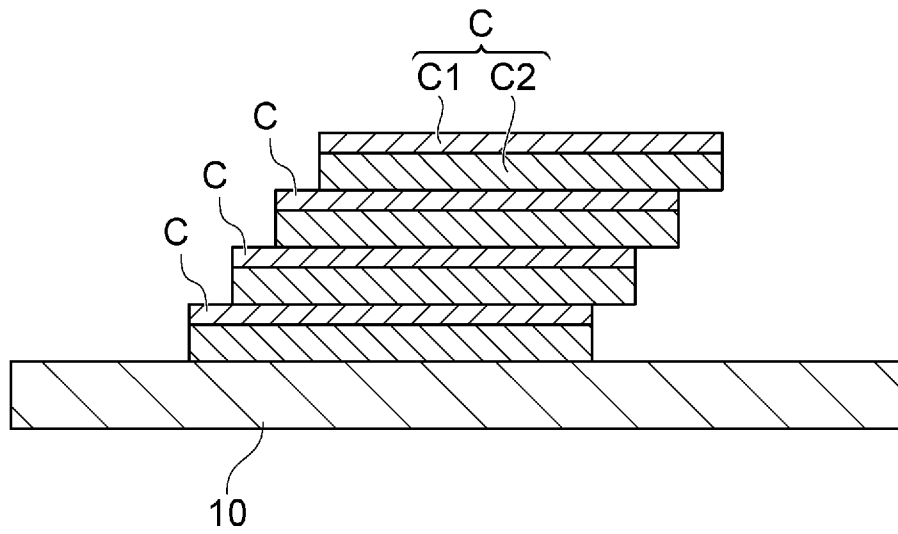
[図5]



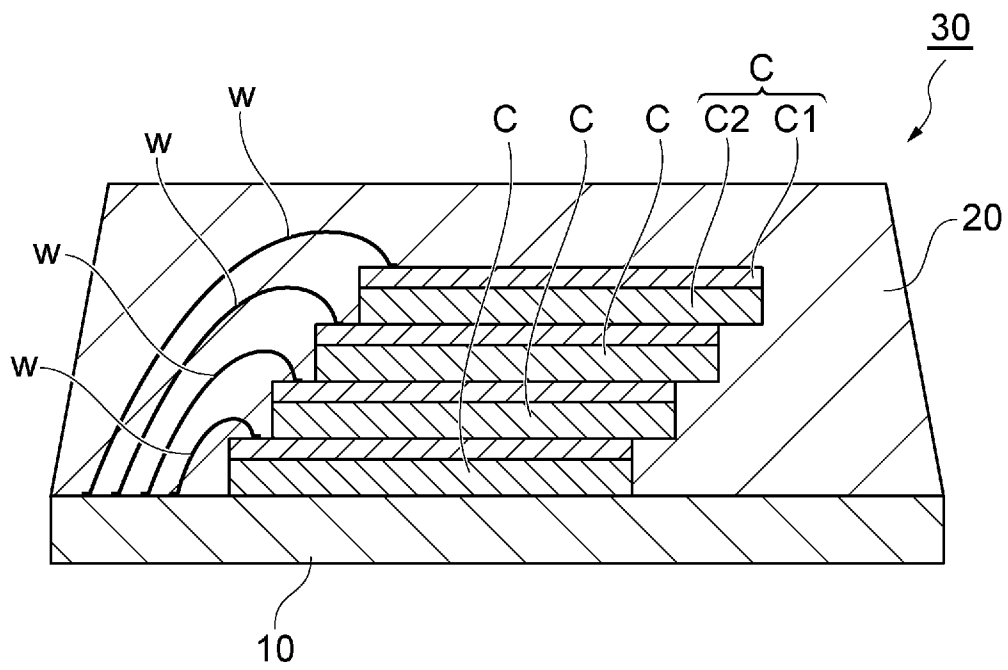
[図6]



[図7]

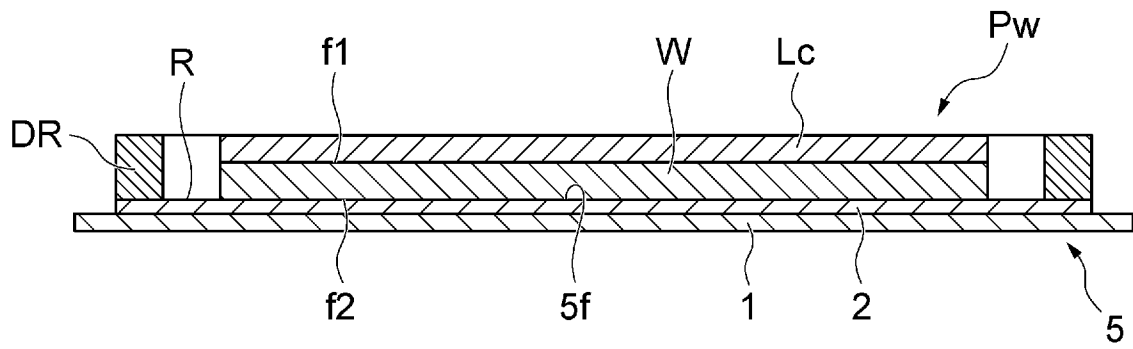


[図8]

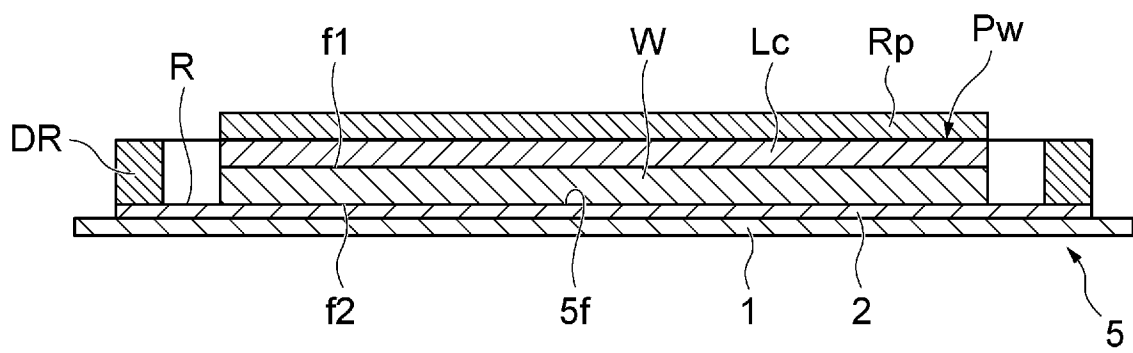


[図9]

(a)

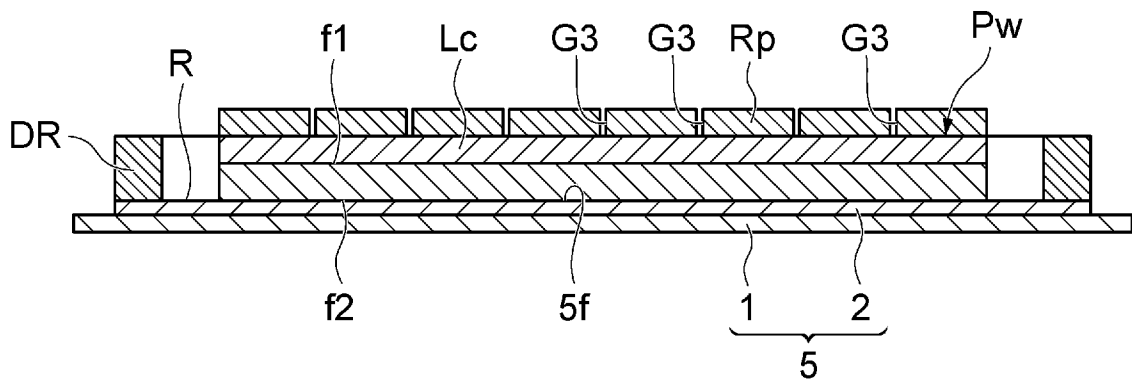


(b)

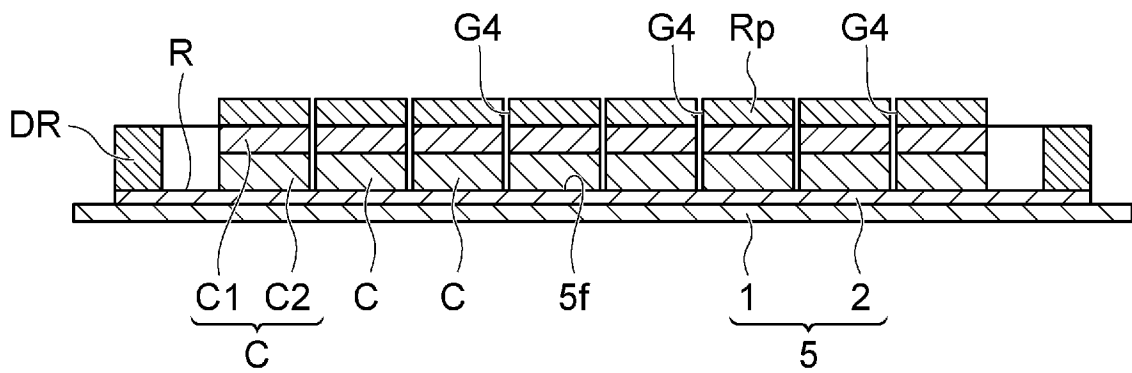


[図10]

(a)

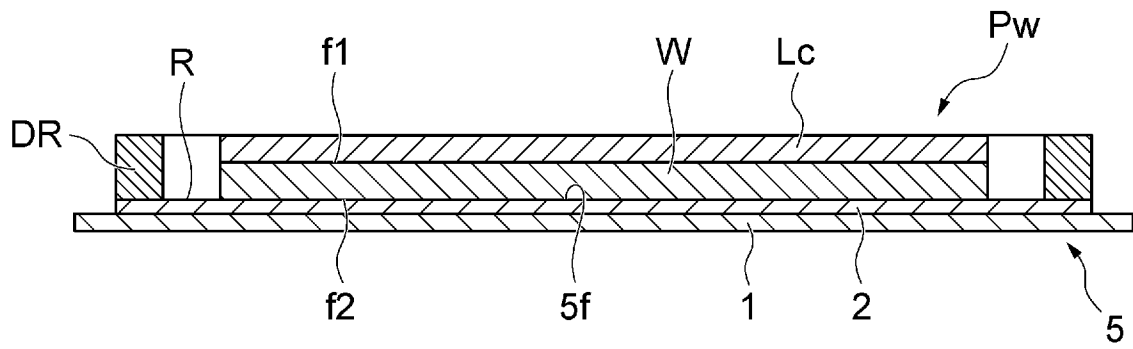


(b)

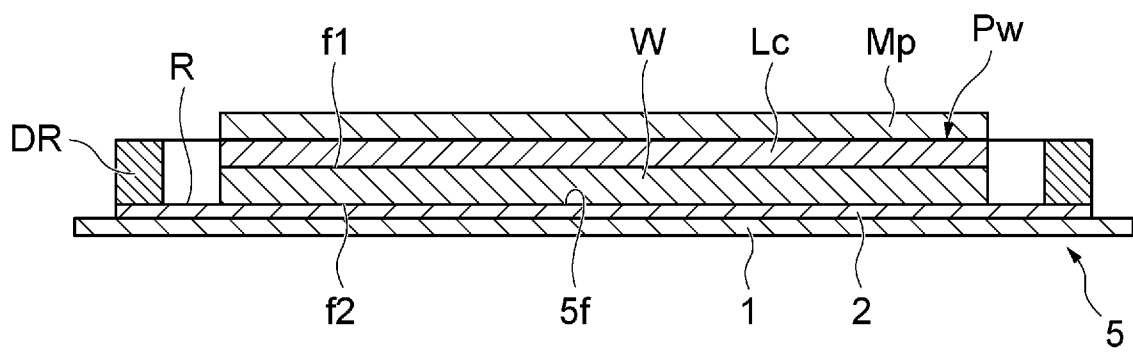


[図11]

(a)

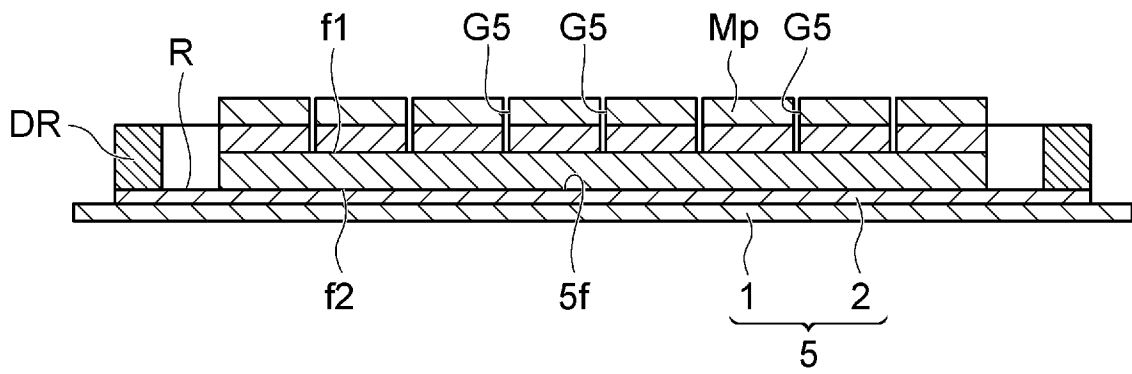


(b)

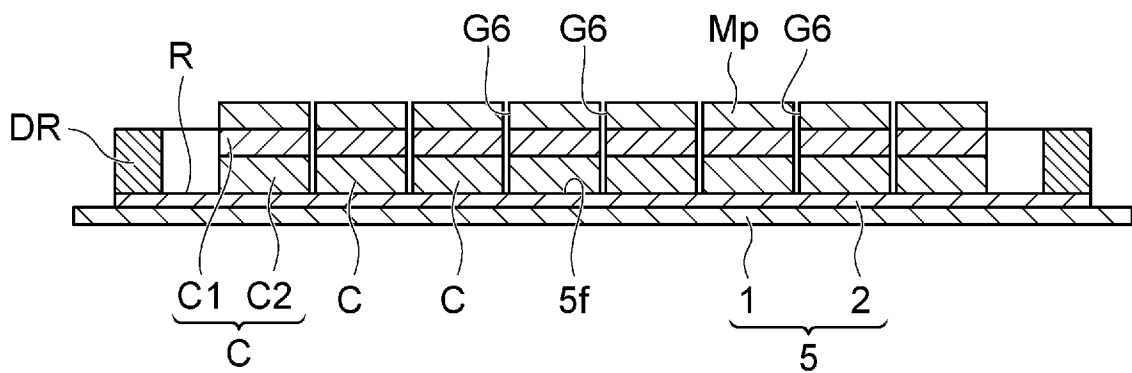


[図12]

(a)

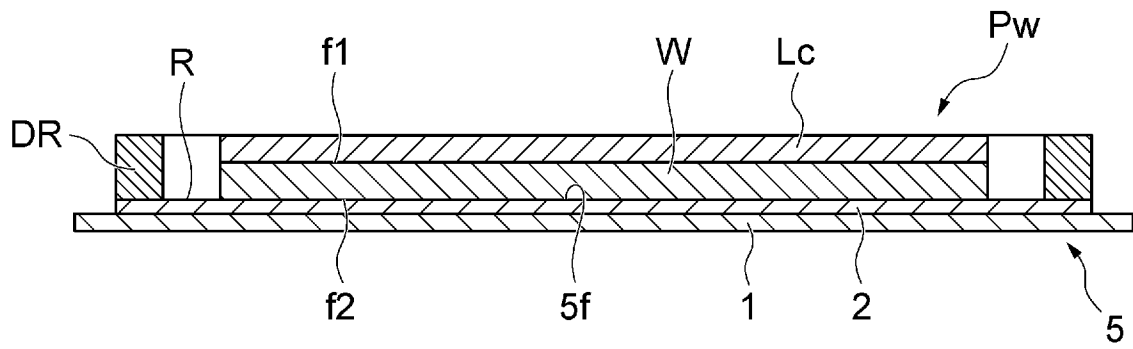


(b)

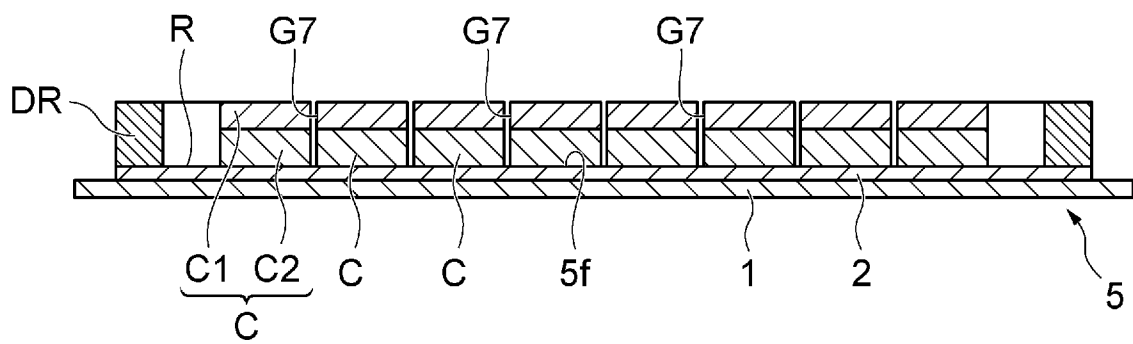


[図13]

(a)

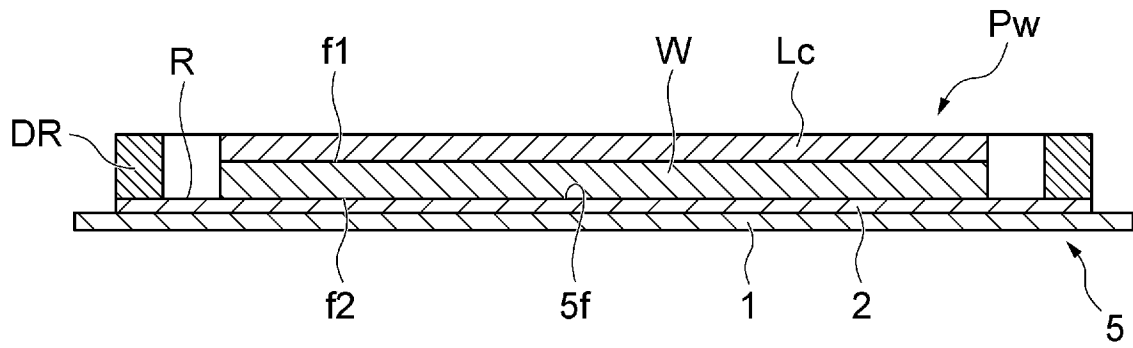


(b)

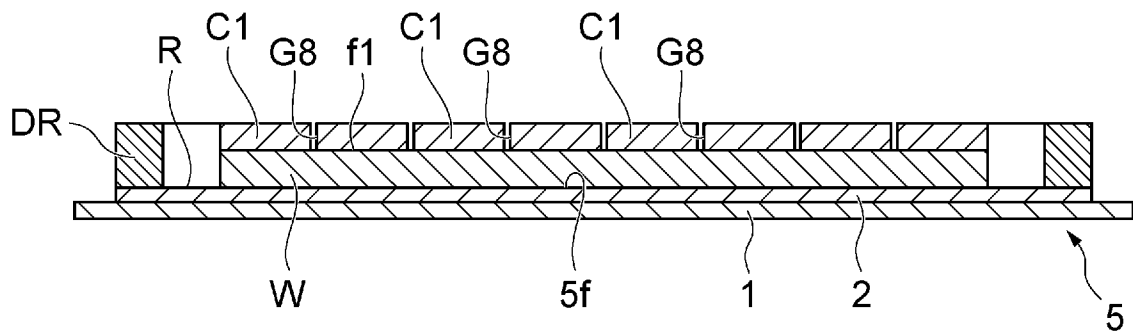


[図14]

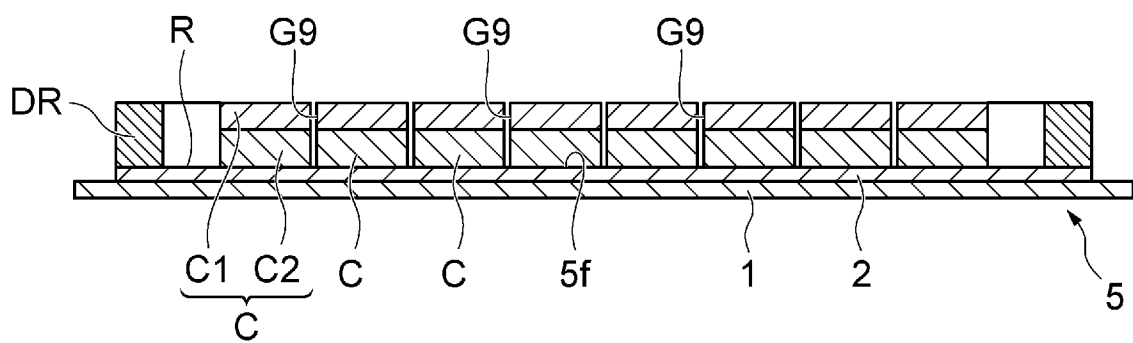
(a)



(b)



(c)



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/016316

| <b>A. CLASSIFICATION OF SUBJECT MATTER</b>   |   |   |
|--|---|---|
| <i>H01L 21/301</i> (2006.01)i; <i>H01L 21/304</i> (2006.01)i<br>FI: H01L21/78 M; H01L21/78 Y; H01L21/78 S; H01L21/78 Q; H01L21/304 647A; H01L21/304 647Z   |   |   |
| According to International Patent Classification (IPC) or to both national classification and IPC  |   |   |
| <b>B. FIELDS SEARCHED</b>  |   |   |
| Minimum documentation searched (classification system followed by classification symbols)<br>H01L21/301; H01L21/304  |   |   |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched<br>Published examined utility model applications of Japan 1922-1996<br>Published unexamined utility model applications of Japan 1971-2024<br>Registered utility model specifications of Japan 1996-2024<br>Published registered utility model applications of Japan 1994-2024  |   |   |
| Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)   |   |   |
| <b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>  |   |   |
| Category*  | Citation of document, with indication, where appropriate, of the relevant passages  | Relevant to claim No.   |
| Y  | WO 2022/250130 A1 (MITSUI CHEMICALS TOHCELLO, INC.) 01 December 2022 (2022-12-01)<br>paragraphs [0008], [0055]-[0061], [0063], [0064], [0066]-[0068], fig. 2  | 1-11  |
| Y  | JP 2023-043724 A (THE FURUKAWA ELECTRIC CO., LTD.) 29 March 2023 (2023-03-29)<br>paragraph [0059], fig. 4   | 1-11  |
| Y  | JP 2016-039186 A (DISCO CORPORATION) 22 March 2016 (2016-03-22)<br>paragraphs [0015], [0018], [0023]-[0026], [0028]-[0031], fig. 1, 4, 7-9  | 2-3, 11   |
| Y  | JP 2018-200957 A (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 20 December 2018 (2018-12-20)<br>paragraphs [0037], [0041], [0045], fig. 1G-1J  | 3, 11   |
| Y  | JP 2020-188154 A (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 19 November 2020 (2020-11-19)<br>paragraphs [0057]-[0059], [0060]-[0062], [0066]-[0068], [0084], [0090], [0091], [0096]-[0098], [0100], fig. 4-7, 10-12 | 4-5, 11   |
| <input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.  |   |   |
| * Special categories of cited documents:<br>"A" document defining the general state of the art which is not considered to be of particular relevance<br>"D" document cited by the applicant in the international application<br>"E" earlier application or patent but published on or after the international filing date<br>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)<br>"O" document referring to an oral disclosure, use, exhibition or other means<br>"P" document published prior to the international filing date but later than the priority date claimed<br>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention<br>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone<br>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art<br>"&" document member of the same patent family |   |   |
| Date of the actual completion of the international search<br><b>10 July 2024</b>   |   | Date of mailing of the international search report<br><b>23 July 2024</b> |
| Name and mailing address of the ISA/JP<br><b>Japan Patent Office (ISA/JP)<br/>3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915<br/>Japan</b>   |   | Authorized officer<br><br>Telephone No.                                   |

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/016316

| C. DOCUMENTS CONSIDERED TO BE RELEVANT |   |                       |
|--|---|-----------------------|
| Category*                              | Citation of document, with indication, where appropriate, of the relevant passages                            | Relevant to claim No. |
| Y                                      | JP 2012-169484 A (NITTO DENKO CORPORATION) 06 September 2012 (2012-09-06)<br>paragraphs [0086]-[0095], fig. 6 | 6, 11                 |
| Y                                      | JP 2010-093273 A (CASIO COMPUTER CO., LTD.) 22 April 2010 (2010-04-22)<br>paragraphs [0010], [0013]-[0045]    | 7-11                  |
| A                                      | JP 2018-190902 A (DISCO CORPORATION) 29 November 2018 (2018-11-29)<br>entire text, all drawings               | 1-11                  |
| A                                      | JP 2016-034993 A (LINTEC CORPORATION) 17 March 2016 (2016-03-17)<br>entire text, all drawings                 | 1-11                  |
| A                                      | JP 2018-195746 A (NITTO DENKO CORPORATION) 06 December 2018 (2018-12-06)<br>entire text, all drawings         | 1-11                  |

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2024/016316**

| Patent document cited in search report |             |    | Publication date (day/month/year) | Patent family member(s)  | Publication date (day/month/year) |
|--|-------------|----|-----------------------------------|--|-----------------------------------|
| WO                                     | 2022/250130 | A1 | 01 December 2022                  | EP 4349592 A1<br>paragraphs [0012], [0105]-<br>[0118], [0124]-[0128], [0131]-<br>[0137], fig. 2<br>CN 117397007 A<br>KR 10-2024-0005909 A                                |                                   |
| JP                                     | 2023-043724 | A  | 29 March 2023                     | (Family: none)   |                                   |
| JP                                     | 2016-039186 | A  | 22 March 2016                     | US 2016/0042996 A1<br>paragraphs [0023], [0025],<br>[0026], [0030]-[0033], [0035]-<br>[0038], fig. 1, 4, 7-9<br>CN 105336601 A<br>KR 10-2016-0016608 A<br>TW 201618181 A |                                   |
| JP                                     | 2018-200957 | A  | 20 December 2018                  | US 2018/0342424 A1<br>paragraphs [0036], [0040],<br>[0044], [0045], fig. 1G-1J   |                                   |
| JP                                     | 2020-188154 | A  | 19 November 2020                  | (Family: none)   |                                   |
| JP                                     | 2012-169484 | A  | 06 September 2012                 | US 2012/0208350 A1<br>paragraphs [0105]-[0115], fig.<br>6<br>CN 102637589 A<br>KR 10-2012-0093770 A<br>TW 201248708 A  |                                   |
| JP                                     | 2010-093273 | A  | 22 April 2010                     | (Family: none)   |                                   |
| JP                                     | 2018-190902 | A  | 29 November 2018                  | US 2018/0330957 A1<br>CN 108878284 A<br>KR 10-2018-0123982 A<br>TW 201901798 A   |                                   |
| JP                                     | 2016-034993 | A  | 17 March 2016                     | TW 201610084 A   |                                   |
| JP                                     | 2018-195746 | A  | 06 December 2018                  | CN 108949051 A<br>KR 10-2018-0127183 A<br>TW 201900797 A   |                                   |

|   |   |                |
|---|---|----------------|
| A. 発明の属する分野の分類（国際特許分類（IPC））<br>H01L 21/301(2006.01)i; H01L 21/304(2006.01)i<br>FI: H01L21/78 M; H01L21/78 Y; H01L21/78 S; H01L21/78 Q; H01L21/304 647A; H01L21/304 647Z   |   |                |
| B. 調査を行った分野<br>調査を行った最小限資料（国際特許分類（IPC））<br>H01L21/301; H01L21/304<br>最小限資料以外の資料で調査を行った分野に含まれるもの<br>日本国実用新案公報 1922 - 1996年<br>日本国公開実用新案公報 1971 - 2024年<br>日本国実用新案登録公報 1996 - 2024年<br>日本国登録実用新案公報 1994 - 2024年   |   |                |
| 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）  |   |                |
| C. 関連すると認められる文献   |   |                |
| 引用文献の<br>カテゴリー*   | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示   | 関連する<br>請求項の番号 |
| Y   | WO 2022/250130 A1（三井化学東セロ株式会社）01.12.2022（2022 - 12 - 01）<br>段落[0008],[0055]-[0061],[0063]-[0064],[0066]-[0068], 図2  | 1-11           |
| Y   | JP 2023-043724 A（古河電気工業株式会社）29.03.2023（2023 - 03 - 29）<br>段落[0059], 図4  | 1-11           |
| Y   | JP 2016-039186 A（株式会社ディスコ）22.03.2016（2016 - 03 - 22）<br>段落[0015],[0018],[0023]-[0026],[0028]-[0031], 図1,4,7-9   | 2-3, 11        |
| Y   | JP 2018-200957 A（パナソニックIPマネジメント株式会社）20.12.2018（2018 - 12 - 20）<br>段落 [0037],[0041],[0045], 図1G-1J   | 3, 11          |
| Y   | JP 2020-188154 A（パナソニックIPマネジメント株式会社）19.11.2020（2020 - 11 - 19）<br>段落[0057]-[0059],[0060]-[0062],[0066]-[0068],[0084],[0090]-[0091],[0096]-[0098],[0100], 図4-7,10-12 | 4-5, 11        |
| <input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。  |   |                |
| * 引用文献のカテゴリー<br>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの<br>“D” 国際出願で出願人が先行技術文献として記載した文献<br>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの<br>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）<br>“O” 口頭による開示、使用、展示等に言及する文献<br>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献<br>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの<br>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの<br>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの<br>“&” 同一パテントファミリー文献 |   |                |
| 国際調査を完了した日<br>10.07.2024  | 国際調査報告の発送日<br>23.07.2024  |                |
| 名称及びあて先<br>日本国特許庁(ISA/JP)<br>〒100-8915<br>日本国<br>東京都千代田区霞が関三丁目4番3号  | 権限のある職員（特許庁審査官）<br>久宗 義明 50 1792<br>電話番号 03-3581-1101 内線 3514   |                |

| C. 関連すると認められる文献 |  |                |
|-----------------|--|----------------|
| 引用文献の<br>カテゴリ*  | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示  | 関連する<br>請求項の番号 |
| Y               | JP 2012-169484 A (日東電工株式会社) 06.09.2012 (2012 - 09 - 06)<br>段落[0086]-[0095], 図6       | 6, 11          |
| Y               | JP 2010-093273 A (カシオ計算機株式会社) 22.04.2010 (2010 - 04 - 22)<br>段落[0010], [0013]-[0045] | 7-11           |
| A               | JP 2018-190902 A (株式会社ディスコ) 29.11.2018 (2018 - 11 - 29)<br>全文, 全図                    | 1-11           |
| A               | JP 2016-034993 A (リンテック株式会社) 17.03.2016 (2016 - 03 - 17)<br>全文, 全図                   | 1-11           |
| A               | JP 2018-195746 A (日東電工株式会社) 06.12.2018 (2018 - 12 - 06)<br>全文, 全図                    | 1-11           |

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/016316

| 引用文献              | 公表日        | パテントファミリー文献  | 公表日 |
|-------------------|------------|--|-----|
| WO 2022/250130 A1 | 01.12.2022 | EP 4349592 A1<br>段落[0012],[0105]-[0118],<br>[0124]-[0128],[0131]-<br>[0137], 図2<br>CN 117397007 A<br>KR 10-2024-0005909 A                              |     |
| JP 2023-043724 A  | 29.03.2023 | (ファミリーなし)  |     |
| JP 2016-039186 A  | 22.03.2016 | US 2016/0042996 A1<br>段落[0023],[0025]-[0026],<br>[0030]-[0033],[0035]-<br>[0038], 図1,4,7-9<br>CN 105336601 A<br>KR 10-2016-0016608 A<br>TW 201618181 A |     |
| JP 2018-200957 A  | 20.12.2018 | US 2018/0342424 A1<br>段落 [0036],[0040],<br>[0044]-[0045], 図1G-1J   |     |
| JP 2020-188154 A  | 19.11.2020 | (ファミリーなし)  |     |
| JP 2012-169484 A  | 06.09.2012 | US 2012/0208350 A1<br>段落[0105]-[0115], 図6<br>CN 102637589 A<br>KR 10-2012-0093770 A<br>TW 201248708 A  |     |
| JP 2010-093273 A  | 22.04.2010 | (ファミリーなし)  |     |
| JP 2018-190902 A  | 29.11.2018 | US 2018/0330957 A1<br>CN 108878284 A<br>KR 10-2018-0123982 A<br>TW 201901798 A   |     |
| JP 2016-034993 A  | 17.03.2016 | TW 201610084 A   |     |
| JP 2018-195746 A  | 06.12.2018 | CN 108949051 A<br>KR 10-2018-0127183 A<br>TW 201900797 A   |     |