

(19)日本国特許庁(JP)

**(12)特許公報(B2)**

(11)特許番号  
**特許第7706916号**  
**(P7706916)**

(45)発行日 令和7年7月14日(2025.7.14)

(24)登録日 令和7年7月4日(2025.7.4)

(51)国際特許分類

H 0 4 N    25/70 (2023.01)  
H 1 0 F    39/18 (2025.01)

F I

H 0 4 N    25/70  
H 1 0 F    39/18

A

請求項の数 13 (全26頁)

(21)出願番号 特願2021-62658(P2021-62658)  
(22)出願日 令和3年4月1日(2021.4.1)  
(65)公開番号 特開2022-158042(P2022-158042)  
A)  
(43)公開日 令和4年10月14日(2022.10.14)  
審査請求日 令和6年3月28日(2024.3.28)

(73)特許権者 000001007  
キヤノン株式会社  
東京都大田区下丸子3丁目30番2号  
(74)代理人 100094112  
弁理士 岡部 譲  
(74)代理人 100101498  
弁理士 越智 隆夫  
(74)代理人 100106183  
弁理士 吉澤 弘司  
(74)代理人 100136799  
弁理士 本田 亜希  
(72)発明者 小林 秀央  
東京都大田区下丸子3丁目30番2号  
キヤノン株式会社内  
(72)発明者 長谷川 蒼

最終頁に続く

(54)【発明の名称】 光電変換装置

**(57)【特許請求の範囲】****【請求項1】**

複数の列をなすように配され、光電変換素子を各々が有し、前記光電変換素子で生成された電荷の量に応じた信号を各々が output する複数の画素と、  
前記複数の列に対応して設けられ、対応する列の前記画素の信号が各々に出力される複数の出力線と、  
前記複数の列に対応して設けられ、各々が、ソースフォロワ回路を構成し、対応する列の前記出力線にソースが接続されたトランジスタと、前記トランジスタのゲートに接続された配線と、を有するクリップ回路を含む複数の列回路と、  
前記配線に第1の電圧及び第2の電圧を供給可能に構成された電圧供給回路と、を有し、  
前記配線は、前記複数の列回路の前記クリップ回路に共通の配線であり、  
前記電圧供給回路は、

前記複数の列回路の前記クリップ回路の各々に設けられ、前記第1の電圧が供給されるノードと前記配線とを接続する複数の第1のスイッチと、  
前記第2の電圧が供給されるノードと前記配線とを接続する第2のスイッチと、を有し、  
前記電圧供給回路により前記配線を前記第1の電圧に制御する際の駆動力と、前記電圧供給回路により前記配線を前記第2の電圧に制御する際の駆動力と、が異なっていることを特徴とする光電変換装置。

**【請求項2】**

前記駆動力が高いほど、前記第1の電圧または前記第2の電圧への遷移速度が速い

ことを特徴とする請求項 1 記載の光電変換装置。

**【請求項 3】**

前記第 2 の電圧から前記第 1 の電圧への遷移速度は、前記第 1 の電圧から前記第 2 の電圧への遷移速度よりも速い

ことを特徴とする請求項 2 記載の光電変換装置。

**【請求項 4】**

前記電圧供給回路により前記配線を前記第 1 の電圧に制御する際の駆動力は、前記電圧供給回路により前記配線を前記第 2 の電圧に制御する際の駆動力よりも高い

ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の光電変換装置。

**【請求項 5】**

前記第 1 の電圧が供給されるノードと前記配線との間に設けられた前記第 1 のスイッチの数は、前記第 2 の電圧が供給されるノードと前記配線との間に設けられた前記第 2 のスイッチの数よりも多い

ことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の光電変換装置。

**【請求項 6】**

前記配線が前記第 1 の電圧のときの前記出力線の電圧と、前記配線が前記第 2 の電圧のときの前記出力線の電圧との差は、前記画素の飽和出力に対応する電圧以上である

ことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の光電変換装置。

**【請求項 7】**

前記電圧供給回路は、前記配線に第 3 の電圧を供給可能に更に構成されている

ことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の光電変換装置。

**【請求項 8】**

前記電圧供給回路は、前記第 3 の電圧が供給されるノードと前記配線とを接続する第 3 のスイッチを更に有し、

前記電圧供給回路により前記配線を前記第 1 の電圧に制御する際の駆動力は、前記電圧供給回路により前記配線を前記第 3 の電圧に制御する際の駆動力よりも高い

ことを特徴とする請求項 7 記載の光電変換装置。

**【請求項 9】**

前記配線が前記第 2 の電圧のときの前記出力線の電圧と、前記配線が前記第 3 の電圧のときの前記出力線の電圧との差は、前記画素の飽和出力に対応する電圧以上である

ことを特徴とする請求項 7 又は 8 記載の光電変換装置。

**【請求項 10】**

前記第 1 の電圧は、電源電圧である

ことを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の光電変換装置。

**【請求項 11】**

請求項 1 乃至 10 のいずれか 1 項に記載の光電変換装置と、

前記光電変換装置から出力される信号を処理する信号処理部と

を有することを特徴とする撮像システム。

**【請求項 12】**

移動体であつて、

請求項 1 乃至 10 のいずれか 1 項に記載の光電変換装置と、

前記光電変換装置からの信号に基づく視差画像から、対象物までの距離情報を取得する距離情報取得手段と、

前記距離情報に基づいて前記移動体を制御する制御手段と

を有することを特徴とする移動体。

**【請求項 13】**

請求項 1 乃至 10 のいずれか 1 項に記載の光電変換装置と、

前記光電変換装置に対応する光学装置、

前記光電変換装置を制御する制御装置、

前記光電変換装置から出力された信号を処理する処理装置、

10

20

30

40

50

前記光電変換装置で得られた情報に基づいて制御される機械装置、  
前記光電変換装置で得られた情報を表示する表示装置、及び、  
前記光電変換装置で得られた情報を記憶する記憶装置、の少なくともいずれかと  
を備えることを特徴とする機器。

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

本発明は、光電変換装置に関する。

**【背景技術】**

**【0002】**

固体撮像装置において、光電変換部や保持部の飽和電荷量を上回る電荷が生成された場合に、余剰の電荷が漏れ出すことによって画質の低下が生じることがある。このような画質の低下に対しては、所定のノードに出力制限（クリップ）レベルを設定する手法が知られている。特許文献1には、画素信号が出力される信号線の信号振幅を制限する素子に2種類の電圧を印加可能なクリップ回路を有する固体撮像装置が開示されている。

10

**【先行技術文献】**

**【特許文献】**

**【0003】**

**【文献】特開2013-085110号公報**

20

**【発明の概要】**

**【発明が解決しようとする課題】**

**【0004】**

光電変換装置の高機能化及び高性能化を実現するために、更なる回路面積の縮小や高速化が求められている。

**【0005】**

本発明の目的は、クリップ回路を備えた光電変換装置において、チップ面積の増加を抑制しつつ、読み出し動作を高速化するための技術を提供することにある。

**【課題を解決するための手段】**

**【0006】**

本明細書の一開示によれば、複数の列をなすように配され、光電変換素子を各々が有し、前記光電変換素子で生成された電荷の量に応じた信号を各々が出力する複数の画素と、前記複数の列に対応して設けられ、対応する列の前記画素の信号が各々に出力される複数の出力線と、前記複数の列に対応して設けられ、各々が、ソースフォロワ回路を構成し、対応する列の前記出力線にソースが接続されたトランジスタと、前記トランジスタのゲートに接続された配線と、を有するクリップ回路を含む複数の列回路と、前記配線に第1の電圧及び第2の電圧を供給可能に構成された電圧供給回路と、を有し、前記配線は、前記複数の列回路の前記クリップ回路に共通の配線であり、前記電圧供給回路は、前記複数の列回路の前記クリップ回路の各々に設けられ、前記第1の電圧が供給されるノードと前記配線とを接続する複数の第1のスイッチと、前記第2の電圧が供給されるノードと前記配線とを接続する第2のスイッチと、を有し、前記電圧供給回路により前記配線を前記第1の電圧に制御する際の駆動力と、前記電圧供給回路により前記配線を前記第2の電圧に制御する際の駆動力と、が異なっている光電変換装置が提供される。

30

**【発明の効果】**

**【0007】**

本発明によれば、チップ面積の増加を抑制しつつ、読み出し動作を高速化することができる。

40

**【図面の簡単な説明】**

**【0008】**

**【図1】本発明の第1実施形態による光電変換装置の概略構成を示すブロック図である。**

**【図2】本発明の第1実施形態による光電変換装置における画素の構成例を示す回路図で**

50

ある。

【図3】本発明の第1実施形態による光電変換装置における列回路の構成例を示す回路図である。

【図4】本発明の第1実施形態による光電変換装置の構成例を示す模式図である。

【図5】本発明の第1実施形態による光電変換装置の駆動方法を示すタイミング図である。

【図6】本発明の第2実施形態による光電変換装置における列回路の構成例を示す回路図である。

【図7】本発明の第2実施形態による光電変換装置の駆動方法を示すタイミング図である。

【図8】本発明の第3実施形態による光電変換装置における列回路の構成例を示す回路図である。

【図9】本発明の第4実施形態による光電変換装置における列回路の構成例を示す回路図である。

【図10】本発明の第5実施形態による光電変換装置における列回路の構成例を示す回路図である。

【図11】本発明の第5実施形態による光電変換装置の駆動方法を示すタイミング図である。

【図12】本発明の第6実施形態による撮像システムの概略構成を示すブロック図である。

【図13】本発明の第7実施形態による撮像システム及び移動体の構成例を示す図である。

【図14】本発明の第8実施形態による機器の概略構成を示すブロック図である。

#### 【発明を実施するための形態】

##### 【0009】

###### 【第1実施形態】

本発明の第1実施形態による光電変換装置及びその駆動方法について、図1乃至図5を用いて説明する。図1は、本実施形態による光電変換装置の概略構成を示すブロック図である。図2は、本実施形態による光電変換装置における画素の構成例を示す回路図である。図3は、本実施形態による光電変換装置における列回路の構成例を示す回路図である。図4は、本実施形態による光電変換装置の構成例を示す模式図である。図5は、本実施形態による光電変換装置の駆動方法を示すタイミング図である。

##### 【0010】

はじめに、本実施形態による光電変換装置の構造について、図1乃至図4を用いて説明する。

本実施形態による光電変換装置100は、図1に示すように、画素アレイ部10と、垂直走査回路20と、読み出し回路30A, 30Bと、参照信号生成回路38A, 38Bと、カウンタ回路44A, 44Bと、を有する。また、光電変換装置100は、水平走査回路50A, 50Bと、出力回路60A, 60Bと、制御回路70と、を更に有する。

##### 【0011】

画素アレイ部10には、複数の行及び複数の列に渡って行列状に配された複数の画素12が設けられている。各々の画素12は、フォトダイオード等の光電変換素子からなる光電変換部を含み、入射光の光量に応じた画素信号を出力する。画素アレイ部10に配される画素アレイの行数及び列数は、特に限定されるものではない。また、画素アレイ部10には、入射光の光量に応じた画素信号を出力する有効画素のほか、光電変換部が遮光されたオプティカルブラック画素や、信号を出力しないダミー画素などが配置されていてよい。

##### 【0012】

画素アレイ部10の各行には、第1の方向(図1において横方向)に延在して、制御線14が配されている。制御線14の各々は、第1の方向に並ぶ画素12にそれぞれ接続され、これら画素12に共通の信号線をなしている。制御線14の延在する第1の方向は、行方向或いは水平方向と呼ぶことがある。制御線14は、垂直走査回路20に接続されている。

##### 【0013】

10

20

30

40

50

画素アレイ部 10 の各列には、第 1 の方向と交差する第 2 の方向（図 1において縦方向）に延在して、垂直出力線 16 A 又は垂直出力線 16 B が配されている。垂直出力線 16 A と垂直出力線 16 B とは、各列に交互に配されている。例えば、垂直出力線 16 A は奇数列に配され、垂直出力線 16 B は偶数列に配される。垂直出力線 16 A, 16 B の各々は、第 2 の方向に並ぶ画素 12 にそれぞれ接続され、これら画素 12 に共通の信号線をなしている。垂直出力線 16 A, 16 B の延在する第 2 の方向は、列方向或いは垂直方向と呼ぶことがある。垂直出力線 16 A は、読み出し回路 30 A に接続されている。垂直出力線 16 B は、読み出し回路 30 B に接続されている。

#### 【 0 0 1 4 】

垂直走査回路 20 は、制御回路 70 から出力される制御信号を受け、画素 12 を駆動するための制御信号を生成し、制御線 14 を介して画素 12 に供給する機能を備える制御部である。垂直走査回路 20 には、シフトレジスタやアドレスデコーダといった論理回路が用いられ得る。垂直走査回路 20 は、各行の制御線 14 に順次制御信号を供給し、画素アレイ部 10 の画素 12 を行単位で順次駆動する。行単位で画素 12 から読み出された信号は、画素アレイ部 10 の各列に設けられた垂直出力線 16 A 又は垂直出力線 16 B を介して読み出し回路 30 A 又は読み出し回路 30 B に入力される。

#### 【 0 0 1 5 】

読み出し回路 30 A は、垂直出力線 16 A が配された列に対応する数の複数の列回路 32 を有する。読み出し回路 30 A の列回路 32 は、対応する列の垂直出力線 16 A に接続されている。読み出し回路 30 B は、垂直出力線 16 B が配された列に対応する数の複数の列回路 32 を有する。読み出し回路 30 B の列回路 32 は、対応する列の垂直出力線 16 B に接続されている。列回路 32 は、対応する列の画素 12 から読み出された画素信号に対して所定の処理、例えば、增幅処理、アナログ・デジタル変換（A D 変換）等の信号処理を実施する回路部である。列回路 32 は、処理後の画素信号を保持するための信号保持回路を有する。

#### 【 0 0 1 6 】

参照信号生成回路 38 A は、読み出し回路 30 A に接続されている。参照信号生成回路 38 A は、制御回路 70 から出力される制御信号を受け、A D 変換に用いるための参照信号を生成し、読み出し回路 30 A に供給する機能を備える。同様に、参照信号生成回路 38 B は、読み出し回路 30 B に接続されている。参照信号生成回路 38 B は、制御回路 70 から出力される制御信号を受け、A D 変換に用いるための参照信号を生成し、読み出し回路 30 B に供給する機能を備える。

#### 【 0 0 1 7 】

A D 変換に用いるための参照信号は、画素信号のレンジに応じた所定の振幅を有し、時間の経過とともに信号レベルが変化する信号であり得る。参照信号は、特に限定されるものではないが、例えば、時間の経過とともに信号レベルが単調増加し又は単調減少するランプ信号を適用可能である。なお、信号レベルの変化は、必ずしも連続的である必要はなく、ステップ状であってもよい。また、信号レベルの変化は、必ずしも時間に対して線型的である必要はなく、時間に対して曲線的（例えば、正弦波や余弦波）であってもよい。

#### 【 0 0 1 8 】

カウンタ回路 44 A は、読み出し回路 30 A に接続されている。カウンタ回路 44 A は、制御回路 70 から出力される制御信号に応じてカウント動作を行い、そのカウント値を示すカウント信号を読み出し回路 30 A へと出力する機能を備える。カウンタ回路 44 A は、参照信号生成回路 38 A から供給される参照信号の信号レベルの変化が開始するタイミングに同期してカウント動作を開始する。同様に、カウンタ回路 44 B は、読み出し回路 30 B に接続されている。カウンタ回路 44 B は、制御回路 70 から出力される制御信号に応じてカウント動作を行い、そのカウント値示すカウント信号を読み出し回路 30 B へと出力する機能を備える。カウンタ回路 44 B は、参照信号生成回路 38 B から供給される参照信号の信号レベルの変化が開始するタイミングに同期してカウント動作を開始する。

10

20

30

40

50

### 【 0 0 1 9 】

水平走査回路 50 A は、制御回路 70 から出力される制御信号を受け、読み出し回路 30 A の列回路 32 から画素信号を読み出すための制御信号を生成し、読み出し回路 30 A に供給する機能を備える制御部である。水平走査回路 50 A は、読み出し回路 30 A の列回路 32 を順次走査し、各々に保持されている画素信号を順次出力回路 60 A へと出力する。同様に、水平走査回路 50 B は、制御回路 70 から出力される制御信号を受け、読み出し回路 30 B の列回路 32 から画素信号を読み出すための制御信号を生成し、読み出し回路 30 B に供給する機能を備える制御部である。水平走査回路 50 B は、読み出し回路 30 B の列回路 32 を順次走査し、各々に保持されている画素信号を順次出力回路 60 B へと出力する。水平走査回路 50 A, 50 B には、シフトレジスタやアドレスデコーダといった論理回路が用いられ得る。

10

### 【 0 0 2 0 】

出力回路 60 A は、バッファアンプや差動増幅器などから構成され、水平走査回路 50 A によって選択された列の画素信号に対して所定の信号処理を実行し、処理後の画素データを出力する回路部である。同様に、出力回路 60 B は、バッファアンプや差動増幅器などから構成され、水平走査回路 50 B によって選択された列の画素信号に対して所定の信号処理を実行し、処理後の画素データを出力する回路部である。出力回路 60 A, 60 B が行う信号処理としては、例えば、相関二重サンプリング (CDS : Correlated Double Sampling) による補正処理、増幅処理などが挙げられる。

20

### 【 0 0 2 1 】

制御回路 70 は、垂直走査回路 20、読み出し回路 30 A, 30 B、参照信号生成回路 38 A, 38 B、カウンタ回路 44 A, 44 B、水平走査回路 50 A, 50 B の動作を制御する制御信号を生成し、各機能ブロックに供給するための制御回路である。なお、垂直走査回路 20、読み出し回路 30 A, 30 B、参照信号生成回路 38 A, 38 B、カウンタ回路 44 A, 44 B、水平走査回路 50 A, 50 B の動作を制御する制御信号の少なくとも一部は、光電変換装置 100 の外部から供給してもよい。

### 【 0 0 2 2 】

図 1 には、読み出し回路 30 A、水平走査回路 50 A、出力回路 60 A 等を含む読み出し回路ブロックと、読み出し回路 30 B、水平走査回路 50 B、出力回路 60 B 等を含む読み出し回路ブロックと、の 2 つの読み出し回路ブロックを設けた例を示している。しかしながら、読み出し回路ブロックは必ずしも 2 つである必要はなく、1 つであってもよい。

30

### 【 0 0 2 3 】

画素 12 の各々は、例えば図 2 に示すように、光電変換素子 PD と、転送トランジスタ M1 と、リセットトランジスタ M2 と、増幅トランジスタ M3 と、選択トランジスタ M4 と、により構成され得る。各々の画素 12 は、入射光が光電変換素子 PD に導かれるまでの光路上に配されたマイクロレンズ及びカラーフィルタを有していてもよい。マイクロレンズは、入射光を光電変換素子 PD に集光する。カラーフィルタは、所定の色の光を選択的に透過する。

### 【 0 0 2 4 】

光電変換素子 PD は、例えばフォトダイオードであり、アノードが基準電圧ノードに接続され、カソードが転送トランジスタ M1 のソースに接続されている。転送トランジスタ M1 のドレインは、リセットトランジスタ M2 のソース及び増幅トランジスタ M3 のゲートに接続されている。転送トランジスタ M1 のドレイン、リセットトランジスタ M2 のソース及び増幅トランジスタ M3 のゲートが接続されるノード FD は、いわゆる浮遊拡散 (フローティングディフュージョン) 部である。浮遊拡散部は、容量成分 (浮遊拡散容量) を含み、電荷保持部としての機能を備える。浮遊拡散容量には、p-n 接合容量や配線容量などが含まれ得る。リセットトランジスタ M2 のドレイン及び増幅トランジスタ M3 のドレインは、電源電圧 (電圧 VDD) が供給されるノードに接続されている。増幅トランジスタ M3 のソースは、選択トランジスタ M4 のドレインに接続されている。選択トランジスタ M4 のソースは、垂直出力線 16 A (又は垂直出力線 16 B) に接続されている。

40

50

**【 0 0 2 5 】**

図2の画素構成の場合、各行の制御線14は、転送トランジスタM1のゲート、リセットトランジスタM2のゲート及び選択トランジスタM4のゲートに接続された3本の信号線を含む。転送トランジスタM1のゲートには、垂直走査回路20から制御信号PTXが供給される。リセットトランジスタM2のゲートには、垂直走査回路20から制御信号PRE Sが供給される。選択トランジスタM4のゲートには、垂直走査回路20から制御信号PSELが供給される。各トランジスタがN型MOSトランジスタで構成される場合、垂直走査回路20からHighレベルの制御信号が供給されると対応するトランジスタがオンとなる。また、垂直走査回路20からLowレベルの制御信号が供給されると対応するトランジスタがオフとなる。

10

**【 0 0 2 6 】**

なお、本実施形態では、光入射によって光電変換素子PDで生成される電子正孔対のうち、電子を信号電荷として用いる場合を想定して説明を行う。信号電荷として電子を用いる場合、画素12を構成する各トランジスタは、N型MOSトランジスタによって構成され得る。ただし、信号電荷は電子に限られるものではなく、正孔を信号電荷として用いてもよい。信号電荷として正孔を用いる場合、各トランジスタの導電型は、本実施形態で説明するものとは逆導電型となる。また、MOSトランジスタのソース及びドレインの呼称はトランジスタの導電型や着目する機能によって異なることがある。本実施形態において使用するソース及びドレインの名称の一部又は全部は、逆の名称で呼ばれることがある。

20

**【 0 0 2 7 】**

光電変換素子PDは、入射光をその光量に応じた量の電荷に変換（光電変換）する。転送トランジスタM1は、オンになることにより光電変換素子PDが保持する電荷をノードFDに転送する。光電変換素子PDから転送された電荷は、ノードFDの容量（浮遊拡散容量）に保持される。その結果、ノードFDは、浮遊拡散容量による電荷電圧変換によって、光電変換素子PDから転送された電荷の量に応じた電位となる。

**【 0 0 2 8 】**

選択トランジスタM4は、オンになることにより増幅トランジスタM3を垂直出力線16A（又は垂直出力線16B）に接続する。増幅トランジスタM3は、ドレインに電圧VD Dが供給され、ソースに選択トランジスタM4を介して不図示の電流源（後述する電流源36）からバイアス電流が供給される構成となっており、ゲートを入力ノードとする増幅部（ソースフォロワ回路）を構成する。これにより増幅トランジスタM3は、ノードFDの電圧に基づく信号を、選択トランジスタM4を介して垂直出力線16A（又は垂直出力線16B）に出力する。この意味で、増幅トランジスタM3及び選択トランジスタM4は、ノードFDに保持された電荷の量に応じた画素信号を出力する出力部である。

30

**【 0 0 2 9 】**

リセットトランジスタM2は、電荷保持部としてのノードFDをリセットするための電圧（電圧VDD）のFDノードへの供給を制御する機能を備える。リセットトランジスタM2は、オンになることによりノードFDを電圧VDDに応じた電圧にリセットする。

**【 0 0 3 0 】**

読み出し回路30Aを構成する複数の列回路32の各々は、例えば図3に示すように、クリップ回路34と、電流源36と、比較器42と、メモリ48W, 48Rと、により構成され得る。

40

**【 0 0 3 1 】**

クリップ回路34は、N型トランジスタM5と、スイッチSW11と、を有する。N型トランジスタM5は、電源電圧（電圧VDD）が供給されるノードにドレインが接続されており、ソースフォロワ回路を構成している。N型トランジスタM5のソースは、垂直出力線16Aに接続されている。スイッチSW11の一方の端子は、電圧VCLIPHが供給されるノードに接続されている。スイッチSW11の他方の端子及びN型トランジスタM5のゲートは、配線VCに接続されている。配線VCは、読み出し回路30Aを構成する複数の列回路32のクリップ回路34に共通の配線であり、これらクリップ回路34の

50

スイッチ SW11 の他方の端子及び N 型トランジスタ M5 のゲートを相互に接続する。配線 VC には、スイッチ SW21 を介して電圧 VCLIPH を供給可能である。スイッチ SW11 の制御ノードには、制御回路 70 から制御信号 CLIPRES が供給される。制御信号 CLIPRES は、読み出し回路 30A の複数の列回路 32 に共通の制御信号である。

#### 【0032】

なお、電圧 VDD、電圧 VCLIPH 及び電圧 VCLIPL は、以下の関係を有する。

$$VDD > VCLIPH > VCLIPL$$

スイッチ SW11 は、読み出し回路 30A の複数の列回路 32 の各々のクリップ回路 34 に設けられた個別のスイッチである。一方、スイッチ SW21 は、読み出し回路 30A の複数の列回路 32 のクリップ回路 34 に共通のスイッチである。別の言い方をすると、配線 VC は、並列に接続された複数のスイッチ SW11 を介して電圧 VCLIPH が供給されるノードに接続されており、また、1つのスイッチ SW21 を介して電圧 VCLIPL が供給されるノードに接続されている。

10

#### 【0033】

クリップ回路 34 は、垂直出力線 16A の電圧の下限値を、N 型トランジスタ M5 のゲートの電圧に応じた電圧に制限する機能を備える。N 型トランジスタ M5 のゲートは、スイッチ SW11 がオンでスイッチ SW21 がオフのときに電圧 VCLIPH となり、スイッチ SW11 がオフでスイッチ SW21 がオンのときに電圧 VCLIPL となる。ここでは、スイッチ SW11 は、制御信号 CLIPRES が High レベルのときにオン（導通状態）となり、制御信号 CLIPRES が Low レベルのときにオフ（非導通状態）となるものとする。

20

#### 【0034】

なお、電圧 VCLIPH を生成する電圧生成回路（図示せず）、電圧 VCLIPL を生成する電圧生成回路（図示せず）及びスイッチ SW11, SW21 は、配線 VC に電圧 VCLIPH 及び電圧 VCLIPL を供給する電圧供給回路ということもできる。

#### 【0035】

電流源 36 は、垂直出力線 16A に接続されている。電流源 36 は、N 型トランジスタ M5 及び画素 12 の増幅トランジスタ M3 の負荷電流源としての役割を有する。

30

#### 【0036】

比較器 42 は、非反転入力端子 (+) と、反転入力端子 (-) と、出力端子と、を有する。比較器 42 の非反転入力端子は、参照信号線 40 に接続されている。比較器 42 の反転入力端子は、垂直出力線 16A に接続されている。比較器 42 の非反転入力端子には、参照信号生成回路 38A から参照信号線 40 を介して参照信号 VRAMP が供給される。比較器 42 の反転入力端子には、画素 12 から垂直出力線 16A を介して信号 VOOUT が供給される。

#### 【0037】

比較器 42 は、垂直出力線 16A の信号 VOOUT のレベルと参照信号 VRAMP のレベルとを比較し、比較の結果に応じた信号を出力する。例えば、比較器 42 は、参照信号 VRAMP のレベルが信号 VOOUT のレベルよりも低いときには High レベルの信号を出力する。また、比較器 42 は、参照信号 VRAMP のレベルが信号 VOOUT のレベルよりも高いときには Low レベルの信号を出力する。なお、入力信号の大小関係と出力信号のレベルとの関係は逆であってもよい。

40

#### 【0038】

メモリ 48W は、2つの入力端子と1つの出力端子とを有する。メモリ 48W の一方の入力端子は、比較器 42 の出力端子に接続されている。メモリ 48W の他方の入力端子は、カウント信号線 46 に接続されている。メモリ 48W の他方の入力端子には、カウンタ回路 44A からカウント信号線 46 を介してカウント信号 COUNT が供給される。メモリ 48R は、2つの入力端子と1つの出力端子とを有する。メモリ 48R の一方の入力端子は、メモリ 48W の出力端子に接続されている。メモリ 48R の他方の入力端子は、水

50

平走査回路 50 A に接続されている。メモリ 48 R の出力端子は、水平出力線 52 A に接続されている。

#### 【 0 0 3 9 】

メモリ 48 W は、比較器 42 の出力信号のレベルが反転したタイミングにおいてカウンタ回路 44 A から供給されているカウント信号 COUNT で示されるカウント値を、画素信号のデジタルデータとして保持する。メモリ 48 R は、メモリ 48 W から転送される画素信号のデジタルデータを保持する。メモリ 48 R に保持されたデジタルデータは、水平走査回路 50 A から供給される制御信号に応じて、列毎に順次、水平出力線 52 A を介して出力回路 60 A へと転送される。メモリ 48 W の後段にメモリ 48 R を設けることで、出力回路 60 A への転送動作と並行して A/D 変換動作を実施することが可能となる。

10

#### 【 0 0 4 0 】

なお、カウンタ回路 44 A を設ける換わりに、列回路 32 のメモリ 48 W がカウンタ回路の機能を備えていてもよい。この場合、各列の列回路 32 のメモリ 48 W が、制御回路 70 から出力される共通のクロック信号を受信し、クロック信号のパルスを計数する。比較器 42 の出力信号のレベルが反転したタイミングにおける計数値が、メモリ 48 W が保持するデジタルデータとなる。

#### 【 0 0 4 1 】

読み出し回路 30 B の列回路 32 は、読み出し回路 30 A の列回路 32 が配された列とは異なる列に配されている他は読み出し回路 30 A の列回路 32 と同じであるため、説明は省略する。以後、読み出し回路 30 A の列回路 32 に着目して説明を行うが、読み出し回路 30 B の列回路 32 についても同じである。

20

#### 【 0 0 4 2 】

本実施形態の光電変換装置は、1つの基板の上に上述した総ての回路ブロックを配置する構成としてもよいし、複数の基板を積層した積層型として各基板に回路ブロックを作り分ける構成としてもよい。

#### 【 0 0 4 3 】

図 4 (a) は、画素アレイ部 10 を配置した画素基板 110 と、その他の回路ブロックを配置した回路基板 120 とを積層した場合の模式図である。画素基板 110 と回路基板 120 とを別々の基板に配置することで、画素アレイ部 10 の面積を犠牲にすることなく光電変換装置 100 の小型化を図ることが可能となる。

30

#### 【 0 0 4 4 】

図 4 (b) は、画素アレイ部 10 を配置した画素基板 110 と、その他の回路ブロックを配置した回路基板 120, 130 とを積層した場合の模式図である。この場合にも、画素アレイ部 10 の面積を犠牲にすることなく光電変換装置 100 の小型化を図ることが可能となる。

#### 【 0 0 4 5 】

なお、1つの機能ブロックを構成する回路要素は、必ずしも同じ基板に配置する必要はなく、別々の基板に配置してもよい。

#### 【 0 0 4 6 】

次に、本実施形態による光電変換装置の駆動方法について、図 5 を用いて説明する。図 5 は、画素アレイ部 10 の任意の行における画素信号の読み出し動作を示すタイミング図である。図 5 には、制御信号 P TX, PRES, CLIPRES のレベル、参照信号 VRAMP の電圧、信号 VOUT の電圧及び配線 VC の電圧を示している。

40

#### 【 0 0 4 7 】

時刻 t0 の直前において、読み出し対象の行の制御信号 PSEL ( 図示せず ) は High レベルであるものとする。これにより、当該行に属する画素 12 の選択トランジスタ M4 はオンになっており、これら画素 12 の各々は対応する列の垂直出力線 16 A に画素信号を出力できる状態である。また、時刻 t0 の直前において、読み出し対象の行の制御信号 P TX, PRES は、Low レベルであるものとする。

#### 【 0 0 4 8 】

50

時刻  $t_0$  から時刻  $t_1$  の期間において、垂直走査回路 20 は、読み出し対象の行の制御信号 P R E S を H i g h レベルに制御する。これにより、当該行に属する画素 12 のリセットトランジスタ M2 がオンになり、ノード FD が電圧 V D D に応じた電圧にリセットされる。

#### 【 0 0 4 9 】

同じく時刻  $t_0$  から時刻  $t_1$  の期間において、制御回路 70 は、制御信号 C L I P \_ R E S を H i g h レベルに制御する。これにより、各列の列回路 32 のクリップ回路 34 のスイッチ SW11 がオンになり、配線 VC の電圧が電圧 V C L I P H にリセットされる。

#### 【 0 0 5 0 】

時刻  $t_1$  において制御信号 P R E S が H i g h レベルから L o w レベルに遷移することで、当該行に属する画素 12 のリセットトランジスタ M2 がオフになり、これら画素 12 のノード FD のリセット状態が解除される。この状態が、画素 12 のリセット状態である。垂直出力線 16 A には、ノード FD のリセット電圧に応じたリセットレベルの画素信号が出力される。10

#### 【 0 0 5 1 】

その際、光電変換素子 PD に非常に強い光が照射されていると、転送トランジスタ M1 がオフであるにもかかわらず光電変換素子 PD で発生した電荷がノード FD に漏れ出し、ノード FD の電位、ひいては垂直出力線 16 A の電位が低下する。このときの信号 V O U T のレベルを、図 5 に破線で表している（ブルーミング発生時）。光電変換素子 PD からノード FD への電荷の漏れ込みがなければ、図 5 に実線で表しているように、画素信号のレベルはリセットレベルから変化しない（通常時）。20

#### 【 0 0 5 2 】

図 5 に示すように、ブルーミング発生時における信号 V O U T のレベルは、通常時における信号 V O U T のレベルよりも低下する。信号 V O U T の下げ止まるレベルは、N 型トランジスタ M5 のゲートに印加されている電圧 V C L I P H や N 型トランジスタ M5 の閾値電圧などによって決まる。これは、ノード FD の電位が低下することによって増幅トランジスタ M3 がオフになる代わりに N 型トランジスタ M5 がオンになることで、垂直出力線 16 A の電位を N 型トランジスタ M5 がその特性に応じた所定の電位にクリップするからである。

#### 【 0 0 5 3 】

続く時刻  $t_2$  において、参照信号生成回路 38 A は、参照信号線 40 を介して各列の列回路 32 に供給する参照信号 V R A M P の電圧レベルの変化を開始する。カウンタ回路 44 A は、参照信号 V R A M P の電圧レベルの変化の開始と同期してカウント動作を開始し、カウント値を示すカウント信号 C O U N T を、カウント信号線 46 を介して各列の列回路 32 に供給する。30

#### 【 0 0 5 4 】

比較器 42 は、信号 V O U T のレベルと参照信号 V R A M P のレベルとの比較動作を行い、信号 V O U T のレベルと参照信号 V R A M P のレベルとの大小関係が変化したタイミングで出力信号のレベルを反転する。メモリ 48 W は、比較器 42 の出力信号のレベルが反転したタイミングにカウンタ回路 44 A から供給されているカウント信号 C O U N T が示すカウント値を、画素信号のデジタルデータとして保持する。このようにして、リセットレベルの画素信号に対する A D 変換が行われる。40

#### 【 0 0 5 5 】

ブルーミングが発生していない場合（通常時）には、続く時刻  $t_3$  において参照信号 V R A M P のレベルが信号 V O U T のレベルと等しくなり、比較器 42 の出力信号のレベルが反転する。メモリ 48 W は、時刻  $t_2$  から時刻  $t_3$  の期間の長さに対応するカウント値を、画素信号のデジタルデータとして保持する。ブルーミングが発生している場合（ブルーミング発生時）には、続く時刻  $t_4$  において参照信号 V R A M P のレベルが信号 V O U T のレベルと等しくなり、比較器 42 の出力信号のレベルが反転する。メモリ 48 W は、時刻  $t_2$  から時刻  $t_4$  の期間の長さに対応するカウント値を、画素信号のデジタルデータ50

として保持する。

**【 0 0 5 6 】**

このように、ブルーミングが生じている場合には、リセットレベルの画素信号の A D 変換の結果には、比較器 4 2 の出力信号のレベルが反転するタイミングの違いに応じた誤差が生じ得る。

**【 0 0 5 7 】**

続く時刻 t 5において、参照信号生成回路 3 8 Aは、参照信号 V R A M P を所定のレベルにリセットする。

**【 0 0 5 8 】**

続く時刻 t 6において、制御回路 7 0は、スイッチ S W 2 1をオンに制御し、配線 V C 10 に電圧 V C L I P L を供給する。なお、配線 V C の電圧が電圧 V C L I P H から電圧 V C L I P L に遷移するまでには、配線 V C の寄生容量やスイッチ S W 2 1の電流駆動能力等に応じた所定の時間を要する。

**【 0 0 5 9 】**

同じく時刻 t 6から続く時刻 t 7の期間において、垂直走査回路 2 0は、読み出し対象の行の制御信号 P T X を H i g h レベルに制御する。これにより、当該行に属する画素 1 2 の転送トランジスタ M 1がオンになり、所定の露光期間の間に光電変換素子 P D に蓄積された電荷がノード F D に転送される。

**【 0 0 6 0 】**

ブルーミングが発生していない場合（通常時）、ノード F D は光電変換素子 P D から転送された電荷の量に応じた電圧に低下し、垂直出力線 1 6 Aの電位も低下する。垂直出力線 1 6 Aには、ノード F D の電圧に応じた光信号レベルの画素信号が出力される。 20

**【 0 0 6 1 】**

一方、ブルーミングが発生している場合（ブルーミング発生時）、増幅トランジスタ M 3 はオフになっているため、ノード F D の電位の低下は垂直出力線 1 6 Aの電位に影響しない。代わりに、スイッチ S W 2 1をオンにすることによる配線 V C の電圧の低下に応じて、垂直出力線 1 6 Aの電位が低下する。このときの信号 V O U T が、光信号レベルの画素信号として扱われる。

**【 0 0 6 2 】**

続く時刻 t 8において、参照信号生成回路 3 8 Aは、参照信号線 4 0を介して各列の列回路 3 2 に供給する参照信号 V R A M P の電圧レベルの変化を開始する。カウンタ回路 4 4 A 30 は、参照信号 V R A M P の電圧レベルの変化の開始と同期してカウント動作を開始し、カウント値を示すカウント信号 C O U N T を、カウント信号線 4 6を介して各列の列回路 3 2 に供給する。

**【 0 0 6 3 】**

比較器 4 2 は、信号 V O U T のレベルと参照信号 V R A M P のレベルとの比較動作を行い、信号 V O U T のレベルと参照信号 V R A M P のレベルとの大小関係が変化したタイミングで出力信号のレベルを反転する。メモリ 4 8 W は、比較器 4 2 の出力信号のレベルが反転したタイミングにカウンタ回路 4 4 A から供給されているカウント信号 C O U N T が示すカウント値を、画素信号のデジタルデータとして保持する。このようにして、光信号 40 レベルの画素信号に対する A D 変換が行われる。

**【 0 0 6 4 】**

続く時刻 t 1 0において、参照信号生成回路 3 8 Aは、参照信号 V R A M P を所定のレベルにリセットする。

**【 0 0 6 5 】**

このようにして取得された画素信号のデジタルデータに対しては、後段の出力回路 6 0 Aにおいて相関二重サンプリングによる補正処理が施される。相関二重サンプリングによる補正処理では、光信号レベルの画素信号のデジタルデータからリセットレベルの画素信号のデジタルデータを差し引き、光信号レベルの画素信号に重畠するノイズ成分を除去する。ブルーミングが生じている場合、前述のように、リセットレベルの画素信号の A D 变 50

換結果には比較器 4 2 の出力信号のレベルが反転するタイミングの違いに応じた誤差が生じ得る。したがって、相關二重サンプリングによる補正処理を行うことで、飽和出力という妥当な結果を得られなくなることも考えられる。

#### 【 0 0 6 6 】

しかしながら、電圧 V C L I P L 及び電圧 V C L I P H を適宜設定することにより、ブルーミング発生時においても飽和出力を得ることが可能となる。ここで、飽和出力の一例としては、A D 変換結果が最大値であることが挙げられる。例えば、A D 変換の階調が 1 2 ビットで表される場合、量子化単位を 1 L S B として 4 0 9 6 L S B の結果が得られる指す。つまり、時刻 t 6 における垂直出力線 1 6 A の電位の低下量を、1 L S B 分の電圧  $\times$  4 0 9 6 に相当する電圧以上確保すれば、飽和出力を得ることができる。

10

#### 【 0 0 6 7 】

時刻 t 6 における垂直出力線 1 6 A の電位の低下量は、N 型トランジスタ M 5 のゲート電圧が電圧 V C L I P H であるときの垂直出力線 1 6 A の電圧と N 型トランジスタ M 5 のゲート電圧が電圧 V C L I P L であるときの垂直出力線 1 6 A の電圧との差に相当する。したがって、垂直出力線 1 6 A の電位の低下量が 1 L S B 分の電圧  $\times$  4 0 9 6 以上になるように電圧 V C L I P H 及び電圧 V C L I P L を適宜設定することにより、ブルーミング発生時においても飽和出力を得ることが可能となる。

#### 【 0 0 6 8 】

続く時刻 t 1 1 から時刻 t 1 2 の期間において、垂直走査回路 2 0 は、読み出し対象の行の制御信号 P R E S を H i g h レベルに制御する。これにより、当該行に属する画素 1 2 のリセットトランジスタ M 2 がオンになり、ノード F D が電圧 V D D に応じた電圧にリセットされる。

20

#### 【 0 0 6 9 】

時刻 t 1 2 において制御信号 P R E S が H i g h レベルから L o w レベルに遷移することで、当該行に属する画素 1 2 のリセットトランジスタ M 2 がオフになり、これら画素 1 2 のノード F D のリセット状態が解除される。これにより、垂直出力線 1 6 A の信号 V O U T も、リセットレベルに戻る。

#### 【 0 0 7 0 】

同じく時刻 t 1 1 から時刻 t 1 2 の期間において、制御回路 7 0 は、制御信号 C L I P \_ R E S を H i g h レベルに制御する。これにより、各列の列回路 3 2 のクリップ回路 3 4 のスイッチ S W 1 1 がオンになり、配線 V C の電圧が電圧 V C L I P L から電圧 V C L I P H へと遷移する。これにより、増幅トランジスタ M 3 と N 型トランジスタ M 5 とにより垂直出力線 1 6 A をリセットすることが可能となり、ひいては垂直出力線 1 6 A のリセットに要する時間を短縮することができる。

30

#### 【 0 0 7 1 】

本実施形態の駆動例では、垂直出力線 1 6 A のセトリング時間を確保できるように時刻 t 7 から時刻 t 8 の期間の長さを設定しているため、時刻 t 6 において配線 V C を電圧 V C L I P H から電圧 V C L I P L に遷移する際の速度は遅くても構わない。そのため、本実施形態では、電圧 V C L I P L が供給されるノードと配線 V C との間にはクリップ回路 3 4 毎にスイッチを設けていない。これにより、クリップ回路 3 4 の回路面積の増加を抑制することができる。

40

#### 【 0 0 7 2 】

このように、本実施形態においては、N 型トランジスタ M 5 のゲートに接続される配線 V C を電圧 V C L I P L から電圧 V C L I P H に遷移する際の駆動力を、電圧 V C L I P H から電圧 V C L I P L に遷移する際の駆動力と比較して相対的に高くしている。これにより、チップ面積の増加を抑制しつつ、高速化を行うことが可能となる。

#### 【 0 0 7 3 】

なお、ここでの駆動力とは、スイッチ S W 1 1 の数とスイッチ S W 2 1 の数との違いによる、V C L I P H ノードと配線 V C との間のスイッチのオン抵抗と V C L I P L ノードと配線 V C との間のスイッチのオン抵抗との違いを指している。すなわち、スイッチのオ

50

ン抵抗が低いほど配線 V C の駆動力は高くなる。この駆動力の違いにより、時刻 t 6 からの電圧 V C L I P H から電圧 V C L I P L への遷移速度よりも、時刻 t 11 からの電圧 V C L I P L から電圧 V C L I P H への遷移速度が速くなるように構成されているとも言える。つまり、遷移速度が相対的に異なる構成となっているとも言える。

#### 【 0 0 7 4 】

また、図 3 には示していないが、制御信号 C L I P \_ R E S を伝送する信号線にリピートバッファを挿入して駆動力を向上しても構わない。

#### 【 0 0 7 5 】

このように、本実施形態によれば、チップ面積の増加を抑制しつつ、読み出し動作を高速化することができる。

#### 【 0 0 7 6 】

##### 〔 第 2 実施形態 〕

本発明の第 2 実施形態による光電変換装置及びその駆動方法について、図 6 及び図 7 を用いて説明する。第 1 実施形態による光電変換装置と同様の構成要素には同一の符号を付し、説明を省略し或いは簡潔にする。図 6 は、本実施形態による光電変換装置における列回路の構成例を示す回路図である。図 7 は、本実施形態による光電変換装置の駆動方法を示すタイミング図である。

#### 【 0 0 7 7 】

本実施形態による光電変換装置は、クリップ回路 3 4 の構成が異なるほかは、第 1 実施形態による光電変換装置と同様である。第 1 実施形態では、電圧 V C L I P H から電圧 V C L I P L への遷移速度よりも電圧 V C L I P L から電圧 V C L I P H への遷移速度が速くなるようにクリップ回路 3 4 を構成している。これに対し、本実施形態では、電圧 V C L I P L から電圧 V C L I P H への遷移速度よりも電圧 V C L I P H から電圧 V C L I P L への遷移速度が相対的に速くなるようにクリップ回路 3 4 を構成している。

#### 【 0 0 7 8 】

本実施形態のクリップ回路 3 4 は、図 6 に示すように、N 型トランジスタ M 5 と、スイッチ SW 1 2 と、を有する。N 型トランジスタ M 5 のドレインは、電源電圧（電圧 V D D ）が供給されるノードに接続されている。N 型トランジスタ M 5 のソースは、垂直出力線 1 6 A に接続されている。スイッチ SW 1 2 の一方の端子は、電圧 V C L I P L が供給されるノードに接続されている。スイッチ SW 1 2 の他方の端子及び N 型トランジスタ M 5 のゲートは、配線 V C に接続されている。配線 V C には、スイッチ SW 2 2 を介して電圧 V C L I P H を供給可能である。スイッチ SW 1 2 の制御ノードには、制御回路 7 0 から制御信号 C L I P \_ R E S が供給される。

#### 【 0 0 7 9 】

スイッチ SW 1 2 は、第 1 実施形態の SW 1 1 と同様、読み出し回路 3 0 A の複数の列回路 3 2 の各々のクリップ回路 3 4 に設けられた個別のスイッチである。一方、スイッチ SW 2 2 は、読み出し回路 3 0 A の複数の列回路 3 2 のクリップ回路 3 4 に共通のスイッチである。別の言い方をすると、配線 V C は、並列に接続された複数のスイッチ SW 1 2 を介して電圧 V C L I P L が供給されるノードに接続されており、また、1 つのスイッチ SW 2 2 を介して電圧 V C L I P H が供給されるノードに接続されている。

#### 【 0 0 8 0 】

クリップ回路 3 4 は、垂直出力線 1 6 A の電圧の下限値を、N 型トランジスタ M 5 のゲートの電圧に応じた電圧に制限する機能を備える。N 型トランジスタ M 5 のゲートは、スイッチ SW 1 2 がオンでスイッチ SW 2 2 がオフのときに電圧 V C L I P L となり、スイッチ SW 1 2 がオフでスイッチ SW 2 2 がオンのときに電圧 V C L I P H となる。ここでは、スイッチ SW 1 2 は、制御信号 C L I P \_ R E S が H i g h レベルのときにオン（導通状態）となり、制御信号 C L I P \_ R E S が L o w レベルのときにオフ（非導通状態）となるものとする。

#### 【 0 0 8 1 】

なお、電圧 V C L I P H を生成する電圧生成回路（図示せず）、電圧 V C L I P L を生

10

20

30

40

50

成する電圧生成回路（図示せず）及びスイッチ SW12, SW22 は、配線 VC に電圧 VCLIPH 及び電圧 VCLIPL を供給する電圧供給回路ということもできる。

#### 【0082】

次に、本実施形態による光電変換装置の駆動方法について、第1実施形態の駆動方法とは異なる点を中心に、図7を用いて説明する。図7は、画素アレイ部10の任意の行における画素信号の読み出し動作を示すタイミング図である。図7には、制御信号 PTX, PRES, CLIPRES のレベル、参照信号 VRAMP の電圧、信号 VOUT の電圧及び配線 VC の電圧を示している。

#### 【0083】

本実施形態の駆動例では、例えば、電流源36の電流値を大きくし、通常動作時（実線）における時刻 t6 からの垂直出力線 16A の電位の低下速度を速くすることで、時刻 t6 から時刻 t8 の期間を短縮し、高速化を図っている。このとき、例えば図7に点線で示すように時刻 t6 からの配線 VC の電位の低下速度が遅いと、ブルーミング発生時における垂直出力線 16A の電位の低下が遅くなり、高速化の妨げとなってしまう。このようなケースでは、電圧 VCLIPL から電圧 VCLIPH への駆動力よりも電圧 VCLIPH から電圧 VCLIPL への駆動力の方を相対的に高くした方が読み出し速度の向上に寄与しうる。

10

#### 【0084】

そこで、本実施形態では、クリップ回路34の各々に電圧 VCLIPL が供給されるノードと配線 VC との間の接続を制御するスイッチ SW12 を設け、時刻 t6 からの配線 VC の電圧 VCLIPH から電圧 VCLIPL への遷移速度を向上している。これにより、チップ面積の増加を抑制しつつ、高速化を行うことが可能となる。

20

#### 【0085】

このように、本実施形態によれば、チップ面積の増加を抑制しつつ、読み出し動作を高速化することができる。

#### 【0086】

##### [第3実施形態]

本発明の第3実施形態による光電変換装置及びその駆動方法について、図8を用いて説明する。第1及び第2実施形態による光電変換装置と同様の構成要素には同一の符号を付し、説明を省略し或いは簡潔にする。図8は、本実施形態による光電変換装置における列回路の構成例を示す回路図である。

30

#### 【0087】

本実施形態による光電変換装置は、クリップ回路34の構成が異なるほかは、第1実施形態による光電変換装置と同様である。

#### 【0088】

本実施形態のクリップ回路34は、図8に示すように、N型トランジスタM5を有する。N型トランジスタM5のドレインは、電源電圧（電圧 VDD）が供給されるノードに接続されている。N型トランジスタM5のソースは、垂直出力線 16A に接続されている。N型トランジスタM5のゲートは、配線 VC に接続されている。配線 VC には、スイッチ SW21 を介して電圧 VCLIPL を供給可能である。また、配線 VC には、スイッチ SW22 を介して電圧 VCLIPH を供給可能である。

40

#### 【0089】

スイッチ SW21, SW22 は、読み出し回路30Aの複数の列回路32のクリップ回路34に共通のスイッチである。別の言い方をすると、配線 VC は、1つのスイッチ SW21 を介して電圧 VCLIPL が供給されるノードに接続されており、また、1つのスイッチ SW22 を介して電圧 VCLIPH が供給されるノードに接続されている。

#### 【0090】

なお、電圧 VCLIPH を生成する電圧生成回路（図示せず）、電圧 VCLIPL を生成する電圧生成回路（図示せず）及びスイッチ SW21, SW22 は、配線 VC に電圧 VCLIPH 及び電圧 VCLIPL を供給する電圧供給回路ということもできる。

50

**【 0 0 9 1 】**

本実施形態では、スイッチ SW 2 2 のサイズをスイッチ SW 2 1 のサイズよりも大きくすることで、電圧 V C L I P H から電圧 V C L I P L への駆動力よりも電圧 V C L I P L から電圧 V C L I P H への駆動力の方を相対的に高くしている。このように構成することで、第 1 実施形態と同様、チップ面積の増加を抑制しつつ、高速化を行うことが可能となる。

**【 0 0 9 2 】**

なお、スイッチ SW 2 1 とスイッチ SW 2 2 との特性（サイズやオン抵抗）を変える代わりに或いはそれに加えて、電圧 V C L I P H の生成回路の出力抵抗が電圧 V C L I P L の生成回路の出力抵抗よりも低くなるように構成してもよい。例えば、電圧 V C L I P H の生成回路に相対的に大きな面積で出力抵抗の小さいオペアンプを使用し、電圧 V C L I P L の生成回路に相対的に小さな面積で出力抵抗の大きいオペアンプを使用する。このように構成することによっても、チップ面積の増加を抑制しつつ、高速化を行うことが可能となる。

10

**【 0 0 9 3 】**

このように、本実施形態によれば、チップ面積の増加を抑制しつつ、読み出し動作を高速化することができる。

**【 0 0 9 4 】****[ 第 4 実施形態 ]**

本発明の第 4 実施形態による光電変換装置及びその駆動方法について、図 9 を用いて説明する。第 1 乃至第 3 実施形態と同様の構成要素には同一の符号を付し、説明を省略し或いは簡潔にする。図 9 は、本実施形態による光電変換装置における列回路の構成例を示す回路図である。

20

**【 0 0 9 5 】**

本実施形態による光電変換装置は、クリップ回路 3 4 の構成が異なるほかは、第 1 実施形態による光電変換装置と同様である。

**【 0 0 9 6 】**

本実施形態のクリップ回路 3 4 は、図 9 に示すように、N 型トランジスタ M 5 と、スイッチ SW 1 3 と、を有する。N 型トランジスタ M 5 のドレインは、電源電圧（電圧 V D D ）が供給されるノードに接続されている。N 型トランジスタ M 5 のソースは、垂直出力線 1 6 A に接続されている。スイッチ SW 1 3 の一方の端子は、電源電圧（電圧 V D D ）が供給されるノードに接続されている。スイッチ SW 1 3 の他方の端子及び N 型トランジスタ M 5 のゲートは、配線 V C に接続されている。配線 V C には、スイッチ SW 2 1 を介して電圧 V C L I P L を供給可能である。スイッチ SW 1 3 の制御ノードには、制御回路 7 0 から制御信号 C L I P \_ R E S が供給される。

30

**【 0 0 9 7 】**

スイッチ SW 1 3 は、これまでの実施形態のスイッチ SW 1 1 , SW 1 2 と同様、読み出し回路 3 0 A の複数の列回路 3 2 の各々のクリップ回路 3 4 に設けられた個別のスイッチである。一方、スイッチ SW 2 1 は、読み出し回路 3 0 A の複数の列回路 3 2 のクリップ回路 3 4 に共通のスイッチである。別の言い方をすると、配線 V C は、並列に接続された複数のスイッチ SW 1 3 を介して電圧 V D D が供給されるノードに接続されており、また、1 つのスイッチ SW 2 1 を介して電圧 V C L I P L が供給されるノードに接続されている。

40

**【 0 0 9 8 】**

クリップ回路 3 4 は、垂直出力線 1 6 A の電圧の下限値を、N 型トランジスタ M 5 のゲートの電圧に応じた電圧に制限する。N 型トランジスタ M 5 のゲートは、スイッチ SW 1 3 がオンでスイッチ SW 2 1 がオフのときに電圧 V D D となり、スイッチ SW 1 3 がオフでスイッチ SW 2 1 がオンのときに電圧 V C L I P L となる。ここでは、スイッチ SW 1 3 は、制御信号 C L I P \_ R E S が H i g h レベルのときにオン（導通状態）となり、制御信号 C L I P \_ R E S が L o w レベルのときにオフ（非導通状態）となるものとする。

50

**【 0 0 9 9 】**

なお、電圧 V C L I P L を生成する電圧生成回路（図示せず）及びスイッチ S W 1 3 , S W 2 1 は、配線 V C に電圧 V D D 及び電圧 V C L I P L を供給する電圧供給回路ということもできる。

**【 0 1 0 0 】**

このように本実施形態では、第 1 実施形態における電圧 V C L I P H を電圧 V D D で兼用している。このように構成することで、配線数を削減することが可能となる。或いは、電圧 V C L I P H を供給する配線を削減したことにより生じるスペースを利用して電圧 V D D を供給する配線を太くしてもよい。このように構成することで、配線 V C を電圧 V C L I P L から電圧 V D D に遷移する際の駆動力を更に高くすることが可能である。

10

**【 0 1 0 1 】**

このように、本実施形態によれば、チップ面積の増加を抑制しつつ、読み出し動作を高速化することができる。

**【 0 1 0 2 】****[ 第 5 実施形態 ]**

本発明の第 5 実施形態による光電変換装置及びその駆動方法について、図 1 0 及び図 1 1 を用いて説明する。第 1 乃至第 4 実施形態による光電変換装置と同様の構成要素には同一の符号を付し、説明を省略し或いは簡潔にする。図 1 0 は、本実施形態による光電変換装置における列回路の構成例を示す回路図である。図 1 1 は、本実施形態による光電変換装置の駆動方法を示すタイミング図である。

20

**【 0 1 0 3 】**

本実施形態による光電変換装置は、クリップ回路 3 4 の構成が異なるほかは、第 1 実施形態による光電変換装置と同様である。

**【 0 1 0 4 】**

本実施形態のクリップ回路 3 4 は、図 1 0 に示すように、N 型トランジスタ M 5 と、スイッチ S W 1 3 と、を有する。N 型トランジスタ M 5 のドレインは、電源電圧（電圧 V D D ）が供給されるノードに接続されている。N 型トランジスタ M 5 のソースは、垂直出力線 1 6 A に接続されている。スイッチ S W 1 3 の一方の端子は、電源電圧（電圧 V D D ）が供給されるノードに接続されている。スイッチ S W 1 3 の他方の端子及び N 型トランジスタ M 5 のゲートは、配線 V C に接続されている。配線 V C には、スイッチ S W 2 1 を介して電圧 V C L I P L を供給可能である。また、配線 V C には、スイッチ S W 2 2 を介して電圧 V C L I P H を供給可能である。スイッチ S W 1 3 の制御ノードには、制御回路 7 0 から制御信号 C L I P \_ R E S が供給される。

30

**【 0 1 0 5 】**

スイッチ S W 1 3 は、第 4 実施形態において説明したように、読み出し回路 3 0 A の複数の列回路 3 2 の各々のクリップ回路 3 4 に設けられた個別のスイッチである。一方、スイッチ S W 2 1 , S W 2 2 は、読み出し回路 3 0 A の複数の列回路 3 2 のクリップ回路 3 4 に共通のスイッチである。別の言い方をすると、配線 V C は、並列に接続された複数のスイッチ S W 1 3 を介して電圧 V D D が供給されるノードに接続されている。また、配線 V C は、1 つのスイッチ S W 2 1 を介して電圧 V C L I P L が供給されるノードに接続されており、また、1 つのスイッチ S W 2 2 を介して電圧 V C L I P H が供給されるノードに接続されている。

40

**【 0 1 0 6 】**

クリップ回路 3 4 は、垂直出力線 1 6 A の電圧の下限値を、N 型トランジスタ M 5 のゲートの電圧に応じた電圧に制限する。N 型トランジスタ M 5 のゲートは、スイッチ S W 1 3 がオンでスイッチ S W 2 1 , S W 2 2 がオフのときに電圧 V D D となる。また、N 型トランジスタ M 5 のゲートは、スイッチ S W 1 3 , S W 2 2 がオフでスイッチ S W 2 1 がオンのときに電圧 V C L I P L となり、スイッチ S W 1 3 , S W 2 1 がオフでスイッチ S W 2 2 がオンのときに電圧 V C L I P H となる。

**【 0 1 0 7 】**

50

なお、電圧 V C L I P H , V C L I P L を生成する電圧生成回路（いずれも図示せず）及びスイッチ SW 1 3 , SW 2 1 , SW 2 2 は、配線 V C に電圧 V D D , V C L I P H , V C L I P L を供給する電圧供給回路ということもできる。

#### 【 0 1 0 8 】

次に、本実施形態による光電変換装置の駆動方法について、第 1 実施形態の駆動方法とは異なる点を中心に、図 1 1 を用いて説明する。図 1 1 は、画素アレイ部 1 0 の任意の行における画素信号の読み出し動作を示すタイミング図である。図 1 1 には、制御信号 P T X , P R E S , C L I P \_ R E S のレベル、参照信号 V R A M P の電圧、信号 V O U T の電圧及び配線 V C の電圧を示している。

#### 【 0 1 0 9 】

本実施形態の駆動方法では、時刻 t 0 から時刻 t 1 の期間及び時刻 t 1 1 から時刻 t 1 2 の期間において、制御信号 C L I P \_ R E S を H i g h レベルに制御することによりスイッチ SW 1 3 をオンにして、配線 V C を電圧 V D D にリセットする。そして、時刻 t 1 及び時刻 t 1 2 において、制御信号 C L I P \_ R E S を L o w レベルに制御してスイッチ SW 1 3 をオフにすると同時に、スイッチ SW 2 2 をオンにする。これにより、配線 V C の電圧は電圧 V C L I P H へと遷移していく。

#### 【 0 1 1 0 】

このように駆動することにより、時刻 t 1 から時刻 t 6 の期間には垂直出力線 1 6 A の電位を下げ止めるために電圧 V C L I P H を使用し、時刻 t 1 1 から時刻 t 1 2 の期間には垂直出力線 1 6 A をリセットするために電圧 V D D を使用することが可能となる。これにより、電位を下げ止めるための電圧（電圧 V C L I P H ）と垂直出力線 1 6 A をリセットするための電圧（電圧 V D D ）とを個別に最適化することができる。

#### 【 0 1 1 1 】

このように、本実施形態によれば、チップ面積の増加を抑制しつつ、読み出し動作を高速化することができる。

#### 【 0 1 1 2 】

##### [ 第 6 実施形態 ]

本発明の第 6 実施形態による撮像システムについて、図 1 2 を用いて説明する。図 1 2 は、本実施形態による撮像システムの概略構成を示すブロック図である。

#### 【 0 1 1 3 】

上記第 1 乃至第 5 実施形態で述べた光電変換装置 1 0 0 は、種々の撮像システムに適用可能である。適用可能な撮像システムの例としては、デジタルスチルカメラ、デジタルカムコーダ、監視カメラ、複写機、ファックス、携帯電話、車載カメラ、観測衛星などが挙げられる。また、レンズなどの光学系と撮像装置とを備えるカメラモジュールも、撮像システムに含まれる。図 1 2 には、これらのうちの一例として、デジタルスチルカメラのブロック図を例示している。

#### 【 0 1 1 4 】

図 1 2 に例示した撮像システム 2 0 0 は、撮像装置 2 0 1 、被写体の光学像を撮像装置 2 0 1 に結像させるレンズ 2 0 2 、レンズ 2 0 2 を通過する光量を可変にするための絞り 2 0 4 、レンズ 2 0 2 の保護のためのバリア 2 0 6 を有する。レンズ 2 0 2 及び絞り 2 0 4 は、撮像装置 2 0 1 に光を集光する光学系である。撮像装置 2 0 1 は、第 1 乃至第 5 実施形態のいずれかで説明した光電変換装置 1 0 0 であって、レンズ 2 0 2 により結像された光学像を画像データに変換する。

#### 【 0 1 1 5 】

撮像システム 2 0 0 は、また、撮像装置 2 0 1 より出力される出力信号の処理を行う信号処理部 2 0 8 を有する。信号処理部 2 0 8 は、撮像装置 2 0 1 が output するデジタル信号から画像データの生成を行う。また、信号処理部 2 0 8 は必要に応じて各種の補正、圧縮を行って画像データを出力する動作を行う。撮像装置 2 0 1 は、信号処理部 2 0 8 で処理されるデジタル信号を生成する A D 変換部を備えうる。A D 変換部は、撮像装置 2 0 1 の光電変換部が形成された半導体層（半導体基板）に形成されていてもよいし、撮像装置 2

10

20

30

40

50

01の光電変換部が形成された半導体層とは別の半導体基板に形成されていてもよい。また、信号処理部208が撮像装置201と同一の半導体基板に形成されていてもよい。

#### 【0116】

撮像システム200は、更に、画像データを一時的に記憶するためのメモリ部210、外部コンピュータ等と通信するための外部インターフェース部（外部I/F部）212を有する。更に撮像システム200は、撮像データの記録又は読み出しを行うための半導体メモリ等の記録媒体214、記録媒体214に記録又は読み出しを行うための記録媒体制御インターフェース部（記録媒体制御I/F部）216を有する。なお、記録媒体214は、撮像システム200に内蔵されていてもよく、着脱可能であってもよい。

#### 【0117】

更に撮像システム200は、各種演算とデジタルスチルカメラ全体を制御する全体制御・演算部218、撮像装置201と信号処理部208に各種タイミング信号を出力するタイミング発生部220を有する。ここで、タイミング信号などは外部から入力されてもよく、撮像システム200は少なくとも撮像装置201と、撮像装置201から出力された出力信号を処理する信号処理部208とを有すればよい。

#### 【0118】

撮像装置201は、撮像信号を信号処理部208に出力する。信号処理部208は、撮像装置201から出力される撮像信号に対して所定の信号処理を実施し、画像データを出力する。信号処理部208は、撮像信号を用いて、画像を生成する。

#### 【0119】

このように、本実施形態によれば、第1乃至第5実施形態による光電変換装置100を適用した撮像システムを実現することができる。

#### 【0120】

##### [第7実施形態]

本発明の第7実施形態による撮像システム及び移動体について、図13を用いて説明する。図13は、本実施形態による撮像システム及び移動体の構成を示す図である。

#### 【0121】

図13(a)は、車載カメラに関する撮像システムの一例を示したものである。撮像システム300は、撮像装置310を有する。撮像装置310は、上記第1乃至第5実施形態のいずれかに記載の光電変換装置100である。撮像システム300は、撮像装置310により取得された複数の画像データに対し、画像処理を行う画像処理部312と、撮像装置310により取得された複数の画像データから視差(視差画像の位相差)の算出を行う視差取得部314を有する。また、撮像システム300は、算出された視差に基づいて対象物までの距離を算出する距離取得部316と、算出された距離に基づいて衝突可能性があるか否かを判定する衝突判定部318と、を有する。ここで、視差取得部314や距離取得部316は、対象物までの距離情報を取得する距離情報取得手段の一例である。すなわち、距離情報とは、視差、デフォーカス量、対象物までの距離等に関する情報である。衝突判定部318はこれらの距離情報のいずれかを用いて、衝突可能性を判定してもよい。距離情報取得手段は、専用に設計されたハードウェアによって実現されてもよいし、ソフトウェアモジュールによって実現されてもよい。また、FPGA(Field Programmable Gate Array)やASIC(Application Specific Integrated circuit)等によって実現されてもよいし、これらの組合せによって実現されてもよい。

#### 【0122】

撮像システム300は車両情報取得装置320と接続されており、車速、ヨーレート、舵角などの車両情報を取得することができる。また、撮像システム300は、衝突判定部318での判定結果に基づいて、車両に対して制動力を発生させる制御信号を出力する制御装置である制御ECU330が接続されている。また、撮像システム300は、衝突判定部318での判定結果に基づいて、ドライバーへ警報を発する警報装置340とも接続されている。例えば、衝突判定部318の判定結果として衝突可能性が高い場合、制御ECU330はブレーキをかける、アクセルを戻す、エンジン出力を抑制するなどして衝突

10

20

30

40

50

を回避、被害を軽減する車両制御を行う。警報装置 340 は音等の警報を鳴らす、カーナビゲーションシステムなどの画面に警報情報を表示する、シートベルトやステアリングに振動を与えるなどしてユーザに警告を行う。

#### 【 0 1 2 3 】

本実施形態では、車両の周囲、例えば前方又は後方を撮像システム 300 で撮像する。図 13 ( b ) に、車両前方 ( 撮像範囲 350 ) を撮像する場合の撮像システムを示した。車両情報取得装置 320 が、撮像システム 300 ないしは撮像装置 310 に指示を送る。このような構成により、測距の精度をより向上させることができる。

#### 【 0 1 2 4 】

上記では、他の車両と衝突しないように制御する例を説明したが、他の車両に追従して自動運転する制御や、車線からはみ出さないように自動運転する制御などにも適用可能である。更に、撮像システムは、自車両等の車両に限らず、例えば、船舶、航空機あるいは産業用ロボットなどの移動体 ( 移動装置 ) に適用することができる。加えて、移動体に限らず、高度道路交通システム ( ITS ) 等、広く物体認識を利用する機器に適用することができる。

10

#### 【 0 1 2 5 】

##### [ 第 8 実施形態 ]

本発明の第 8 実施形態による機器について、図 14 を用いて説明する。図 14 は、本実施形態による機器の概略構成を示すブロック図である。

#### 【 0 1 2 6 】

20

図 14 は、光電変換装置 APR を含む機器 EQP を示す模式図である。光電変換装置 APR は、第 1 乃至第 5 実施形態のいずれかの光電変換装置 100 の機能を備える。光電変換装置 APR の全部又は一部が、半導体デバイス IC である。本例の光電変換装置 APR は、例えば、イメージセンサや AF ( Auto Focus ) センサ、測光センサ、測距センサとして用いることができる。半導体デバイス IC は、光電変換部を含む画素回路 PXC が行列状に配列された画素エリア PX を有する。半導体デバイス IC は画素エリア PX の周囲に周辺エリア PR を有することができる。周辺エリア PR には画素回路以外の回路を配置することができる。

#### 【 0 1 2 7 】

光電変換装置 APR は、複数の光電変換部が設けられた第 1 半導体チップと、周辺回路が設けられた第 2 半導体チップとを積層した構造 ( チップ積層構造 ) を有していてもよい。第 2 半導体チップにおける周辺回路は、それぞれ、第 1 半導体チップの画素列に対応した列回路とすることができる。また、第 2 半導体チップにおける周辺回路は、それぞれ、第 1 半導体チップの画素あるいは画素ブロックに対応したマトリクス回路とすることもできる。第 1 半導体チップと第 2 半導体チップとの接続は、貫通電極 ( TSV ) 、銅等の導電体の直接接合によるチップ間配線、チップ間のマイクロバンプによる接続、ワイヤボンディングによる接続などを採用することができる。

30

#### 【 0 1 2 8 】

光電変換装置 APR は、半導体デバイス IC の他に、半導体デバイス IC を収容するパッケージPKG を含みうる。パッケージPKG は、半導体デバイス IC が固定された基体と、半導体デバイス IC に対向するガラス等の蓋体と、基体に設けられた端子と半導体デバイス IC に設けられた端子とを接続するボンディングワイヤやバンプ等の接続部材と、を含みうる。

40

#### 【 0 1 2 9 】

機器 EQP は、光学装置 OPT 、制御装置 CTRL 、処理装置 PRCS 、表示装置 DSDL 、記憶装置 MMRY 及び機械装置 MCHN のうちの少なくともいずれかを更に備えうる。光学装置 OPT は、光電変換装置としての光電変換装置 APR に対応するものであり、例えばレンズやシャッター、ミラーである。制御装置 CTRL は、光電変換装置 APR を制御するものであり、例えばASIC などの半導体デバイスである。処理装置 PRCS は、光電変換装置 APR から出力された信号を処理するものであり、AFE ( アナログフ

50

ロントエンド)あるいはD F E (デジタルフロントエンド)を構成する。処理装置P R C Sは、C P U (中央処理装置)やA S I C (特定用途向け集積回路)などの半導体デバイスである。表示装置D S P Lは、光電変換装置A P Rで得られた情報(画像)を表示する、E L表示装置や液晶表示装置である。記憶装置M M R Yは、光電変換装置A P Rで得られた情報(画像)を記憶する、磁気デバイスや半導体デバイスである。記憶装置M M R Yは、S R A MやD R A Mなどの揮発性メモリ、或いは、フラッシュメモリやハードディスクドライブなどの不揮発性メモリである。機械装置M C H Nは、モーターやエンジン等の可動部あるいは推進部を有する。機器E Q Pでは、光電変換装置A P Rから出力された信号を表示装置D S P Lに表示したり、機器E Q Pが備える通信装置(不図示)によって外部に送信したりする。そのために、機器E Q Pは、光電変換装置A P Rが有する記憶回路部や演算回路部とは別に、記憶装置M M R Yや処理装置P R C Sを更に備えることが好ましい。

#### 【0130】

図14に示した機器E Q Pは、撮影機能を有する情報端末(例えばスマートフォンやウェアラブル端末)やカメラ(例えばレンズ交換式カメラ、コンパクトカメラ、ビデオカメラ、監視カメラ)などの電子機器でありうる。カメラにおける機械装置M C H Nはズーミングや合焦、シャッター動作のために光学装置O P Tの部品を駆動することができる。また、機器E Q Pは、車両や船舶、飛行体などの輸送機器(移動体)でありうる。また、機器E Q Pは、内視鏡やC Tスキャナーなどの医療機器でありうる。また、機器E Q Pは、内視鏡やC Tスキャナーなどの医療機器でありうる。

#### 【0131】

輸送機器における機械装置M C H Nは移動装置として用いられる。輸送機器としての機器E Q Pは、光電変換装置A P Rを輸送するものや、撮影機能により運転(操縦)の補助及び/又は自動化を行うものに好適である。運転(操縦)の補助及び/又は自動化のための処理装置P R C Sは、光電変換装置A P Rで得られた情報に基づいて移動装置としての機械装置M C H Nを操作するための処理を行うことができる。

#### 【0132】

本実施形態による光電変換装置A P Rは、その設計者、製造者、販売者、購入者及び/又は使用者に、高い価値を提供することができる。そのため、光電変換装置A P Rを機器E Q Pに搭載すれば、機器E Q Pの価値も高めることができる。よって、機器E Q Pの製造、販売を行う上で、本実施形態の光電変換装置A P Rの機器E Q Pへの搭載を決定することは、機器E Q Pの価値を高める上で有利である。

#### 【0133】

##### [変形実施形態]

本発明は、上記実施形態に限らず種々の変形が可能である。

例えば、いずれかの実施形態の一部の構成を他の実施形態に追加した例や、他の実施形態の一部の構成と置換した例も、本発明の実施形態である。

#### 【0134】

また、図2に示した画素12の回路構成は一例であり、適宜変更が可能である。例えば、各々の画素12が2つ以上の光電変換素子を備えていてもよい。また、1つの画素12の複数の光電変換素子が1つのマイクロレンズを共有する瞳分割画素を構成していてもよい。また、画素12は、必ずしも選択トランジスタM4を有する必要はない。また、ノードF Dの容量値が切り替え可能に構成されていてもよい。

#### 【0135】

また、上記実施形態では、各列に1本ずつの垂直出力線を配置したが、各列に2本以上の垂直出力線を配置してもよい。この場合、各々の画素12は、各列の垂直出力線のうちのいずれかに1つに接続されてもよいし、各列の垂直出力線の数に対応する複数の選択トランジスタを備えていてもよい。

#### 【0136】

また、比較器42は、オートゼロ動作用の容量とスイッチとを更に有する構成でも構わ

ない。

**【 0 1 3 7 】**

また、上記第5及び第6実施形態に示した撮像システムは、本発明の光電変換装置を適用しうる撮像システムの例を示したものであり、本発明の光電変換装置を適用可能な撮像システムは図12及び図13に示した構成に限定されるものではない。また、上記第7実施形態に示した機器は、本発明の光電変換装置を適用しうる機器の例を示したものであり、本発明の光電変換装置を適用可能な機器は図14に示した構成に限定されるものではない。

**【 0 1 3 8 】**

本発明は、上述の実施形態の1以上の機能を実現するプログラムを、ネットワーク又は記憶媒体を介してシステム又は装置に供給し、そのシステム又は装置のコンピュータにおける1つ以上のプロセッサーがプログラムを読み出し実行する処理でも実現可能である。また、1以上の機能を実現する回路（例えば、ASIC）によっても実現可能である。

10

**【 0 1 3 9 】**

なお、上記実施形態は、いずれも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されなければならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

**【 符号の説明 】**

**【 0 1 4 0 】**

20

1 0 … 画素アレイ部

1 2 … 画素

1 6 A , 1 6 B … 垂直出力線

3 0 A , 3 0 B … 読み出し回路

3 2 … 列回路

3 4 … クリップ回路

3 6 … 電流源

3 8 A , 3 8 B … 参照信号生成回路

4 0 … 参照信号線

4 2 … 比較器

30

4 4 A , 4 4 B … カウンタ回路

4 6 … カウント信号線

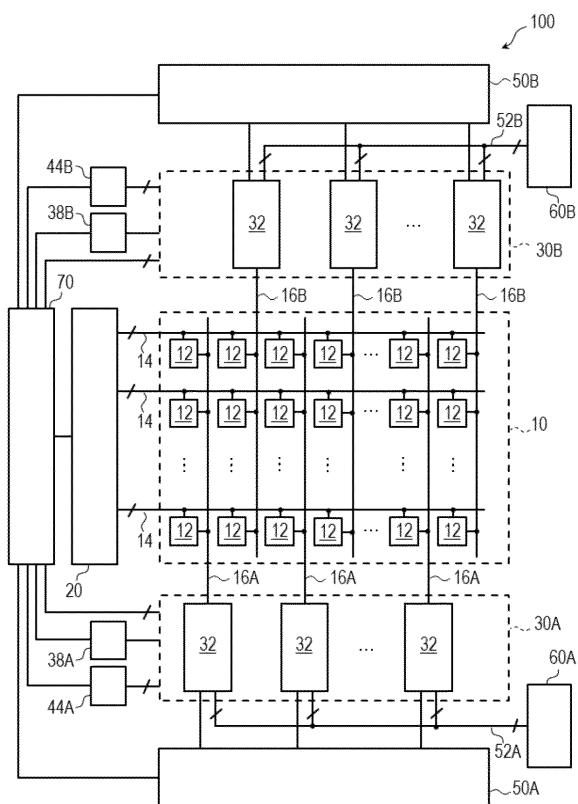
1 0 0 … 光電変換装置

40

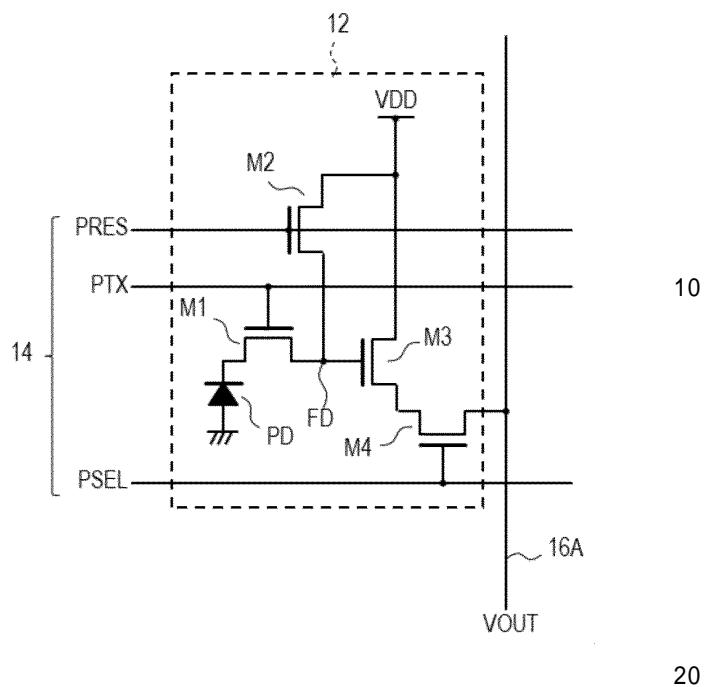
50

【図面】

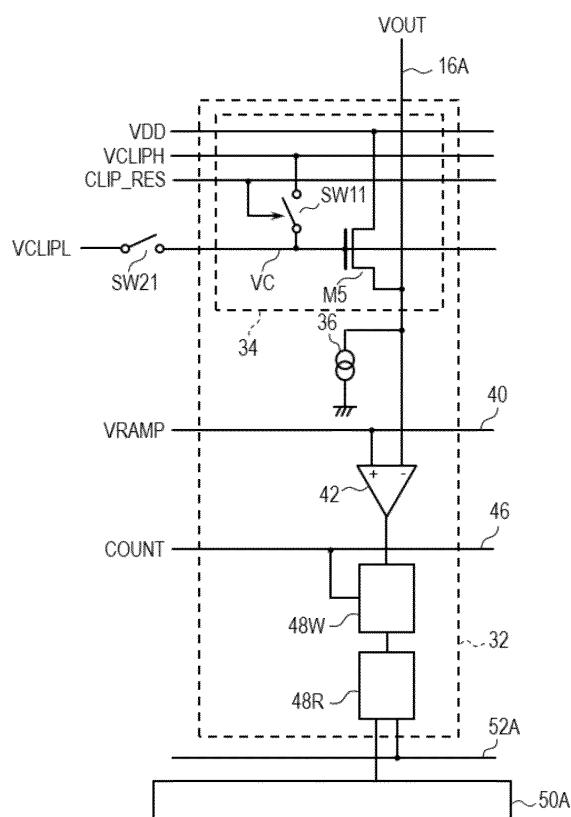
【図 1】



【図 2】

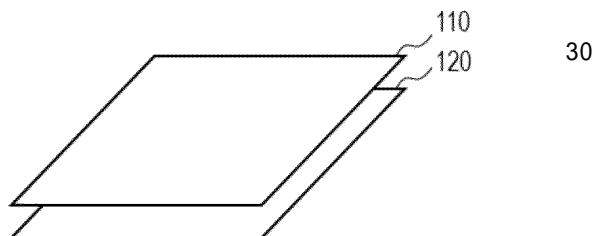


【図 3】

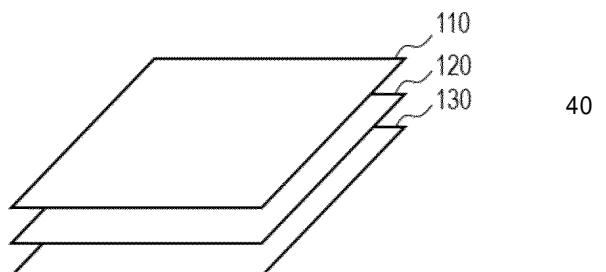


【図 4】

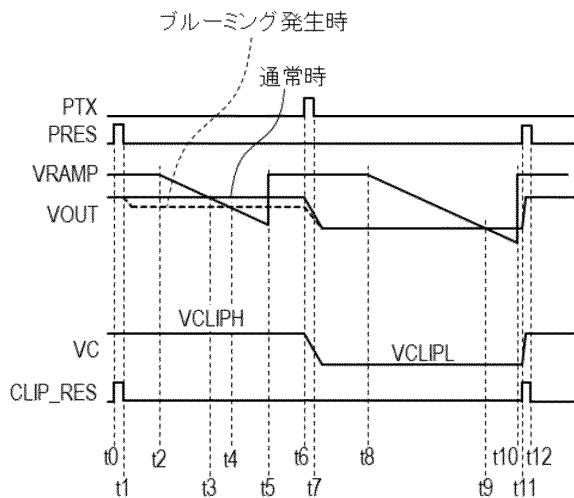
(a)



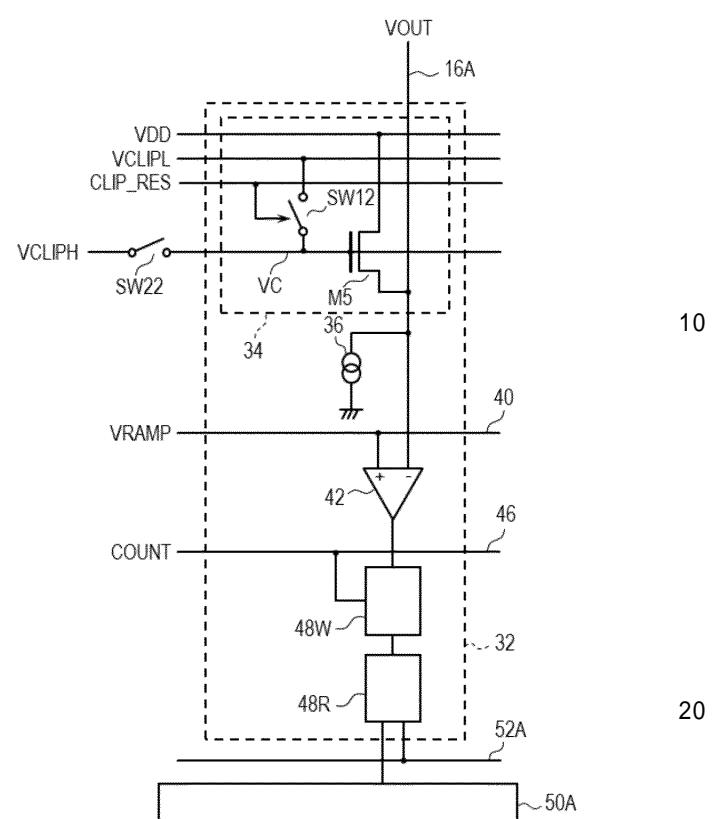
(b)



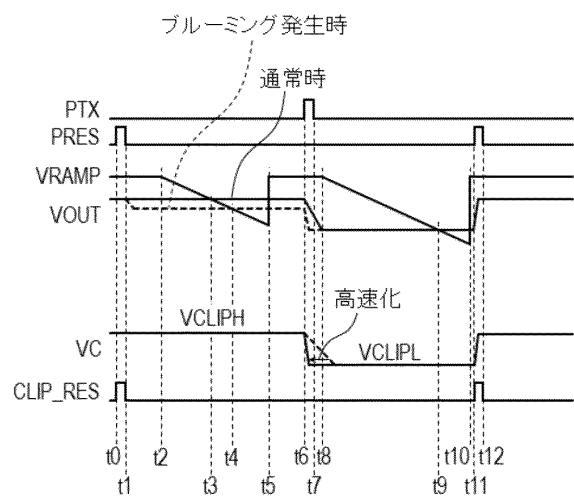
【図 5】



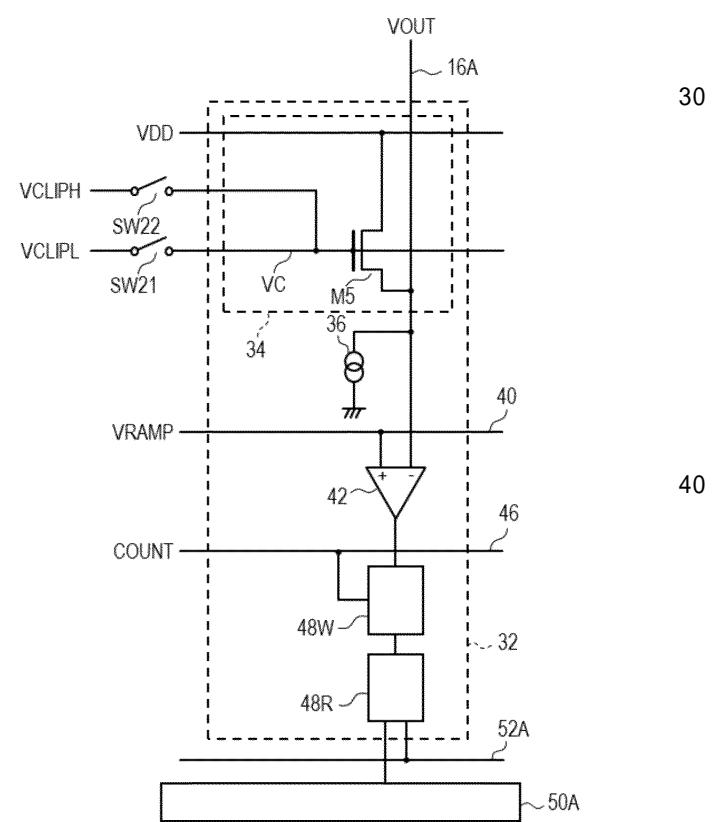
【図 6】



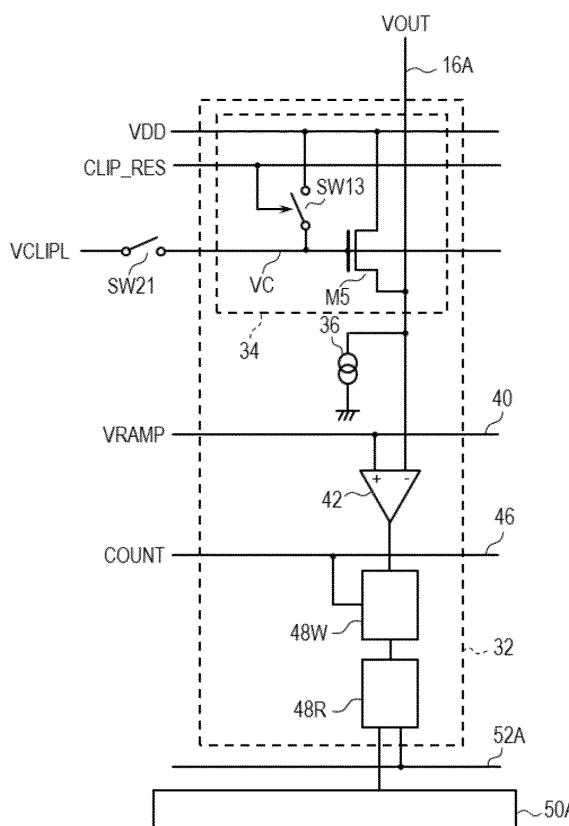
【図 7】



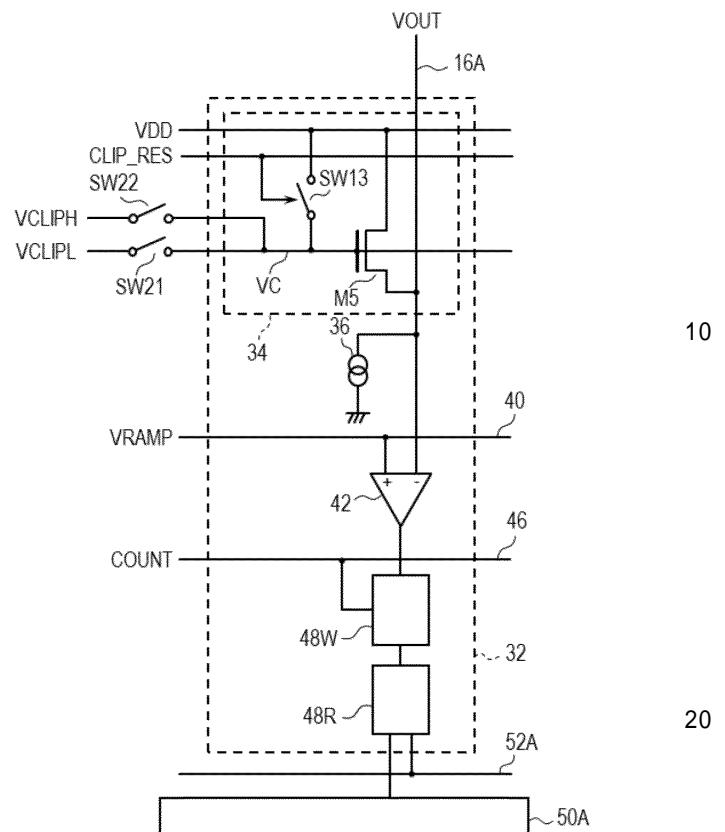
【図 8】



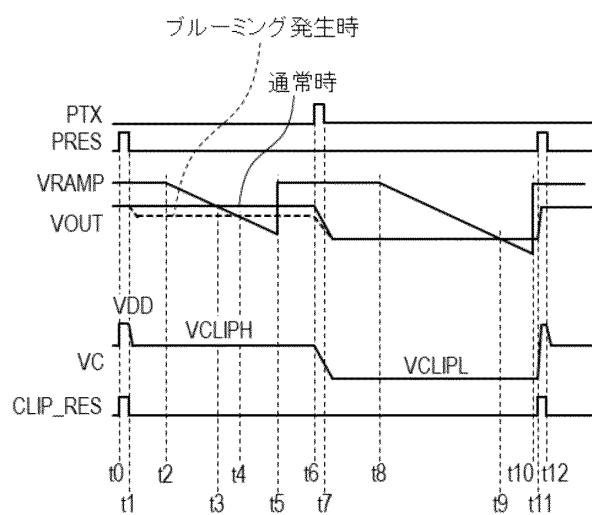
【図 9】



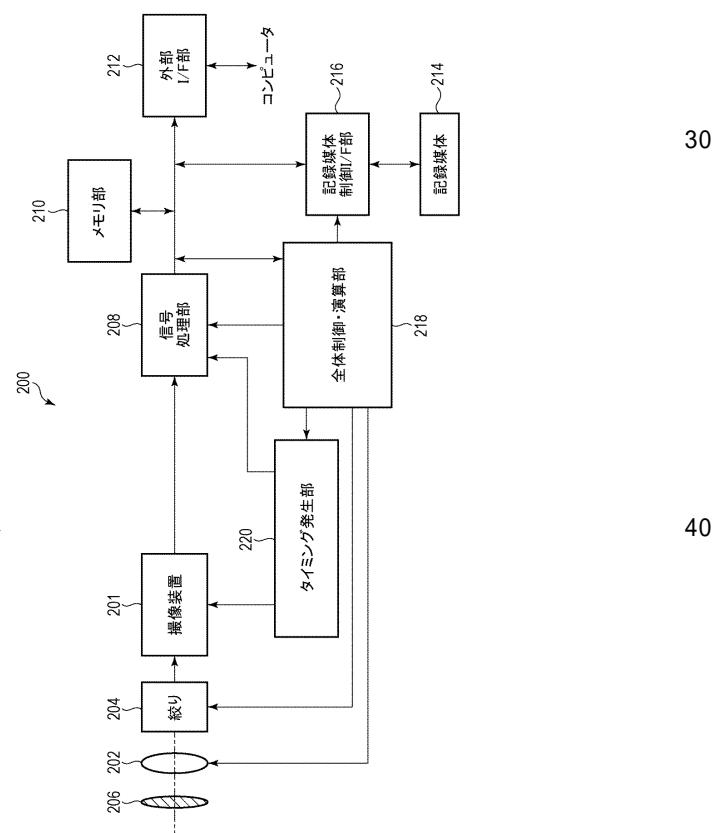
【図 10】



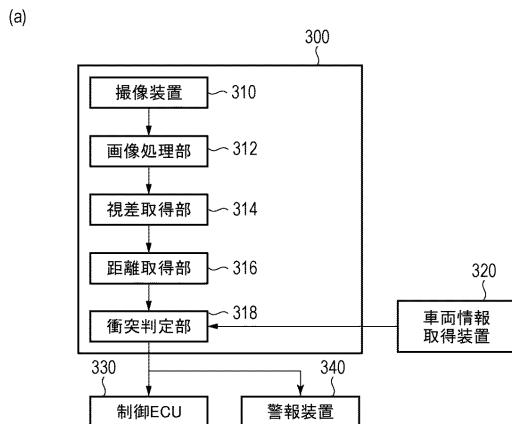
【図 11】



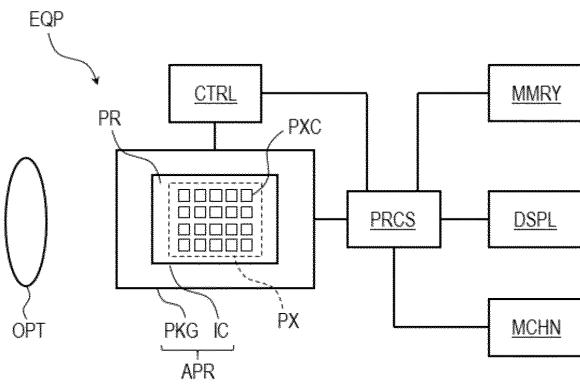
【図 12】



【図 1 3】

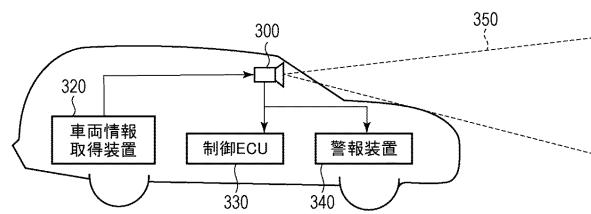


【図 1 4】



10

(b)



20

30

40

50

---

フロントページの続き

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 片瀬 悠

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 檀本 研太郎

(56)参考文献

特開2013-085110 (JP, A)

特開2001-230974 (JP, A)

特開2013-009207 (JP, A)

特開2020-202467 (JP, A)

特開2017-041804 (JP, A)

特開2016-036112 (JP, A)

(58)調査した分野 (Int.Cl., DB名)

H04N 5/30 - 5/33、23/11、

23/20 - 23/30、25/00、

25/20 - 25/61、

25/615 - 25/79

H10D 44/00 - 44/45

H10F 39/00 - 39/18、39/95

H10K 39/30 - 39/38