República Federativa do Brasil
Ministério da Economia
Instituto Nacional da Propriedade Industrial

(11) BR 112016026334-0 B1

(22) Data do Depósito: 13/05/2015

(45) Data de Concessão: 04/10/2022

(54) Título: MEMÓRIA NÃO VOLÁTIL E MÉTODO DE FORMAÇÃO DE UMA MEMÓRIA NÃO VOLÁTIL

(51) Int.Cl.: H01L 27/115; H01L 21/00.

(30) Prioridade Unionista: 20/06/2014 US 14/310,391.

(73) Titular(es): INTEL CORPORATION.

(72) Inventor(es): DEEPAK THIMMEGOWDA; ROGER LINDSAY; MINSOO LEE.

(86) Pedido PCT: PCT US2015030556 de 13/05/2015

(87) Publicação PCT: WO 2015/195227 de 23/12/2015

(85) Data do Início da Fase Nacional: 10/11/2016

(57) Resumo: ROTEAMENTO DE MATRIZ ATRAVESSANTE PARA MEMÓRIA NÃO VOLÁTIL Trata-se de tecnologias para rotear linhas de acesso na memória não volátil. Em algumas modalidades, as tecnologias incluem formar uma ou mais vias de matriz atravessantes em uma porção de uma matriz de memória em uma memória não volátil, como em uma região de matriz ou região periférica. Uma ou mais linhas de acesso podem ser roteadas através da via de matriz atravessante, em vez de em uma região acima ou abaixo de uma matriz ou região periférica da matriz de memória. Isso pode possibilitar configurações de roteamento alternativas, e pode possibilitar que linhas de acesso adicionais sejam roteadas sem aumentar ou substancialmente aumentar a altura do bloco da memória não volátil. Descreve-se também a memória não volátil que emprega tais tecnologias.

Relatório Descritivo da Patente de Invenção para **"MEMÓRIA NÃO VOLÁTIL E MÉTODO DE FORMAÇÃO DE UMA MEMÓRIA NÃO VOLÁTIL".**

CAMPO

[001] A presente invenção refere-se, em geral, a tecnologias para rotear um ou mais canais/linhas usados na memória não volátil. Mais particularmente, a presente invenção refere-se, em geral, a tecnologias em que um ou mais canais usados na memória não volátil são roteados através de uma via produzida em uma matriz de memória que permite o acesso ao conjunto de circuitos subjacente. A memória que inclui tais tecnologias e métodos de produzir tais vias também são descritos.

ANTECEDENTES

[002] Muitos tipos de memória semicondutora são conhecidos na técnica. Alguns tipos de memória são voláteis e irão perder seus conteúdos se a potência for removida. Outros tipos de memória são não voláteis e retêm informações armazenadas nos mesmos, mesmo se a potência para a memória for removida. A memória flash é um tipo de memória não volátil. Em geral, a memória flash armazena carga em uma região de armazenamento de carga de uma célula de memória. Em uma célula flash de porta flutuante, uma porta flutuante condutora posicionada entre uma porta de controle e um canal de um transistor de efeito em campo semicondutor de óxido de metal (MOSFET) pode ser usado para armazenar uma carga. Em uma célula flash de aprisionamento de carga (CTF), uma camada de material não condutor como um filme de nitreto pode ser usado para armazenar carga entre a porta de controle e o canal do MOSFET. O limiar de tensão da célula flash baseada em MOSFET pode ser alterado ao alterar a quantidade de carga armazenada na região de armazenamento de carga da célula, e o limiar de tensão pode ser usado para indicar um valor que é

armazenado na célula.

[003] Uma arquitetura que é comumente usada na memória flash é a arquitetura NÃO E (NAND). Em uma típica arquitetura NAND duas ou mais células flash são acopladas juntas à fonte para drenar, de modo a formar uma sequência de células de memória. As portas de controle das células individuais são acopladas às linhas de acesso (por exemplo, controle global), como linhas de palavra. As portas selecionadas (por exemplo, fonte de porta selecionada (SGS), dreno de porta selecionada (SGD), etc.) podem ser MOSFETs que são acoplados a qualquer extremidade de uma sequência de NAND, e acoplam a sequência de NAND a uma linha de fonte em uma extremidade da sequência e a uma linha de dados (por exemplo, bit) na outra extremidade.

[004] Alguns dispositivos flash NAND são incluídos em pilhas de células de memória flash que podem ser empilhados verticalmente (por exemplo, em NAND vertical) e opcionalmente em um espaço tridimensional (por exemplo, em 3D NAND). Em qualquer caso, tais dispositivos podem incluir uma pilha de células de memória flash que inclui uma fonte, um dreno e um canal que são dispostos verticalmente de modo que as células sejam posicionadas um topo no topo do outro para formar uma sequência de NAND vertical. A sequência de NAND vertical pode ser posicionada no topo de uma porta selecionada (por exemplo, um dreno de porta selecionada (SGD), fonte de porta selecionada (SGS), etc.) e uma outra porta selecionada (por exemplo, SGD, SGS) pode ser posicionada no topo da sequência de NAND vertical.

[005] Para satisfazer as demandas por memória com capacidade superior, os projetistas se empenham continuamente em aumentar a densidade da memória, isto é, em aumentar o número de células de memória que estão presentes em uma dada área de um molde de

circuito integrado. Um modo de aumentar a densidade da memória é aumentar o tamanho do recurso de células de memória individuais e, então, o tamanho geral das próprias células. Embora isso possa aumentar o número de células de memória que podem estar incluídas em uma área específica, a redução do tamanho do recurso de uma célula de memória pode aumentar o risco de falha do dispositivo e vazamento de carga. Um outro mecanismo para aumentar a densidade da memória é formar sequências de NAND verticais conforme notado acima. Em tais ocorrências, a densidade da memória pode ser praticamente limitada por considerações de tamanho de bloco, que podem ser impostas por um desenho, um padrão, ou alguma combinação dos mesmos. Os dispositivos de NAND semelhantes (por exemplo, planos), a densidade de NAND vertical pode ser aumentada ao reduzir o tamanho do recurso de células de memória em cada sequência de NAND vertical.

[006] Em qualquer caso, o aumento da densidade de células de memória em uma matriz de memória de NAND pode tornar desafiador rotear as várias linhas de acesso (por exemplo, palavra), linhas/canais de dados (por exemplo, bit) outros (por exemplo, fonte, dreno, etc.) que podem ser usados no dispositivo. Isso é particularmente verdadeiro quando as considerações de projeto e/ou um padrão limitam a altura de bloco do dispositivo. Conforme será descrito abaixo, as tecnologias da presente invenção visam lidar com os vários aspectos de tais desafios, por exemplo, ao permitir configurações de roteamento alternativas para dispositivos de memória não volátil como dispositivos NAND vertical e/ou 3D NAND.

BREVE DESCRIÇÃO DOS DESENHOS

[007] Os recursos e as vantagens de modalidades da matéria reivindicada serão evidentes à medida que a descrição detalhada a seguir procede, e mediante referência aos desenhos, em que os

numerais semelhantes retratam partes semelhantes, e em que:

[008] A figura 1 ilustra uma vista em corte transversal de células de memória de uma matriz de memória exemplificativa consistente com a presente invenção.

[009] A figura 2A é uma vista de um diagrama de roteamento exemplificativo para uma matriz de memória de uma memória não volátil;

[0010] A figura 2B é uma outra vista de um diagrama de roteamento exemplificativo para uma matriz de memória de uma memória não volátil;

[0011] A figura 3 é um diagrama de roteamento exemplificativo para uma matriz de memória de uma memória não volátil consistente com a presente invenção;

[0012] A figura 4 é um diagrama de fluxo de um método de formação exemplificativo de um canal de matriz atravessante consistente com a presente invenção;

[0013] As figuras 5A a 5F ilustram gradualmente um método de formação exemplificativo de um canal de matriz atravessante consistente com a presente invenção.

[0014] A figura 6 é um diagrama de blocos simplificado de um exemplo de um dispositivo de memória acoplada a um alojamento como parte de um sistema eletrônico de acordo com a presente invenção.

DESCRIÇÃO DETALHADA

[0015] Na descrição a seguir, faz-se referência aos desenhos anexos que formam uma parte da descrição instantânea, e que ilustram várias modalidades exemplificativas. Enfatiza-se que as modalidades ilustradas são para fins de exemplificação apenas, e que as modalidades além daquelas retratadas são previstas e incluídas na presente invenção. Tais outras modalidades podem incluir alterações

estruturais, lógicas e elétricas em relação às modalidades ilustradas, que podem ser realizadas sem que se afaste do escopo da presente invenção.

[0016] No contexto da presente invenção, o termo "semicondutor" deve ser compreendido para se referir a qualquer estrutura semicondutora, que inclui, mas sem limitação, aquelas na forma de uma camada de material, uma pastilha ou um substrato. Sem limitação, o termo "semicondutor" pode ser compreendido para abranger a tecnologia de silício em safira (SOS), tecnologia de silício em isolante (SOI), tecnologia de transistor de filme fino (TFT), semicondutores dopados e não dopados, camadas epitaxiais de um silicone suportado por uma estrutura-base semicondutora, outras estruturas semicondutoras conhecidas para aquele versado na técnica, combinações dos mesmos e semelhantes. Deve-se compreender, também, que quando o termo "semicondutor" for usado no presente documento, várias etapas de processamento podem ter sido realizadas para formar regiões, junções, etc. na estrutura do semicondutor.

[0017] Conforme usado no presente documento, os adjetivos de direção devem ser compreendidos para estarem relacionados à superfície de um substrato no qual um recurso (por exemplo, uma célula de memória) se forma. Por exemplo, uma estrutura vertical deve ser compreendida para se estender em direção oposta à superfície de um substrato na qual a estrutura se forma, com a extremidade de fundo da estrutura sendo próxima à superfície do substrato. Deve-se compreender que uma estrutura vertical não precisa ser perpendicular à superfície do substrato na qual a mesma se forma, e essas estruturas verticais incluem estruturas que podem ser formadas para se estender até um ângulo em relação ao substrato.

[0018] O acionamento para aumentar a densidade de memória

não volátil levou os projetistas de memória a aumentar o número de células de memória em uma dada área de um dispositivo de memória. À medida que a densidade da memória aumentou, tornou-se crescentemente difícil rotear as várias linhas de acesso, dados e outras linhas que podem ser necessárias para executar o dispositivo sem afetar de modo indesejável o desempenho do dispositivo. Embora seja possível adicionar canais de roteamento adicionais para tais linhas a uma memória não volátil, por exemplo, acima ou abaixo de uma matriz de memória, pode ser necessário aumentar a altura de bloco do dispositivo para acomodar tais canais. Em ocasiões em que a altura de bloco é limitada, por exemplo, por considerações de desenho, um padrão, etc., o aumento da altura de bloco pode não ser permitido ou pode, de outro modo, ser indesejável.

[0019] A presente invenção visa lidar com essa questão ao fornecer tecnologias que possibilitam que mecanismos alternativos roteiem uma ou mais dentre as linhas de acesso, dados e/ou outras linhas que podem ser usadas na memória não volátil. Em geral, as tecnologias descritas no presente documento possibilitam que mecanismos alternativos roteiem uma ou mais linhas a partir de contatos/traços que estão acima de uma matriz de memória para um ou mais contatos abaixo de uma matriz de memória, como contatos de conjunto de circuitos de acionador de sequência ou outro conjunto de circuitos de suporte (por exemplo, circuitos semicondutores de óxido de metal complementares (CMOS)) que podem ser fornecidos pelo CMOS sob a tecnologia de matriz (CUA). Mais particularmente, as tecnologias descritas no presente documento alavancam o uso de uma ou mais vias que podem ser formadas através de uma porção de uma matriz de memória, por exemplo, em uma região de matriz e/ou uma região periférica da mesma, de modo a possibilitar o acesso às regiões/ao conjunto de circuitos que podem ser formados sob a matriz.

Um ou mais canais podem ser formados em tais vias e preenchidos com material condutor para possibilitar o acoplamento elétrico de várias linhas ao conjunto de circuitos formado sob uma matriz de memória.

[0020] Faz-se referência, agora, à figura 1, que ilustra uma vista em corte transversal de células de memória de uma matriz de memória exemplificativa consistente com a presente invenção. Conforme mostrado, a matriz de memória 100 (doravante, "matriz 100") inclui uma pluralidade de células de memória que são formadas em uma pluralidade de sequências de memória $112_{1...4}$, que são dispostas em uma configuração de NAND. A figura 1 pode, portanto, ser compreendida para retratar células de memória de um dispositivo de memória de NAND exemplificativo consistente com a presente invenção. Conforme ilustrado, a memória 100 inclui portas de fonte de porta selecionada ("SGS") 110 e portas de dreno de porta selecionada ("SGD") 104, cada uma das quais é acoplada a uma ou mais sequências de memória $112_{1...4}$. A SGS 110 pode ser controlada por uma linha de controle de SGS e o SGD 104 pode ser controlado por uma linha de controle de SGD (ambos não são mostrados). Em geral, o SGD 104 e a SGS 110 podem ser inclinados durante o desempenho de uma ou mais operações com a memória 100 (por exemplo, operações de leitura, operações de registro, operações de apagamento, etc.) de modo a ativar ou desativar as células de memória ou sequências das mesmas durante tais operações, sozinhas ou em combinação com a inclinação controlada da porta selecionada de sequência 132, que é descrita abaixo.

[0021] As sequências $112_{1...4}$ nesta modalidade são formadas em uma disposição dobrada de modo que uma porção de cada sequência é formada com uma primeira porção formada ao longo de uma primeira coluna 138_1 e uma segunda porção da mesma sequência é

formada por si só em uma coluna adjacente (por exemplo, segunda) 138_2. Nesse sentido, as "colunas" 138_1, 138_2 podem ser compreendidas para abranger sequências de células de memória que são dispostas em uma sequência de NAND.

[0022] As sequências $112_{1...4}$ são dispostas em uma disposição dobrada (por exemplo, em formato de U) e podem incluir uma pluralidade (por exemplo, 8, 16, 32, etc.) de células de memória. A título de exemplo, as sequências $112_{1...4}$ pode, cada uma, incluir oito (8) células de memória onde quatro células de memória são formadas ao longo de uma coluna vertical (por exemplo, coluna 112_1) e quatro células de memória são formadas ao longo de uma coluna de memória adjacente (por exemplo, coluna 112_2), formando, então, uma disposição em formato de U. Os dispositivos de memória de NAND da presente invenção podem incluir duas ou mais de tais sequências em formato de U que são formadas adjacentes entre si. A memória 100 também pode incluir uma porta selecionada de sequência (SSG) 132, que pode ser formada entre cada extremidade das sequências $112_{1...4}$.

[0023] Conforme adicionalmente mostrado na figura 1, em várias modalidades, as sequências $112_{1...4}$ podem ser acopladas entre uma linha de dados (por exemplo, bit) 116 e duas linhas de fonte $114_{1, 2}$, por exemplo, nos pontos de contato de linha de bit 144 e pontos de contato de linha de fonte 142. O acoplamento de uma sequência a uma linha de bit pode ser controlado pela SSG 132, que pode ser um condutor como silício policristalino (polissilício). Em geral, a SSG 132 pode ser inclinada (ativada) para acoplar e/ou desacoplar uma primeira extremidade de uma sequência selecionada $112_{1...4}$ à linha de dados (bit) 116 e uma outra extremidade da sequência selecionada a uma linha de fonte $114_{1, 2}$.

[0024] Deve-se compreender que apenas uma porção de memória 100 e sequências $112_{1...4}$ são mostradas na figura 1, e que as

memórias não voláteis da presente invenção não se limitam à configuração mostrada. Em vez disso, a memória 100 pode incluir uma matriz de células de memória que inclui mais ou menos sequências de NAND que aquelas identificadas na figura 1 como sequências $112_{1...4}$. Além do mais, cada sequência pode incluir mais ou menos que oito células de memória, qualquer uma ou todas as quais podem ser acopladas pelas linhas de palavra $102_{0...7}$ ou outras linhas de palavra (não mostradas). Por exemplo, as estruturas de célula de memória adicionais (não mostradas) podem estar localizadas em cada uma das sequências $112_{1...4}$ e/ou uma ou mais sequências adicionais. Tais células de memória adicionais podem incluir células de memória ativas ou inativas (fictícias), como aquelas descritas na Publicação Pré-concedida nº US 2009/0168519. De fato, em algumas modalidades, as memórias descritas no presente documento podem ser memória de NAND que inclui uma matriz de memória que tem 2^n de células de memória, em que n é um número inteiro.

[0025] Conforme retratado adicionalmente na figura 1, a memória 100 pode incluir adicionalmente estrutura de armazenamento de carga 124 e estrutura de canal 126. A estrutura de armazenamento de carga 124 pode ser na forma de uma ou mais camadas contínuas que são formadas através de sequências de memória $112_{1...4}$, conforme mostrado. Em algumas modalidades, a estrutura de armazenamento de carga 124 pode incluir uma primeira camada de óxido, uma camada de nitreto formada na primeira camada de óxido, e uma segunda camada de óxido formada na camada de nitreto (nem todas mostradas).

[0026] A memória 100 também pode incluir uma porta plana que, na figura 1, é ilustrada como incluindo uma pluralidade de portas de controle $140_{1...4}$, cada uma das quais pode ser formada sob uma sequência de células de memória $112_{1...4}$. Sem limitação, as portas de

controle $140_{1...4}$ podem formar parte do conjunto de circuitos sob a matriz de memória $112_{1...4}$ que pode ser usada para acionar as sequências de memória $112_{1...4}$. Dessa maneira, as portas de controle $140_{1...4}$ podem formar parte do conjunto de circuitos de acionador de linha de palavra que pode ser formada sob sequências de memória $112_{1...4}$, e que podem ser produzidas por qualquer tecnologia adequada como CMOS sob tecnologia de matriz.

[0027] Embora não ilustrado, as células de memória da memória 200 podem ser dispostas em três dimensões (3D) de modo a formar uma matriz 3D das células de memória. Por exemplo, a SGS 110_{1-2}, SGD 104_{1-2} de células de memória e portas selecionadas de sequência ("SSG") $132_{1...5}$ podem ser repetidas tanto atrás (por exemplo, abaixo) quanto em frente (por exemplo, acima) do plano mostrado na figura 1. As linhas de controle para tais portas também podem se estender em frente e abaixo do plano da figura 1. Mais especificamente, as linhas de palavra $102_{0...7}$ (que podem incluir a linha de acesso e localmente a estrutura de porta de controle de cada célula de memória) podem ser compreendidas em tais modalidades para passar para dentro e para fora do plano da matriz de célula de memória da memória 100. Semelhantemente, SGD 104_{1-2} SGS 110_{1-2}, e SSG $132_{1...5}$ (que podem, cada um, funcionar como uma estrutura de controle localmente em cada uma das sequências $112_{1...4}$) também pode incluir uma linha de sinal de controle que passa através do plano da figura 1. A porta plana (por exemplo, portas de controle $140_{1}…_{4}$) também pode ser repetida na matriz 3D.

[0028] Nota-se que a figura 1 foi fornecida para ilustrar uma configuração de uma matriz de memória de NAND que pode ser usada de acordo com a presente invenção. Deve-se compreender que a presente invenção prevê o uso de diferentes tipos de memória não volátil, incluindo a memória de NAND que é configurada de uma

maneira além da memória 100 da figura 1, assim como a memória que tem uma arquitetura NÃO OU (NOR). Em qualquer caso, as informações adicionais relacionadas à memória 100 e aos métodos de formação de tal memória podem ser encontradas na Patente na patente nº US 8.681.555, cujo conteúdo total é incorporado no presente documento a título de referência.

[0029] Faz-se referência, agora, às figuras 2A e 2B, que fornecem diferentes vistas de um esquema de roteamento de linha de acesso para uma matriz de memória de uma memória não volátil consistente com a presente invenção. Conforme usado no presente documento, os termos "linha de acesso", "linha de controle", e linha de roteamento são usados de modo intercambiável para se referir às linhas que podem ser usadas para transmitir sinais para e/ou a partir de um ou mais componentes de uma memória não volátil. As linhas de acesso/controle podem, portanto, incluir linhas/canais que podem ser usados para transmitir sinais para e a partir de uma ou mais portas (por exemplo, fonte de porta selecionada, dreno de porta selecionada, etc.), uma ou mais linhas de palavra, uma ou mais células de memória, conjunto de circuitos de acionamento, combinações dos mesmos e semelhantes, que podem ser usados em uma memória não volátil. Conforme pode ser observado, as linhas de acesso podem ser roteadas através de um ou mais canais formados em uma memória não volátil.

[0030] Nota-se, adicionalmente, que para fins de ilustração, os diagramas de roteamento das figuras 2A e 2B ilustram um exemplo no qual uma memória não volátil inclui múltiplas matrizes de memória (recortes) que incluem sequências de memória que podem ser acionadas por conjunto de circuitos de acionador subjacente que é compartilhado por cada matriz de memória. Desse modo, as figuras 2A e 2B podem ser compreendidas para retratar vistas de um diagrama

de roteamento para uma memória não volátil (por exemplo, uma memória vertical de NAND) que emprega uma arquitetura de acionador de linha de palavra comum que pode, por exemplo, ser fornecida sob as respectivas matrizes de memória por meio da tecnologia de CUA. Uma finalidade das figuras 2A e 2B é ilustrar vários desafios que podem ser encontrados no roteamento de várias linhas de acesso, dados, etc. linhas que podem ser usadas em tal dispositivo. Enfatiza-se que essa ilustração é exemplificativa apenas, e que as tecnologias descritas no presente documento podem ser empregadas com qualquer memória não volátil adequada.

[0031] Conforme mostrado nas figuras 2A e B, a memória 200 pode incluir uma pluralidade de matrizes de memória (recortes). Esse conceito é ilustrado na figura 2, que retrata a memória 200 conforme incluindo a primeira matriz de memória (recorte) 203_1 e segunda matriz de memória recorte 203_2. Cada uma das matrizes de memória (recortes) 203_1, 203_2 pode estar na forma de uma matriz vertical de células de memória, como pode ser usada em uma arquitetura vertical ou 3D NAND. Desse modo, as matrizes de memória 203_1, 203_2 podem, cada uma, incluir e/ou ser acopladas a uma pluralidade de canais correspondentes 204, cada uma das quais pode ser acessada/ou controlada com uma ou mais placas de linha de acesso (palavra) 205. As placas de linha de palavra 205 podem ser acopladas aos canais condutores (por exemplo, metal, polissilício, etc.) (linhas de roteamento) 202, que, por sua vez, podem ser acopladas às interconexões condutoras 201 dispostas em uma região acima das matrizes de memória $203_{1,2}$. Para facilitar a conexão e o roteamento de canais condutores (linhas) 202, as placas de linha de palavra 205 podem ser formadas em uma estrutura diferenciadas conforme mostrado na figura 2A. Os canais condutores 202 também podem acoplar placas de linha de palavra 205 a uma ou mais linhas de

controle de acesso (palavra), por exemplo, por meio de contatos de linha de palavra 212. O conceito anterior é ilustrado na figura 2A, que mostra linhas condutoras 202 à medida que se acoplam às primeiras linhas de controle de palavra 206 e/ou segundas linhas de controle de palavra 207, que, nesse caso, estão localizadas em uma região abaixo das matrizes de memória $203_{1,\ 2}$. A memória 200 pode incluir adicionalmente interconexões 209, que podem incluir material condutor e podem funcionar para acoplar eletricamente duas ou mais dentre as linhas condutoras 202 e/ou outros componentes de memória 200 entre si.

[0032] As primeiras e/ou segundas linhas de controle de palavra 206, 207 podem ser acopladas ao conjunto de circuitos de acionador 208, conforme mostrado nas figuras 2A e B. Conforme notado acima, o conjunto de circuitos de acionador 208 pode ser compartilhado entre as matrizes de memória $203_{1,\ 2}$, e pode funcionar para acionar sequências de memória das mesmas. O conjunto de circuitos de acionador 208 pode, portanto, em algumas modalidades, ser configurado na forma de uma arquitetura de acionador de linha de palavra comum, por exemplo, que pode ser fornecido sob matrizes de memória $203_{1,\ 2}$ por meio de tecnologia de CUA ou algum outro método. Conforme mostrado na figura 2B, as primeiras e/ou segundas linhas de controle de palavra 206, 207 podem incluir, estar na forma de, e/ou se acoplar aos canais de roteamento de conjunto de circuitos 213, que podem incluir linhas condutoras (por exemplo, de ou incluindo metal, polissilício ou semelhantes) que possibilitam o contato elétrico com o conjunto de circuitos de acionador 208.

[0033] Conforme também mostrado na figura 2B, a memória 200 pode incluir canais de fonte 210, linhas de SGS 211 e linhas de SGD 214. Os canais de fonte 210 podem ser formados de ou uma ou mais linhas ou incluir as mesmas incluindo material condutor (por exemplo,

metal, polissilício, etc.) e podem funcionar para acoplar um ou mais recursos de memória 200 a uma fonte. Semelhantemente, as linhas de SGS 211 e as linhas de SGD 214 podem ser formadas de material condutor (novamente, metal, polissilício, etc.) ou incluir o mesmo e podem funcionar, respectivamente, para acoplar as portas de SGS e de SGD correspondentes ao conjunto de circuitos de acionador 208 ou outros componentes adequados.

[0034] Conforme pode ser visto a partir das figuras 2A e 2B, as várias linhas e os vários canais usados na memória 200 podem ser roteados na altura de bloco H. Nas modalidades ilustradas, por exemplo, as linhas de palavra 206, 207, as linhas de fonte 210, as linhas de SGS 211 e as linhas de SGD 214 podem ser acopladas às linhas condutoras 202 e/ou interconexões 209, alguns ou todos os quais podem ser roteados ao conjunto de circuitos de acionador 208. Mais particularmente, uma ou mais de tais linhas de acesso podem ser roteadas acima ou abaixo matrizes de memória $203_{1, 2}$, isto é, na altura de bloco H da memória 200. Embora o roteamento, dessa maneira, pode ser eficaz, à medida que a densidade da memória aumenta, as linhas de acesso adicionais podem ser necessárias. O roteamento das linhas de acesso adicionais pode ser impedido ou impedido quando a altura de bloco H for limitada, por exemplo, por meio de considerações de desenho e/ou um padrão que define uma altura de bloco máxima. Esse conceito é ilustrado na figura 2B, que retrata as linhas de SGD 214 como carecendo de uma conexão com o conjunto de circuitos de acionamento 213, por exemplo, na região 215. Conforme notado acima, as linhas de SGD 214 poderiam ser roteadas acima ou abaixo das matrizes de memória 203_1 ou 203_2, mas ao fazer isso pode acarretar no aumento da altura de bloco H, o que pode ser indesejável.

[0035] Faz-se referência à figura 3, que retrata um diagrama de roteamento alternativo para uma memória não volátil consistente com

a presente invenção. Conforme mostrado, a memória 300 inclui muitos dos mesmos componentes como memória 200 das figuras 2A e B. Conforme a natureza e a função de tais elementos são as mesmas na figura 3 que nas figuras 2A e B, tais elementos não são descritos novamente por questão de brevidade. Com isso em mente, a memória 300 difere da memória 200 no fato em que a mesma inclui regiões de via de matriz atravessante 301_1, 301_2, que podem ser formadas em porções correspondentes 302_1, 302_2 da memória 300. Em algumas modalidades, uma ou ambas as porções 302_1, 302_2 podem corresponder a uma região de matriz da memória 300, isto é, uma região de memória 300 que é pelo menos parcialmente ocupada por uma matriz de memória, por exemplo, matriz de memória 203_1, 203_2 da figura 2A (não mostrada na figura 3). Alternativamente, uma ou ambas as porções 302_1, 302_2 pode corresponder a uma região periférica da memória 300, isto é, uma região da memória 300 que pode ser formada fora de uma região de matriz de memória e/ou ao redor da mesma. Em algumas modalidades, uma memória não volátil pode ter uma área de memória total A, e o termo "região de matriz" pode se referir a uma região na área A que é ocupada por uma matriz de memória. Em tais ocasiões, o termo "região periférica" pode se referir a uma região de área A que está fora da região de matriz e que pode se estender a partir de uma borda da região de matriz até uma distância que é cerca de 30% (por exemplo, cerca de 25%, cerca de 20%, cerca de 15%) da área A. Em algumas modalidades, a região periférica de uma memória não volátil se estende de mais de 0 a cerca de 25% da área de memória total A.

[0036] Sem limitação, em algumas modalidades, uma ou ambas as porções 302_1, 302_2 correspondem a uma região periférica da memória 300. Em qualquer caso, um ou mais canais de via atravessantes 303 podem ser formados em regiões de via

atravessante 301_1, 302_2, de modo a acoplar um ou mais canais e linhas de acesso correspondentes de memória 300 ao conjunto de circuitos de acionador 208. Por exemplo, na modalidade ilustrada, as linhas de SGD 214 podem ser acopladas ao conjunto de circuitos de acionador 208 ou outros componentes de memória 300 por meio de canais de via atravessantes 303.

[0037] Nota-se que para fins de ilustração e facilidade de compreensão, a figura 3 ilustra um diagrama de roteamento no qual as linhas de SGD 214 podem ser acopladas ao conjunto de circuitos de acionador 208 ou outros componentes de memória 300 por meio de canais de via atravessantes 303. Enfatiza-se que o exemplo ilustrado seja apenas ilustrativo, e essa, todas ou uma combinação das linhas de acesso para memória 300 (ou 200) podem ser acopladas aos componentes adequados por um ou mais canais de via atravessantes 303 formados na região de via atravessante 302_1, 302_2. De fato, em algumas modalidades um ou mais canais de via atravessantes 303 podem ser usados para rotear as linhas de SGD 214, canais de roteamento de conjunto de circuitos 213, linhas de SGS 211, canais de fonte 210, linhas de controle de palavra 206, 207, combinações dos mesmos e semelhantes para os componentes adequados da memória 300.

[0038] Conforme pode ser observado, o roteamento de várias linhas de acesso de memória não volátil com canais de via atravessantes 303 pode se desviar de uma pilha de placas de linha de palavra que pode ser usada na memória 300, como, mas sem limitação, a pilha ou as placas de linha de palavra 205 diferenciadas na memória 200 da figura 2B. Isso irá permitir acesso ao conjunto de circuitos de acionamento 208 e/ou ao roteamento de linhas de acesso adicionais sem a necessidade de aumentar a altura de bloco H, e potencialmente sem a necessidade de formar e usar interconexões

adicionais para rotear ao redor de outros componentes de um dispositivo de memória. De modo mais geral, o uso de vias de matriz atravessantes 303 abre caminhos para uma variedade de esquemas de roteamento alternativo, que pode exibir um ou mais benefícios em relação a outros esquemas de roteamento que contam com o roteamento de vários canais acima e/ou abaixo de uma matriz de memória.

[0039] Nota-se novamente que as figuras 2A, 2B e 3 ilustram esquemas de roteamento à medida que podem ser configurados para usar a memória não volátil que tem uma configuração, um leiaute e conjunto de circuitos de acionamento subjacente de matriz de memória específica. Enfatiza-se, novamente, que tais ilustrações são para fins de exemplificação apenas, e que as tecnologias descritas no presente documento podem ser usadas para possibilitar metodologias de roteamento alternativas para uma matriz ampla de diferentes configurações de memória não volátil, incluindo, mas sem limitação, configurações de 3D NAND e vertical. De fato, a presente invenção deve ser interpretada para se referir amplamente ao uso da canais/linhas de matriz atravessantes e vias associadas para realizar funções de roteamento em qualquer tipo adequado de memória não volátil.

[0040] Portanto, em algumas modalidades, a presente invenção se refere a uma memória de NAND incluindo uma região de matriz e uma região periférica, em que pelo menos uma matriz de sequências de memória vertical (por exemplo, vertical e/ou 3D NAND) seja formada na região de matriz e acima do conjunto de circuitos de acionamento (por exemplo, conjunto de circuitos de acionamento de sequência) para a pelo menos uma matriz, em que a memória não volátil inclui adicionalmente pelo menos uma região de via de matriz atravessante que inclui pelo menos um canal de matriz atravessante que é

configurado para acoplar eletricamente pelo menos uma linha de acesso ao conjunto de circuitos de acionamento ou um outro componente adequado da memória. Nesse contexto, uma linha de "acesso" significa uma ou mais das linhas de controle (SGS, SGD), linha de fonte, linha de dreno, linha de palavra, etc. que pode ser usada em uma memória não volátil.

[0041] Com o anteriormente mencionado em mente, um outro aspecto da presente invenção se refere a canais de matriz atravessantes para memória não volátil e métodos de produção dos mesmos. Nesse sentido, faz-se referência à figura 4, que é um fluxograma de operações que podem ser realizadas de acordo com um método exemplificativo de produção de um canal de matriz atravessante consistente com a presente invenção. Por questão de clareza e ilustração, as operações da figura 4 serão descritas em conjunto com as figuras 5A a 5F, que ilustram gradualmente a formação de um canal de matriz atravessante exemplificativo consistente com a presente invenção em uma região de matriz e uma região periférica de uma NAND. Embora a presente invenção foque apenas na formação de uma via de matriz atravessante, deve-se compreender que as vias de matriz atravessantes consistentes com a presente invenção podem ser formadas antes, após ou durante a formação de outros componentes de uma memória não volátil, incluindo uma ou mais matrizes de memória, portas de controle, fontes, drenos, linhas de acesso etc. dos mesmos. Sem limitação, os canais de matriz atravessantes descritos no presente documento são, de preferência, formados no curso de outras operações de processo que podem ser usadas para fornecer um ou mais outros componentes de uma memória não volátil, por exemplo, de modo a evitar ou limitar a necessidade de mascaramento, deposição, limpeza ou outras etapas de processamento adicionais ou diferentes.

[0042] Conforme mostrado na figura 4, o método 400 começa no bloco 401. O método pode, então, prosseguir para o bloco 402, em que uma matriz de memória de uma memória não volátil pode ser fornecida, por exemplo, em uma pastilha ou de outro modo. A matriz de memória pode incluir uma região de matriz e uma região periférica, conforme descrito acima. Esse conceito é ilustrado na figura 5A, que retrata a região de matriz 501 e a região periférica 502 de uma porção de matriz de memória 500. Conforme mostrado, a região de matriz 501 e a região periférica 502 podem incluir camadas dielétricas alternantes 504 e camadas condutoras 505. As camadas dielétricas 504 podem ser formadas a partir de qualquer material dielétrico adequado ou incluir o mesmo, incluindo, mas sem limitação, nitretos dielétricos e óxidos dielétricos como óxido de silício (SiO_x) e óxido de alumínio. Igualmente, as camadas condutoras 505 podem ser formadas a partir de qualquer material condutor adequado ou podem incluir os mesmos, como, mas sem limitação, silício policristalino (polissilício), um ou mais metais e/ou nitretos de metal como nitreto de titânio, combinações dos mesmos e semelhantes.

[0043] As camadas dielétricas e condutoras alternantes 504, 505 podem ser mantidas ou depositadas na camada isolante 508, que podem, por si só, ser mantidas ou depositadas sobre ou acima da estrutura 509. A camada isolante 508 pode ser formada a partir de um material dielétrico e/ou de óxido isolante ou incluir o mesmo, como, mas sem limitação, óxido de silício. Conforme mostrado na figura 5A, uma ou mais linhas de roteamento como as primeira e segunda linhas de roteamento 506, 507 podem ser formadas na camada isolante 508. As primeira e segunda linhas de roteamento podem ser quaisquer linhas de roteamento adequadas que podem ser empregadas em uma memória não volátil, como um ou mais canais de fonte, canais de linha de palavra, linhas de SGS, linhas de SGD, etc. Logicamente,

consistente com a descrição anterior, as linhas de roteamento 506, 507 podem ser omitidas, por exemplo, em ocorrências em que tais linhas podem ser roteadas através de outras porções de matriz de memória 500, por exemplo com o uso de um canal de via atravessante consistente com a presente invenção. No entanto, para fins de exemplificação, as linhas de roteamento 506, 507 são retratadas na camada isolante 508 para ilustrar como os canais de matriz atravessantes descritos no presente documento podem ser formados de modo a evitar interferir com as linhas de roteamento e outros componentes na camada isolante 508 ou qualquer outra porção de matriz de memória 500. Conforme será discutido mais tarde, os canais de matriz atravessantes descritos no presente documento são, de preferência, formados de modo a serem isolados das linhas de roteamento e/ou outros componentes ou, de outro modo, evitar as mesmas, que podem estar na matriz de memória 500, como, mas sem limitação, as linhas de roteamento 506, 507 que podem estar na camada 508.

[0044] A estrutura 509 pode ser um substrato condutor ou outra estrutura (por exemplo, um bloco de amarração, linha condutora, etc.), que pode funcionar para acoplar eletricamente um canal de matriz atravessante consistente com a presente invenção a um outro componente de uma memória não volátil, como o conjunto de circuitos de acionamento que pode ser formado sob a matriz de memória 500, por exemplo, através de tecnologia de CUA conforme descrito acima. Nesse sentido, qualquer material condutor adequado pode ser usado para formar a estrutura 509, incluindo, mas sem limitação, metais como tungstênio, cobre e alumínio, assim como outros materiais condutores como polissilício. Sem limitação, a estrutura 509 está, de preferência, na forma de um bloco de amarração ou linha condutora que é formada a partir de um metal como tungstênio.

[0045] Retornando para a figura 4, o método pode prosseguir para o bloco 403, em que um ou mais sulcos podem ser formados na matriz de memória. Esse conceito é ilustrado na figura 5B, o que retrata a formação de sulcos 510, 510' na região de matriz 501 e na região periférica 502 da matriz de memória 500, respectivamente. Os sulcos 510, 510' podem ser formados por meio de qualquer processo de formação de sulco adequado conhecido na técnica, como, mas sem limitação, causticação química úmida, causticação a seco, fotolitografia, combinações dos mesmos e semelhantes. Sem limitação, um ou mais dos sulcos 510, 510' podem ser formados, de preferência, com o uso de um processo de causticação a seco como um processo de causticação a seco de sulco com alta razão de aspecto (HART). Os processos de causticação a seco de HART são bem compreendidos na técnica e, portanto, uma descrição detalhada dos mesmos não é fornecida no presente documento. Em algumas modalidades, o processo de causticação a seco de HART pode empregar um reagente cáustico a seco que pode causticar agressivamente os materiais para camadas dielétricas 504 (por exemplo, SiO_x), camadas condutoras 505 (por exemplo, polissilício), camada 508 (por exemplo, SiO_x) e (opcionalmente) linhas de roteamento 506, 507, mas que podem não causticar ou podem não causticar agressivamente o material da estrutura 509 (por exemplo, metais como tungstênio). Como resultado, o processo de causticação a seco pode produzir um sulco que se estende a partir de uma superfície superior da região de matriz 501 e da região periférica 502 até a estrutura 509. Os sulcos 510, 510' podem fornecer, portanto, acesso através do mesmo até a estrutura 509.

[0046] Nota-se que, para fins de ilustração, as figuras 5B a 5F retratam gradualmente uma modalidade em que um único sulco é formado tanto na região de matriz quanto na região periférica de uma

memória não volátil, e em que um único canal é formado no sulco. Deve-se compreender que tal modalidade é apenas um exemplo não limitante da presente invenção, e que as tecnologias descritas no presente documento podem ser usadas para formar um ou mais sulcos em apenas uma região de matriz de uma matriz de memória, apenas uma região periférica de uma matriz de memória, tanto em uma região de matriz quanto em uma região periférica de tal matriz, e/ou em uma ou mais dentre as regiões periféricas e de matriz assim como outra região da matriz de memória ou um dispositivo de memória não volátil incluindo a matriz de memória. Portanto, em algumas modalidades, as memórias não voláteis descritas no presente documento podem incluir uma matriz de memória que tem uma região periférica e uma região de matriz, em que um ou mais (por exemplo, 2, 3, 4, 5, 6, etc.) sulcos podem ser formados em pelo menos uma dentre as regiões periféricas ou de matriz, e opcionalmente em uma outra região da matriz ou do dispositivo incluindo a matriz. Além do mais, cada sulco pode ser subsequentemente processado para incluir um ou uma pluralidade de canais de matriz atravessantes.

[0047] Nas figuras 5B a 5F, os sulcos 510, 510' são ilustrados como tendo uma estrutura afunilada, de modo que uma dimensão (por exemplo, largura) próxima do fundo do sulco seja menor que a dimensão correspondente próxima ao topo do sulco. Desse modo, os sulcos 510, 510' podem ser compreendidos para terem uma parede lateral que exibe um declive. A grandeza do declive das paredes laterais dos sulcos 510, 510' pode variar amplamente, e pode ser ditada pelas restrições de projeto e/ou processamento. Sem limitação, o declive de uma ou de ambas as paredes laterais de sulcos 510, 510' pode variar de cerca de 85 a cerca de 90 graus em relação ao plano da superfície superior da estrutura 509, como cerca de 87 a 89 graus ou até mesmo cerca de 88 a cerca de 89 graus. Conforme pode ser

observado, o declive das paredes laterais de sulcos 510, 510' pode ser selecionado para fornecer um nível desejado de isolamento elétrico entre materiais condutores que podem ser adicionados ao sulco 510, 510 (por exemplo, camada de barreira 513, 513' e materiais condutores 514, 514' descritos abaixo). No entanto, um declive excessivamente alto por tornar difícil preencher sulcos 510, 510' sem lacunas ou outros defeitos.

[0048] Em algumas modalidades, os sulcos 510, 510' podem ser posicionados de modo que os mesmos evitem ou, de outro modo, não afetem a função de outros componentes de uma matriz de memória, como linhas de roteamento 506, 507 que podem estar presentes na camada 508. Esse conceito é mostrado no aspecto periférico se a figura 5B, que retrata o sulco 510' como sendo formado para não impactar nas linhas de roteamento 506, 507, por exemplo, como sendo formado entre tais linhas de roteamento.

[0049] Novamente, voltando-se para a figura 4, o método pode, então, prosseguir para o bloco 404, em que o sulco (ou os sulcos) formado de acordo com o bloco 403 pode ser preenchido com um material isolante. Esse conceito é ilustrado na figura 5C, que ilustra sulcos 510, 510' como sendo cheios com um material isolante 511, 511'. O material isolante 511, 511' pode ser formado ao depositar e/ou manter um ou uma combinação de materiais isolantes nos sulcos 510, 510'. Os exemplos não limitantes de materiais isolantes adequados que podem ser usados como ou no material isolante 511, 511' incluem vidro de borofosfossilicato, um óxido isolante como SiO_x (por exemplo, SiO_2), sílica e/ou silicatos derivados de um precursor de silicato como tetraetilortossilicato (TEOS), um material dielétrico polimérico fiado, um material dielétrico polimérico a base de silício fiado, combinações dos mesmos, e semelhantes. Em qualquer caso, os sulcos 510, 510' podem ser preenchidos com material isolante 511, 511' com o uso de

qualquer processo adequado.

[0050] Em algumas modalidades, os sulcos 510, 510' podem ser preenchidos por um processo de múltiplas etapas em que o volume de sulcos 510, 510' pode ser inicialmente preenchido com BPSG, por exemplo, com o uso de deposição de vapor químico (CVD) ou outro processo adequado. A profundidade do preenchimento de BPSG inicial pode variar consideravelmente, e pode variar de cerca de 1.000 a cerca de 50.000 Angstroms ou mais, dependendo da profundidade de sulcos 510, 510'. Sem limitação, a profundidade do preenchimento de BPSG inicial pode variar de cerca de 10.000 a cerca de 30.000 Angstroms, como cerca de 18.000 a cerca de 25.000 Angstroms. Embora a deposição de BPSG com alta qualidade seja possível (por exemplo, com uma CVD ou outro processo), em muitas ocorrências, rachaduras ou outros defeitos podem estar presentes no preenchimento de BPSG. Deixados por si, tais defeitos podem impactar negativamente o desempenho dos canais de via atravessantes descritos no presente documento. Portanto, em algumas modalidades, as rachaduras e/ou outros defeitos no preenchimento de BPSG (caso haja) podem ser preenchidos ao depositar um ou mais materiais adicionais nos sulcos 510, 510'.

[0051] A título de exemplo, em algumas modalidades, os defeitos em um preenchimento de BPSG podem ser pelo menos parcialmente preenchidos ao depositar tetraetilortossilicato (TEOS) no preenchimento de BPSG, por exemplo, através de deposição de vapor químico. O TEOS depositado pode, então, ser convertido em dióxido de silício pela aplicação de calor, por si sós ou em combinação com outras etapas de processamento compreendidas na técnica.

[0052] Em algumas modalidades, a deposição de BPSG notada acima pode resultar na formação de um filme de BPSG nos sulcos 510, 510' que exibem resistência à tração. À medida que o

preenchimento de sulcos 510, 510' com BPSG prossegue, o acúmulo de resistência à tração pode ser significativo. Para lidar com essa questão, em algumas modalidades, a deposição de TEOS pode ser configurada para aliviar alguma ou toda a resistência à tração introduzida pela deposição de BPSG. Isso pode ser obtido, por exemplo, ao depositar o TEOS de tal modo que o óxido de silício resultante forme um filme que exiba resistência à tração que é oposta àquela da tensão exibida pelo preenchimento de BPSG. Isso pode limitar e/ou impedir a curvatura da pastilha.

[0053] Durante a deposição de BPSG e de TEOSs, o material pode ser depositado acima e/ou na superfície superior de camadas condutoras e dielétricas alternantes 504, 505. Portanto, em algumas modalidades, um primeiro processo de polimento opcional como polimento mecânico e químico pode ser executado para remover BPSG e SiO_2 indesejados e, em algumas ocasiões, para aplainar a superfície das camadas condutoras e dielétricas alternantes 504, 505. Seguindo-se o primeiro processo de polimento opcional (ou se o primeiro processo de polimento for omitido) as rachaduras ou outros defeitos podem permanecer (ou ser, de outro modo, introduzidos) no preenchimento do material isolante 511, 511'. Em tais ocorrências, o TEOS pode ser depositado novamente para preencher tais defeitos. Alternativa ou adicionalmente, um outro material isolante como um dielétrico fiado pode ser depositado para preencher tais defeitos. Seguindo-se a deposição adicional de TEOS e/ou outro material isolante, um segundo processo de polimento opcional pode ser realizado para remover o material indesejado e/ou para aplainar a superfície das camadas condutoras e dielétricas alternantes 504, 505.

[0054] Seguindo-se o processo de deposição, o material isolante 511, 511' pode preencher todos ou substancialmente todos os sulcos 510, 510', de modo que uma superfície superior de material isolante

511, 511' possa ser substancialmente coplanar com uma superfície de uma camada mais superior das camadas condutoras e dielétricas 504, 505. Na modalidade mostrada na figura 5C, a superfície superior de material isolante 511, 511' é coplanar com uma superfície de uma camada mais superior das camadas condutoras e dielétricas 504, 505.

[0055] Retornando para a figura 4, o método pode prosseguir para o bloco 405, em que um ou mais canais podem ser formados no material isolante formado de acordo com o bloco 404. Conforme notado acima, a presente invenção irá focar em modalidades em que um único canal 512, 512' é formado no material isolante 511, 511', mas deve-se compreender que uma pluralidade de canais (por exemplo, 2, 3, 4, 5, 6, etc.) pode ser formada no material isolante 511, 511' de cada sulco 510, 510', dependendo das dimensões de sulco 510, 510' e das características de material isolante 511, 511'. Em qualquer caso, o conceito de formação de um canal em um material isolante é retratado na figura 5D, que ilustra a formação de um único canal 512, 512' no material isolante 511, 511'.

[0056] O canal 512, 512' pode ser formado com o uso de qualquer processo adequado conhecido na técnica, como um processo de causticação ou ablação. Sem limitação, em algumas modalidades, o canal 512, 512' é, de preferência, formado com o uso de um processo de causticação a seco como, mas sem limitação, um processo de causticação por contato e um processo de sulco com alta razão de aspecto (HART). Como o processo de HART que pode ser usado para formar o sulco 510, 510', o processo de causticação a seco usado para formar o canal 512, 512' pode ser configurado para causticar agressivamente o material (ou os materiais) usado para o material isolante 511, 511' (por exemplo, BPSG, SiO_2, dielétrico fiado, etc.), mas pode não causticar ou pode não causticar substancialmente o material da estrutura 509 (por exemplo, um condutor como tungstênio).

Devido ao fato de que a dimensão de topo do canal 512, 512' é muito menor que o sulco 510, 510', no entanto, o processo de causticação a seco usado para formar o canal 512, 512' pode ser configurado para possibilitar a causticação de razão de aspecto significativamente superior que o processo de HART que pode ser usado para formar o sulco 510, 510'. Em qualquer caso, o canal 512, 512' pode fornecer acesso à estrutura 509. Conforme será descrito mais tarde, os canais 512, 512' podem ser usados para rotear uma ou mais linhas de acesso a partir de uma região acima da pilha de camadas dielétricas e condutoras 504, 505 para uma região abaixo da pilha, por exemplo, para a estrutura 509 (por exemplo, conjunto de circuitos de CUA).

[0057] Embora a presente invenção preveja as modalidades nas quais o canal (ou os canais) 512, 512' pode ser formado em quaisquer dimensões adequadas, em algumas modalidades, pode ser desejável controlar as dimensões do canal (ou dos canais) 512, 512' e, por sua vez, a espessura da camada isolante 511, 511' que resta entre a pilha de camadas condutoras e dielétricas alternantes 504, 505 e o canal (os canais) 512, 512'. Isso é particularmente verdadeiro em ocasiões em que o canal (ou os canais) 512, 512' será preenchido ou, de outro modo, irá conter material condutor. Em tais ocorrências, pode ser desejável garantir que a espessura da camada isolante 511 que resta após a formação do canal (ou dos canais) 512, 512' seja suficiente para isolar eletricamente o preenchimento condutor que será adicionado ao canal (ou aos canais) 512, 512' da pilha de camadas condutoras e dielétricas alternantes 504, 505, por exemplo, para impedir um curto elétrico. Nesse sentido, a espessura do material isolante 511, 511' que permanece após a formação do canal (ou dos canais) 512, 512' pode variar amplamente. Em algumas modalidades, a espessura do material isolante 511, 511' que resta após a formação do canal (ou dos canais) 512, 512' pode variar de cerca de 90 a cerca

de 250 nanômetros (nm), como cerca de 100 nm. Sem limitação, a espessura de material isolante 511, 511' que resta após a formação do canal (dos canais) 512, 512' é maior ou igual a cerca de 100 nm. Nas figuras 5D a F, o canal (ou os canais) 512, 512' é ilustrado como tendo uma estrutura afunilada, de modo que uma dimensão (por exemplo, largura) próxima do fundo do canal é menor que a dimensão correspondente próxima do topo de cada canal. Desse modo, o canal (ou os canais) 512, 512' podem ser compreendidos para terem uma parede lateral que exibe um declive. A grandeza do declive da parede lateral do canal (ou dos canais) 512, 512' pode variar amplamente, e pode ser ditada pelas restrições de projeto e/ou processamento. Sem limitação, o declive de uma ou de ambas as paredes laterais do canal (ou dos canais) 512, 512' pode variar de cerca de 88 a cerca de 89 graus, em relação à superfície superior da estrutura 509. Em algumas modalidades, o declive do canal (ou dos canais) 512, 512' pode ser o mesmo ou substancialmente o mesmo que o declive dos sulcos 510, 510'.

[0058] Retornando para a figura 4, o método pode prosseguir para o bloco 406, em que o canal (ou os canais) formado de acordo com o bloco 405 pode ser metalizado de modo a formar uma linha condutora entre os mesmos. Nesse sentido, a presente invenção prevê várias modalidades em que o canal (os canais) 512, 512' pode ser preenchido com um ou mais materiais, incluindo pelo menos um material condutor como um metal condutor. Em algumas modalidades, a metalização é realizada com o uso de um processo de múltiplas etapas em que uma camada de barreira é depositada nas paredes e/ou no fundo do canal (ou dos canais) 512, 512', após o qual uma ou mais camadas de material condutor (por exemplo, metal) são depositadas na camada de barreira. Em algumas modalidades, a deposição da camada de barreira é seguida pela deposição de uma

única camada de metal. Em outras modalidades, a deposição da camada de barreira é seguida pela deposição de uma primeira camada de metal e uma segunda camada de metal/preenchimento.

[0059] Os conceitos anteriormente mencionados são ilustrados nas figuras 5E e 5F. Em particular, a figura 5E ilustra uma modalidade em que as camadas de barreira 513, 513' são formadas nas paredes laterais e no fundo dos canais 512, 512'. As camadas de barreira 513, 513' podem ser formadas com o uso de qualquer processo adequado, como, mas sem limitação, deposição de vapor químico, deposição de vapor físico, deposição de feixe de elétron, deposição de camada atômica, deposição a laser pulsado, combinações das mesmas, e semelhantes. Sem limitação, as camadas de barreira 513, 513' são, de preferência, formadas por meio de deposição de vapor químico.

[0060] As camadas de barreira 513, 513' podem ser formadas a partir de qualquer material de barreira adequado ou combinação de materiais de barreira. Os exemplos não limitantes de materiais adequados que podem ser usados como camadas de barreira 513, 513' incluem metais e nitretos de metal de barreira como nitreto de titânio, nitreto de tântalo, nitreto de tungstênio e tungstênio. Sem limitação, as camadas de barreira 513, 513' são, de preferência, formadas a partir de nitreto de titânio que é depositado por meio de deposição de vapor químico. Logicamente, outros materiais de barreira podem ser usados e são previstos pela presente invenção.

[0061] A espessura de camadas de barreira 513, 513' pode variar amplamente. Em algumas modalidades, a espessura de camadas de barreira 513, 513' varia de cerca de 1 a cerca de 5.000 Angstroms, como cerca de 1 a cerca de 500 Angstroms, ou até mesmo cerca de 1 a cerca de 100 Angstroms. Sem limitação, as camadas de barreira 513, 513' de preferência têm uma espessura na faixa de cerca de 25 a cerca de 75 Angstroms e, em algumas modalidades, a espessura é

cerca de 60 Angstroms. Seguindo-se a deposição das camadas de barreira 513, 513', o polimento mecânico e químico pode ser opcionalmente realizado para garantir que as camadas de barreira 513, 513' estejam presentes apenas nos canais 512, 512'. Em qualquer caso, alguma porção do canal (ou dos canais) 512, 512' pode permanecer após a deposição de camadas de barreira 513, 513', conforme mostrado na figura 5E. Em outras palavras, as camadas de barreira 513, 513', de preferência, preenchem apenas uma porção do canal (ou dos canais) 512, 512'.

[0062] Conforme mostrado na figura 5F, a metalização do canal (ou dos canais) 512, 512' pode continuar com a deposição de material condutor 514, 514' na porção restante do canal (ou dos canais) 512, 512'. Conforme notado anteriormente, o material condutor 514, 514' pode incluir um ou mais tipos de materiais condutores, que podem estar na forma de camada ou intermisturados entre si. Nesse sentido, uma ampla gama de materiais condutores pode ser usada para formar o material condutor 514, 514' que inclui metais como alumínio, cobre, titânio, tungstênio, nitretos condutores e óxidos dos mesmos, outros materiais condutores como polímeros condutores, silício policristalino, etc., combinações dos mesmos, e semelhantes.

[0063] Em algumas modalidades, o material condutor 514, 514' está na forma de um único preenchimento que inclui um ou uma combinação de materiais anteriormente mencionados. Em outras modalidades, o material condutor 514, 514' está na forma de uma estrutura de múltiplas camadas, em que uma ou mais camadas dos materiais condutores anteriormente mencionados são inicialmente formadas, seguida por ou intercalada com a formação de uma ou mais camadas adicionais dos materiais condutores anteriormente mencionados. Em algumas modalidades, o material condutor 514, 514' é formado ao depositar uma primeira camada de metal (por exemplo,

de titânio ou um outro material condutor), seguido pela formação de uma segunda camada de metal (por exemplo, de tungstênio ou um outro material condutor) na primeira camada de metal.

[0064] O material condutor 514, 514' pode ser formado e/ou depositado na porção restante do canal (ou dos canais) 512, 512' de qualquer maneira adequada, como, mas sem limitação, deposição de vapor químico, deposição de vapor físico, deposição de feixe de elétron, deposição de camada atômica, deposição a laser pulsado, combinações das mesmas e semelhantes. Sem limitação, o material condutor é, de preferência, formado pela deposição de vapor químico de uma primeira camada de metal (por exemplo, de titânio ou um outro material condutor), seguida pela deposição de vapor químico de uma segunda camada de metal (por exemplo, de tungstênio ou um outro material condutor) na primeira camada de metal.

[0065] Seguindo-se a deposição de material condutor 514, 514', o polimento mecânico e químico (CMP) pode ser opcionalmente realizado para remover o material condutor de uma superfície superior da camada mais superior da pilha de camadas dielétricas e condutoras 504, 505, de modo que o material condutor 514, 514' possa ser isolado dentro dos sulcos 510, 510' ou, mais particularmente, nos canais 512, 512' formados nos mesmos. Em algumas modalidades, a superfície de material condutor 514, 514' é coplanar com a superfície superior da camada mais superior da pilha de camadas dielétricas e condutoras 504, 505, conforme mostrado na figura 5F.

[0066] Nesse ponto, a formação da memória não volátil pode continuar, por exemplo, ao acoplar uma ou mais linhas de acesso ao material condutor 514, 514', para rotear tais linhas para a estrutura 509, por exemplo, conjunto de circuitos de acionamento que pode ter sido anteriormente formado abaixo de uma matriz de memória e/ou uma região periférica da mesma. Desse modo, as linhas de acesso

podem ser roteadas através do canal (ou dos canais) 512, 512'. Conforme notado anteriormente, isso pode abrir uma ampla variedade de configurações de roteamento alternativas, nas quais as linhas de acesso podem ser roteadas para o conjunto de circuitos subjacente por meio de uma ou mais vias atravessantes. Em algumas modalidades, isso pode possibilitar que um grande número de linhas de acesso seja roteado e/ou as linhas de acesso adicionais sejam adicionadas, sem afetar ou substancialmente afetar a altura de bloco e o desempenho da memória não volátil. Desse modo, as tecnologias descritas no presente documento são antecipadas para serem particularmente úteis em matrizes de memória altamente densas, em que grandes números de linhas de acesso precisam ser roteados e a altura de bloco da matriz é limitada pelas restrições de projeto e/ou um padrão.

[0067] A figura 6 é um diagrama de blocos funcional de um sistema eletrônico que tem pelo menos um dispositivo de memória de acordo com uma ou mais modalidades da presente invenção. O dispositivo de memória 600 ilustrado na figura 6 é acoplado a um hospedeiro como um processador 610. O processador 610 pode ser um microprocessador ou algum outro tipo de conjunto de circuitos de controle. O dispositivo de memória 600 e o processador 610 formam parte de um sistema eletrônico 620. O dispositivo de memória 600 foi simplificado para focar nos recursos do dispositivo de memória que são úteis na compreensão de várias modalidades da presente invenção.

[0068] O dispositivo de memória 600 inclui uma ou mais matrizes de memória 690 da célula de memória que podem ser dispostas logicamente em bancos de fileiras e colunas. De acordo com uma ou mais modalidades, a matriz de memória 690 pode ser configurada conforme descrito acima em relação às matrizes de memória das

figuras 1 a 3 e 5A a F. Dessa maneira, a matriz de memória 690 pode estar na forma de memória flash que inclui múltiplos bancos e blocos de células de memória que residem em um único molde ou em múltiplos moldes como parte do dispositivo de memória 600.

[0069] O circuito de armazenamento temporário de endereço 640 pode ser fornecido para travar os sinais de endereço fornecidos nas conexões de entrada de endereço A0 a AX 642. Os sinais de endereço são recebidos e decodificados pelo decodificador de fileira 644 e o decodificador de coluna 648 para acessar a matriz de memória 690. O decodificador de fileira 644 pode compreender circuitos de acionadores configurados para acionar as linhas de palavra, portas selecionadas de sequência e uma ou mais porta planas de acordo com várias modalidades da presente invenção, por exemplo. Será observado por aqueles que são versados na técnica, com o benefício da presente descrição, que o número de conexões de entrada de endereço 642 pode depender da densidade e da arquitetura da matriz de memória 690. Ou seja, o número de dígitos de endereço aumenta com ambas as contagens de célula de memória aumentadas e contagens de banco ou bloco aumentadas, por exemplo.

[0070] O dispositivo de memória 600 pode ler dados na matriz de memória 690 ao captar as alterações de tensão ou corrente na matriz de coluna de memórias com o uso de dispositivos de captação, como conjunto de circuitos de cache de captação/dados 650. Em algumas modalidades, conjunto de circuitos de cache de captação/dados 650 é acoplado para ler e travar uma fileira de dados da matriz de memória 690. O conjunto de circuitos de armazenamento temporário de entrada e saída (I/O) de dados 660 pode estar incluído para a comunicação de dados bidirecionais através de uma pluralidade de conexões de dados 662 com o processador 610. O conjunto de circuitos para gravar/apagar 656 pode ser fornecido para gravar dados na matriz de

memória 690 ou para apagar dados da mesma.

[0071] O conjunto de circuitos de controle 670 pode ser configurado, pelo menos em parte, para implantar várias modalidades da presente invenção, como para facilitar o controle de várias portas conforme discutido acima. Em pelo menos uma modalidade, o conjunto de circuitos de controle 670 pode incluir uma máquina de estado. Os sinais e comandos de controle podem ser enviados pelo processador 610 para o dispositivo de memória 600 através do barramento de comando 672. O barramento de comando 672 pode transmitir sinais de comando discretos ou múltiplos sinais de comando. Os sinais de comando transmitidos através do barramento de comando 672 podem ser usados para controlar as operações na matriz de memória 690, incluindo leitura de dados, programa de dados (por exemplo, gravar), e operações para apagar. O barramento de comando 672, barramento de endereço 642 e barramento de dados 662 podem, todos, ser combinados ou podem ser combinados em parte para formar inúmeras interfaces padrão 678. Por exemplo, a interface 678 entre o dispositivo de memória 600 e o processador 610 pode ser uma interface de Barramento Serial Universal (USB). A interface 678 também pode ser uma interface padrão usada com muitas unidades de disco rígido e placas-mãe, como, mas sem limitação, uma interface de componente periférico (PCI), uma interface expressa de PCI, uma anexação de tecnologia avançada serial (SATA) ou anexação de tecnologia avançada paralela (PATA), combinações das mesmas e semelhantes conforme são conhecidos pelos versados na técnica.

EXEMPLOS

[0072] Os exemplos a seguir pertencem às modalidades adicionais. Os exemplos a seguir da presente invenção podem compreender a matéria como uma memória não volátil e métodos para

produzir a mesma, conforme descrito abaixo.

[0073] Exemplo 1: Um exemplo da tecnologia da presente invenção é uma memória não volátil, incluindo: uma matriz de memória que inclui uma pilha de camadas condutoras e dielétricas alternantes formadas em uma camada isolante, sendo que a matriz de memória inclui adicionalmente uma região de matriz e uma região periférica; uma estrutura formada sob pelo menos uma dentre a região de matriz e a região periférica e eletricamente acoplada a um outro componente da memória não volátil; e uma via de matriz atravessante formada em pelo menos uma dentre a região de matriz e a região periférica; em que pelo menos uma linha de acesso da matriz de memória é roteada através da via de matriz atravessante.

[0074] Exemplo 2: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 1,

[0075] em que a via de matriz atravessante é formada pelo menos na região periférica.

[0076] Exemplo 3: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 1, em que a matriz de memória inclui uma pilha vertical de células de memória.

[0077] Exemplo 4: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 1, em que um outro componente inclui conjunto de circuitos de acionador para acionar pelo menos uma sequência de memória da matriz de memória.

[0078] Exemplo 5: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 4, em que:

[0079] a matriz de memória inclui pelo menos primeira e segunda matrizes de memória, cada uma das quais compreende uma pluralidade de células de memória; e

[0080] o conjunto de circuitos de acionador é compartilhado entre a primeira e a dita segunda matrizes de memória e é configurado para

acionar as células de memória do mesmo.

[0081] Exemplo 6: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 1, em que a pilha de camadas condutoras e dielétricas alternantes tem uma superfície superior, e a matriz atravessante se estende a partir da superfície superior até a estrutura.

[0082] Exemplo 7: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 1, em que a via de matriz atravessante inclui pelo menos um sulco com alta razão de aspecto.

[0083] Exemplo 8: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 7, em que pelo menos um material isolante pelo menos parcialmente preenche o sulco.

[0084] Exemplo 9: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 8, em que o pelo menos um material isolante é selecionado do grupo que consiste em vidro de borofosfossilicato, um óxido de silício não condutor, um material dielétrico fiado, e combinações dos mesmos.

[0085] Exemplo 10: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 9, em que o pelo menos um material isolante é uma combinação de vidro de borofosfossilicato, SiO_2, e de um material dielétrico fiado.

[0086] Exemplo 11: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 8, em que pelo menos um canal é formado no material isolante.

[0087] Exemplo 12: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 11, em que pelo menos um material condutor é formado no pelo menos um canal.

[0088] Exemplo 13: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 12, em que o pelo menos um material condutor é selecionado do grupo que consiste em alumínio, cobre, titânio, tungstênio, um nitreto de metal condutor, um óxido de metal condutor,

um polímero condutor, silício policristalino, e combinações dos mesmos.

[0089] Exemplo 14: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 12, em que o pelo menos um material condutor está na forma de pelo menos uma primeira camada condutora e pelo menos uma segunda camada condutora depositada na pelo menos uma primeira camada condutora.

[0090] Exemplo 15: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 14, em que a primeira camada condutora é titânio e a segunda camada condutora é tungstênio.

[0091] Exemplo 16: Esse exemplo inclui qualquer um ou todos os recursos de qualquer um dos exemplos 12 a 15, em que a espessura entre o material isolante e o canal é suficiente para isolar eletricamente o material condutor da pilha de camadas condutoras e dielétricas alternantes.

[0092] Exemplo 17: Esse exemplo inclui qualquer um ou todos os recursos de qualquer um dos exemplos 12 e 13, que inclui adicionalmente pelo menos uma camada de barreira formada entre o pelo menos um material condutor e a pilha de camadas condutoras e dielétricas alternantes.

[0093] Exemplo 18: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 17, em que a pelo menos uma camada de barreira é formada a partir de um material de barreira selecionado a partir do grupo que consiste em nitreto de titânio, nitreto de tântalo, nitreto de tungstênio, tungstênio e combinações dos mesmos.

[0094] Exemplo 19: Esse exemplo inclui qualquer um ou todos os recursos de qualquer um dos exemplos 14 e 15, que inclui adicionalmente pelo menos uma camada de barreira formada entre a primeira camada condutora e a pilha de camadas condutoras e dielétricas alternantes.

[0095] Exemplo 20: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 19, em que a pelo menos uma camada de barreira é formada a partir de um material de barreira selecionado a partir do grupo que consiste em nitreto de titânio, nitreto de tântalo, nitreto de tungstênio, tungstênio e combinações dos mesmos.

[0096] Exemplo 21: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 1, em que a pelo menos uma linha de acesso inclui pelo menos uma dentre uma linha de fonte, linha de palavra, linha de fonte de porta selecionada, e uma linha de drenagem de porta selecionada.

[0097] Exemplo 22: De acordo com esse exemplo, fornece-se um método de formação de uma memória não volátil, que inclui: fornecer uma matriz de memória que inclui uma pilha de camadas condutoras e dielétricas alternantes formada em uma camada isolante, sendo que a matriz de memória inclui adicionalmente uma região de matriz e uma região periférica; formar pelo menos uma via de matriz atravessante em pelo menos uma dentre a região de matriz e a região periférica, a via de matriz atravessante que se estende a partir de uma superfície superior da pilha de camadas condutoras e dielétricas alternantes até uma estrutura sob pelo menos uma dentre a região de matriz e a região periférica, sendo que a estrutura é eletricamente acoplada a um outro componente da memória não volátil; em que a via de matriz atravessante é configurada para possibilitar o acoplamento elétrico de pelo menos uma linha de acesso da matriz de memória à estrutura.

[0098] Exemplo 23: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 22, em que a matriz de memória inclui uma pilha vertical de células de memória.

[0099] Exemplo 24: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 22, em que um outro componente inclui conjunto de circuitos de acionador para acionar pelo menos uma sequência de

memória da matriz de memória.

[00100] Exemplo 25: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 24, em que: a matriz de memória inclui pelo menos primeira e segunda matrizes de memória cada uma das quais compreende uma pluralidade de células de memória; e o conjunto de circuitos de acionador é compartilhado entre as primeira e segunda matrizes de memória e é configurado para acionar as células de memória das mesmas.

[00101] Exemplo 26: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 23, em que a pilha de camadas condutoras e dielétricas alternantes tem uma superfície superior, e a matriz atravessante se estende a partir da superfície superior até a estrutura.

[00102] Exemplo 27: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 22, em que a formação da pelo menos uma via de matriz atravessante inclui formar pelo menos um sulco com alta razão de aspecto que se estende a partir de uma superfície superior das camadas condutoras e dielétricas alternantes até a estrutura.

[00103] Exemplo 28: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 27, em que a formação do pelo menos um sulco com alta razão de aspecto inclui causticar as camadas condutoras e dielétricas alternantes com um processo de causticação a seco.

[00104] Exemplo 29: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 27, em que a formação da pelo menos uma via de matriz atravessante inclui adicionalmente preencher o pelo menos um sulco com alta razão de aspecto com pelo menos um material isolante.

[00105] Exemplo 30: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 25, em que o pelo menos um material isolante é selecionado do grupo que consiste em vidro de borofosfossilicato, um óxido de silício não condutor, um material dielétrico fiado, e combinações dos mesmos.

[00106] Exemplo 31: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 30, em que o pelo menos um material isolante é uma combinação de vidro de borofosfossilicato, SiO_2, e de um material dielétrico fiado.

[00107] Exemplo 32: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 31, em que o preenchimento de pelo menos um sulco com alta razão de aspecto inclui: depositar o vidro de borofosfossilicato no pelo menos um sulco com alta razão de aspecto; depositar tetraortossilicato no vidro de borofosfossilicato por meio de deposição de vapor químico; converter o tetraortossilicato em sílica; e depositar um material dielétrico fiado em pelo menos um dentre a sílica e o borofosfossilicato.

[00108] Exemplo 33: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 29, em que a formação da pelo menos uma via de matriz atravessante inclui adicionalmente formar pelo menos um canal no pelo menos um material isolante.

[00109] Exemplo 34: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 33, em que a formação do pelo menos um canal inclui causticar o pelo menos um material isolante de modo que o canal se estenda de uma superfície superior do pelo menos um material isolante até o componente.

[00110] Exemplo 35: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 34, em que a causticação do pelo menos um material isolante é realizada com um processo de causticação a seco.

[00111] Exemplo 36: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 33, em que a formação da pelo menos uma via de matriz atravessante inclui adicionalmente preencher o pelo menos canal com pelo menos um material condutor.

[00112] Exemplo 37: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 36, em que o pelo menos um material condutor é

selecionado do grupo que consiste em alumínio, cobre, titânio, tungstênio, um nitreto de metal condutor, um óxido de metal condutor, um polímero condutor, silício policristalino, e combinações dos mesmos.

[00113] Exemplo 38: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 36, em que o pelo menos um material condutor está na forma de pelo menos uma primeira camada condutora e pelo menos uma segunda camada condutora depositada na pelo menos uma primeira camada condutora.

[00114] Exemplo 39: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 38, em que a primeira camada condutora é titânio e a segunda camada condutora é tungstênio.

[00115] Exemplo 40: Esse exemplo inclui qualquer um ou todos os recursos de qualquer um dos exemplos 36 a 39, em que a espessura entre o material isolante e o canal é suficiente para isolar eletricamente o material condutor da pilha de camadas condutoras e dielétricas alternantes.

[00116] Exemplo 41: Esse exemplo inclui qualquer um ou todos os recursos de qualquer um dos exemplos 36 e 37, que inclui adicionalmente formar pelo menos uma camada de barreira entre o pelo menos um material condutor e a pilha de camadas condutoras e dielétricas alternantes.

[00117] Exemplo 42: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 41, em que a pelo menos uma camada de barreira é formada a partir de um material de barreira selecionado a partir do grupo que consiste em nitreto de titânio, nitreto de tântalo, nitreto de tungstênio, tungstênio e combinações dos mesmos.

[00118] Exemplo 43: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 41, em que a formação da pelo menos uma camada de barreira é realizada com o uso de pelo menos uma dentre

a deposição de vapor químico, a deposição de vapor físico, a deposição de feixe de elétron, a deposição de camada atômica e a deposição a laser pulsado.

[00119] Exemplo 44: Esse exemplo inclui qualquer um ou todos os recursos de qualquer um dos exemplos 38 e 39, que inclui adicionalmente formar pelo menos uma camada de barreira entre a primeira camada condutora e a pilha de camadas condutoras e dielétricas alternantes.

[00120] Exemplo 45: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 44, em que a pelo menos uma camada de barreira é formada a partir de um material de barreira selecionado a partir do grupo que consiste em nitreto de titânio, nitreto de tântalo, nitreto de tungstênio, tungstênio e combinações dos mesmos.

[00121] Exemplo 46: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 44, em que a formação da pelo menos uma camada de barreira é realizada com o uso de pelo menos uma dentre a deposição de vapor químico, a deposição de vapor físico, a deposição de feixe de elétron, a deposição de camada atômica e a deposição a laser pulsado.

[00122] Exemplo 47: Esse exemplo inclui qualquer um ou todos os recursos do exemplo 22, em que a pelo menos uma linha de acesso inclui pelo menos uma dentre uma linha de fonte, linha de palavra, linha de fonte de porta selecionada e uma linha de drenagem de porta selecionada.

[00123] Os termos e as expressões que foram empregados no presente documento são usados como termos de descrição e não de limitação, e não há intenção, no uso de tais termos e expressões, de excluir quaisquer equivalentes dos recursos mostrados e descritos (ou porções dos mesmos), e reconhece-se que várias modificações sejam possíveis no escopo das reivindicações. Dessa maneira, as reivindicações são destinadas a cobrir todos os tais equivalentes.

REIVINDICAÇÃO

1. Memória não volátil **caracterizada** pelo fato de que compreende:

uma matriz de memória (100) que compreende uma pilha de camadas condutoras (505) e dielétricas (504) alternantes formada em uma camada isolante (508), sendo que dita pilha de camadas condutoras e dielétricas compreende uma superfície superior, sendo que a matriz de memória compreende ainda uma região de matriz (501) e uma região periférica (502);

uma estrutura condutora (509) formada sob pelo menos uma dentre a região de matriz (501) e a região periférica (501) e eletricamente acoplada a um outro componente da dita memória não volátil; e

em que um sulco (510) é formado através de dita pilha de camadas condutoras e dielétricas a partir da superfície superior até a estrutura condutora (509);

uma via de matriz atravessante formada em pelo menos uma dentre a dita região de matriz (501) e a dita região periférica (502);

em que pelo menos uma linha de acesso da dita matriz de memória (100) é roteada através da dita via de matriz atravessante

em que o dito um outro componente compreende conjunto de circuitos de acionador para acionar pelo menos uma sequência da memória (112) da dita matriz de memória (100)

sendo que a dita matriz de memória (100) compreende pelo menos primeira e segunda matrizes de memória, cada uma das quais compreende uma pluralidade de células de memória; e

o dito conjunto de circuitos de acionador é compartilhado entre as ditas primeira e segunda matrizes de memória e é configurado para acionar as células de memória do mesmo.

2. Memória não volátil, de acordo com a reivindicação 1, **caracterizada** pelo fato de que a dita via de matriz atravessante é formada pelo menos na dita região periférica.

3. Memória não volátil, de acordo com a reivindicação 1, **caracterizada** pelo fato de que a dita matriz de memória compreende uma pilha vertical de células de memória.

4. Memória não volátil, de acordo com a reivindicação 1, **caracterizada** pelo fato de que:

a dita via de matriz atravessante compreende pelo menos um sulco com alta razão de aspecto que se estende a partir da dita superfície superior até a dita estrutura; e

pelo menos um material isolante pelo menos parcialmente preenche o dito sulco.

5. Memória não volátil, de acordo com a reivindicação 4, **caracterizada** pelo fato de que o dito pelo menos um material isolante (508) é uma combinação de vidro de borofosfossilicato, SiO2, e um material dielétrico fiado.

6. Memória não volátil, de acordo com a reivindicação 4, **caracterizada** pelo fato de que:

pelo menos um canal é formado no dito material isolante (508); e

pelo menos um material condutor é formado no dito pelo menos um canal.

7. Memória não volátil, de acordo com a reivindicação 6, **caracterizada** pelo fato de que o dito pelo menos um material condutor está na forma de pelo menos uma primeira camada condutora e pelo menos uma segunda camada condutora depositada na pelo menos uma primeira camada condutora.

8. Memória não volátil, de acordo com a reivindicação 6, **caracterizada** pelo fato de que compreende ainda pelo menos uma

camada de barreira formada entre o dito pelo menos um material condutor e a dita pilha de camadas condutoras (504) e dielétricas (505) alternantes.

9. Memória não volátil, de acordo com a reivindicação 8, **caracterizada** pelo fato de que a pelo menos uma camada de barreira é formada a partir de um material de barreira selecionado a partir do grupo que consiste em nitreto de titânio, nitreto de tântalo, nitreto de tungstênio, tungstênio e combinações dos mesmos.

10. Memória não volátil, de acordo com a reivindicação 7, **caracterizada** pelo fato de que compreende ainda pelo menos uma camada de barreira formada entre a dita primeira camada condutora e a dita pilha de camadas condutoras (504) e dielétricas (505) alternantes, em que a dita pelo menos uma camada de barreira é formada a partir de um material de barreira selecionado a partir do grupo que consiste em nitreto de titânio, nitreto de tântalo, nitreto de tungstênio, tungstênio e combinações dos mesmos.

11. Memória não volátil, de acordo com a reivindicação 1, **caracterizada** pelo fato de que a dita pelo menos uma linha de acesso compreende pelo menos uma dentre uma linha de fonte, linha de palavra, selecionar linha de fonte de porta e uma linha de drenagem de porta selecionada.

12. Método de formação de uma memória não volátil **caracterizado** pelo fato de que compreende:

fornecer uma matriz de memória (100) que compreende uma pilha de camadas condutoras (504) e dielétricas (505) alternantes formada em uma camada isolante (508), sendo que dita pilha de camadas condutoras e dielétricas compreende uma superfície superior, sendo que a matriz de memória compreende ainda uma região de matriz (501) e uma região periférica (502);

formar pelo menos uma via de matriz atravessante em pelo menos dita região de matriz (501), sendo que a via de matriz atravessante

se estende a partir de uma superfície superior da dita pilha de camadas condutoras (504) e dielétricas (505) alternantes até uma estrutura (502) sob pelo menos a região de matriz, sendo que a estrutura (502) é eletricamente acoplada a um outro componente da dita memória não volátil;

formar um sulco (510) através de dita pilha de camadas condutoras e dielétricas a partir da superfície superior até a estrutura condutora (509);

em que a via de matriz atravessante é configurada para habilitar o acoplamento elétrico de pelo menos uma linha de acesso da dita matriz de memória (100) à dita estrutura (509)

sendo que,

o dito um outro componente compreende conjunto de circuitos de acionador para acionar pelo menos uma sequência de memória (112) da dita matriz de memória;

a dita matriz de memória compreende pelo menos primeira e segunda matrizes de memória, cada uma das quais compreende uma pluralidade de células de memória; e

o dito conjunto de circuitos de acionador é compartilhado entre as ditas primeira e segunda matrizes de memória e é configurado para acionar as células de memória do mesmo.

13. Método, de acordo com a reivindicação 12, **caracterizado** pelo fato de que a dita matriz de memória compreende uma pilha vertical de células de memória.

14. Método, de acordo com a reivindicação 13, **caracterizado** pelo fato de que:

a dita pilha de camadas condutoras (504) e dielétricas (505) alternantes tem uma superfície superior, e a dita matriz atravessante se estende a partir da dita superfície superior até a dita estrutura (509); e

a formação da dita pelo menos uma via de matriz atravessante compreende formar pelo menos um sulco (510) com alta razão de aspecto que se estende a partir de uma superfície superior das ditas camadas condutoras (504) e dielétricas (505) alternantes até a dita estrutura (509).

15. Método, de acordo com a reivindicação 14, **caracterizado** pelo fato de que a formação do dito pelo menos um sulco (510) com alta razão de aspecto compreende causticar as ditas camadas condutoras e dielétricas alternantes com um processo de causticação a seco.

16. Método, de acordo com a reivindicação 15, **caracterizado** pelo fato de que a formação da dita pelo menos uma via de matriz atravessante compreende ainda o preenchimento do dito pelo menos um sulco (510) com alta razão de aspecto com pelo menos um material isolante.

17. Método, de acordo com a reivindicação 16, **caracterizado** pelo fato de que o preenchimento do dito pelo menos um sulco (510) com alta razão de aspecto compreende:

depositar vidro de borofosfossilicato no dito pelo menos um sulco com alta razão de aspecto;

depositar tetraortossilicato no dito vidro de borofosfossilicato por meio de deposição de vapor químico;

converter o dito tetraortossilicato em sílica; e

depositar um material dielétrico fiado em pelo menos um dentre a dita sílica e o dito vidro de borofosfossilicato.

18. Método, de acordo com a reivindicação 16, **caracterizado** pelo fato de que a formação da dita pelo menos uma via de matriz atravessante compreende ainda formar pelo menos um canal no dito pelo menos um material isolante que se estende a partir de uma

superfície superior do dito pelo menos um material isolante até o dito componente.

19. Método, de acordo com a reivindicação 18, **caracterizado** pelo fato de que a formação da dita pelo menos uma via de matriz atravessante compreende ainda o preenchimento do dito pelo menos um canal com pelo menos um material condutor.

20. Método, de acordo com a reivindicação 19, **caracterizado** pelo fato de que o dito pelo menos um material condutor está na forma de pelo menos uma primeira camada condutora e pelo menos uma segunda camada condutora depositada na pelo menos uma primeira camada condutora.

21. Método, de acordo com a reivindicação 20, **caracterizado** pelo fato de que a dita primeira camada condutora é titânio e a segunda camada condutora é tungstênio.

22. Método, de acordo com qualquer uma das reivindicações 19 e 21, **caracterizado** pelo fato de que compreende ainda formar pelo menos uma camada de barreira entre o dito pelo menos um material condutor e a dita pilha de camadas condutoras e dielétricas alternantes.

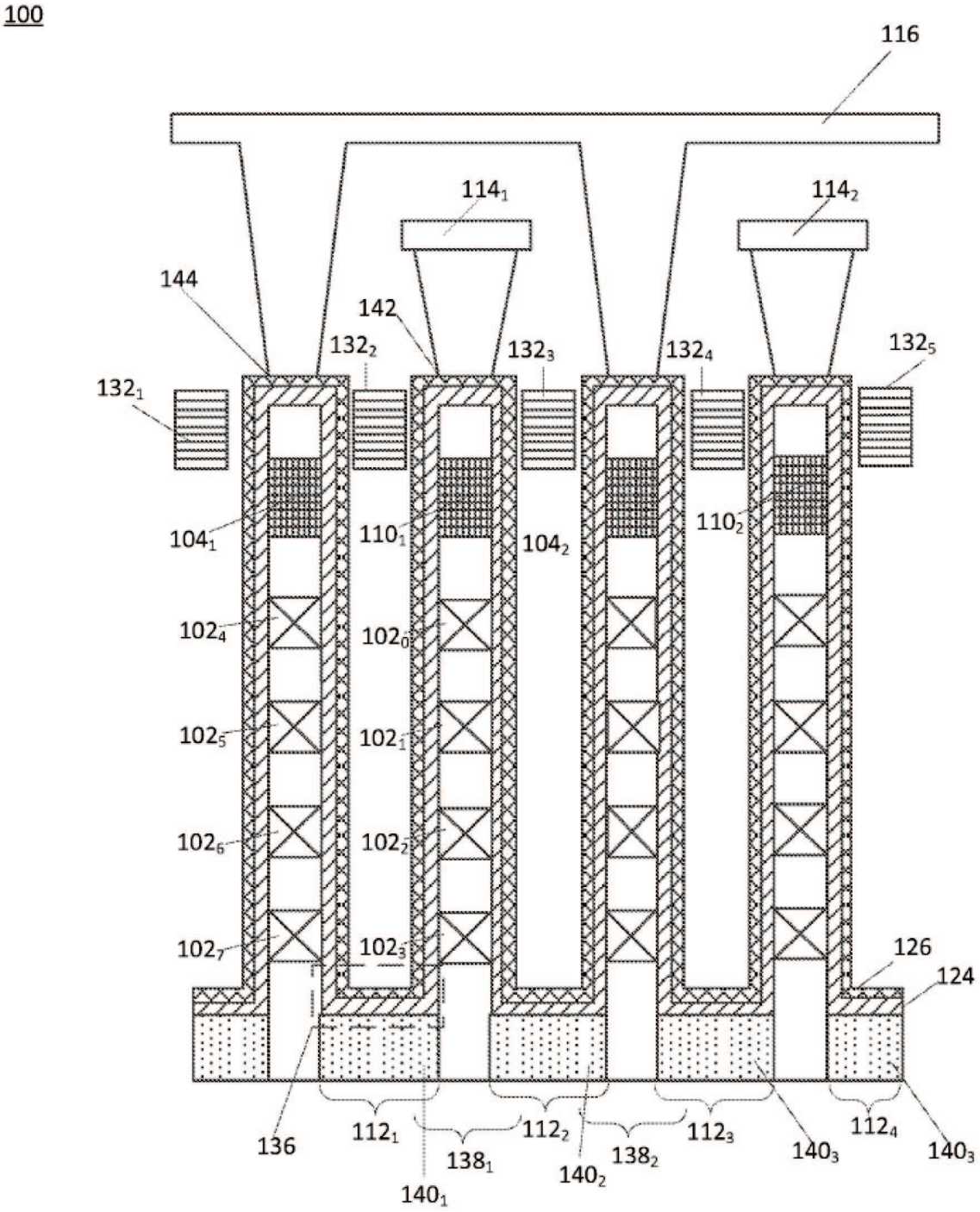

100
116
114_1
114_2
144
142
132_2
132_3
132_4
132_5
132_1
104_1
110_1
104_2
110_2
102_4
102_0
102_5
102_1
102_6
102_2
102_7
102_3
126
124
136
112_1
112_2
112_3
112_4
138_1
138_2
140_1
140_2
140_3
140_3

FIG. 1

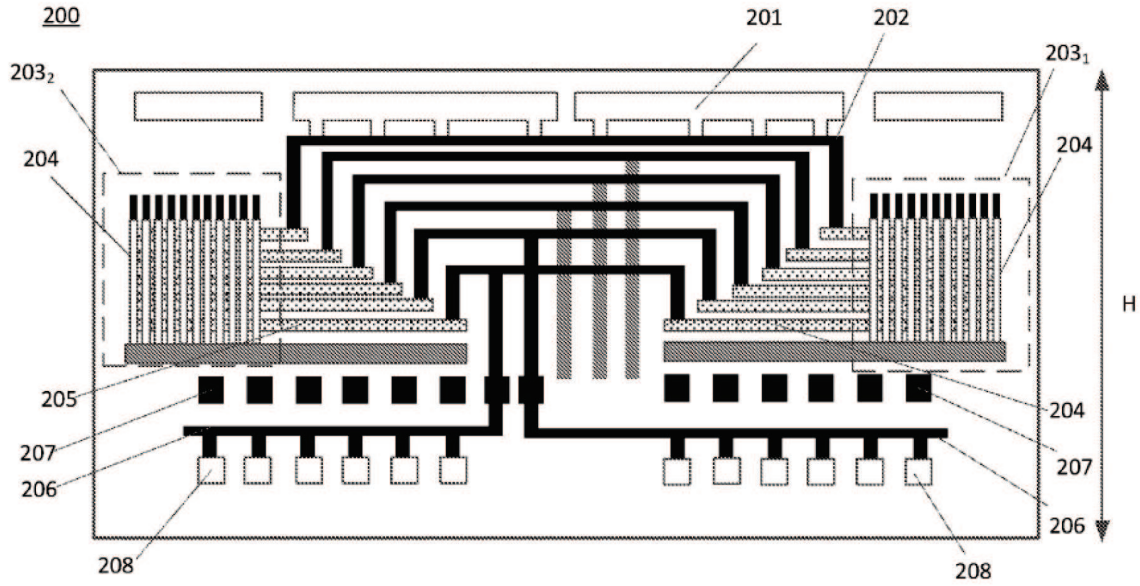

200
201
202
203_1
203_2
204
204
H
205
204
207
207
206
206
208
208

FIG. 2A

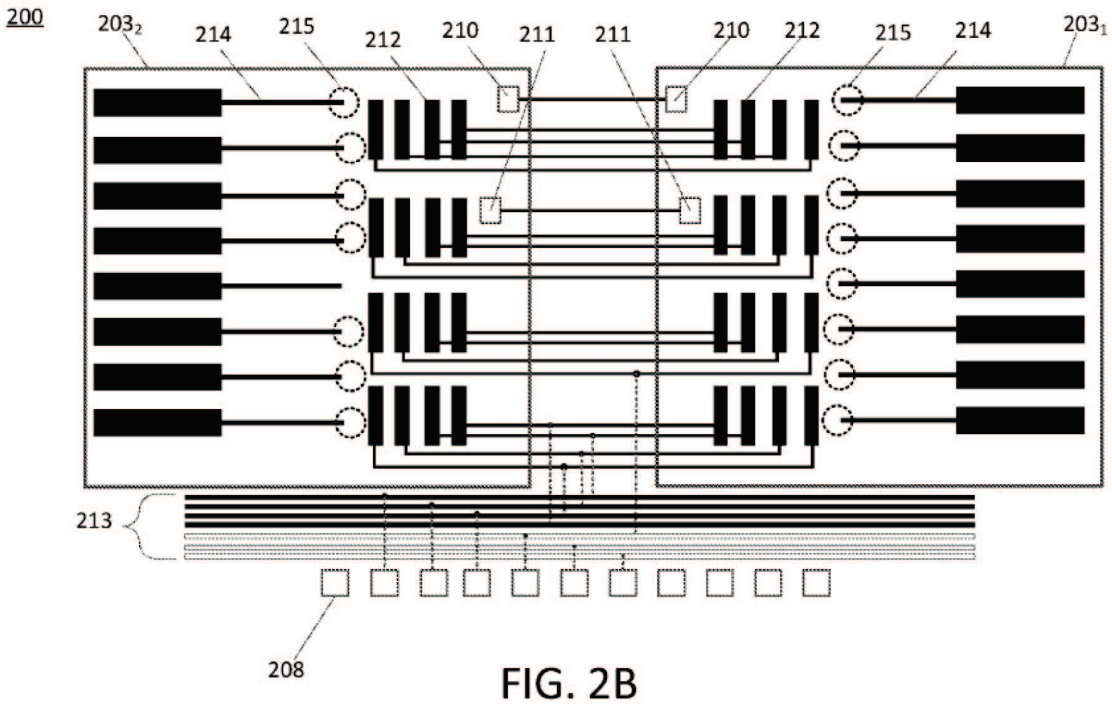

200
203_2
214
215
212
210
211
211
210
212
215
214
203_1
213
208

FIG. 2B

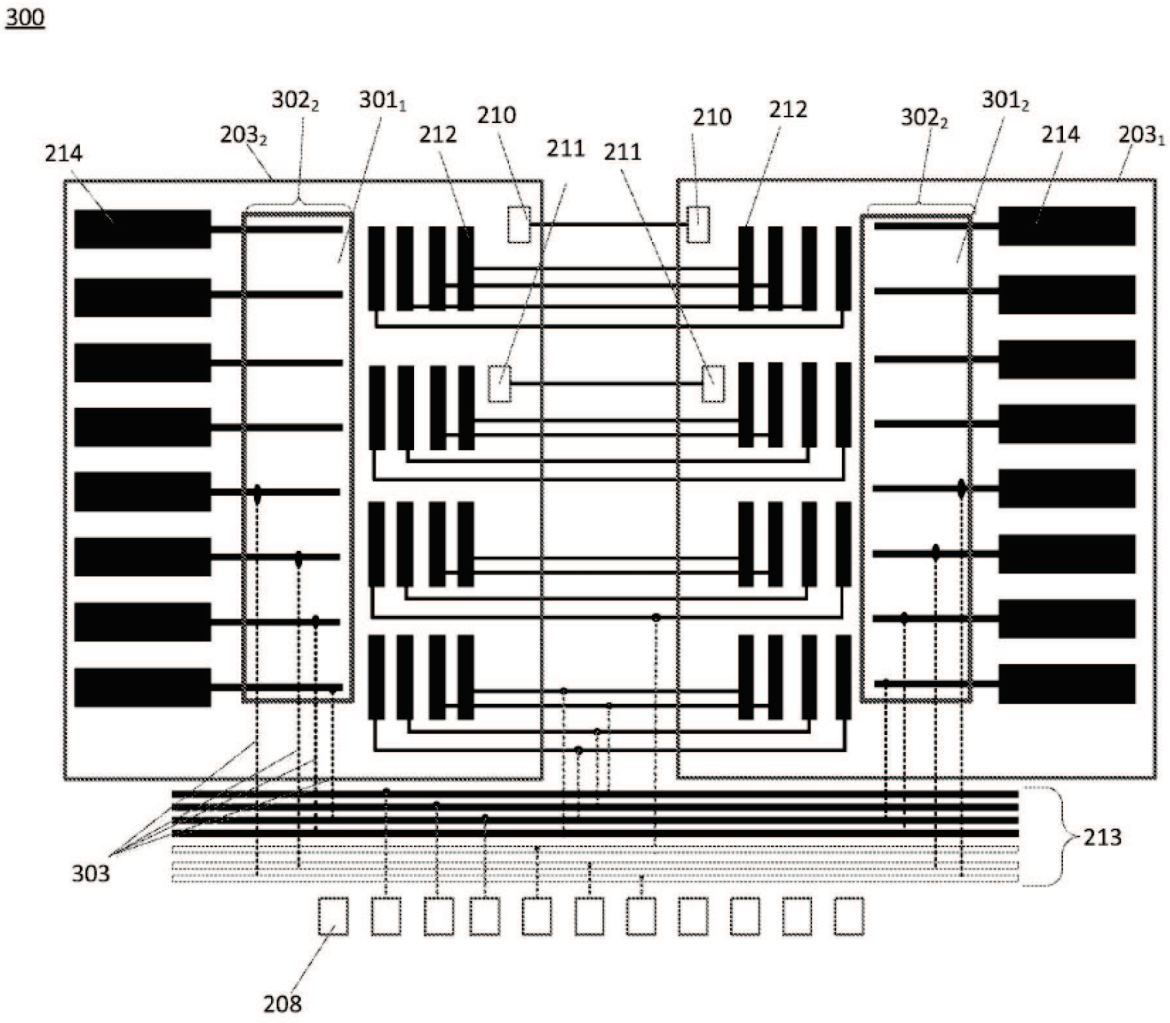

300
302_2
301_1
203_2
214
212
210
211
211
210
212
302_2
301_2
214
203_1
213
303
208

FIG. 3

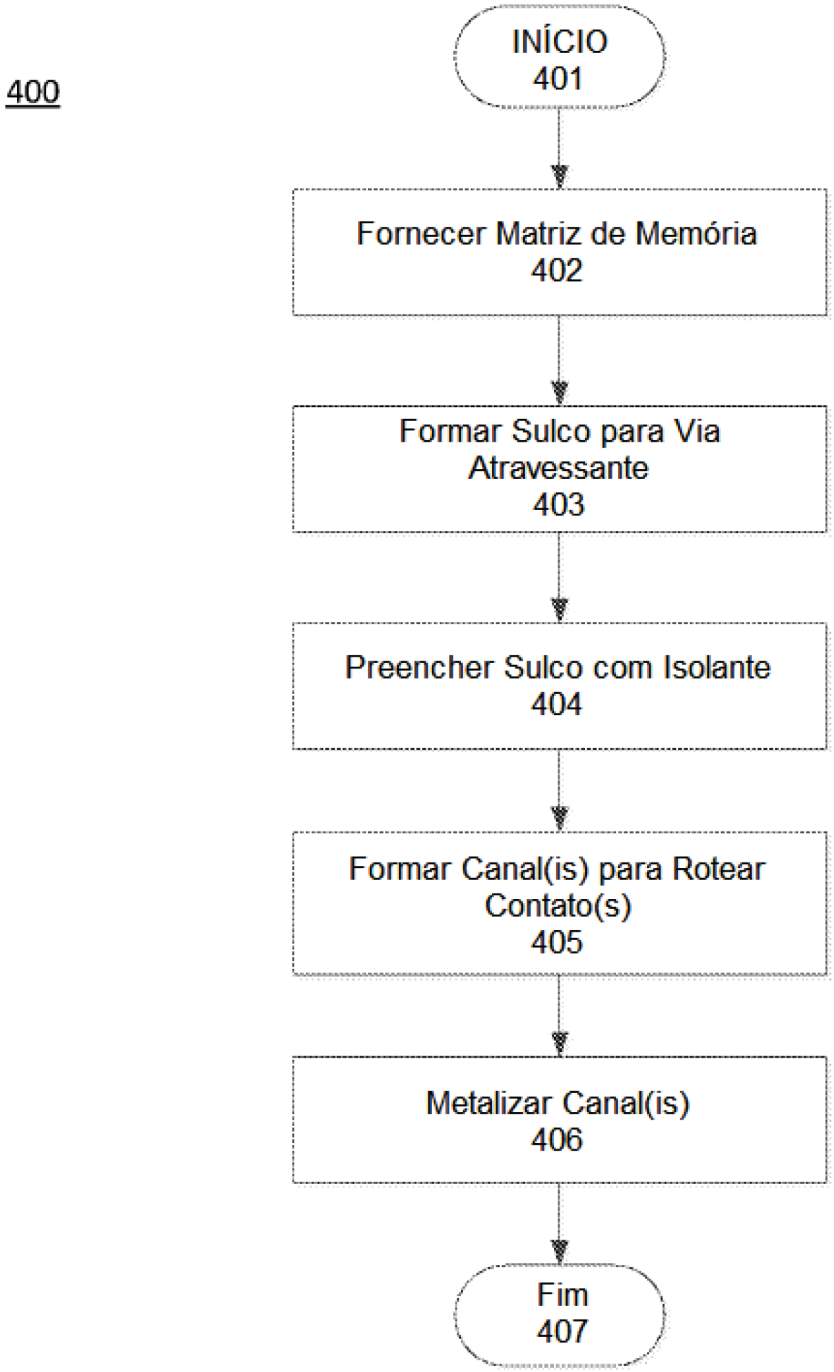

400
INÍCIO
401
Fornecer Matriz de Memória
402
Formar Sulco para Via Atravessante
403
Preencher Sulco com Isolante
404
Formar Canal(is) para Rotear Contato(s)
405
Metalizar Canal(is)
406
Fim
407

FIG. 4

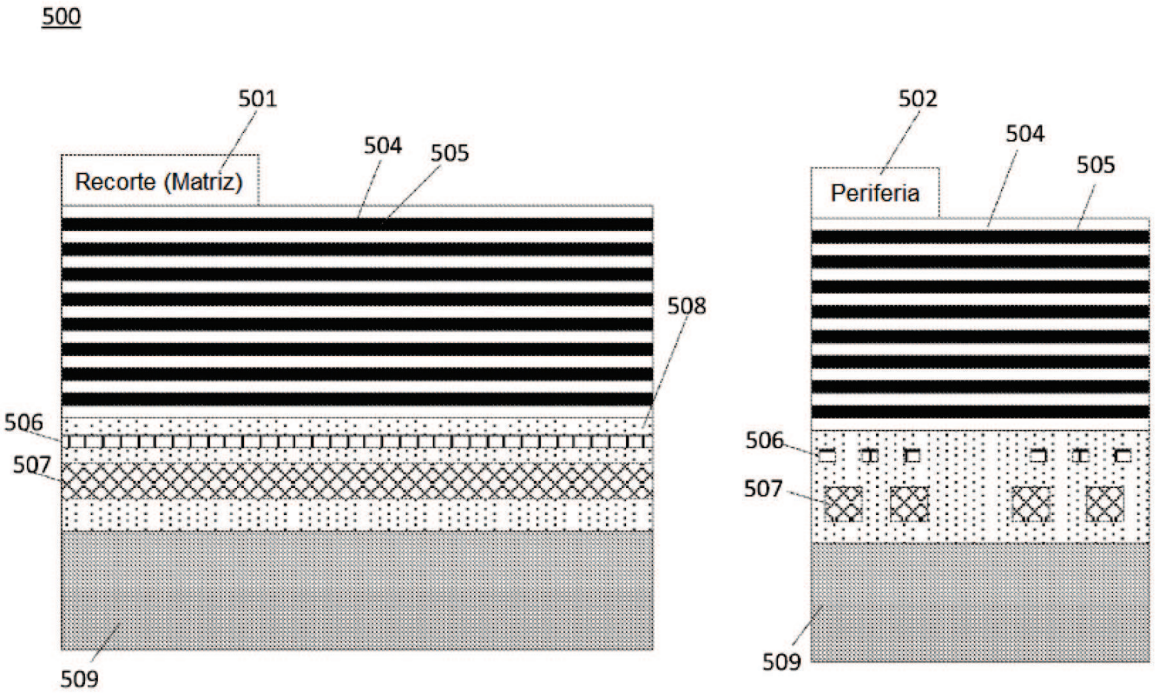

500
501
504
505
Recorte (Matriz)
508
506
507
509
502
504
505
Periferia
506
507
509

FIG. 5A

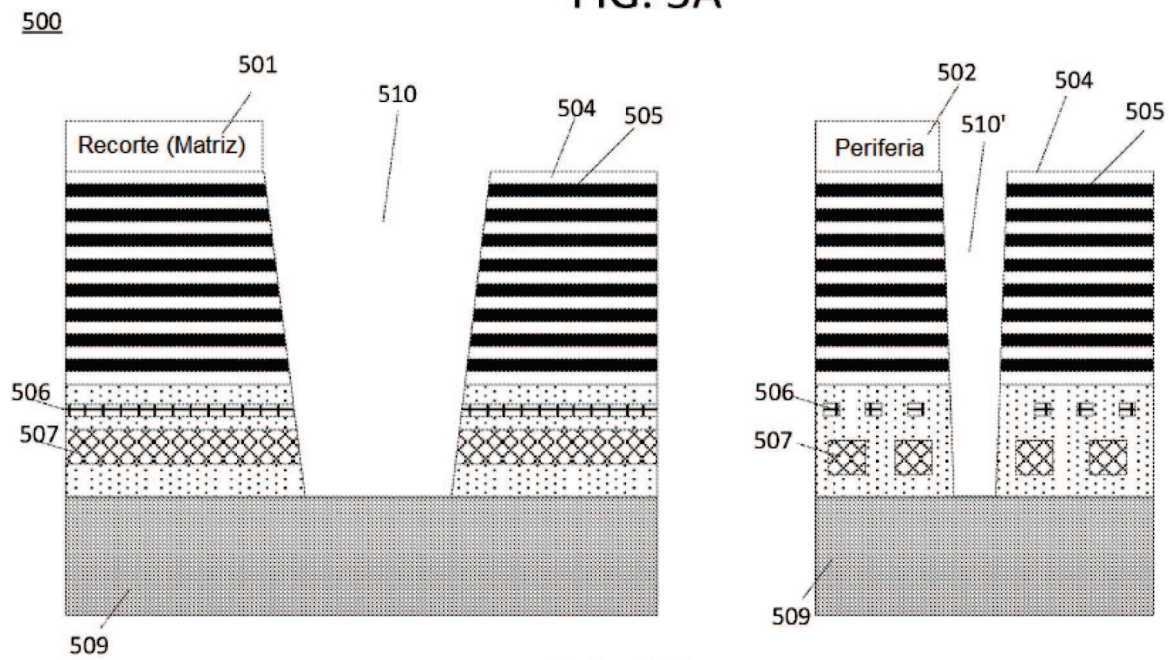

500
501
510
504
505
Recorte (Matriz)
506
507
509
502
504
505
510'
Periferia
506
507
509

FIG. 5B

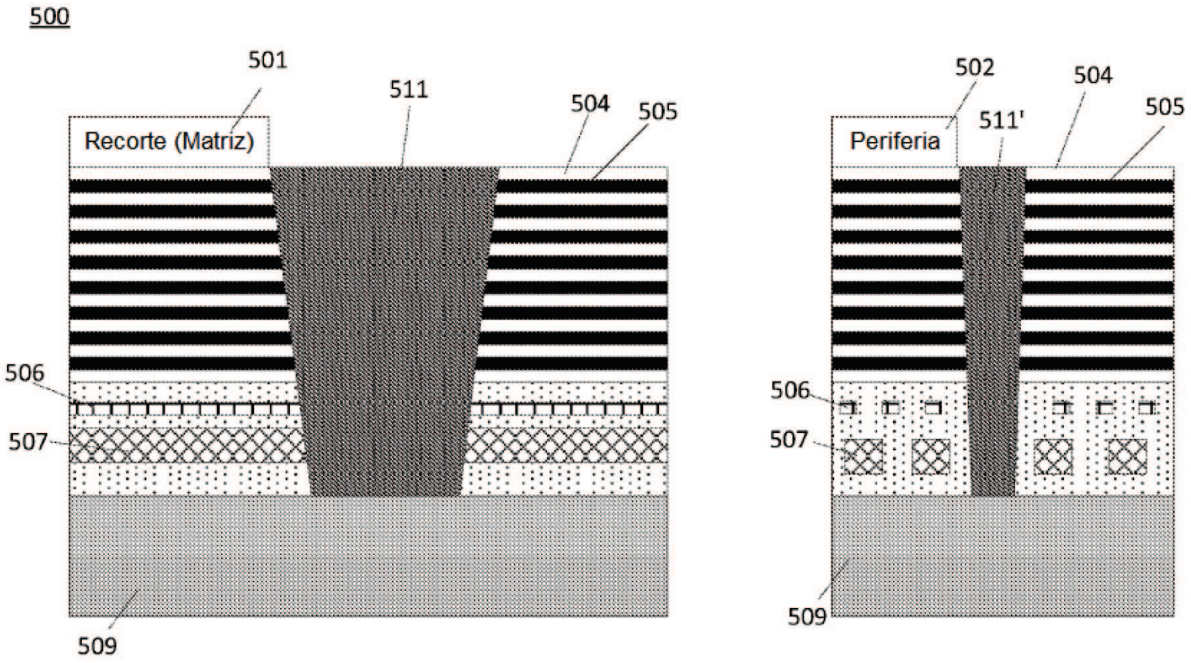

500
501
511
504
505
Recorte (Matriz)
502
504
511'
505
Periferia
506
507
506
507
509
509

FIG. 5C

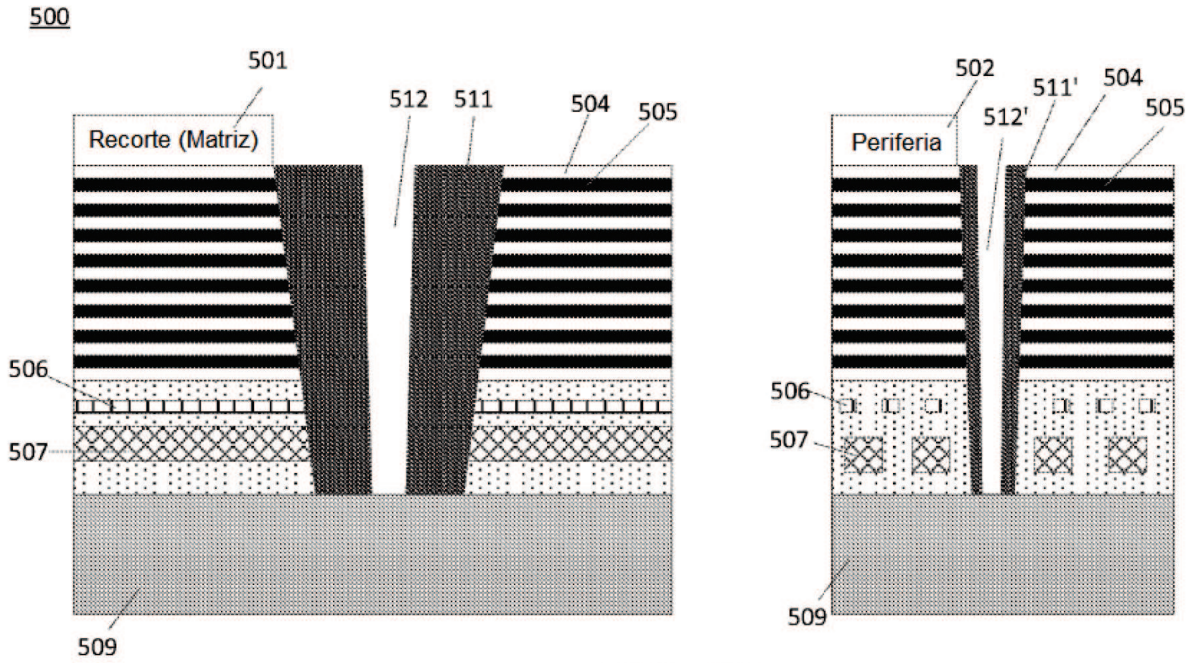

500
501
512
511
504
505
Recorte (Matriz)
502
511'
504
512'
505
Periferia
506
507
506
507
509
509

FIG. 5D

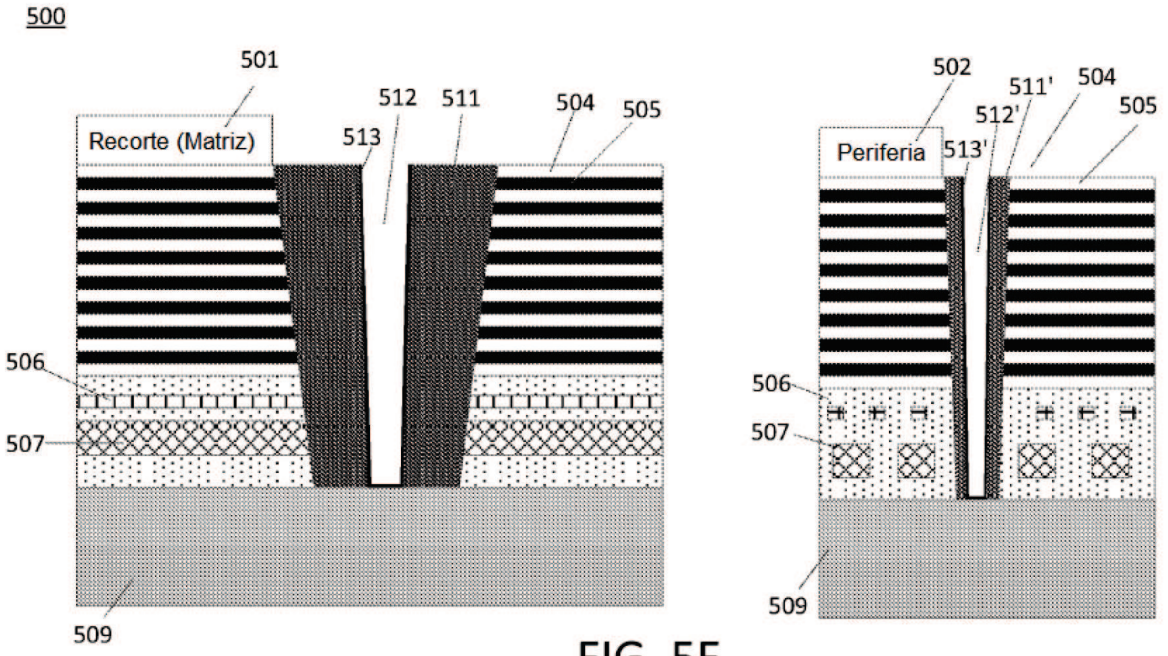

500
501
Recorte (Matriz)
512
511
513
504
505
506
507
509
502
Periferia
511'
512'
513'
504
505
506
507
509

FIG. 5E

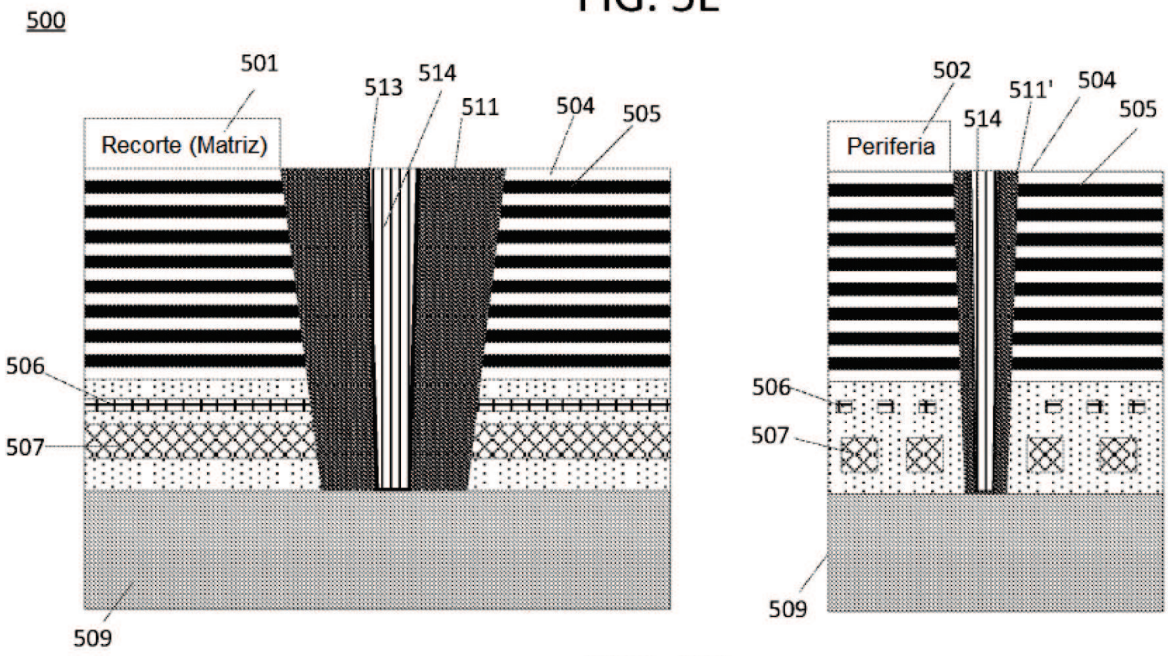

500
501
Recorte (Matriz)
513
514
511
504
505
506
507
509
502
Periferia
514
511'
504
505
506
507
509

FIG. 5F

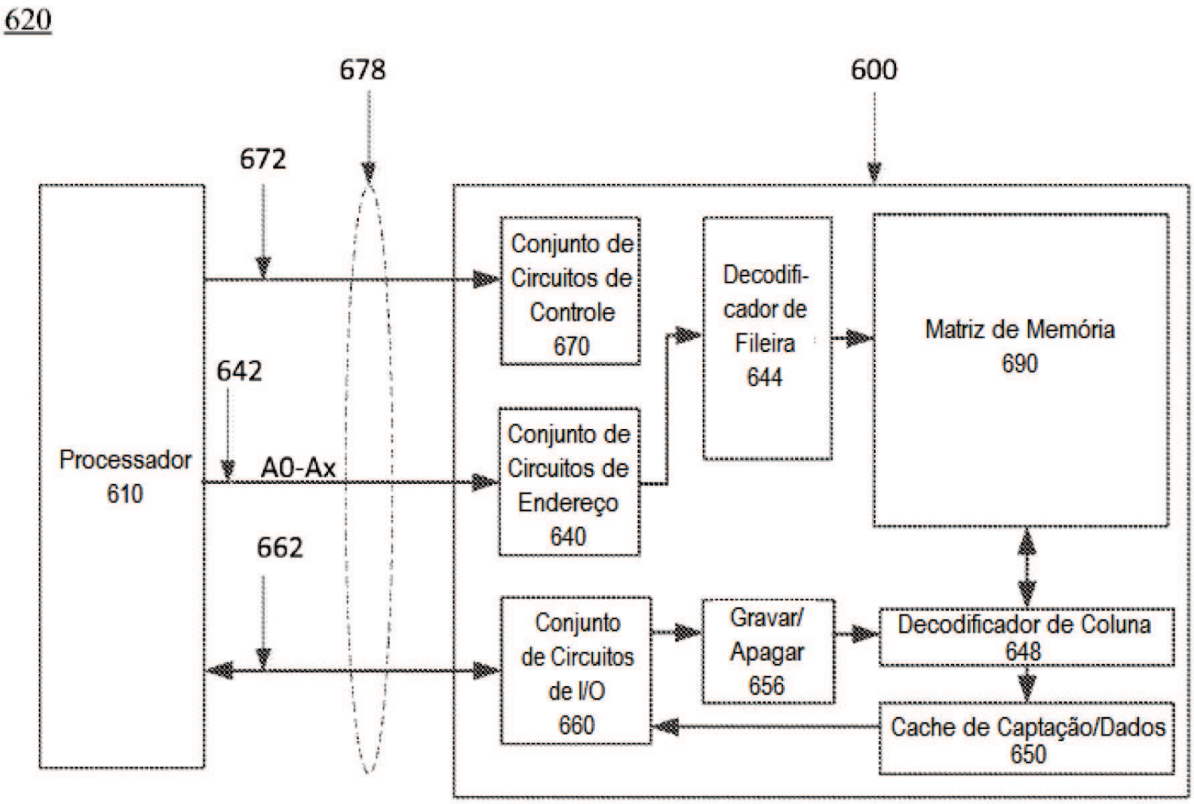

620
678
600
672
642
662
Processador
610
A0-Ax
Conjunto de Circuitos de Controle 670
Conjunto de Circuitos de Endereço 640
Conjunto de Circuitos de I/O 660
Decodificador de Fileira 644
Gravar/ Apagar 656
Matriz de Memória 690
Decodificador de Coluna 648
Cache de Captação/Dados 650

FIG. 6