

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. (45) 공고일자 2006년03월03일
G02F 1/133 (2006.01) (11) 등록번호 10-0556284
(24) 등록일자 2006년02월22일

(21) 출원번호 10-2003-0012511	(65) 공개번호 10-2003-0076270
(22) 출원일자 2003년02월28일	(43) 공개일자 2003년09월26일

(30) 우선권주장 JP-P-2002-00073495 2002년03월18일 일본(JP)

(73) 특허권자 가부시키가이샤 히타치세이사쿠쇼
 일본국 도쿄도 치요다쿠 마루노우치 1초메 6반 6고

가부시키가이샤 히타치 디스플레이즈
 일본국 치바켄 모바라시 하야노 3300

(72) 발명자 와타나베히로시
 일본국치바켄모바라시코바야시2601-9

야스카와신지
 일본국치바켄쵸우세이쿤시라코마치나카자토4835-55

키다히데토시
 일본국치바켄모바라시토우고우1301-1-101

오오이시요시히사
 일본국카나가와켄요코하마시토쓰카쿠마이오카쵸850

(74) 대리인 이종일

심사관 : 임현석

(54) 액정표시장치

요약

본 발명은 액정표시장치에 관한 것으로, 화면사이즈가 증대하는, 구동회로 일체형의 액정표시장치에 관한 것으로, 적절한 구동회로를 실현한다. 액정표시장치에 있어서, 액정표시 패널과 해당 액정표시 패널에 형성된 영상신호선에 영상신호를 공급하는 구동회로를 갖고, 구동회로는 액정표시 패널에 설치되는 화소와 동일한 공정으로 형성되는 제 1 구동회로와, 액정표시 패널형성 후에 액정표시 패널에 접속되는 제 2 구동회로로 형성되고, 제 1 구동회로는 제 2 구동회로의 출력을 복수의 영상신호선에 분배가능한 스위칭회로로 구성되는 기술을 제공한다.

내포도

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예인 액정표시장치의 개략구성을 도시하는 블럭도이다.

도 2는 본 발명의 실시예인 액정표시장치의 개략구성을 도시하는 개략 블럭도이다.

도 3은 본 발명의 실시예인 액정표시장치의 제 2 소스 드라이버의 개략 블럭도이다.

도 4는 본 발명의 실시예인 액정표시장치의 셀렉터회로의 개략 블럭도이다.

도 5는 본 발명의 실시예인 액정표시장치의 셀렉터회로의 구동을 도시하는 개략 타이밍도이다.

도 6은 본 발명의 실시예인 액정표시장치의 셀렉터회로의 개략 블럭도이다.

도 7은 본 발명의 실시예인 액정표시장치의 개략구성을 도시하는 개략 블럭도이다.

도 8은 본 발명의 실시예인 액정표시장치의 제 2 소스 드라이버와 제 1 소스 드라이버의 접속을 도시하는 개략 블럭도이다.

도 9는 발명의 실시예인 액정표시장치의 제 2 소스 드라이버와 제 1 소스 드라이버의 접속을 도시하는 개략 블럭도이다.

도 10은 본 발명의 실시예인 액정표시장치의 제 2 소스 드라이버의 개략 블럭도이다.

도 11은 본 발명의 실시예인 액정표시장치의 제 2 소스 드라이버의 개략 블럭도이다.

도 12는 본 발명의 실시예인 액정표시장치의 제 2 소스 드라이버의 개략 블럭도이다.

도 13은 본 발명의 실시예인 액정표시장치의 제 2 소스 드라이버와 제 1 소스 드라이버의 접속을 도시하는 개략 블럭도이다.

도 14는 본 발명의 실시예인 액정표시장치의 개략구성을 도시하는 개략 블럭도이다.

도 15는 본 발명의 실시예인 액정표시장치의 개략구성을 도시하는 개략 블럭도이다.

도 16은 본 발명의 실시예인 액정표시장치의 제 2 소스 드라이버를 도시하는 개략 블럭도이다.

도 17은 본 발명의 실시예인 액정표시장치의 제 2 소스 드라이버를 도시하는 개략 블럭도이다.

도 18은 본 발명의 실시예인 액정표시장치의 제 2 소스 드라이버를 도시하는 개략 블럭도이다.

도 19는 본 발명의 실시예인 액정표시장치의 구동방법을 도시하는 개략 타이밍도이다.

도 20은 본 발명의 실시예인 액정표시장치의 구동방법을 도시하는 개략 타이밍도이다.

도 21은 본 발명의 실시예인 액정표시장치의 구동방법을 도시하는 개략 타이밍도이다.

<도면의 주요부분에 대한 부호의 설명>

1 : 액정표시 패널 2 : 표시부

3 : 콘트롤러 4 : 전원회로

5 : 데이터 버스 라인 6 : 제 2 소스 드라이버

7 : 게이트 드라이버 8 : 영상신호선

9 : 주사신호선 10 : 박막 트랜지스터

11 : 화소부 12 : 화소전극

13 : 대향전극 60 : 제 1 소스 드라이버

63, 71 : 분배제어신호선 66, 74, 76 : 플렉시블 기판

70 : 프린트 배선 기판 72 : 대향전극 신호선

73 : 전원선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 폴리실리콘을 이용하는 박막 트랜지스터(TFT)방식 등의 액티브 매트릭스형 액정표시장치에 관한 것이다.

액정표시장치 중에서, TFT(Thin Film Transistor)방식의 액정표시장치는, 퍼스널 컴퓨터 등의 표시장치로서 널리 사용되고 있다. 액정표시장치는 액정표시 패널과, 액정표시패널을 구동하는 구동회로를 구비하고 있다. 액정표시 패널은 2매의 기판을 대향시키고, 해당 2매의 기판간에 간극을 설치하고, 이 간극에 액정조성물을 봉입하여 형성한다. 액정표시 패널을 형성하는 기판은 화소전극과 대향전극을 갖고 있다. 화소전극과 대향전극 사이에 전압을 인가하면, 화소전극과 대향전극 사이에 존재하는 액정분자의 배향방향이 변화하고, 액정표시 패널의 광투과율이 변화한다. 이 광투과율의 변화를 이용하여 표시가 이루어진다. TFT방식의 액정표시장치는, 화소전극마다 스위칭소자를 갖고 있고, 이 스위칭소자를 이용하여 화소전극에 전압이 공급된다.

TFT방식의 액정표시장치에 있어서 화소전극을 한쪽 기판에 설치하고, 대향전극을 다른 쪽 기판에 설치한, 세로전계 방식의 액정표시장치와, 화소전극과 대향전극을 한쪽 기판에 설치한, 가로전계 방식의 액정표시장치가 알려져 있다.

화소전극에 인가되는 전압은, 화소전극의 근방까지 화상신호선을 통해 공급되고, 스위칭소자에 접속되어 있다. 또, 스위칭소자를 온/오프하는 신호는 주사신호선에 의해 공급된다. TFT방식의 액정표시장치에 있어서, 화상신호선은 예를 들면 세로방향으로 연재하고 가로방향으로 복수개 병설된다. 또, 주사신호선은 영산신호선과 교차하여 가로방향으로 연재하고 세로방향으로 복수개 병설된다. 그리고, 인접하는 2개의 영상신호선과, 해당 영상신호선과 교차하는 2개의 주사신호선에 둘러싸인 영역에 화소전극이 형성된다. 화소전극은 매트릭스상에 배치되어 표시영역을 형성한다. 표시영역의 주변에는 영상신호선과 주사신호선에 신호를 공급하는 구동회로가 형성된다.

스위칭소자로서, 비정질 실리콘을 이용한 TFT와, 폴리실리콘을 이용한 TFT(이하 폴리실리콘 TFT라 한다.)가 알려져 있다. 폴리실리콘 TFT를 이용하는 액정표시장치에 있어서, 화소전극을 형성하는 기판과 동일한 기판상에 구동회로를 형성하는 액정표시장치(이하 구동회로 일체형 액정표시장치라 한다.)가 알려져 있다.

화상은 외부(예를 들면 퍼스널 컴퓨터)에서 영상신호로서 영상표시장치에 입력한다. 영상신호는 각 화소전극에 인가하는 전압(계조전압)에 관한 데이터를 갖고 있다. 일반적으로 영상신호는 아날로그신호 또는 디지털신호이다. 폴리실리콘 TFT를 이용하는 구동회로 일체형 액정표시장치에서는 종래부터 아날로그신호 입력형 구동회로가 이용되어 왔다. 아날로그신호 입력형 구동회로는 외부에서 영상신호를 아날로그신호로 받고, 구동회로에서 아날로그신호를 샘플 홀드하여 영상신호선으로 출력한다.

발명이 이루고자 하는 기술적 과제

구동회로 일체형 액정표시장치에 있어서는, 화면사이즈가 증대함에 따라, 구동회로의 규모가 커져 있다. 또, 폴리실리콘 TFT를 이용하는 구동회로 일체형 액정표시장치에 있어서도, 액정표시장치에 입력하는 신호를 디지털신호로 받고, 구동회로에서 화소전극에 인가하는 전압으로 변환하는 디지털-아날로그 변환형 구동회로가 요구되고 있다.

또한, 제조공정을 간소화할 목적으로, 불량 발생율을 저하시키기 위해서, n형 반도체 또는 p형 반도체 중 어느 한쪽 반도체를 이용하여 구동회로 일체형 액정표시장치를 제조하는 시도도 있다. 그러나, 폴리실리콘 TFT에 있어서 디지털-아날로그 변환형 구동회로를 형성하는 경우에, 화면 사이즈의 증대와 함께 화소수가 증가하면, 구동속도에 대해 구동회로의 성능이 따라갈 수 없는 문제와 회로규모가 증대하고 신호 및 전원용 배선의 인회가 길어지고 신호파형의 왜곡과 노이즈의 영향을 무시할 수 없게 되는 문제가 발생한다. 또한, 한쪽 도전형만을 이용하여 구동회로를 형성하는 경우에는, 상기 문제점이 현저해진다.

본 발명은, 상기 종래기술의 문제점을 해결하기 위해 이루어진 것이고, 폴리실리콘 TFT 액정표시장치에 있어서, 적절한 구동회로를 실현하는 기술을 제공한다.

본 발명의 상기 및 그 외의 목적과 신규 특징은, 본 명세서의 기술 및 첨부도면에 의해 명확하게 알 수 있을 것이다.

본원에 있어서 개시되는 발명 중, 대표적일 것의 개요를 간단히 설명하면, 하기와 같다.

즉 본 발명은, 액정표시장치에 있어서, 액정표시 패널과 해당 액정표시 패널에 영상신호를 공급하는 구동회로를 갖고, 구동회로는 액정표시 패널에 설치되는 화소와 동일한 공정으로 형성되는 제 1 구동회로와, 액정표시 패널 형성 후에 액정표시 패널에 접속되는 제 2 구동회로로 형성되고, 제 1 구동회로는 액정표시 패널에 형성된 복수의 영상신호선이 된다.

또 본 발명은, 액정표시장치에 있어서, 액정표시 패널과 해당 액정표시 패널에 계조전압을 공급하는 구동회로를 갖고, 구동회로는 액정표시 패널에 설치되는 화소와 동일한 도전형 트랜지스터로 형성된 제 1 구동회로와, 액정표시 패널에 탑재된 제 2 구동회로로 형성된다.

또 본 발명은, 액정표시장치에 있어서 액정표시 패널과 해당 액정표시 패널에 영상신호를 공급하는 제 1 구동회로와 제 2 구동회로를 갖고, 제 2 구동회로는 플렉시블 기판에 탑재되고, 플렉시블 기판에 설치된 배선에 의해 제 1 구동회로에 신호가 공급된다.

발명의 구성 및 작용

이하, 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다.

또한, 실시예를 설명하기 위한 전체 도면에 있어서, 동일기능을 갖는 것은 동일부호를 붙이고, 그 반복설명은 생략한다.

도 1은, 본 발명의 실시예인 액정표시장치의 개략 구성을 도시하는 블력도이다.

1은 액정표시 패널, 2는 표시부이다. 표시부(2)에 표시데이터에 따라 상이 표시된다. 3은 콘트롤러이다. 콘트롤러(3)에는 외부(컴퓨터 등)에서 표시데이터, 제어신호 등이 입력된다. 콘트롤러(3)는 외부에서 표시데이터, 제어신호 등을 받고, 액정표시 패널(1)에 표시 데이터, 각종 클록신호, 각종 제어신호를 공급한다. 4는 전원회로이다. 전원회로(4)는 액정표시 패널(1)을 구동하기 위한 각종 구동전압을 발생시킨다. 액정표시 패널(1)은 구동회로에 의해 구동되지만, 본 실시예에서는 액정표시 패널(1)에 제 1 소스 드라이버(60)가 형성되고, 더우기 제 2 소스 드라이버(6)가 액정표시 패널(1)에 접속되어 있다.

제 2 소스 드라이버(6)에는 데이터 버스 라인(5)이 접속되어 있다. 데이터 버스 라인(5)에는 콘트롤러(3)에서 표시 데이터가 출력되어 있다. 또 콘트롤러(3)는 외부에서 입력된 제어신호를 변환하여 액정표시 패널(1)을 제어하는 신호를 출력한다. 콘트롤러(3)가 출력하는 제어신호로서는 제 2 소스 드라이버(6)가 표시 데이터를 주입하기 위한 클록신호, 제 1 소스 드라이버(60)에서 액정표시 패널에의 출력을 전환하기 위한 시분할 제어신호, 게이트 드라이버(7)를 구동하는 프레임 개시 지시신호와 순차 주사신호를 출력하기 위한 게이트 클록신호 등의 타이밍신호가 있다.

또, 전원회로(4)는 양극 계조전압과 음극 계조전압, 대향전극 전압, 주사신호 전압 등을 발생시켜서 출력한다. 또, 각 회로에 전원전압을 공급하는 전원선에 관해서는 도면이 번잡해지는 것을 피하기 위해 생략했다. 각 회로에는 당연히 전원전압이 공급되고 있는 것으로 한다.

콘트롤러(3)가 출력한 표시 데이터는 데이터 버스 라인(5)을 통해 제 2 소스 드라이버(6)에 전송된다. 표시 데이터는 디지털 데이터이고, 전송하는 데이터량에 따라 데이터 버스 라인(5)의 갯수가 정해진다. 예를 들면 6비트 데이터의 경우에는 데이터 버스 라인의 수는 6개가 된다. 또한, 액정표시 패널(1)은 컬러표시를 하기 위해 적(R), 녹(G), 청(B)의 화소를 갖고 있고, 적(R), 녹(G), 청(B)의 각 표시 데이터가 1쌍으로 전송된다. 그 때문에, 적(R), 녹(G), 청(B)의 각 표시 데이터를 1조로 하여 전송하는 경우에는, 합계 18개의 데이터 버스 라인이 이용된다.

또한, 적(R), 녹(G), 청(B)을 각 2화소마다 1쌍으로 하여 전송하는 경우에는, 합계 36개가 된다. 또한 8비트의 데이터인 경우에는, 48개가 된다. 도 1에서는 도를 알기 쉽게 하기 위해 데이터 버스 라인(5)은 3개의 선으로 도시하고 있다.

콘트롤러(3)는 데이터 버스 라인(5)에 단위시간별, 표시 데이터를 출력한다. 또 데이터 버스 라인(5)상에는 정해진 순서대로 표시 데이터를 출력한다. 제 2 소스 드라이버(6)는 순서대로 출력되는 표시 데이터 중에서 표시해야 할 데이터를 주입한다. 제 2 소스 드라이버(6)가 표시 데이터를 주입하는 타이밍은 클록신호에 따른다.

제 2 소스 드라이버(6)는 표시부(2)의 주변을 따라, 가로방향(X방향)으로 배치된다. 이 제 2 소스 드라이버(6)의 출력단자는 액정표시 패널(1)에 설치된, 제 1 소스 드라이버(60)에 접속하고 있다. 제 1 소스 드라이버(60)는 액정표시 패널(1)에 형성되어 있고, 제 1 소스 드라이버(60)의 출력은 액정표시 패널(1)의 영상신호선(8)에 접속하고 있다. 영상신호선(8)은 도 중의 Y방향으로 연재하고, 박막 트랜지스터(10)의 드레인전극에 접속하고 있다. 또 영상신호선(8)은 도 중 X방향으로 복수개 병렬로 배치되어 있다.

제 1 소스 드라이버(60)의 출력은 복수의 영상신호선(8)에 접속가능하도록 형성되어 있다. 제 2 소스 드라이버(6)는 표시 데이터에 따라 계조전압을 제 1 소스 드라이버(60)로 출력한다. 제 1 소스 드라이버(60)는 분배제어신호선(63)에 의해 콘트롤러(3)에서 전달되는 분배제어신호에 따라, 출력과 복수의 영상신호선(8) 사이의 접속을 전환하고, 계조전압을 각 영상신호선으로 결정된 기간 출력한다. 또, 분배제어신호선(63)은 프린트배선기판(70)에서 플렉시블 기판(66)을 통해 액정표시 패널(1)에 접속되어 있다. 또, 제 2 소스 드라이버(6)는 플렉시블 기판(66)에 탑재되고, 프린트배선기판(70)과 액정표시 패널(1) 사이에 접속되어 있다.

또한, 제 2 소스 드라이버(6), 제 1 소스 드라이버(60)의 상세에 관해서는 뒤에서 서술한다. 또, 소스, 드레인은 바이어스의 관계에서 반대가 되는 일도 있지만, 여기에서는 박막 트랜지스터(10)의 영상신호선(8)에 접속되는 영역을 소스(소스영역)라 한다.

표시부(2)의 도 중 세로방향(Y방향)의 변을 따라, 게이트 드라이버(주사회로, 7)가 형성된다. 게이트 드라이버(7)의 출력단자는 액정표시 패널(1)의 주사신호선(9)에 접속하고 있다. 주사신호선(9)은 도 중 X방향으로 연재하고, 박막 트랜지스터(10)의 게이트전극에 접속하고 있다. 주사신호선(9)은 도 중 X방향으로 연재하고, 박막 트랜지스터(10)의 게이트전극에 접속하고 있다. 또, 주사신호선(9)은 도 중 Y방향으로 복수개 병렬로 배치된다. 게이트 드라이버(7)는 콘트롤러(3)에서 보내어져 오는 프레임 개시 지시신호 및 시프트 클록에 기초하고, 1수평 주사기간별로 순차적으로 주사신호선(9)에 주사전압을 공급한다. 박막 트랜지스터(10)는 게이트전극에 인가된 주사전압에 의해 온과 오프가 제어된다.

액정표시 패널(1)의 표시부(2)는, 매트릭스상으로 배치되는 화소부(11)를 갖고 있다. 단, 도 1에서는 도를 간략화하기 위해 하나의 화소부(11)만을 도시하고 있다. 각 화소부(11)는 박막 트랜지스터(10)와 화소전극(12)을 갖고 있다. 각 화소부(11)는 인접하는 2개의 영상신호선(8)과, 인접하는 2개의 주사신호선(9)의 교차영역(4개의 신호선으로 둘러싸인 영역)에 배치된다.

앞에서 서술한 것과 같이 주사신호선(9)에는 게이트 드라이버(7)에서 주사신호가 출력하고 있다. 이 주사신호에 의해 박막 트랜지스터(10)가 온·오프한다. 영상신호선(8)에는 계조전압이 공급되어 있고, 박막 트랜지스터(10)가 온이 되면, 영상신호선(8)에서 화소전극(12)에 계조전압이 공급된다. 화소전극에 대향하도록 대향전극(13, 커먼전극)이 배치되어 있고, 화소전극과 대향전극 사이에는 액정층(미도시)이 설치되어 있다. 또한, 도 1에 도시하는 도상에서는 화소전극(12)과 대향전극(13) 사이는 등가적으로 액정용량이 접속되어 있는 것같이 표시했다.

화소전극(12)과 대향전극(13) 사이에 전압을 인가하므로써 액정층내의 액정분자의 배향방향이 변화한다. 액정표시 패널에서는 액정분자의 배향변화에 의해, 빛의 투과율이 변화하는 것을 이용하여 표시가 이루어진다. 액정표시 패널(1)이 표시하는 화상은 화소에 의해 구성된다. 화상을 구성하는 각 화소의 계조(빛의 투과율)는 화소전극(12)에 공급되는 전압에 따른다. 제 2 소스 드라이버(6)는 표시하는 계조를 표시 데이터에서 받고, 대응하는 계조전압으로 변환하여 출력한다. 그 때문에, 액정표시 패널(1)이 표시하는 화소수의 증가와 함께, 제 2 소스 드라이버(6)의 출력수도 증가한다. 또 액정표시 패널(1)이 표시하는 계조수의 증가를 따르고, 표시 데이터의 데이터량과 데이터 버스 라인(5)의 갯수도 증가한다.

다음으로 교류화 구동에 관해 설명한다. 직류전압을 액정에 장시간 인가하면 액정이 열화하는 것은 알려져 있다. 액정의 열화를 방지하기 위한 액정층에 인가하는 전압의 극성을 주기적으로 반전시키는 교류화 구동이 이루어지고 있다. 교류화 구동에서는 대향전극(13)에 대해, 화소전극(12)에 양극성, 음극성의 신호전압이 인가된다. 그 때문에, 전원회로(4)는 양극 계조전압 생성회로와 음극 계조전압 생성회로를 갖고 있다. 제 2 소스 드라이버(6)는 교류화 신호에 의해 동일한 표시 데이터라도 양극성, 음극성의 계조전압을 선택한다.

다음으로 도 2를 이용하여 제 1 소스 드라이버(60)에 관해 설명한다. 도 2에 있어서, 제 1 소스 드라이버(60)는 분배회로(61)를 갖고 있다. 분배회로(61)는 입력과 복수의 영상신호선(8) 사이의 접속을 전환할 수 있다. 분배회로(61)에는 분배제어신호선(63)이 접속되어 있고, 분배제어신호선(63)에 의해 분배제어신호가 전달된다. 분배회로(61)는 분배제어신호에 의해 제어된다. 도 중 좌단부의 분배회로(61-1)를 이용하여 설명하면, 분배회로(61-1)는 접속을 전환하므로써, 제 2 소스 드라이버(6)의 출력을 영상신호선(8-1) 내지 (8-3)에 출력할 수 있다. 단, 영상신호선(8-1) 내지 (8-3)이 동시에 제 2 소스 드라이버(6)의 출력에 접속되는 일은 없고, 예를 들면 일정한 기간, 영상신호선(8-1)에 접속된 후, 영상신호선(8-2)에 접속되는 것과 같이 각 영상신호선에의 접속은 시분할된다.

앞에서 서술한 것과 같이 제 2 소스 드라이버(6)로부터의 하나의 출력을 제 1 소스 드라이버(60)를 이용하므로써 복수개의 영상신호선(8)에 공급할 수 있다. 그 때문에 액정표시 패널(1)의 화소수가 증가한 경우에 회로규모의 증대를 방지할 수 있게 된다. 예를 들면 제 1 소스 드라이버(60)가 2개의 영상신호(8)에 계조전압을 공급가능한 경우에는, 제 2 소스 드라이버(6)의 출력회로를 1/2로 감소할 수 있다. 또, 제 2 소스 드라이버(6)와 액정표시 패널(1)과의 접속에 있어서도 접속개소수를 1/2로 할 수 있다. 또, 제 1 소스 드라이버(60)가 3개의 영상신호(8)에 계조전압을 공급가능한 경우에는, 제 2 소스 드라이버(6)의 출력회로를 1/3으로 감소할 수 있다. 또, 제 2 소스 드라이버(6)와 액정표시 패널(1)의 접속에 있어서도 접속개소수를 1/3으로 할 수 있다. 접속개소가 감소하면 접속불량 발생개소가 감소하는 것과, 접속단자의 피치를 크게 할 수 있는 것에서 접속신뢰성을 향상시킬 수 있다.

단, 3개의 영상신호선(8)에 동일한 계조전압을 공급하면, 외견상의 화소수가 감소하게 된다. 이 문제점을 해결하기 위해, 제 2 소스 드라이버(6)는 하나의 출력에서 복수개의 영상신호선(8)에 각각 공급해야 할 계조전압을 출력할 필요가 있다. 그 때문에 제 2 소스 드라이버(6)는 영상신호선(8)이 선택되어 있는 기간에 맞추어, 선택되어 있는 영상신호선(8)에 출력해야 할 계조전압을 출력한다. 즉, 제 2 소스 드라이버(6)는 시분할하여 계조전압을 출력한다.

예를 들면, 도 2에 있어서 분배회로(61-1)에 의해, 제 2 소스 드라이버(6)와 영상신호선(8-1)이 접속하고 있는 기간에는, 제 2 소스 드라이버(6)에서 영상신호선(8-1)에 출력해야 할 계조전압이 출력된다. 이후 순서대로 제 2 소스 드라이버(6)와 영상신호선(8-2)에 출력해야 할 계조전압이 출력되고, 제 2 소스 드라이버(6)와 영상신호선(8-3)이 접속되어 있는 기간에는 제 2 소스 드라이버(6)에서 영상신호선(8-3)으로 출력해야 할 계조전압이 출력된다.

다음으로 제 2 소스 드라이버(6) 내부구성에 관해 도 3을 이용하여 설명한다. 도 3은 제 2 소스 드라이버(6)의 개략 블럭도이다. 20은 입력단자이고, 콘트롤러(3)에서 출력된 표시데이터는 데이터 버스 라인(5, 도 1에 도시한)를 거쳐 입력단자(20)에 입력된다. 입력단자(20)에는 내부 데이터 버스 라인(18)이 접속되어 있다. 시프트 레지스터회로(21)에는 제 2 클록선(14)이 접속되어 있다. 제 2 클록신호선(14)에 의해 콘트롤러(3)에서 클록신호(CL2)가 시프트 레지스터회로(21)에 입력된다. 시프트 레지스터회로(21)는 클록신호(CL2)에 따라 순차적으로 타이밍신호를 출력한다.

데이터 래치회로(22)는 타이밍 신호를 입력하면, 내부 데이터 버스 라인(18)상의 표시 데이터를 주입한다. 데이터 래치회로(22)는 타이밍신호에 따라 순서대로 표시데이터를 주입하고, 모든 데이터 래치회로(22)에 표시 데이터가 주입된다. 데이터 래치회로(22)로부터는 표시 데이터가 라인 래치회로(23)에 출력된다. 라인 래치회로(23)에는 제 1 클록신호선(15)이 접속되어 있다. 제 1 클록신호선(15)에 의해 1수평주사기간(1개의 주사신호선이 온상태의 기간으로, 이하 1H라고도 표시한다.)에 동기한 클록신호(CL1)가 라인 래치회로(23)에 입력된다. 라인 래치회로(23)는 클록신호(CL1)에 따라 1라인분의 표시데이터를 주입하고, 그리고 주입한 표시 데이터를 셀렉터회로(24)로 출력한다.

즉, 영상신호선에 대응한 수의 표시 데이터가 셀렉터회로(24)에 입력된다. 셀렉터회로(24)는 제 1 소스 드라이버(6)에서, 계조전압을 시분할하여 출력하기 위한 회로이다. 셀렉터회로(24)는 데이터선 선택회로(25)를 갖고 있다. 또, 제 2 소스 드라이버(6)에는 시분할 제어선(16)이 설치되고, 시분할 제어신호가 셀렉터회로(24)에 전달되어 있다. 시분할신호 발생회로(26)에서는 시분할 제어신호에서 시분할 신호를 작성하고, 시분할 신호선(19)으로 출력한다. 또한, 도 3에서는 시분할 제어선(16)이 3개이고, 시분할 신호선(19)이 3개인 경우를 도시하고 있지만, 1개의 시분할 제어선(16)에서 복수개의 시분할 신호선(19)에 신호를 출력하는 구성으로 하는 것도 가능하다.

시분할 신호선(19)은 각 데이터선 선택회로(25)에 접속하고 있다. 시분할 신호는 데이터선 선택회로(25)를 제어한다. 데이터선 선택회로(25)는 시분할 신호에 따라 라인래치회로(23)의 출력하는 표시데이터를 시분할하고, 다음 단계의 레벨 시프터회로(27)에 출력한다. 즉, 라인래치회로(23)는 1수평주사기간(1H) 동안 표시데이터를 출력하지만, 셀렉터회로(24)에 의해 1수평주사기간을 복수의 기간에 분할하고, 분할한 기간마다 다른 표시데이터가 레벨 시프터회로(27)에 전달된다.

레벨 시프터회로(27)에서는 논리신호인 표시 데이터의 전압을 변환하여 다음 단계의 디코더회로(28)가 구동가능한 전압으로 출력한다. 디코더회로(28)는 표시 데이터에 따른 계조전압이 선택되어 출력앰프회로(29)에 입력된다. 계조전압(17)은 계조전압선에 의해 공급된 기준전압을 분압하여 작성한다. 또한 출력앰프회로(29)에서는 계조전압을 전류증폭하고 액정표시 패널(1)에 출력한다.

다음으로 도 4를 이용하여 셀렉터회로(24)에 관해 설명한다. 셀렉터회로(24)에는 라인래치회로(23)에서 표시 데이터선(31)이 접속되어 표시 데이터가 전달되어 있다. 또한, 각 표시 데이터는 화소가 표시하는 계조에 대응한 비트선을 갖고 있다. 예를 들면, 6비트, 8비트와 같은 표시 데이터가 라인래치회로(23)에서 셀렉터회로(24)로 전달되어 있다. 도 4에서는 도를 간략화하기 위해, 복수비트분의 신호선을 1개의 표시 데이터선(31)으로 나타내고 있다. 이후, 1개의 표시 데이터선(31)은 복수 비트분의 신호선으로 이루어지는 것으로 설명한다.

라인래치회로(23)에서 출력하는 표시 데이터선(31)의 수는, 액정표시 패널의 1행분 화소수에 대응하고 있다. 1수평주사기간(1H)내에 있어서, 라인래치회로(23)에서 출력하는 1개의 표시 데이터선(31)에는 하나의 화소전극에 기록하는 계조전압에 따른 표시데이터가 출력된다. 표시 데이터선(31)은 셀렉터회로(24)의 데이터선 선택회로(25)에 접속되고 있다. 각 표시 데이터선(31)은 복수개가 1쌍이 되어 데이터선 선택회로(25)에 접속하고 있다.

도 4에서는 세개의 표시 데이터선(31-1, 31-2, 31-3)이 1쌍이 되어 데이터선 선택회로(25)에 입력하고 있다. 데이터선 선택회로(25)는 시분할 신호선(19)에 의해 제어되고 복수의 표시 데이터선(31) 내의 하나를 다음 단계의 레벨 시프트회로(27)에 접속한다. 예를 들면 데이터선 선택회로(25-1)는 시분할 신호선(19-1)에 의해 제어되고, 1수평주사기간(1H)의 일정기간 동안, 표시 데이터선(31-1)과 다음 단계의 레벨 시프트회로(27)에 접속한다. 예를 들면 데이터선 선택회로(25-1)는 시분할 신호선(19-1)에 의해 제어되고, 1수평주사기간(1H)의 일정기간 동안, 표시 데이터선(31-1)과 다음 단계의 레벨 시프트회로(27)를 접속한다. 또한, 시계열에 표시 데이터선(31-2, 31-3)과 일정 기간 동안, 다음 단계의 레벨 시프트회로(27)에 접속된다.

도 5에 시분할 제어신호(TS)와 시분할 신호(BL1 ~ BL3)를 도시한다. 도 5에 있어서, 제 1 클록신호(CL1)는 1수평주사기간(1H)을 도시하고 있다. 시분할 제어신호(TS)는 1수평주사기간(1H)을 분할하기 위한 신호이고, 도 4의 시분할 신호 발생회로(26)에 입력하고 있다. 시분할 신호 발생회로(26)는 시분할 제어신호(TS)에서 시분할 신호(BL1, BL2, BL3)를 생성하고, 시분할 신호선(19)으로 출력한다. 또한, 도 5에 있어서는 1수평주사기간(1H)을 3개로 시분할하는 경우를 도시하고 있고, 시분할 신호(BL1)가 시분할 신호선(19-1)으로 출력되고, 시분할 신호(BL2)가 시분할 신호선(19-2)으로 출력되고, 시분할 신호(BL3)가 시분할 신호선(19-3)으로 출력된다. 또, 시분할 제어신호선(16)이 3개의 경우에서는 시분할 제어신호(TS)는 시분할 제어신호(TS1 ~ TS3)로 전달된다.

도 4에 도시한 것과 같이 각 시분할 신호선(19)은 스위칭회로(32)에 접속된다. 스위칭회로(32-1)는 시분할 신호선(19-1)이 하이상태인 동안, 온상태가 되고 표시 데이터선(31-1)의 데이터를 출력한다. 이하, 스위칭회로(32-2)는 시분할 신호선(19-2)이 하이 상태인 동안, 표시 데이터선(31-2)의 데이터를 출력하고, 스위칭회로(32-3)는 시분할 신호선(19-3)이 하이 상태인 동안, 표시 데이터선(31-3)의 데이터를 출력한다.

위에서 서술한 것과 같이 시분할 제어신호(TS)에 의해 1수평주사기간(1H)을 시분할한 신호가 전달되고, 시분할된 기간, 라인래치회로(23)의 출력하는 복수의 표시 데이터 하나가 셀렉터회로(24)에서 출력된다. 또, 셀렉터회로(24)는 시분할 신호가 시계열로 입력하므로써, 라인래치회로(23)의 표시 데이터를 시계열로 출력할 수 있다.

도 6에 표시데이터가 4비트인 경우의 셀렉터회로(24)의 데이터선 선택회로(25)에 관해, 개략 블럭도를 도시한다. 라인 래치회로(23)에서는 4비트의 표시데이터가 출력되어 있다. 스위칭회로(32)는 비트별로 아날로그 스위치(33)를 갖고 있다. 또 스위칭회로(32)마다 동일한 시분할 신호선(19)에 접속하고 있고, 각 아날로그 스위치(33)는 시분할신호에 의해 제어되고 표시데이터를 시분할하여 다음 단계의 회로로 출력한다. 또한, 라인 래치회로(23)로부터의 입력수는 3×4 의 12개인데 대해, 데이터선 선택회로(25)로부터의 출력수는 4개가 된다. 셀렉터회로(24)에 의해 표시데이터를 시분할하여 출력하므로써, 셀렉터회로 이후의 회로구성수를 감소할 수 있게 되어 있다.

다음으로, 도 7을 이용하여 제 1 소스 드라이버(60)와 액정표시 패널(1)의 구성을 도시한다. 제 1 소스 드라이버(60)는 스위칭소자로서 분배 트랜지스터(62)를 갖고 있다. 트랜지스터(62)는 화소부에 설치되는 박막 트랜지스터(10, 미도시)와 동일한 도전형 반도체로 형성되어 있다. 화소부와 동일한 도전형 트랜지스터로 하므로써, 제조공정수를 감소할 수 있다. 분배 트랜지스터(62)의 게이트단자에는 분대제어신호선(63)이 접속되어 있고, 분배제어신호에 의해 온/오프가 제어된다. 분배 트랜지스터(62)가 전기적으로 도통하므로써, 제 2 소스 드라이버(6)의 출력과 영상신호선(8)이 접속되게 된다.

예를 들면 각 화소가 도중 좌측에서 적(R), 청(B)의 순서로 세워져 있는 경우에는 제 2 소스 드라이버(6)에서 1수평주사기간(1H)을 세개로 시분할 하고, 계조전압이 적(R), 녹(G), 청(B)의 순서로 출력한다. 분배 트랜지스터(62)는 적(R)의 계조전압이 출력되어 있는 기간, 적(R)화소용 영상신호선(8, R)과 제 2 소스 드라이버(6)의 출력을 접속한다. 이하, 녹(G)의 계조전압이 출력되어 있는 기간, 녹(G)화소용 영상신호선(8, G)과 제 2 소스 드라이버(6)의 출력을 접속하고, 청(B)의 계조전압이 출력되어 있는 기간, 청(B)화소용 영상신호선(8, B)과 제 2 소스 드라이버(6)의 출력을 접속한다.

제 1 소스 드라이버(60)를 액정표시 패널(1)에 설치하므로써, 제 2 소스 드라이버(6)의 회로규모를 감소시킬 수 있다. 또 제 2 소스 드라이버(6)의 출력수를 감소할 수 있으므로, 제 2 소스 드라이버(6)와 액정표시 패널(1)과의 접속신뢰성을 향상할 수 있게 되어 있다. 단, 콘트롤러(3)에서 분배제어신호를 액정표시 패널에 공급할 필요가 새롭게 발생하고, 콘트롤러(3)와 액정표시 패널(1)과의 사이의 분배제어신호선에 관해 고려가 필요해진다.

도 8에 제 2 소스 드라이버(6)를 TCP(Tape Carrier Package)를 이용하여 실장한 구성을 도시한다. 66은 플렉시블 기판이다. 제 2 소스 드라이버(6)는 일반적인 반도체 접적회로와 같은 방법으로 제조되는 실리콘 칩이고, 플렉시블 기판(66)상에 형성된 배선(이너 리드)에 접속되어 있다. 플렉시블 기판(66)에는 동박으로 배선 및 입력단자(20), 출력단자(30)가 형성되어 있다. 출력단자(30)에 대향하도록 액정표시 패널측에도 단자가 형성되어 있고, 출력단자(30)와 액정표시 패널측의 단자가 접속된다. 앞에서 서술한 것과 같이 액정표시 패널에는 제 1 소스 드라이버(60)가 설치되어 있고, 제 2 소스 드라이버(6)의 출력은 플렉시블 기판(66)에 설치된 출력단자(30)를 거쳐 제 1 소스 드라이버(60)에 전달된다. 출력단자(30)는 플렉시블 기판(66)의 도중 가로방향으로 연재한 변을 따라 다수의 단자가 병렬한 출력단자부(67)를 형성하고 있다.

앞에서 서술한 것과 같이 20은 입력단자이다. 입력단자(20)에 의해 외부장치 등에서 제 2 소스 드라이버(6)에 공급되는 신호, 전원전압 등이 입력된다. 입력단자(20)도 출력단자(30)와 같이 입력단자군(68)을 형성하고 있다. 16은 앞에서 서술한 것과 같이 시분할 제어선이다. 시분할 제어선(16)은 입력단자(20) 중 하나에서 입력되고, 제 2 소스 드라이버(6) 내부의 시분할 신호 발생회로(26)에 접속되어 있다. 이렇게 TCP에 의해 실장되는 제 2 소스 드라이버(6)에 있어서는 입력단자부(68)에서 신호가 입력되고, 제 2 소스 드라이버(6)에 공급되어, 제 2 소스 드라이버(6)로부터는 액정표시 패널을 구동하는 신호가 출력되고, 출력단자부(67)에서 액정표시 패널(1)에 전달된다.

플렉시블 기판(66)에 설치된 배선 중에서, 대향전극 신호선(65)은 제 2 소스 드라이버(6)에 접속되는 일 없이, 입력단자(20)에서 직접 출력단자(30)에 접속되어 있다. 대향 전극신호선(65)은 앞에서 서술한 대향전극에 신호를 공급하는 것이다. 도 8에서는 대향전극 신호선(65) 외에, 분배제어신호선(64)도 제 2 소스 드라이버(6)에 입력되는 일 없이, 입력단자(20)에서 입력되어 출력단자(30)에서 출력하고 있다. 도 8에 도시하는 것과 같이 분배제어신호는 이 플렉시블 기판(66)에 설치된 분배제어신호선(64)에 의해 액정표시 패널측에 전달되어 있다.

다음으로, 도 9를 이용하여 제 2 소스 드라이버(6)에 분배제어신호선(64)이 입력하는 경우를 도시한다. 도 9에 도시하는 제 2 소스 드라이버(6)에서는 분배제어신호를 참조하기 위해 분배제어신호선(64)이 제 2 소스 드라이버(6)에 접속되어 있다. 단, 플렉시블 기판(66)의 배선을 층배선으로 하면 고가가 되어 버리기 때문에, 배선은 제 2 소스 드라이버(6)내에서 교차하고 있다.

또한, 도 9에서는 분배신호 배선(64)에 접속한 출력단자(30)는 계조전압이 출력하는 출력단자(30)보다도 폭을 넓게 형성하고 있다. 또, 대향전극 신호배선(65)에 접속하는 출력단자도 똑같이 폭을 넓게 형성하고 있다. 분배신호 배선(64) 및 대

향전극 신호배선(65)에 접속하는 출력단자는 다른 단자에 대해 외측에 위치하고 있기 때문에, 벗겨지기 쉬운 문제를 갖고 있다. 그 때문에, 접속면적을 넓게 할 목적으로 단자폭을 넓게 하고 있다. 또한, 출력단자(30)와 액정표시 패널과의 사이는, 이방성 도전막 등을 이용하여 접속된다.

도 9에 있어서, 70은 프린트 배선기판에서 기판상에 동박 등으로 배선이 형성되어 있다. 71은 분배제어신호선에서 플렉시블기판(66)을 이용하여 액정표시 패널에 분배제어신호를 전달하기 위해, 프린트배선 기판(70)을 이용하여 공급되어 있다. 프린트배선 기판(70)을 이용하여 분배제어신호를 공급하므로써, 배선저항 등에 의한 파형변형이 적은 신호를 액정표시 패널에 공급가능하게 되어 있다. 또한, 72는 대향전극 신호선에서, 프린트배선 기판(70)을 이용하여 공급된다. 또한, 입력단자(20)와 프린트배선 기판(70)과는 이방성 도전막과 납땜 등에 의해 접속된다.

도 10에 제 2 소스 드라이버(6)가 분배제어신호를 참조하는 경우의 구성을 도시한다. 분할제어신호는 입력단자(20)에서 제 2 소스 드라이버(6)에 입력한다. 분할제어신호는 분할제어신호선(64)에 의해 시분할신호 발생회로(26)에 공급된다. 앞에서 서술한 것과 같이 분할제어신호선(64)은 제 2 소스 드라이버(6)를 형성하는 반도체 칩상에서 교차하고 있다. 반도체 칩상에서 다층배선을 형성하는 것은 통상의 반도체 프로세스로 실현할 수 있기 때문에, 플렉시블 배선기판상에서 분배제어 신호선(64)을 교차시키는 것보다 쌈 값에 다층배선을 제조할 수 있다.

시분할신호 발생회로(26)는 분배제어신호를 참조하므로써, 시분할신호와 분배제어신호간의 조정을 할 수 있다. 또한, 도 10에서는 셀렉터회로(24)가 레벨 시프터회로(27)의 후단계에 설치된 경우의 구성을 도시하고 있다. 분배제어신호의 전압과, 레벨 시프터 회로(27)에서 출력하는 신호의 전압이 동일한 수치의 경우에는 셀렉터회로(24)를 레벨 세프터회로(27)의 후단계에 설치한 쪽이 분배제어신호를 저전압으로 변환하는 수고를 절약할 수 있다.

단, 레벨 시프터 회로(27)의 후단계에 셀렉터회로(24)를 설치하면, 레벨 시프터회로(27)의 수를 감소할 없다. 도 10에 도시하는 회로에서는 레벨 시프터회로(27)의 수를 감소할 수 없지만, 동작 주파수가 높아져서 레벨 시프터회로(27)가 뒤를 따를 수 없는 경우에 유효하다.

도 11에 분배제어신호를 저전압(예를 들면 3 ~ 5 V)의 논리신호에서 공급하는 경우의 구성을 도시한다. 분배제어신호는 라인래치회로(23)로부터의 출력과 똑같은 저전압의 논리신호에서 공급된다. 34는 레벨 시프트회로에서 분배 트랜지스터(62)가 구동가능한 전압으로 분배제어신호를 변환한다. 레벨 시프터회로(34)의 출력은 출력회로(35)에 입력하고 있다. 액정표시 패널(1)에는 다수의 분배 트랜지스터(62)가 형성되어 있고, 출력회로(35)에서는 분배 트랜지스터(62)를 구동할 수 있도록 전류증폭된다.

도 11에 도시하는 회로에서는, 시분할신호 발생회로(26)에는 저전압의 분배제어신호가 입력되어 있고, 분배제어신호를 참조가능하다. 제 2 트랜지스터(6)에 있어서, 분배제어신호를 참조가능하게 형성하면, 시분할신호와 분배제어신호간의 조정을 할 수 있다.

도 12에 시분할신호 발생회로(26)에서 분배제어신호도 형성하는 경우의 회로구성을 도시한다. 시분할신호 발생회로(26)에는 시분할 제어선(16)이 입력되어 있다. 시분할신호 발생회로(26)는 시분할제어신호에서 시분할신호와 분배제어신호를 발생한다. 69는 모드설정선에서 시분할신호와 분배제어신호의 출력 타이밍을 설정한다. 시분할신호선(19)은 데이터선 선택회로(25)에 입력하고 있고, 각 스위칭회로(32, 미도시)를 제어한다. 한편, 분배제어신호선(64)은 레벨 시프터(34)에 입력하고 있다. 레벨 시프터회로(34)는 시분할신호 발생회로(26)에서 출력하는 분배제어신호의 전압레벨을 변환한다.

레벨 시프터회로(34)의 출력은 출력회로(35)에 입력하고 있다. 액정표시 패널(1)에는 다수의 분배 트랜지스터(62)가 형성되어 있고, 출력회로(35)에서는 분배 트랜지스터(62)를 구동할 수 있도록 전류증폭된다.

도 11과 도 12에 도시하는 제 2 소스 드라이버(6)는 분배 트랜지스터(62)를 구동하는 출력회로(35)를 갖고 있고, 화소부에 설치하는 박막 트랜지스터(10)에 신호를 공급하는 제 2 소스 드라이버에서, 액정표시 패널(1)에 설치된 분배 트랜지스터(62)를 구동할 수 있는 효과가 있다. 단, 복수의 제 2 소스 드라이버(6)가 액정표시 패널(1)에 탑재되는 경우에 있어서, 제 2 소스 드라이버(6)가 구동하는 부하에 차가 발생하는 문제가 있다.

즉, 분배 트랜지스터(62)를 구동하는 제 2 소스 드라이버와, 구동하지 않는 제 2 소스 드라이버가 있으면 제 2 소스 드라이버간에 구동하는 부하에 차가 발생한다. 제 2 소스 드라이버간에서 구동하는 부하에 차가 발생하면, 예를 들면 전원전압이 변동하는 문제가 발생한다.

상기 문제점을 해결하기 위해, 도 13에 도시하는 것과 같이 복수의 제 2 소스 드라이버(6)를 액정표시 패널(1)에 탑재하는 경우에는, 각 제 2 소스 드라이버(6)가 분배 트랜지스터(62)를 구동가능하게 구성한다. 도 13에 도시하는 제 2 소스 드라이버(6)에서는 플렉시블 기판(66)의 좌우 양쪽에서 분배제어신호선(64)이 출력되고 있다.

플렉시블 기판(66)에는 좌우 양쪽에서 분배 트랜지스터(62)를 구동가능하도록 배선이 형성되어 있으므로, 동일한 플렉시블 기판(66)에서 액정표시 패널(1)의 좌우 어느 쪽에도 제 2 소스 드라이버(6)를 탑재가능하다. 또한, 분배제어신호(64)의 외측에는 대향전극 신호선(65)이 형성되어 있다. 대향전극 신호선(65)은 대향전극에 신호를 공급하는 배선에서, 도시하지 않지만 액정표시 패널(1)에 있어서, 대향전극에까지 배선이 접속되어 있다. 세로전계방식의 TFT액정표시 장치에서는 화소전극이 형성되는 기판과 대향하는 기판에 대향전극이 형성되고, 가로전계방식의 TFT액정표시 장치에서는 화소전극이 형성되는 기판과 동일한 기판상에 대향전극이 형성되어 있다.

다음으로 도 14를 이용하여 게이트 드라이버(7)에의 신호를 공급하는 배선에 관해 설명한다. 제 2 소스 드라이버(6)는 플렉시블 기판(66)에 탑재되고, 액정표시 패널(1)에 접속된다. 또, 제 2 소스 드라이버(6)의 입력단자(20, 미도시)는 프린트 배선 기판(70)에 접속되어 있다. 프린트배선 기판(70)에는 전원회로(4)와 콘트롤러(3)가 설치되어 있다. 전원회로(4)에서 전원선(73)이 출력되고, 콘트롤러(3)에서 타이밍신호선(76)이 출력되어 있다. 전원선(73)과 타이밍신호선(76)은 플렉시블 기판(74)을 통해 액정표시 패널(1)에 접속되고, 전원전압과 타이밍신호가 게이트 드라이버(7)에 입력된다.

도 15에 제 2 소스 드라이버(6)를 액정표시 패널(1)에 탑재하는 경우를 도시한다. 제 2 소스 드라이버(6)에 설치된 단자패드(미도시)를 입력단자(20) 또는 출력단자(30)로서 이방성 도전막 등을 이용하여 액정표시 패널(1)에 접속된다. 프린트배선 기판(70)은 일부 또는 전부를 플렉시블 기판으로 형성하고, 액정표시 패널(1)에 이방성 도전막 등을 이용하여 접속된다. 프린트배선 기판(70)에 의해 공급되는 신호는 제 2 소스 드라이버(6)와 게이트 드라이버(7)에 입력되어 있다. 특히 제 1 소스 드라이버(60)에 입력하는 분배제어신호도 프린트배선 기판(70)에 의해 액정표시 패널(1)에 공급된다.

다음으로 도 16을 이용하여 교류화 구동하는 회로구성에 관해 설명한다. 도 16은 제 2 소스 드라이버의 인접하는 두개의 출력단자(30-1)와 (30-2)의 출력부에 관해 도시하고 있다. 29-1은 고내압 출력앰프이고, 29-2는 저내압 출력앰프이다. 대향전극의 전압(이하 커먼전압이라 한다.)을 일정하게 하는 경우의 교류화구동에서는 커먼전압에 대해 양극성의 계조전압과 음극성의 계조전압이 화소전극에 인가된다. 도 16에 도시하는 회로에서는 양극성의 계조전압을 고내압 출력앰프(29-1)에서 출력하고, 음극성 계조전압을 저내압 출력앰프(29-2)에서 출력한다.

도 16에 있어서는 전환스위치(36-1)를 이용하여 고내압 출력앰프(29-1)와 저내압 출력앰프(29-2)의 출력을 전환하고 있다. 지금, 출력단자(30-1)에서 양극성 계조전압을 출력하려고 하면, 전환스위치(36-1)는 고내압 출력앰프(29-1)와 출력단자(30-1)을 접속한다. 다른 쪽 출력단자(30-2)는 저내압 출력앰프(29-2)에 접속되어 음극성 계조전압을 출력한다. 전환스위치(36-2)는 데이터선 선택회로(25)의 출력을 전환하여 레벨 시프터회로(27)에 접속한다. 전환스위치(36-2)에 의해 데이터선 선택회로(25-1)는 레벨 시프터회로(27-1)와 (27-2)의 양쪽에 접속가능하다.

도 17에 전환스위치(36)를 트랜지스터(37)로 구성한 회로를 도시한다. 38은 전환신호선에서 트랜지스터(37)의 온·오프를 제어한다. 또한, 표시데이터선(31)은 1개의 신호선으로 도시하고 있지만, 표시데이터의 비트선에 따른 갯수만큼 있는 것으로 한다.

전환스위치(36-1)를 이용하여 동작을 설명하면, 전환신호선(38-1)이 하이에서 전환신호선(38-2)이 로인 경우에는 트랜지스터(37-1)는 온상태가 되고, 출력앰프(29-1)의 출력을 출력단자(30-1)에 접속한다. 이 때, 트랜지스터(37-2)는 오프이다. 또한, 전환신호선(38-1)은 하이이므로, 트랜지스터(37-4)가 온이고, 트랜지스터(37-3)는 오프가 되고, 출력앰프(29-2)의 출력은 출력단자(30-2)에 접속된다.

반대로, 전환신호선(38-1)이 로이고, 전환신호선(38-2)이 하이인 경우는, 출력앰프(29-1)가 출력단자(30-2)에 접속하고, 출력앰프(29-2)가 출력단자(30-1)에 접속한다. 또, 도 17에 있어서, 부호(40)는 전환신호 제어회로에서, 시분할 제어신호선(16)을 통해 전달되는 시분할 제어신호(TS1)에서 (TS3)과, 교류화 신호선(42)을 통해 전달되는 교류화 신호(M)에서 전환신호(MS)를 형성하여 전환신호선(38)으로 출력된다.

도 18에 전환스위치(36-2)와 스위칭회로(32)를 클록드 인버터(39)로 구성한 회로를 도시한다. 38은 전환신호선에서 클록드 인버터(39)의 온·오프를 제어한다. 또한, 표시데이터선(31)은 1개의 신호선으로 나타내고 있지만, 표시데이터의 비트수에 따른 갯수만큼 있는 것으로 한다.

전환스위치(36-2)를 이용하여 동작을 설명하면, 클록드 인버터(39)는 전환신호선(38-1)이 하이에서 인버터로서 작용하고, 전환신호선(38-1)이 로에서 하이 임피던스가 된다. 전환스위치(36-2) 및 셀렉터회로(24)에서는 디지털 데이터를 취급하고 있고, 클록드 인버터에서 신호선의 접속·절단의 전환이 가능하다.

도 18에서는 전환스위치(36-1)에는 전환신호선(38-1)과 (38-2)이 개별로 접속되어 있고, 아날로그 스위치(37-1) 내지 (37-4)를 동시에 오프로 할 수 있다. 도 5에 도시하는 시분할 제어신호(TS1 ~ TS3)를 이용하므로써, 시분할 신호(BL1 ~ BL3)의 시작의 일정기간동안, 전환스위치(36-1)에 의해 출력앰프회로(29)의 출력을 절단할 수 있다. 출력이 절단되면 출력앰프회로(29)에서는 부하가 저하하기 때문에 출력전압을 급속하게 안정화할 수 있게 된다.

도 18에서는 시분할 신호 발생회로(26)에 있어서, 시분할 제어신호(TS1 ~ TS3)에서 도 19에 도시하는 시분할 제어신호(TS)를 형성하고 있고, 시분할 신호선(41)에 의해 전환신호 제어회로(40)에 전달된다. 전환신호 제어회로(40)에서는 심분할 제어신호(TS)와 교류화 신호(M)에서 전환신호(MS)를 형성하여 전환신호선(38)에 출력된다. 또, 앞에서 서술한 것과 같이 전환신호 제어회로(40)는 아날로그 스위치(37-1) 내지 (37-4)을 동시에 오프로 하도록 전환시호(MS)를 출력 가능하다.

다음으로 도 19에 도 16 내지 도 18의 회로에서, 1수평주사기간(1H)동안, 하나의 출력단자(30)에서 동일극성의 계조전압을 출력하는 경우의 타이밍 차트를 도시한다. M은 교류화 신호에서, 외부로부터 제 2 소스 드라이버(6)에 입력하는 신호로, 극성전환의 타이밍을 도시한다. 앞에서 서술한 것과 같이, TS는 시분할 제어신호이고, BL은 시분할 신호이다. MS는 전환신호에서 전환신호선(38)을 통해 전환스위치(36)에 전달된다. 전환신호(MS)는 교류화신호(M)와 시분할 제어신호(TS1 ~ TS3)를 기초로 형성된다. 도 19에서는 전환신호(MS)는 교류화신호(M)에 동기하고 있다. 단, 교류화신호(M)의 시작과 동시에, 시작되도록 한정되는 것은 아니라, 구동조건에 의해 전환신호(MS)의 파형은 조정된다. OUTn과 OUTn + 1은 인접하는 두개의 출력단자(30)의 출력을 도시하고 있다. 또한, 도 17 및 도 18에서는 전환신호(MS)가 하이인 경우, 전환신호선(38-1)이 하이이고 전환신호선(38-2)은 로가 되는 것으로 한다.

전환신호(MS)가 하이인 기간, OUTn에서는 양극성의 계조전압이 출력하고, OUTn + 1에서는 음극성의 계조전압이 출력된다. 또, 전환신호(MS)가 로인 기간, OUTn에서는 음극성의 계조전압이 출력되고, OUTn + 1에서는 양극성의 계조전압이 출력된다. 앞에서 서술한 것과 같이 출력단자(30)는 제 1 소스 드라이버(60)의 분배 트랜지스터(62)에 의해 3개의 영상신호선(8)에 접속되어 있다. DS1 ~ DS3는 분배 트랜지스터(62)를 제어하는 분배신호이고, SL1 ~ SL3는 출력단자(30-1)에 접속된 3개의 영상신호선(8)에 공급되는 계조전압을 도시하고, SL4 ~ SL6는 출력단자(30-2)에 접속되는 3개의 영상신호선(8)에 공급되는 계조전압을 도시한다.

1수평주사기간(1H)에 주목하면, 신호(SL1 ~ SL3)은 극성이 동일한 계조전압이 공급되고, 1수평주사기간(1H)을 3분할한 기간 동안, 계조전압이 영상신호선(8)에 공급된다. 또, 신호(SL4 ~ SL6)는 신호(SL1 ~ SL3)에 대해 반대극성이 되어 있다. 이때문에 연속하는 3개의 영상신호선(8)은 동일극성의 계조전압이 공급되고, 3개마다 극성이 반전된 계조전압이 영상신호선으로 공급된다. 또한 앞에서 서술했지만, 여기에서 극성이란 대향전극의 커먼전압에 대해 양극성, 음극성인지를 의미한다.

다음으로, 도 20에 도 16 내지 도 18의 회로에서 1수평주사기간(1H) 동안, 하나의 출력단자(30)에서 시계열로 양극성, 음극성, 양극성의 계조전압을 출력하는 경우의 타이밍차트를 도시한다. 전환신호(MS)는 교류화신호(M)와 시분할 제어신호(TS)를 기초로 형성되지만, 시분할신호(BL)와 동일한 타이밍에서 1수평주사기간(1H)을 3분할하는 신호가 출력되어 있다.

즉, 교류화신호(M)는 도 1에 도시한 콘트롤러(3)에서 공급되고 있지만, 전환신호 제어회로(40)에서는 시분할 신호(BL)와의 타이밍을 맞추기위해, 교류화신호(M)과 시분할 제어신호(TS)에서 전환신호(MS)를 형성한다. 또, 전환신호 제어회로(40)에서 이용하는 시분할 제어신호(TS)는 콘트롤러(3)에서 시분할 제어신호선(16)에서 공급되는 시분할 제어신호(TS1)에서 (TS3)을 이용할 수 있다. 또, 시분할 제어신호(TS)는 도 18에 도시하는 것과 같이 시분할 제어신호(TS1)에서 (TS3)을 이용하여 시분할신호 발생회로(26)에서 형성되고, 시분할 신호선(41)에 의해 전환신호 제어회로(40)에 공급하는 것도 가능하다.

다음으로 예를 들면 도 17의 출력단자(30-1)에서 시계열로 양극성, 음극성, 양극성의 계조전압을 출력하는 경우에 관해 설명한다. 우선, 시분할신호(BL1)가 하이인 기간에서는 시분할 신호선(19-1)에 의해 스위칭회로(32-1)가 온이 된다. 이때, 전환신호(MS)는 하이이기 때문에 전환스위치(36-2)는 데이터선 선택회로(25-1)의 출력을 레벨 시프터회로(27-1)에 접속한다. 그 때문에, 표시 데이터선(31-1)의 데이터가 레벨 시프터회로(27-1)에 입력된다. 그 때문에, 표시 데이터선

(31-1)의 데이터가 레벨 시프터회로(28-1)에 입력된다. 레벨 시프터회로(27-1)에 입력된 데이터는 디코더회로(28-1)에서 계조전압으로 변환되고, 고내압 출력 앰프(29-1)에서 양극성의 계조전압으로 출력된다. 전환스위치(36-1)에서는 전환 신호(MS)가 하이이므로, 고내압 출력 앰프(29-1)의 출력을 출력단자(30-1)에 접속하고, 출력단자(30-1)에서 양극성의 계조전압이 출력된다. 이 때, 출력단자(30-2)에서는 데이터선 선택회로(25-2)에서 출력한 데이터에 따른 전압치로, 음극성의 계조전압이 출력된다.

다음으로, 시분할 신호(BL2)가 하이인 기간에서는 스위칭회로(32-2)가 온상태가 된다. 이 때, 전환신호(MS)는 로이기 때문에, 전환스위치(36-2)는 데이터선 선택회로(25-1)의 출력을 레벨 시프터회로(27-2)에 접속된다. 그 때문에, 표시 데이터선(31-2)의 데이터가 레벨 시프터회로(27-2)에 입력된다. 표시 데이터선(31-2)의 데이터는 디코더회로(28-2)에서 계조전압으로 변환되고, 저내압 출력 앰프(29-2)에서 음극성 계조전압이 출력된다. 전환신호(MS)는 로이므로, 전환스위치(36-1)는 저내압 출력 앰프(29-2)를 출력단자(30-1)에 접속하고, 음극성 계조전압을 출력한다.

그 후, 시분할 신호(BL3)가 하이인 기간에서는 스위칭회로(32-3)가 온상태가 되고, 표시 데이터선(31-3)의 데이터가 레벨 시프터회로(27-1)에 입력하고, 고내압 출력 앰프(29-1)의 출력이 출력단자(30-1)에 접속되고, 양극성 계조전압이 출력단자(30-1)에서 출력된다. 이 때, 출력단자(30-2)에서는 신호(OUTn + 1)에 도시하는 것과 같이 시계열로 음극성, 양극성, 음극성의 계조전압이 출력된다.

그 때문에, 영상신호선(8)에 공급되는 신호(SL1 ~ SL3)는 신호(SL1)에 대해, 신호(SL2)는 반대의 극성이 되어 있고, 신호(SL3)는 신호(SL2)에 대해 반대극성이 되어 있다. 즉, 영상신호선(8)에는 1개마다, 이웃한 영상신호선(8)과 극성이 반대인 신호가 공급되고 있다.

다음으로 도 21을 이용하여 수평주사기간(1H)의 개시와 동시에 세개의 분배 트랜지스터(62)를 모두 온으로 하여 계조전압을 공급하도록 하는 영상신호선 이외의 영상신호선을 프리차지하는 방법에 관해 설명한다. 우선, 분배제어신호(DS1 ~ DS3)를 수평주사기간(1H)의 개시와 동시에 하이로 한다. 그 때문에, 예를 들면 도 7에 도시하는 분배제어 신호선(63)에 의해 제어되는, 분배 트랜지스터(62)는 모두 온상태가 되고, 영상신호선(8)에는 계조전압이 출력된다.

앞에서 서술한 것과 같이 OUTn은 제 2 소스 드라이버(6)의 출력하는 신호를 도시하고 있지만, 1수평주사기간(1H)동안, 신호(OUTn)의 수치는 신호(R), 신호(G), 신호(B)와 시계열로 변화한다. 분배제어신호(DS1 ~ DS3)가 하이인 동안에, 신호(OUTn)가 신호(R)에서 나타내는 계조전압인 기간은 영상신호선에 공급되는 신호(SL1 ~ SL3)는 신호(R)로 나타내는 계조전압(V1)이 되어 있다. 또한, 신호(R)는 화소의 계조에 따른 임의의 전압이지만, 설명을 간명하게 하기 위해, 도 21에서는 V1로 나타낸다. 신호(G)는 V2로 나타내고, 신호(B)는 V3로 나타낸다.

신호(R)는 도 7에 도시하는 1개째의 영상신호선(8, R)에 공급되어야 할 신호이지만, 영상신호선(8, G), (8, B)에도 공급되어 있고, 영상신호선(8, G), (8, B)은 프리차지되어 있다. 교류화 구동하는 경우에, 영상신호선(8)상의 전압은 기록하려고 하는 전압과 극성이 반대이므로, 구동주파수가 높아지고, 분배 트랜지스터(62)가 뒤따르지 못하는 경우 등, 미리 영상신호선(8)에 기록하는 계조전압과 동일극성의 전압을 공급할 수 있는 것이 유효하다.

그 후, 신호(R)가 공급되고 있는 동안에, 분배제어신호(DS1)가 로가 되고, 1개씩의 영상신호선(8, R)에는 신호(SL1)에 나타내는 계조전압(V1)이 유지된다. 신호(R)의 다음으로 신호(G)가 출력되어 있는 동안은, 분배제어신호(DS2)와 (DS3)가 하이이고, 신호(SL2)와 (SL3)는 신호(G)의 전압치인 V2가 된다. 이 때문에, 영상신호선(8, G)과 (8, B)에는 전압(V2)이 공급된다.

그 후, 신호(G)가 공급되어 있는 동안에, 분배제어신호(DS2)가 로가 되고, 2개째의 영상신호선(8, G)에는 신호(SL2)에 도시하는 계조전압(V2)이 유지된다. 신호(G)의 다음으로 신호(B)가 출력되어 있는 동안은, 분배제어신호(DS3)가 하이이고, 신호(SL3)는 신호(B)의 전압치인 V3가 된다. 이 때문에 영상신호선(8, B)에는 전압(V3)이 공급된다.

이상 3개의 영상신호선 중, 2개의 영상신호선을 프리차지하는 방법에 관해 설명했지만, 3개 중 1개를 프리차지하는 경우도, 동일하게 실시가능하다 또, 설명 전체로서, 제 1 소스 드라이버에서 분배가능한 영상신호선의 수가 3개인 경우에서 설명했지만, 3개 이외의 경우에서도 동일한 구성에 의해 실시가능하다.

발명의 효과

본원에 있어서 개시되는 발명 중 대표적인 것에 의해 얻어지는 효과를 간단하게 설명하면, 다음과 같다.

(1) 본 발명에 따르면, 적절한 회로구조의 구동회로를 가진 액정표시장치가 실현가능하게 된다.

(2) 본 발명에 따르면, 구동가능한 영상신호선의 수에 대해, 출력단자수를 감소한 외부부착 구동회로에 의해 구동되는 액정표시장치가 실현가능하게 된다.

(57) 청구의 범위

청구항 1.

액정표시 패널과,

액정표시 패널을 구동하는 복수의 구동회로를 갖고,

구동회로는 액정표시 패널에 설치되는 화소와 동일한 공정으로 형성되는 제 1 구동회로와,

액정표시 패널 형성 후에 액정표시 패널에 접속되는 제 2 구동회로를 구비하고,

상기 제 2 구동회로는 플렉시블 기판에 탑재되고,

상기 제 2 구동회로에서 출력되는 계조전압이 상기 플렉시블 기판을 개재하여 상기 제 1 구동회로에 입력되고,

상기 제 2 구동회로는 계조전압에 대응하는 표시데이터를 보지하는 래치회로와 상기 래치회로에서 출력하는 표시데이터를 제 1 구동회로를 제어하는 제어신호에 동기하여 선택하는 선택회로와 상기 선택회로가 선택한 표시데이터에 따라서 계조전압을 작성하는 디코더 회로와 디코더 회로에서 출력하는 계조전압을 출력단자에 출력하는 출력회로를 갖고,

상기 선택회로는 상기 래치회로가 1주사 기간내에 동시에 출력하는 n개의 상기 표시데이터안에서 1개의 표시데이터를 상기 제어신호에 따라서 순차선택하여 상기 디코더회로에 출력하고,

상기 디코더 회로는 상기 선택회로가 출력하는 표시데이터에 따르고 계조전압을 선택하여 상기 출력회로에 출력하고,

상기 출력회로는 1 본의 출력단자에서 상기 액정표시 패널의 n본의 영상신호선에 공급하는 상기 계조전압을 1주사기간 내에 순차적으로 출력하고,

상기 제 1 구동회로는 상기 제어신호에 따르고 상기 1 본의 출력단자에서 출력하는 계조전압을 n 본의 영상신호선에 공급하도록 상기 출력단자와 상기 n 본의 영상신호선의 접속을 변환하고,

상기 제 1 구동회로를 제어하는 제어신호는 상기 플렉시블 기판을 개재하여 상기 액정표시패널에 형성된 상기 제 1 구동회로의 배선에 공급되는 것을 특징으로 하는 액정표시장치.

청구항 2.

액정표시 패널과,

액정표시 패널을 구동하는 복수의 구동회로를 갖고,

구동회로는 액정표시 패널에 설치되는 화소와 동일한 도전형 트랜지스터로 형성된 제 1 구동회로와,

액정표시 패널에 플렉시블 기판에 의해 접속된 제 2 구동회로를 구비하고,

상기 제 2 구동회로에서 출력되는 계조전압이 상기 제 1 구동회로에 입력되고,

상기 제 1 구동회로는 스위칭소자를 갖고, 해당 스위칭소자는 상기 제 2 구동회로의 1 본의 출력단자가 상기 액정표시 패널의 n 본의 영상신호선에 접속가능하게 형성되고,

제 2 구동회로는 상기 계조전압에 대응하는 표시데이터를 보지하는 래치회로와 상기 래치회로에서 출력하는 표시데이터를 상기 스위칭소자를 온/오프하는 제어신호에 동기하여 선택하는 선택회로와 상기 선택회로가 선택한 표시데이터에 따라서 계조전압을 형성하는 디코더회로와 상기 계조전압을 출력단자에 출력하는 출력회로를 갖고,

상기 선택회로는 상기 래치회로가 1주사 기간내에 동시에 출력하는 n 개의 상기 표시데이터안에서 1개의 표시데이터를 상기 제어신호에 따라서 순차선택하여 상기 디코더회로에 출력하고,

상기 디코더 회로는 상기 선택회로가 출력하는 표시데이터에 따르고 n본의 영상신호선에 공급하는 상기 계조전압을 1주사 기간 내에 순차적으로 출력하고,

상기 스위칭소자는 상기 제어신호에 따르고 상기 출력회로에서 출력하는 계조전압을 n본의 영상신호선에 공급하도록 상기 출력단자와 상기 n본의 영상신호선의 접속을 변환하고,

상기 제어신호는 상기 플렉시블 기판을 개재하여 상기 스위칭소자에 공급되는 것을 특징으로 하는 액정표시장치.

청구항 3.

청구항 2에 있어서,

상기 제 1 구동회로는 액정표시 패널에 설치되는 화소와 동일한 공정으로 형성되는 것을 특징으로 하는 액정표시장치.

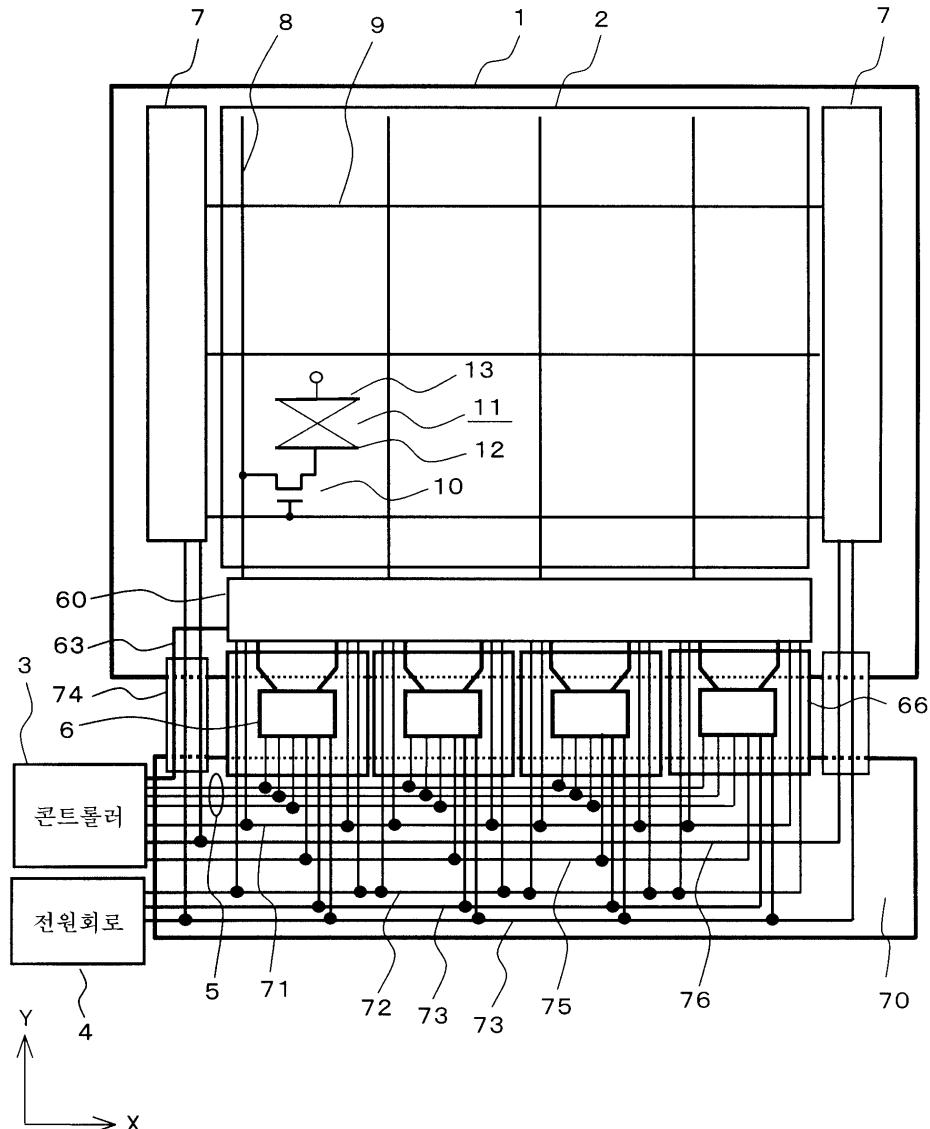
청구항 4.

청구항 2에 있어서,

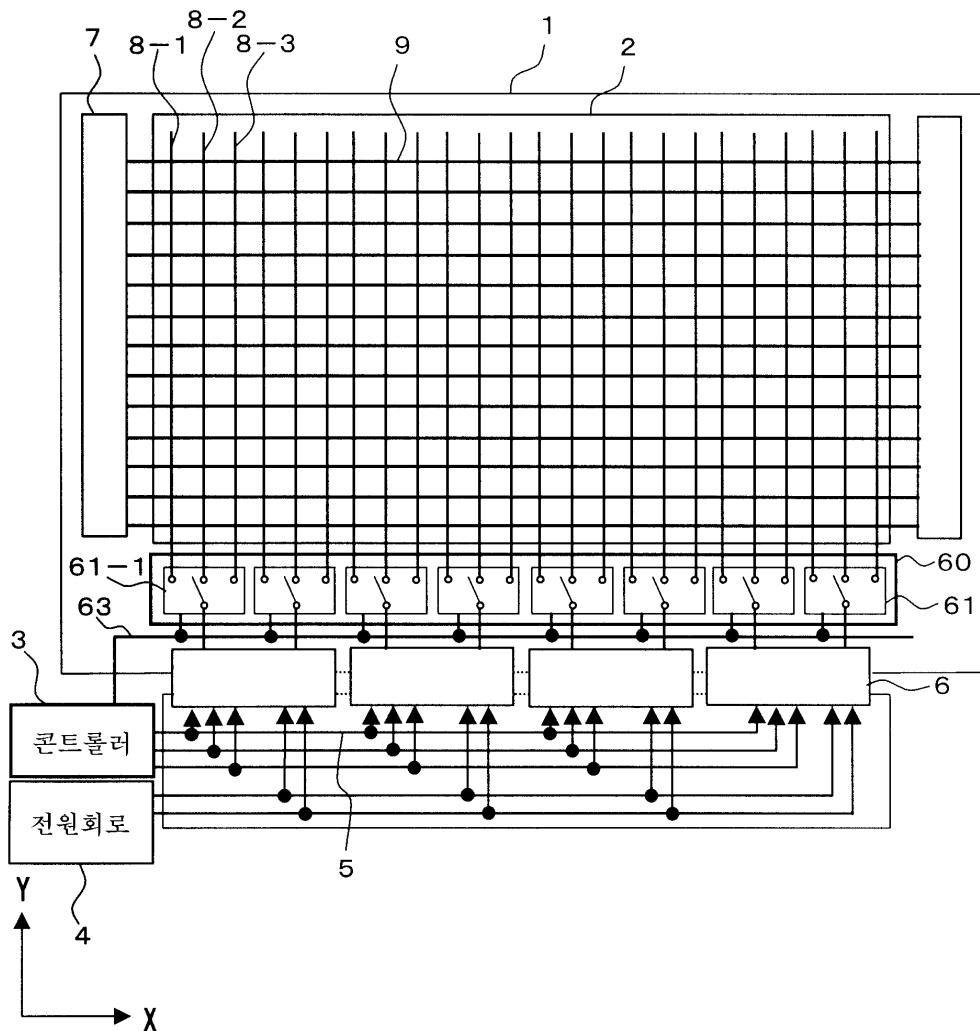
상기 제 2 구동회로는 1 본의 출력단자로부터 상기 액정표시 패널의 n본의 영상신호선에 동일극성의 계조전압을 1주사 기간 내에 순차적으로 출력하는 것을 특징으로 하는 액정표시장치.

도면

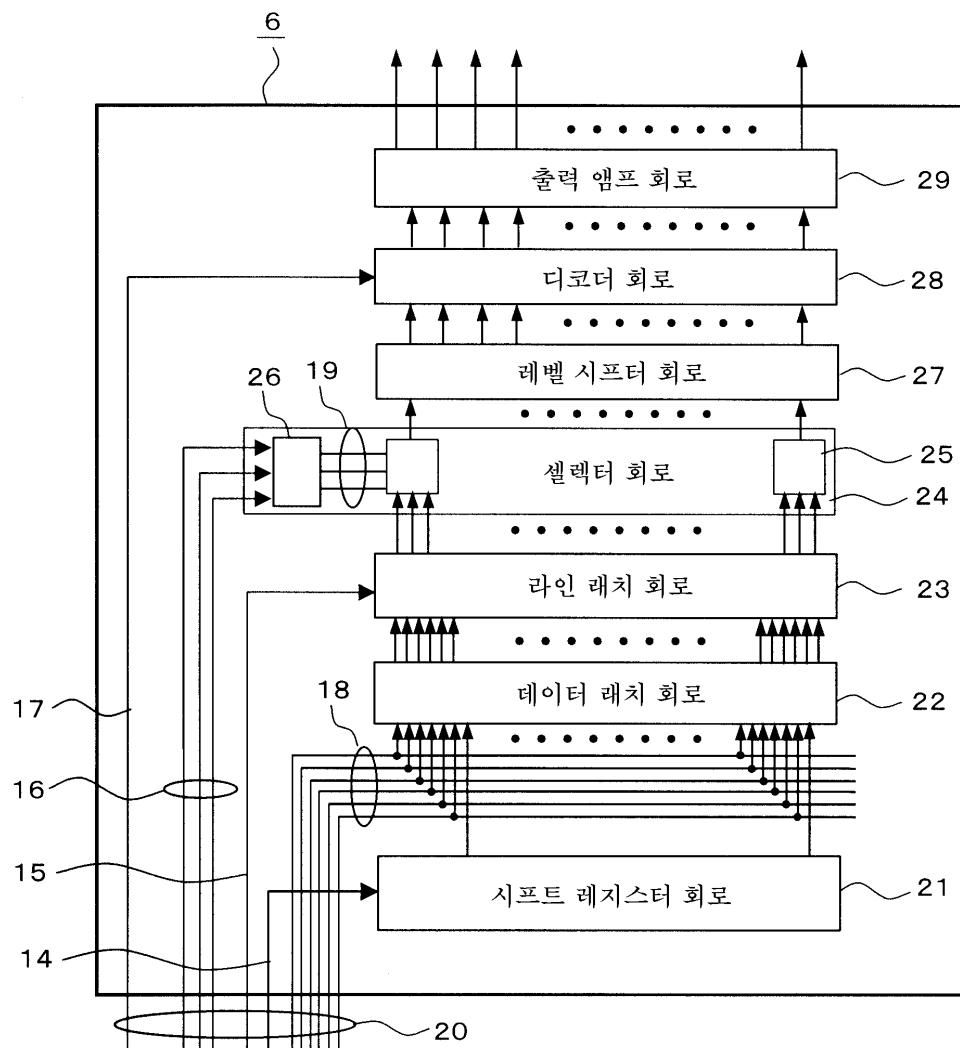
도면1



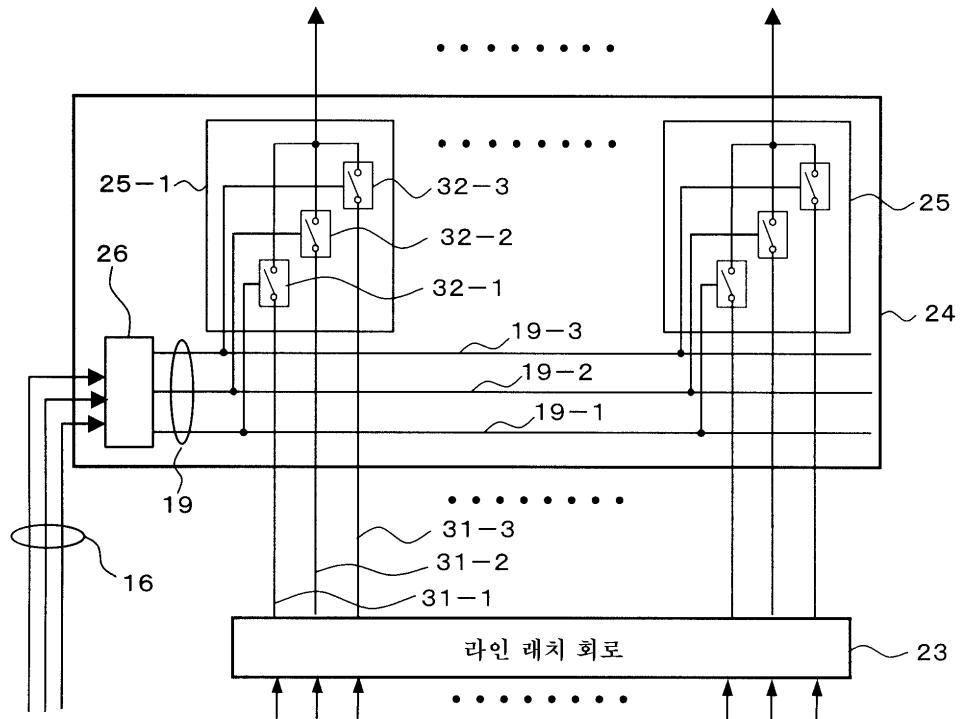
도면2



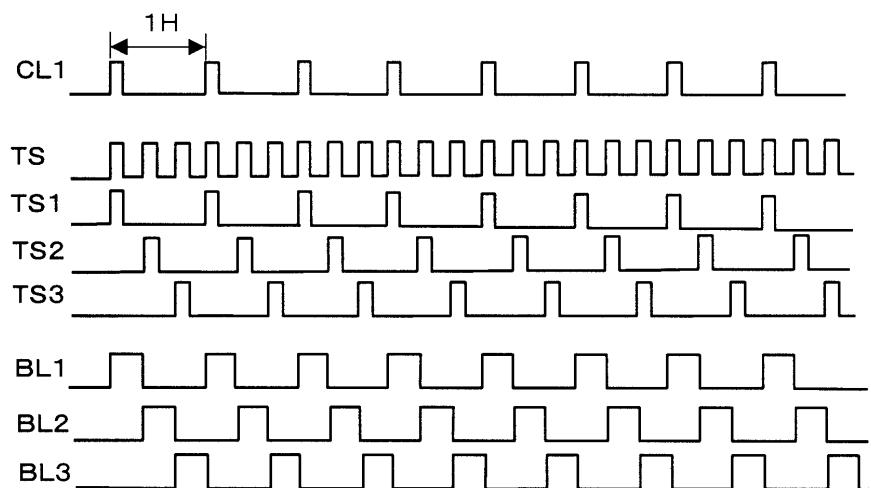
도면3



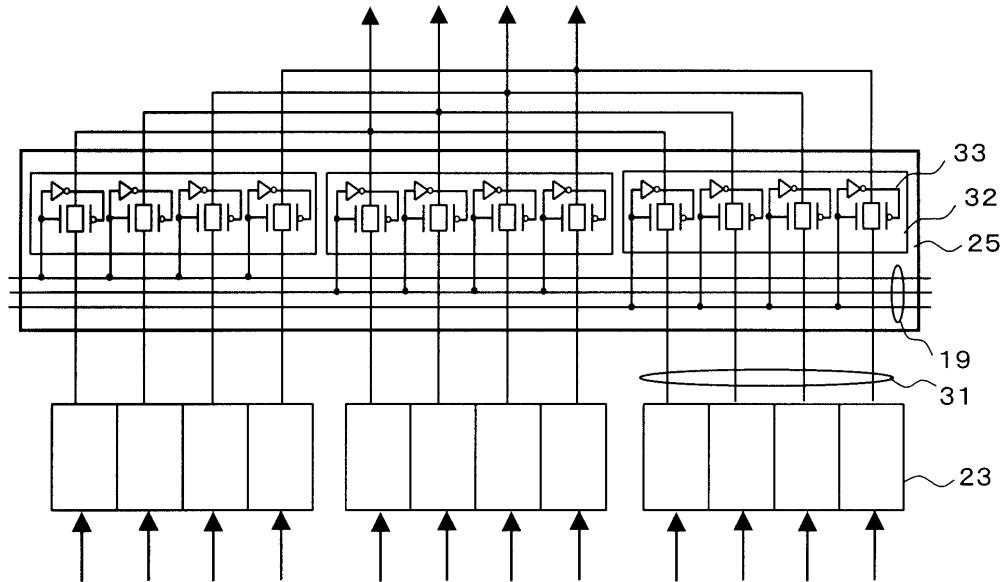
도면4



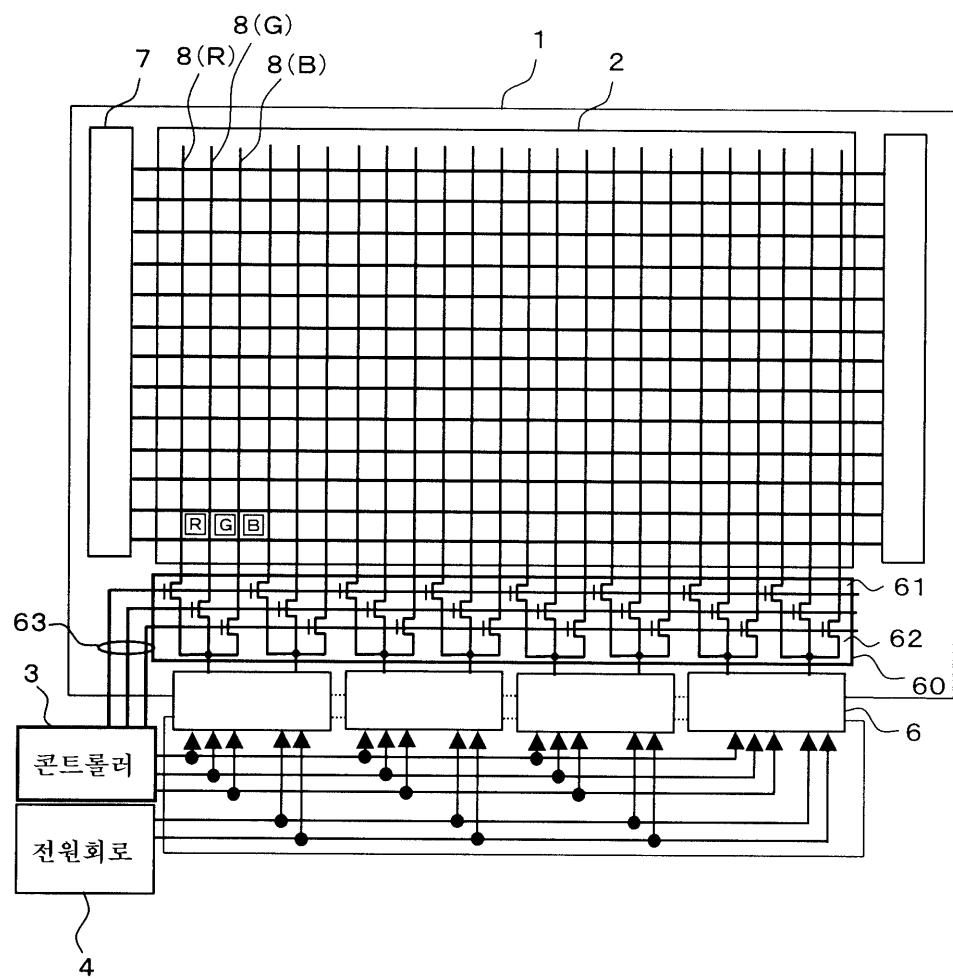
도면5



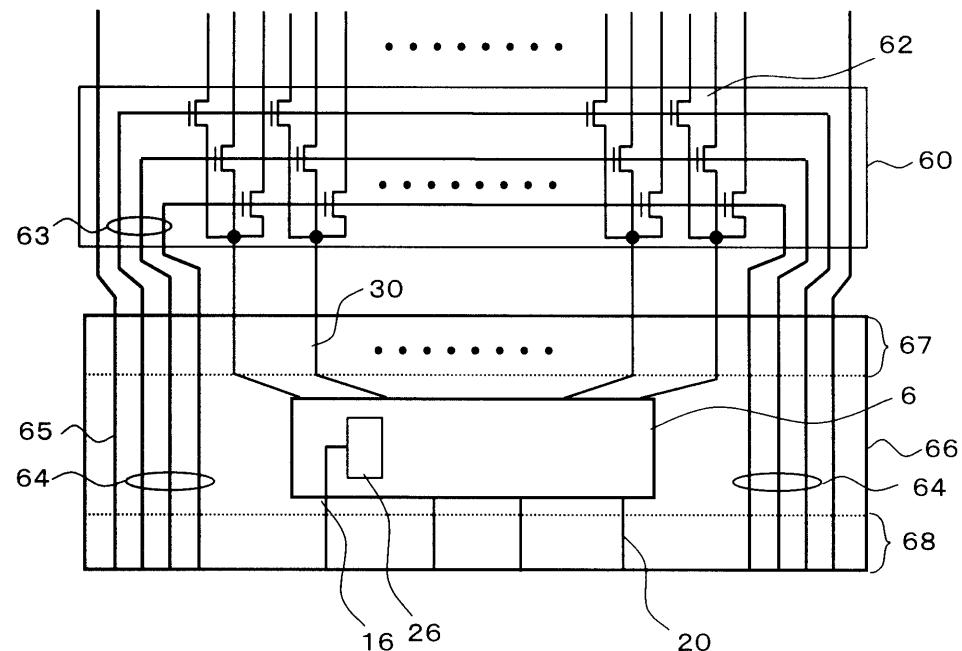
도면6



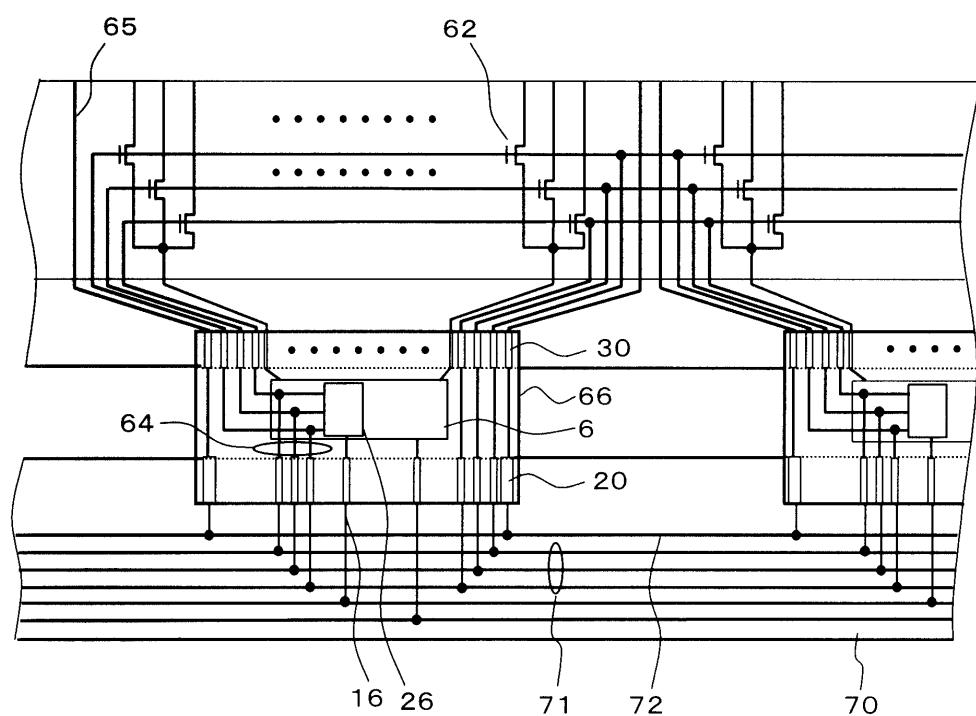
도면7



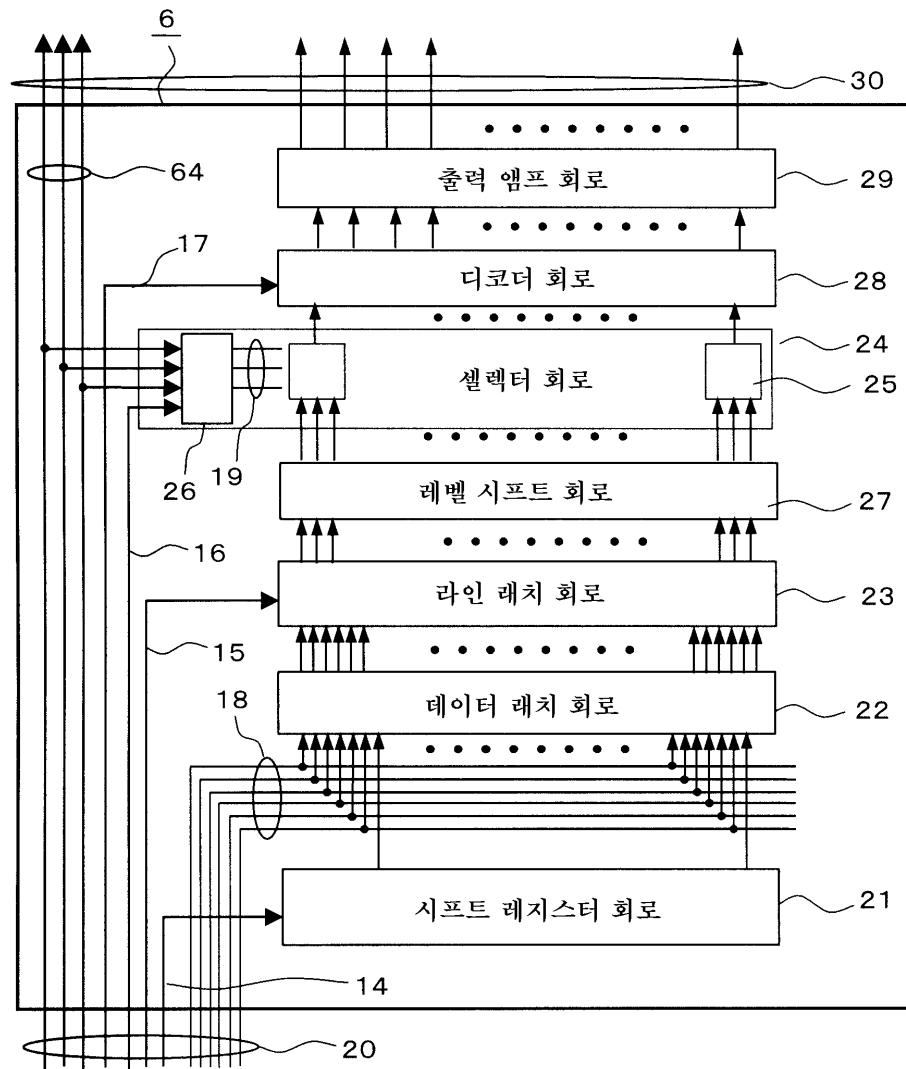
도면8



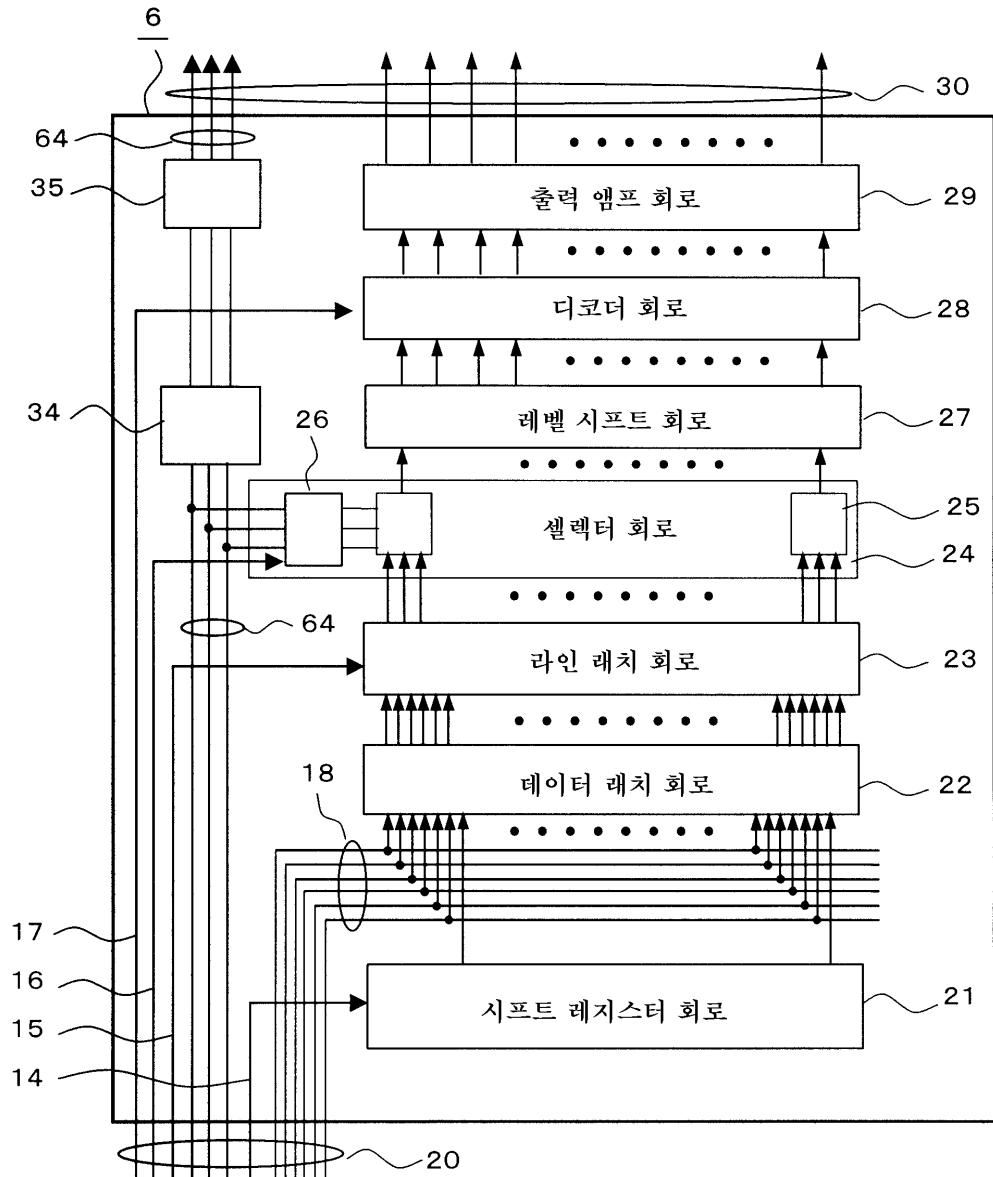
도면9



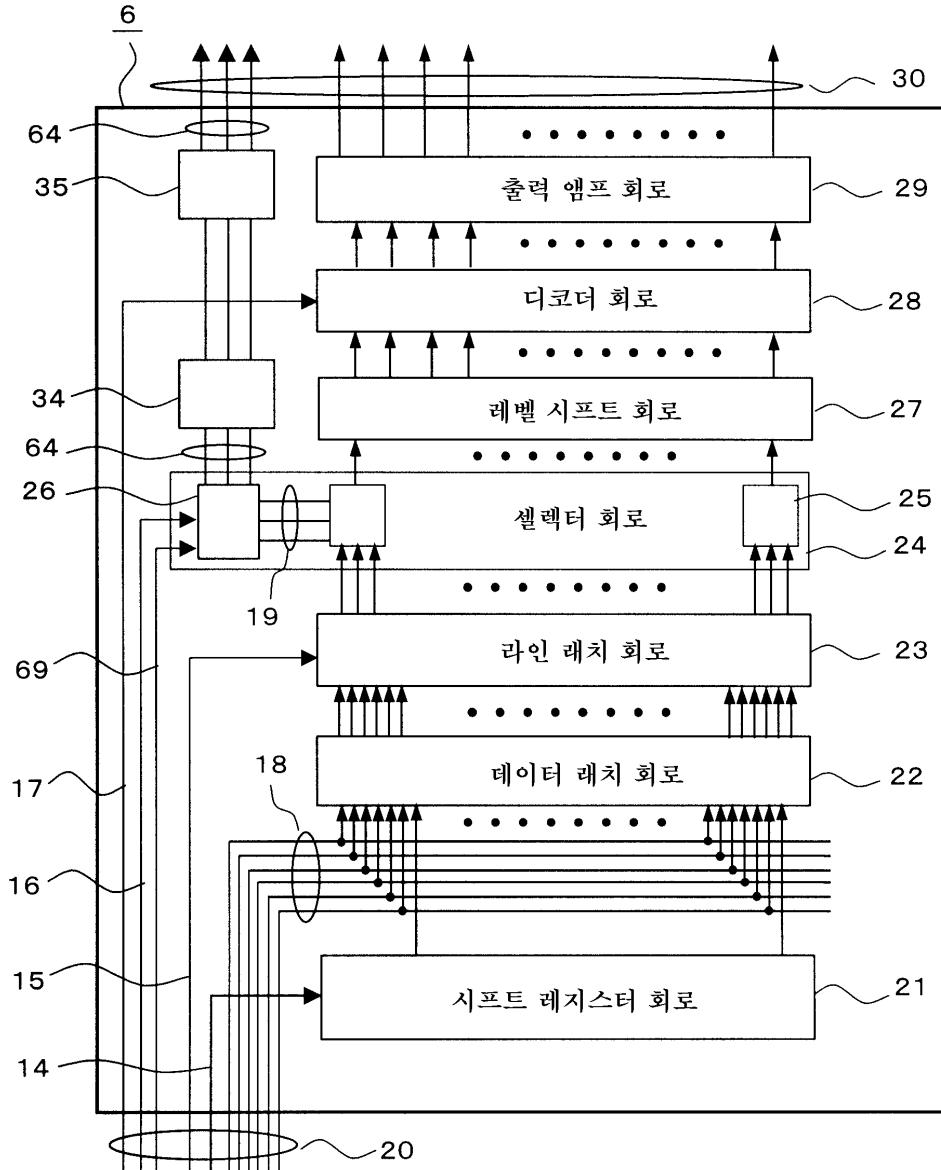
도면10



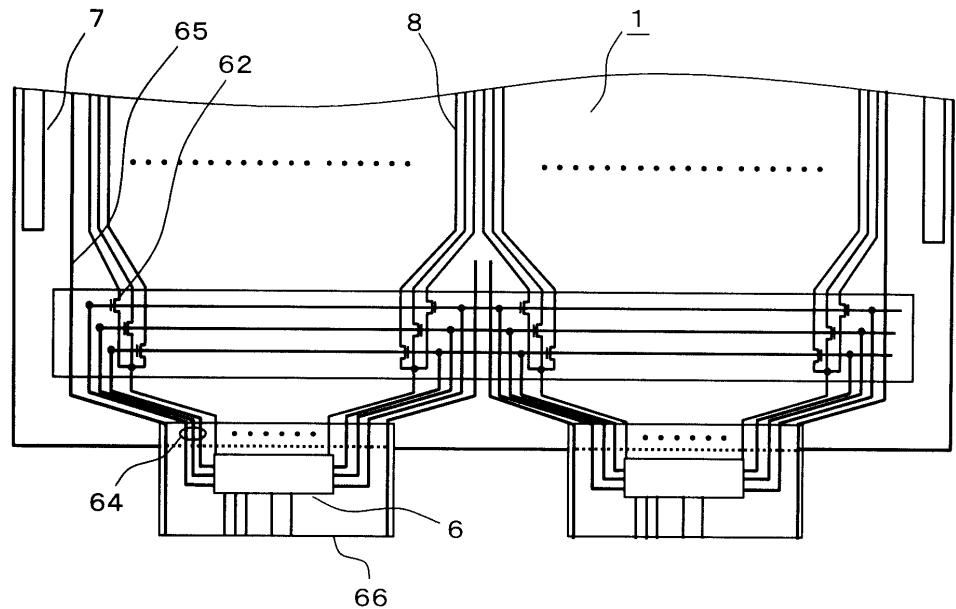
도면11



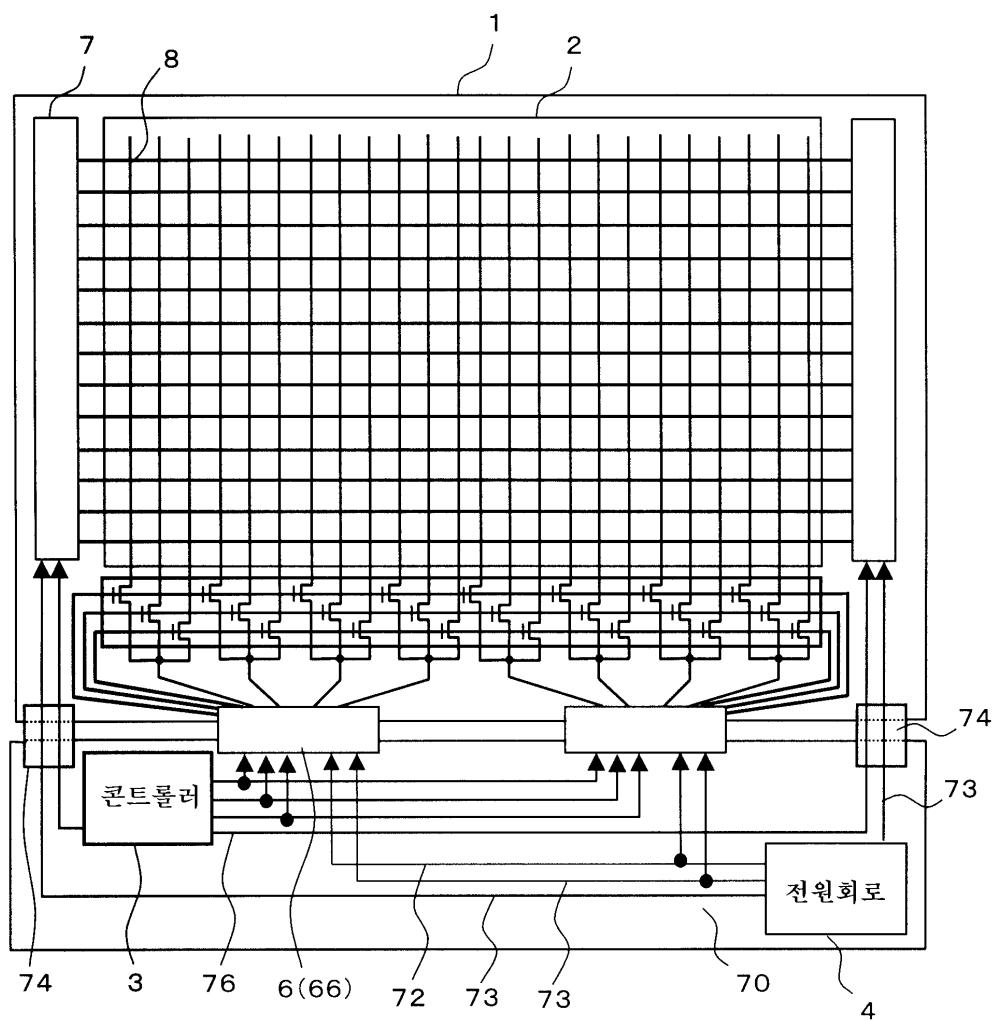
도면12



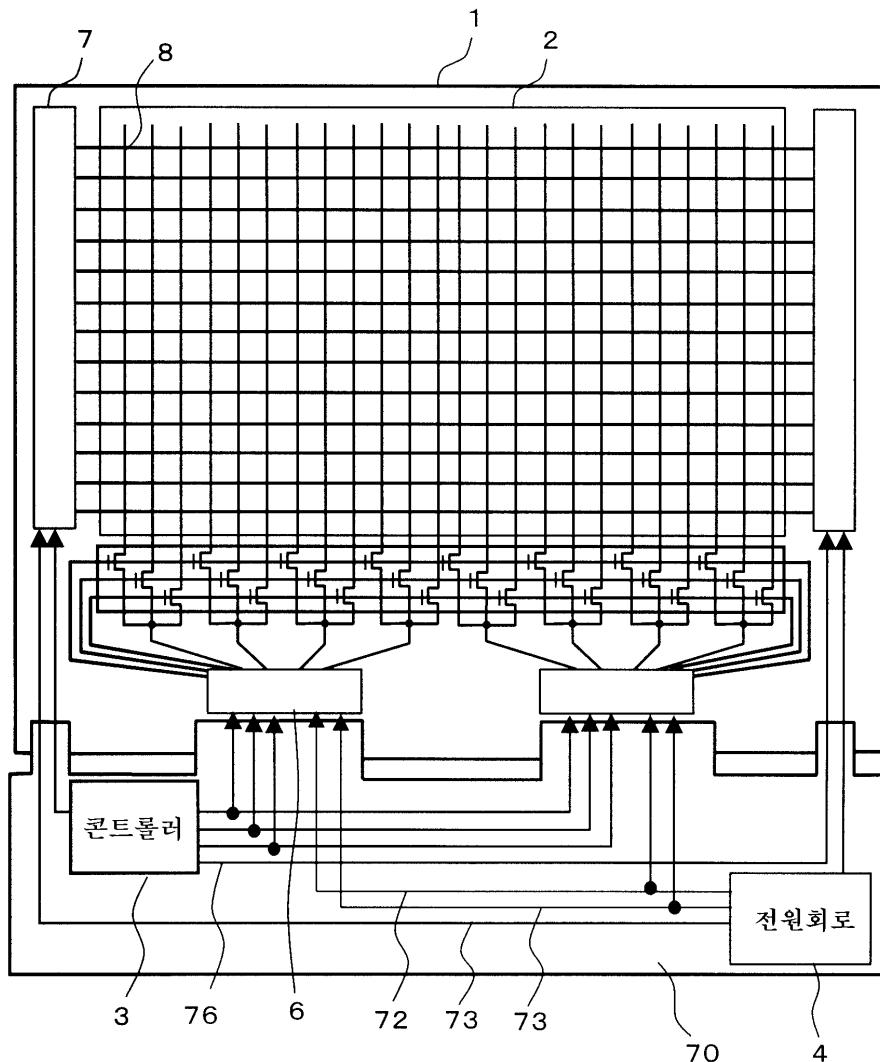
도면13



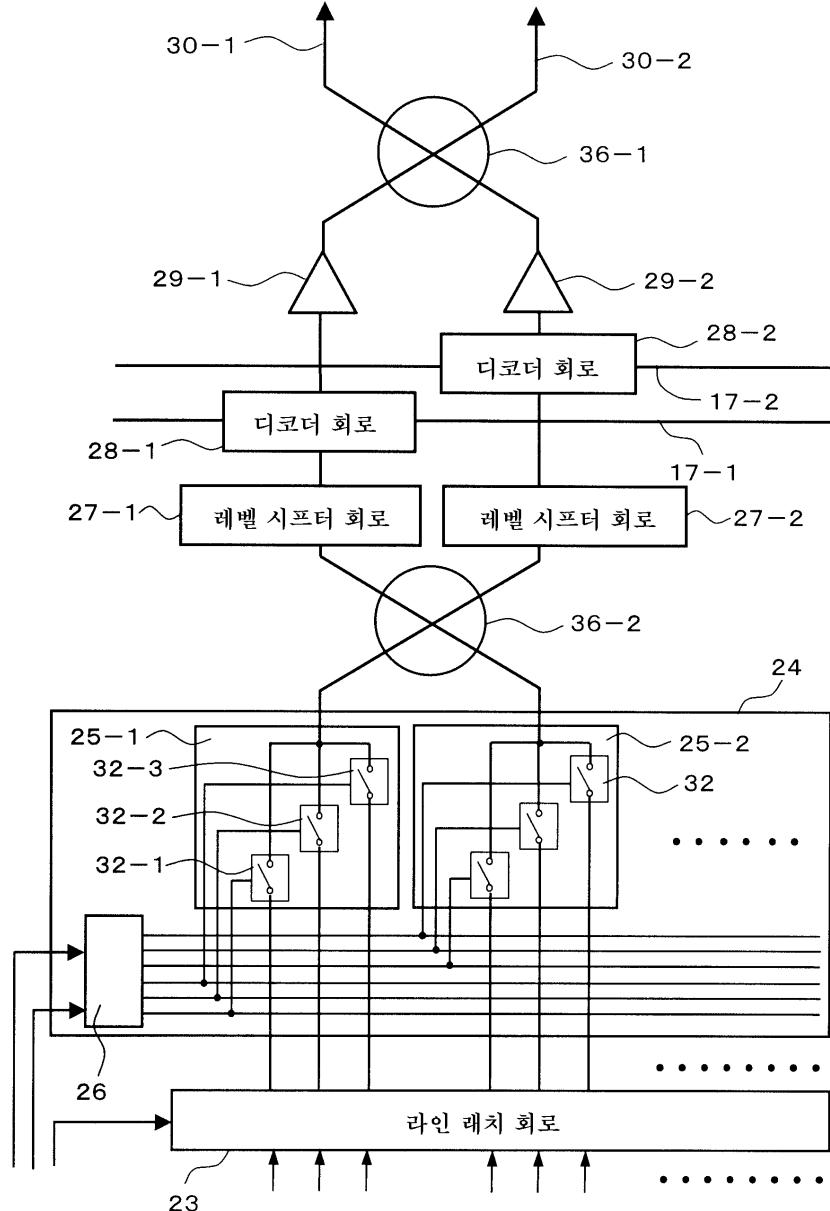
도면14



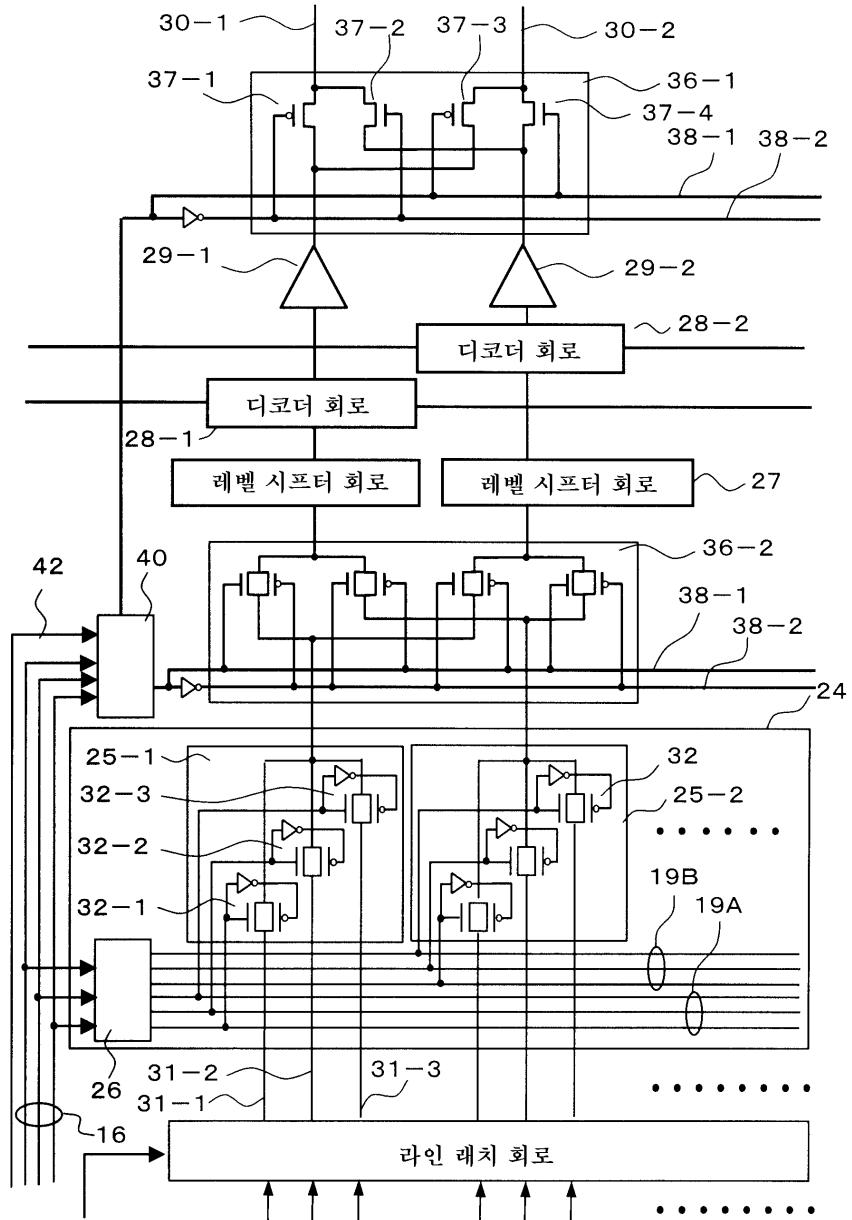
도면15



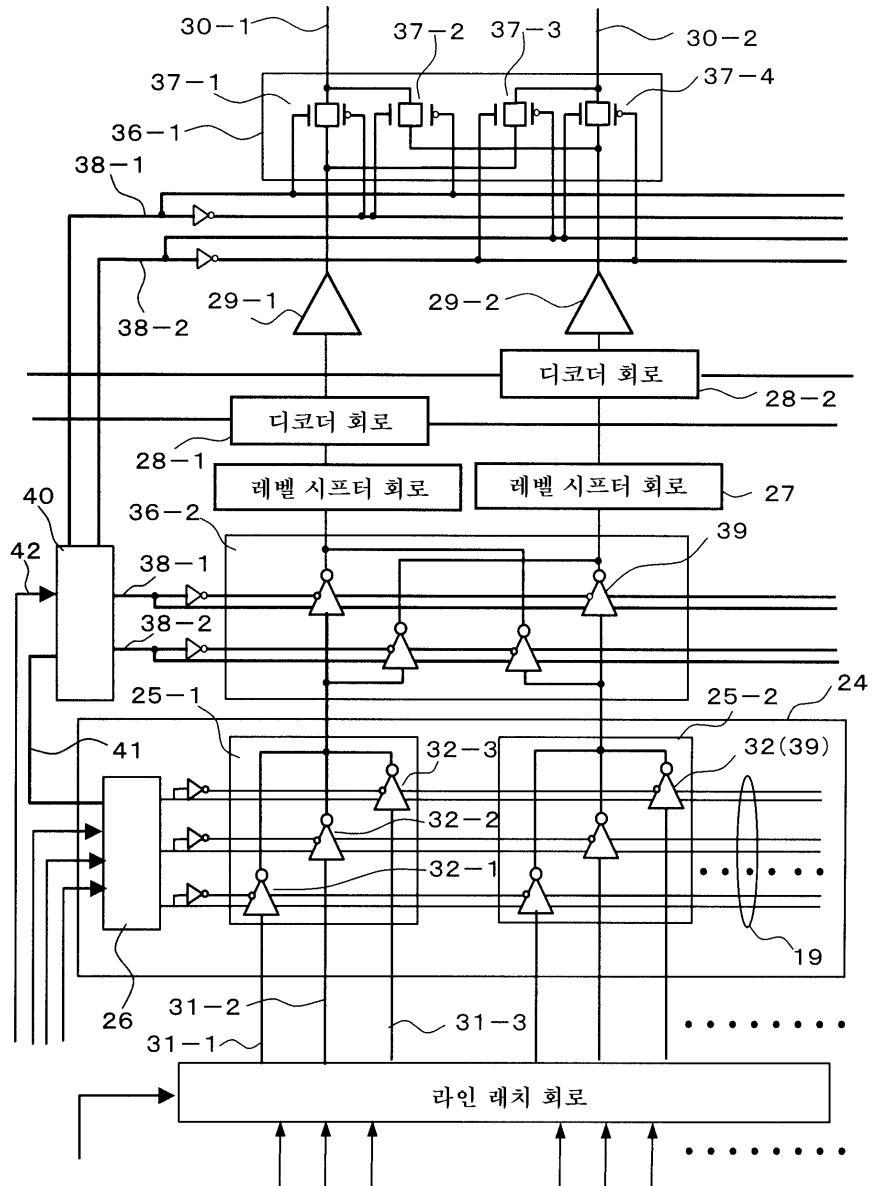
도면16



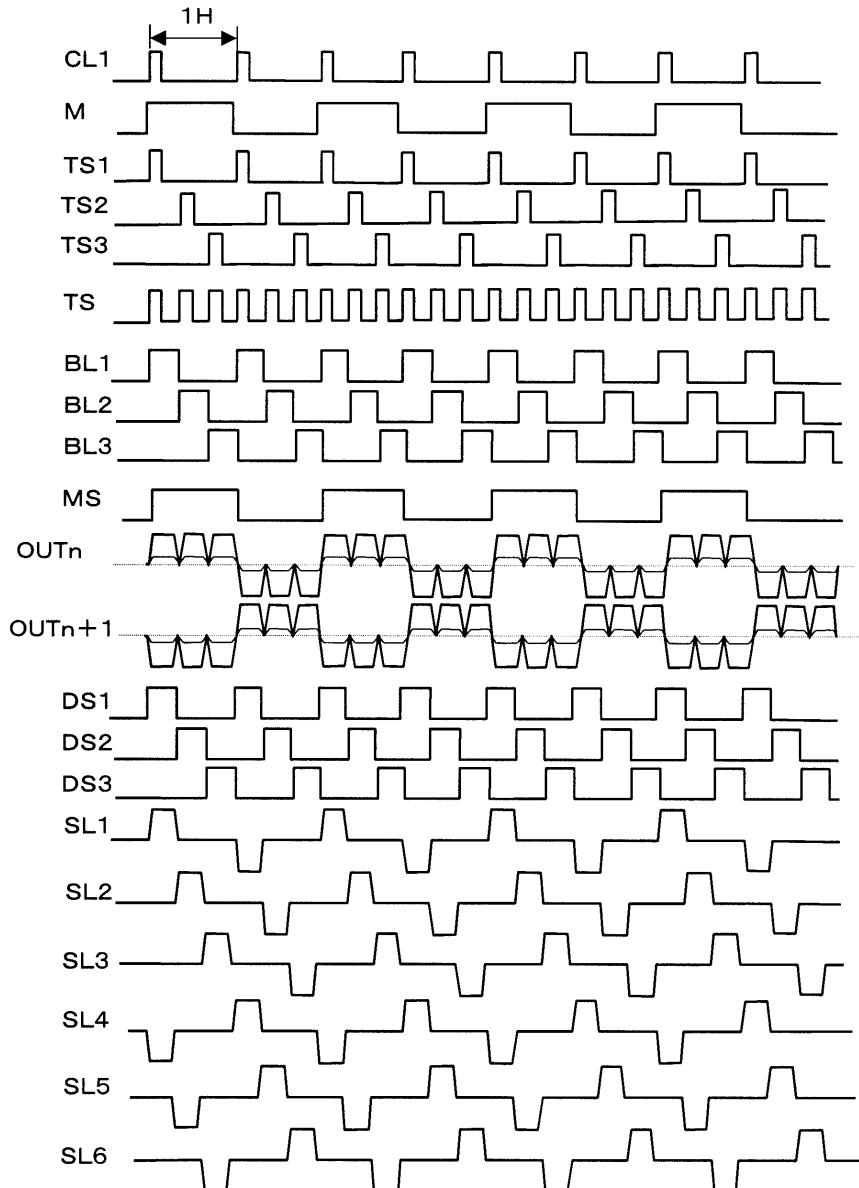
도면17



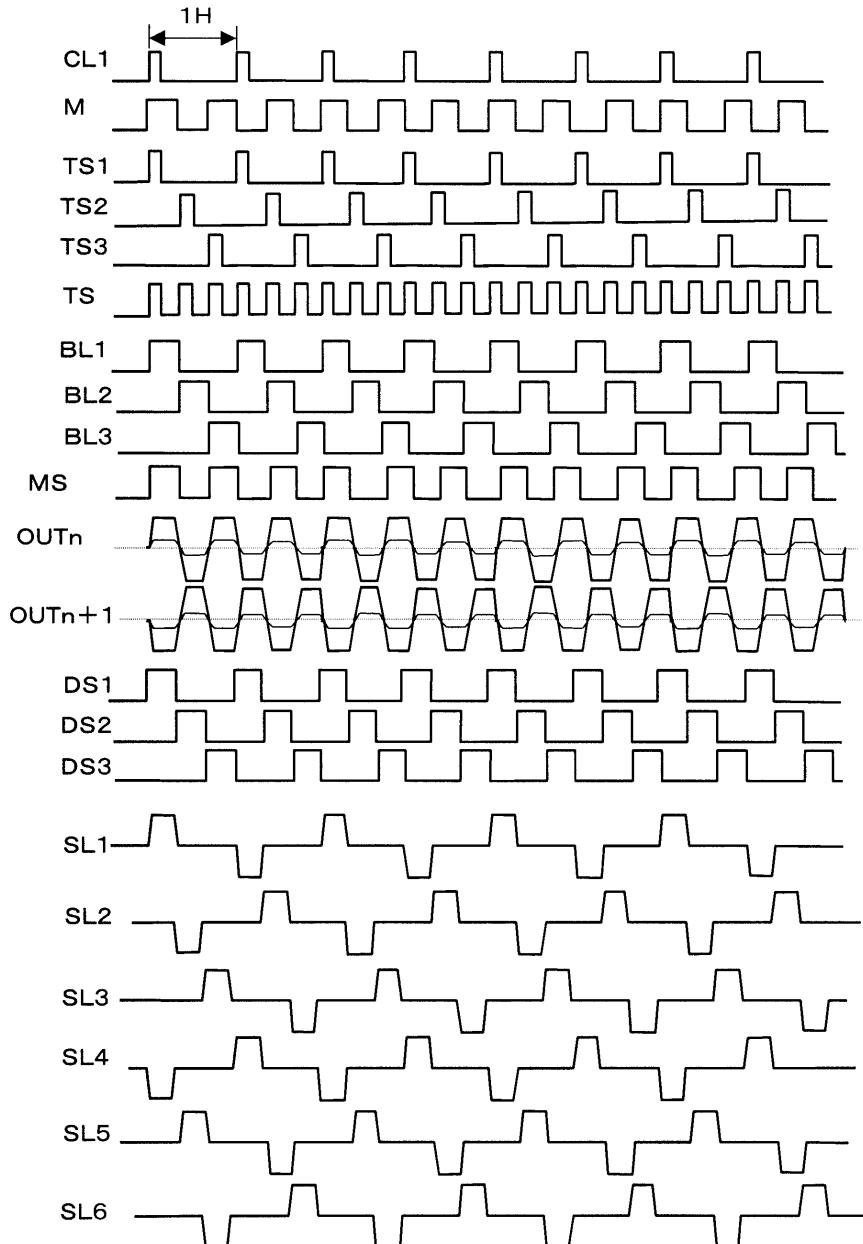
도면18



도면19



도면20



도면21

