



(12) 发明专利

(10) 授权公告号 CN 102193405 B

(45) 授权公告日 2014. 05. 14

(21) 申请号 201110056279. 1

(22) 申请日 2011. 03. 09

(30) 优先权数据

2010-052021 2010. 03. 09 JP

(73) 专利权人 佳能株式会社

地址 日本东京都大田区下丸子 3 丁目 30-2

(72) 发明人 玉置智广

(74) 专利代理机构 北京魏启学律师事务所

11398

代理人 魏启学

(51) Int. Cl.

G03G 15/08 (2006. 01)

G03G 15/00 (2006. 01)

(56) 对比文件

US 7475270 B1, 2009. 01. 06,

US 7475270 B1, 2009. 01. 06,

JP 2007249942 A, 2007. 09. 27,

CN 1837971 A, 2006. 09. 27,

审查员 李明卓

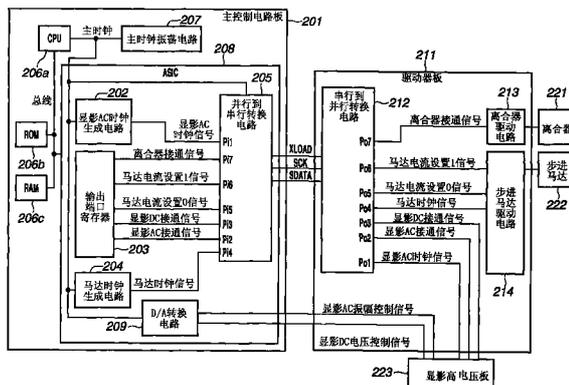
权利要求书1页 说明书9页 附图12页

(54) 发明名称

串行通信设备和包括该串行通信设备的图像形成设备

(57) 摘要

一种串行通信设备和包括该串行通信设备的图像形成设备。该图像形成设备包括：感光构件；曝光部件，用于与图像相对应地曝光所述感光构件；显影部件，用于使用调色剂对形成在进行了曝光的感光构件上的静电潜像进行显影；生成部件，用于生成用于所述显影部件的波形信号；并行到串行转换部件，用于以预定采样周期对包括所生成的所述波形信号的多个信号进行并行到串行转换；串行到并行转换部件，用于以所述预定采样周期对从所述并行到串行转换部件输出的信号进行串行到并行转换；以及电压施加部件，用于向所述显影部件施加基于从所述串行到并行转换部件输出的信号中的所述波形信号的、由直流电压和叠加在该直流电压上的交流电压所构成的电压。



1. 一种图像形成设备,包括:
 - 感光构件;
 - 曝光部件,用于根据图像信号来曝光所述感光构件;
 - 显影部件,用于使用调色剂对由所述曝光部件进行了曝光的所述感光构件上所形成的静电潜像进行显影;
 - 电压施加部件,用于向所述显影部件施加电压;
 - 主时钟生成部件,用于生成主时钟信号;
 - 交流电压控制信号生成部件,用于根据所述主时钟信号生成表示交流电压的周期和占空比的交流电压控制信号;
 - 并行到串行转换部件,用于与根据所述主时钟信号所生成的采样信号同步地对并行输入的所述交流电压控制信号和其它控制信号进行采样,将采样后的交流电压控制信号和采样后的其它控制信号转换为串行信号,并且输出所述串行信号和所述采样信号;以及
 - 串行到并行转换部件,用于与所述采样信号同步地将所述串行信号转换为并行信号,并且并行地输出所述采样后的交流电压控制信号和所述采样后的其它控制信号;
 - 其中,所述电压施加部件使用具有由所述串行到并行转换部件输出的所述采样后的交流电压控制信号所表示的周期和占空比的交流电压;以及
 - 所述采样信号的频率为由所述交流电压控制信号生成部件生成的所述交流电压控制信号的频率的整数倍。
2. 根据权利要求1所述的图像形成设备,其特征在于,还包括:
 - 充电部件,用于对所述感光构件进行充电。
3. 根据权利要求1所述的图像形成设备,其特征在于,
 - 所述其它控制信号包括输入至所述电压施加部件的电压接通过信号。
4. 根据权利要求1所述的图像形成设备,其特征在于,还包括马达驱动部件,所述马达驱动部件用于驱动步进马达,
 - 其中,所述其它控制信号包括输入至所述马达驱动部件的马达电流设置信号或马达时钟信号,以及
 - 所述马达驱动部件将与对应于所述马达电流设置信号或所述马达时钟信号的信号相应的电流或时钟提供至所述步进马达。
5. 根据权利要求1所述的图像形成设备,其特征在于,还包括离合器驱动部件,所述离合器驱动部件用于驱动离合器,
 - 其中,所述其它控制信号包括输入至所述离合器驱动部件的离合器接通过信号,以及
 - 所述离合器驱动部件根据与所述离合器接通过信号相对应的信号接通所述离合器。
6. 根据权利要求1所述的图像形成设备,其特征在于,
 - 所述并行到串行转换部件将所述串行信号和所述采样信号经由不同的信号线发送至所述串行到并行转换部件。

串行通信设备和包括该串行通信设备的图像形成设备

技术领域

[0001] 本发明涉及以预定采样周期进行波形信号串行通信的串行通信设备以及包括该串行通信设备的图像形成设备。

背景技术

[0002] 已知有这样一种电子照相图像形成设备,其使用在感光鼓和显影单元的显影套筒之间形成振荡电场、从而用调色剂对感光鼓上的静电潜像进行显影的显影方法。调色剂通过振荡电场的偏置电场充分附着到感光鼓的图像部分。附着到感光鼓的非图像部分的调色剂通过振荡电场的逆偏置电场而与感光鼓分离。为了形成振荡电场,将包括直流(DC)电压和叠加在直流电压上的交流(AC)电压的显影电压施加至显影套筒。日本特开平4-356076号公报讨论了一种用于对偏置电场与逆偏置电场的比率进行控制以防止调色剂残留在感光鼓的非图像部分上的技术。

[0003] 可以通过将矩形波AC电压施加至显影套筒并且控制矩形波的高电平和低电平的占空比来容易地控制偏置电场与逆偏置电场的比率。更具体地,主控制电路板生成表示施加至显影套筒的AC电压的周期和占空比的显影AC时钟信号和表示施加至显影套筒的AC电压的振幅的显影AC振幅控制信号。主控制电路板将显影AC时钟信号和显影AC振幅控制信号发送至显影高电压板。显影高电压板将包括DC电压和叠加在DC电压上的AC电压的显影电压施加至显影套筒,其中AC电压与显影AC时钟信号和显影AC振幅控制信号相对应。

[0004] 图像形成设备的主控制电路板还将信号发送至用于操作图像形成设备中的马达和离合器的驱动器板。用于发送这些信号的信号线连接主控制电路板和驱动器板,并且连接主控制电路板和显影高电压板。随着图像形成设备的精度、操作速度和功能多样化的提高,来自主控制电路板的信号线的数量也在增加。由于各电路板在很多情况下被配置为与主控制电路板分离,因而用很多信号线连接主控制电路板和各电路板不仅使得难以使图像形成设备小型化,还降低了在图像形成设备的组装操作时的可操作性。

发明内容

[0005] 根据本发明的一个方面,一种通信设备包括:生成部件,用于生成波形信号;以及通信部件,用于以预定采样周期对所生成的波形信号进行串行通信,其中,所述预定采样周期的频率为所述波形信号的频率的整数倍。

[0006] 根据本发明的另一个方面,一种包括通信设备的图像形成设备,所述通信设备包括:生成部件,用于生成波形信号;以及通信部件,用于以预定采样周期对所生成的波形信号进行串行通信,其中,所述预定采样周期的频率为所述波形信号的频率的整数倍;所述图像形成设备还包括:感光构件;曝光部件,用于与图像相对应地曝光所述感光构件;显影部件,用于使用调色剂对形成在进行了曝光的所述感光构件上的静电潜像进行显影;以及电压施加部件,用于向所述显影部件施加基于所生成的所述波形信号的电压。

[0007] 根据本发明的另一个方面,一种包括通信设备的图像形成设备,所述通信设备包括:生成部件,用于生成波形信号;以及通信部件,用于以预定采样周期对所生成的波形信号进行串行通信,其中,所述预定采样周期的频率为所述波形信号的频率的整数倍;所述图像形成设备还包括:感光构件;充电部件,用于对所述感光构件进行充电;曝光部件,用于与图像相对应地曝光所述感光构件;显影部件,用于使用调色剂对形成在进行了曝光的所述感光构件上的静电潜像进行显影;以及电压施加部件,用于向所述充电部件施加基于所生成的所述波形信号的电压。

[0008] 根据本发明的另一个方面,一种包括通信设备的图像形成设备,所述通信设备包括:生成部件,用于生成波形信号;以及通信部件,用于以预定采样周期对所生成的波形信号进行串行通信,其中,所述预定采样周期的频率为所述波形信号的频率的整数倍;并行到串行转换部件,用于以所述预定采样周期对包括所生成的所述波形信号的多个信号进行并行到串行转换;以及串行到并行转换部件,用于以所述预定采样周期对从所述并行到串行转换部件输出的信号进行串行到并行转换;所述图像形成设备还包括:感光构件;曝光部件,用于与图像相对应地曝光所述感光构件;显影部件,用于使用调色剂对形成在进行了曝光的所述感光构件上的静电潜像进行显影;以及电压施加部件,用于向所述显影部件施加基于从所述串行到并行转换部件输出的所述波形信号的电压。

[0009] 根据本发明的另一个方面,一种包括通信设备的图像形成设备,所述通信设备包括:生成部件,用于生成波形信号;以及通信部件,用于以预定采样周期对所生成的波形信号进行串行通信,其中,所述预定采样周期的频率为所述波形信号的频率的整数倍;并行到串行转换部件,用于以所述预定采样周期对包括所生成的所述波形信号的多个信号进行并行到串行转换;以及串行到并行转换部件,用于以所述预定采样周期对从所述并行到串行转换部件输出的信号进行串行到并行转换;所述图像形成设备还包括:感光构件;充电部件,用于对所述感光构件进行充电;曝光部件,用于与图像相对应地曝光所述感光构件;显影部件,用于使用调色剂对形成在由所述曝光部件进行了曝光的所述感光构件上的静电潜像进行显影;以及电压施加部件,用于向所述充电部件施加基于从所述串行到并行转换部件输出的所述波形信号的电压。

[0010] 根据本发明的另一个方面,一种图像形成设备包括:感光构件;曝光部件,用于与图像相对应地曝光所述感光构件;显影部件,用于使用调色剂对形成在由所述曝光部件进行了曝光的所述感光构件上的静电潜像进行显影;生成部件,用于生成用于所述显影部件的波形信号;并行到串行转换部件,用于以预定采样周期对包括由所述生成部件生成的所述波形信号的多个信号进行并行到串行转换;串行到并行转换部件,用于以所述预定采样周期对从所述并行到串行转换部件输出的信号进行串行到并行转换;以及电压施加部件,用于向所述显影部件施加基于从所述串行到并行转换部件输出的所述波形信号的电压。

[0011] 根据本发明的另一个方面,一种图像形成设备包括:一种图像形成设备,包括:感光构件;充电部件,用于对所述感光构件进行充电;曝光部件,用于与图像相对应地曝光所述感光构件;显影部件,用于使用调色剂对形成在由所述曝光部件进行了曝光的所述感光构件上的静电潜像进行显影;生成部件,用于生成用于所述充电部件的波形信号;并行到串行转换部件,用于以预定采样周期对包括所生成的所述波形信号的多个信号进行并行到串行转换;串行到并行转换部件,用于以所述预定采样周期对从所述并行到串行转换部件

输出的信号进行串行到并行转换;以及电压施加部件,用于向所述充电部件施加基于从所述串行到并行转换部件输出的所述波形信号的电压。

[0012] 通过以下参考附图对典型实施例的详细说明,本发明的其它特征和方面将变得明显。

附图说明

[0013] 包含在说明书中并构成说明书一部分的附图示出了本发明的典型实施例、特征和方面,并和说明书一起用于解释本发明的原理。

[0014] 图 1 是根据本发明第一典型实施例的图像形成设备的截面图。

[0015] 图 2 是根据第一典型实施例的主控制电路板和驱动器板的框图。

[0016] 图 3 示出显影 AC 时钟信号。

[0017] 图 4 示出分配至并行到串行转换电路的输入端口和串行到并行转换电路的输出端口的信号。

[0018] 图 5 是并行到串行转换电路的框图。

[0019] 图 6 是示出针对并行到串行转换电路的输入信号和输出信号的时序图。

[0020] 图 7 是串行到并行转换电路的框图。

[0021] 图 8 是示出针对串行到并行转换电路的输入信号和输出信号的时序图。

[0022] 图 9 是显影高电压板的电路图。

[0023] 图 10A 和 10B 是示出输入至并行到串行转换电路的显影 AC 时钟信号和从串行到并行转换电路输出的显影 AC 时钟信号之间的关系时序图。

[0024] 图 11 是根据第二典型实施例的主控制电路板和驱动器板的框图。

[0025] 图 12 示出充电 AC 时钟信号。

[0026] 图 13 是充电高电压板的电路图。

具体实施方式

[0027] 以下将参考附图详细说明本发明的各种典型实施例、特征和方面。

[0028] 图 1 是根据本发明第一典型实施例的图像形成设备 100 的截面图。图像形成设备 100 是使用黄色 (Y)、品红色 (M)、青色 (C) 和黑色 (K) 调色剂这四种颜色的调色剂来形成彩色图像的电子照相图像形成设备。图像形成设备 100 包括用于形成各颜色的调色剂图像的图像形成单元 50Y、50M、50C 和 50K。图像形成单元 50Y、50M、50C 和 50K 基于各自的图像信号分别形成黄色 (Y)、品红色 (M)、青色 (C) 和黑色 (K) 调色剂图像。图像形成单元 50Y、50M、50C 和 50K 分别包括感光鼓 1Y、1M、1C 和 1K (感光构件), 充电辊 2Y、2M、2C 和 2K, 激光曝光单元 3Y、3M、3C 和 3K, 显影单元 4Y、4M、4C 和 4K, 以及一次转印辊 5Y、5M、5C 和 5K。图像形成单元 50Y、50M、50C 和 50K 各自具有相同的结构和功能,因此在以下说明中,省略标记 Y、M、C 和 K。

[0029] 充电辊 2 被配置为与感光鼓 1 接触,并通过感光鼓 1 的转动进行驱动和转动。将 DC 电压 (例如,预定 DC 电压 $-1000 \sim -1500\text{VDC}$) 施加至充电辊 2 作为充电电压。通过充电辊 2 将感光鼓 1 的表面均匀充电至预定 (负) 电位。可以通过除充电辊 2 以外的充电构件将充电电压施加至感光鼓 1。此外,可以在充电构件和感光鼓 1 之间设置微小的间隙 (例

- 如,约 10 微米),只要在充电构件和感光鼓 1 之间可以进行用于施加充电电压的放电即可。
- [0030] 激光曝光单元 3 基于图像信号调制激光。由激光曝光单元 3 调制后的激光在主扫描方向上被偏转,然后被施加至转动的感光鼓 1(感光构件)上。以这种方式进行与图像相对应的曝光处理使得在感光鼓 1 上形成静电潜像。
- [0031] 显影单元 4 经由转动的显影套筒 4a 将调色剂提供至感光鼓 1。将包括预定 DC 电压 $-150 \sim -700\text{VDC}$ 和叠加在该预定 DC 电压上的预定 AC 电压 $1000 \sim 2000\text{VAC}$ 的显影电压施加至显影套筒 4a。因此,将负充电后的调色剂提供至感光鼓 1,并且利用调色剂对形成在感光鼓 1 上的静电潜像进行显影。
- [0032] 通过中间转印带 6 的移动来驱动和转动一次转印辊 5。将具有与调色剂的电位相反的电位(正电位)的 DC 电压施加至一次转印辊 5 作为一次转印电压。因此,将形成在感光鼓 1 上的调色剂图像转印至中间转印带 6 上。
- [0033] 将由四个图像形成单元 50Y \sim 50K 形成的各颜色的调色剂图像相互叠加并转印至中间转印带 6 上(一次转印处理)。因此,将全色调色剂图像形成和承载在中间转印带 6 上。通过二次转印辊 8 将承载在中间转印带 6 上的全色调色剂图像转印至从薄片盒 10 进给并输送至二次转印辊 8 和中间转印带 6 之间的间隙的薄片 P 上(二次转印处理)。将预定 DC 电压 $+500 \sim +7000\text{VDC}$ 施加至二次转印辊 8。
- [0034] 将其上转印有全色调色剂图像的薄片 P 输送至定影装置 11。定影装置 11 对薄片 P 进行加热和加压以将调色剂图像定影在薄片 P 上。其上定影有调色剂图像的薄片 P 穿过输送路径 12 和排出辊 13,然后将该薄片 P 排出至排出托盘 14 上。
- [0035] 图 2 是图像形成设备 100 的主控制电路板 201 和图像形成单元 50 的驱动器板 211 的框图。尽管驱动器板 211 被配置在四个图像形成单元 50Y \sim 50K 的每一个中,但图 2 仅示出一个驱动器板 211 以简化说明。
- [0036] 驱动器板 211 与将 AC 电压施加至图像形成单元 50 中的显影套筒 4a 的显影高电压板 223 连接。驱动器板 211 包括用于驱动离合器 221 的离合器驱动电路 213 和用于驱动步进马达 222 的步进马达驱动电路 214。步进马达 222 驱动并转动四个图像形成单元 50Y \sim 50K 的每一个中的显影套筒 4a。离合器 221 使步进马达 222 和显影套筒 4a 之间的驱动力传送系统连接和断开。
- [0037] 主控制电路板 201 包括中央处理单元(CPU)206a、只读存储器(ROM)206b、随机存取存储器(RAM)206c 和专用集成电路(ASIC)208。CPU 206a 在使用 RAM 206c 作为工作区域的同时,根据存储在 ROM 206b 中的程序控制图像形成设备 100。CPU206a、ROM 206b、RAM 206c 和 ASIC 208 经由总线相互连接。
- [0038] 主控制电路板 201 输出用于控制将显影电压施加至显影单元 4 的显影高电压板 223 的信号。用于控制显影高电压板 223 的信号包括显影 DC 接通(ON)信号、显影 DC 电压控制信号、显影 AC 接通信号、显影 AC 振幅控制信号和显影 AC 时钟信号(用于显影单元 4 的波形信号)。经由驱动器板 211 将这些信号提供至显影高电压板 223。
- [0039] 主时钟振荡电路 207 生成 12MHz 的主时钟信号(也称为基准时钟信号),并将该主时钟信号提供至 CPU 206a 和 ASIC 208。ASIC 208 包括显影 AC 时钟生成电路 202、输出端口寄存器 203、马达时钟生成电路 204、并行到串行转换电路 205 和数字到模拟(D/A)转换电路 209。显影 AC 时钟生成电路 202、马达时钟生成电路 204、并行到串行转换电路 205

和 D/A 转换电路 209 与主时钟信号同步地进行工作。包括在 ASIC 208 中的这些电路各自均具有由 CPU 206a 使用以设置各自的操作的寄存器。

[0040] 显影 AC 时钟生成电路 202 根据由 CPU 206a 设置的施加至显影单元 4 的 AC 电压的频率和占空比,来分割从主时钟振荡电路 207 输出的主时钟信号,以生成显影 AC 时钟信号。显影 AC 时钟信号是如图 3 所示的矩形波时钟信号。在本典型实施例中,显影 AC 时钟信号具有 3kHz 的频率以及高电平宽度为 67%和低电平宽度为 33%的占空比。

[0041] D/A 转换电路 209 将由 CPU 206a 所设置的作为数字信号的显影 DC 电压控制信号和显影 AC 振幅控制信号转换为模拟信号,并将模拟信号经由驱动器板 211 提供至显影高电压板 223。

[0042] 输出端口寄存器 203 根据 CPU 206a 进行的设置来控制各种输出端口。输出端口寄存器 203 输出显影 DC 接通信号、显影 AC 接通信号、离合器接通信号和马达电流设置信号(马达电流设置 1 信号和马达电流设置 0 信号)。

[0043] 显影 DC 接通信号和显影 AC 接通信号被用作用以接通显影 AC 电压和显影 DC 电压的输出的指令。离合器接通信号被用作用以接通离合器 221 的指令。马达电流设置 1 信号和马达电流设置 0 信号设置用于步进马达 222 的驱动电流。马达时钟生成电路 204 分割从主时钟振荡电路 207 输出的主时钟信号,以生成用于驱动步进马达 222 的时钟信号。步进马达 222 以与所设置的驱动电流和所生成的时钟信号相对应的速度进行转动。

[0044] 并行到串行转换电路 205 将从显影 AC 时钟生成电路 202、输出端口寄存器 203 和马达时钟生成电路 204 并行输入的信号并行到串行转换为串行形式,然后将转换后的信号传送至驱动器板 211 的串行到并行转换电路 212。并行到串行转换电路 205 以预定周期对并行信号进行采样以将并行信号转换为串行信号。串行到并行转换电路 212 将从并行到串行转换电路 205 传送来的串行信号转换为并行信号。

[0045] 主控制电路板 201 将多个信号并行到串行转换为串行形式,然后以这种方式串行地将信号发送至驱动器板 211,因此可以减少主控制电路板 201 和驱动器板 211 之间的信号线的数量。该结构不仅使得图像形成设备小型化,而且改善了图像形成设备的组装操作时的可操作性。该结构对于分离配置有主控制电路板 201、驱动器板 211 和显影高电压板 223 的图像形成设备特别有效。

[0046] 并行到串行转换电路 205 以作为显影 AC 时钟信号的频率的整数倍的频率对并行信号进行采样,并将并行信号转换为串行信号。在本典型实施例中,并行到串行转换电路 205 以作为显影 AC 时钟信号的 3kHz 频率的 20 倍的 60kHz 的频率对并行信号进行采样。

[0047] 并行到串行转换电路 205 与从主时钟振荡电路 207 输入的主时钟信号同步地进行并行到串行转换。并行到串行转换电路 205 将采样信号 XLOAD、传送时钟信号 SCK 和数据 SDATA 发送至串行到并行转换电路 212。

[0048] 采样信号 XLOAD 用于确定并行到串行转换和串行到并行转换的时刻。传送时钟信号 SCK 用于实现将并行到串行转换后的信号(串行信号)传送至串行到并行转换电路 212 时的同步。

[0049] 串行到并行转换电路 212 接收采样信号 XLOAD、传送时钟信号 SCK 和数据 SDATA,并与传送时钟信号 SCK 同步地将数据 SDATA(串行信号)转换为并行信号。

[0050] 图 4 示出分配至并行到串行转换电路 205 的输入端口和串行到并行转换电路 212

的输出端口的信号。将离合器接通信号、马达电流设置 1 信号、马达电流设置 0 信号、马达时钟信号、显影 DC 接通信号、显影 AC 接通信号和显影 AC 时钟信号分别分配至并行到串行转换电路 205 的输入端口 Pi7 ~ Pi1。这些信号连接至要从各电路输入的各个端口。

[0051] 将离合器接通信号、马达电流设置 1 信号、马达电流设置 0 信号、马达时钟信号、显影 DC 接通信号、显影 AC 接通信号和显影 AC 时钟信号分别分配至串行到并行转换电路 212 的输出端口 Po7 ~ Po1。这些信号连接至要输出至各电路的各个端口。

[0052] 响应于从输出端口 Po7 输入的离合器接通信号,离合器驱动电路 213 接通离合器 221。步进马达驱动电路 214 将与分别从输出端口 Po6 和 Po5 输入的马达电流设置 1 信号和马达电流设置 0 信号相对应的驱动电流提供至步进马达 222。此外,步进马达驱动电路 214 将从输出端口 Po4 输入的马达时钟信号提供至步进马达 222。

[0053] 在与从输出端口 Po3 输入的显影 DC 接通信号相应的时间段内,显影高电压板 223 将具有由从 D/A 转换电路 209 输入的显影 DC 电压控制信号所指定的值的 DC 电压提供至显影单元 4。在与从输出端口 Po2 输入的显影 AC 接通信号相应的时间段内,显影高电压板 223 将具有由从 D/A 转换电路 209 输入的显影 AC 振幅控制信号所指定的振幅的 AC 电压提供至显影单元 4。当显影 DC 接通信号和显影 AC 接通信号都接通时,显影高电压板 223 将包括 DC 电压和叠加在 DC 电压上的 AC 电压的电压提供至显影单元 4。显影高电压板 223 将具有由从输出端口 Po1 输入的显影 AC 时钟信号所指定的周期和占空比的矩形波 AC 电压提供至显影单元 4。

[0054] 图 5 是并行到串行转换电路 205 的框图。图 6 是示出针对并行到串行转换电路 205 的输入信号和输出信号的时序图。并行到串行转换电路 205 包括锁存电路 2051、移位寄存器电路 2052、控制电路 2053 和定时信号生成电路 2054。定时信号生成电路 2054 生成通过将主时钟信号进行十等分而形成的 1.2MHz 的 SCK 信号和用于确定并行到串行转换和串行到并行转换的时刻的采样信号 XLOAD。

[0055] 如图 6 所示,采样信号 XLOAD 的下降沿表示进行并行到串行转换的采样时刻。定时信号生成电路 2054 以 60kHz 的周期输出采样信号 XLOAD。将并行信号 Pi7 ~ Pi0 输入至锁存电路 2051。

[0056] 控制电路 2053 在采样信号 XLOAD 的下降沿将锁存信号输出至锁存电路 2051。响应于该锁存信号,锁存电路 2051 锁存(保持)输入信号 Pi7 ~ Pi0,并将锁存后的输入信号 Pi7 ~ Pi0 输出至移位寄存器电路 2052。在将采样信号 XLOAD 设置为低电平的时间段内,控制电路 2053 在传送时钟信号 SCK 的下降沿将移位信号输出至移位寄存器电路 2052。

[0057] 响应于该移位信号,移位寄存器电路 2052 以 Pi7、Pi6、...、Pi0 的顺序顺次选择输入信号 Pi7 ~ Pi0,并输出各信号作为数据 SDATA。因此,并行到串行转换电路 205 与传送时钟信号 SCK 同步地顺次将多个信号 Pi7 ~ Pi0 发送至串行到并行转换电路 212。尽管并行到串行转换电路 205 在采样信号 XLOAD 的下降沿锁存多个信号,但也可以在采样信号 XLOAD 的上升沿来锁存这些信号。

[0058] 图 7 是串行到并行转换电路 212 的框图。图 8 是示出针对串行到并行转换电路 212 的输入信号和输出信号的时序图。串行到并行转换电路 212 包括移位寄存器电路 2121、锁存电路 2122 和控制电路 2123。在将采样信号 XLOAD 设置为低电平的时间段内,控制电路 2123 在传送时钟信号 SCK 的各上升沿将移位信号输出至移位寄存器电路 2121。

[0059] 响应于该移位信号,移位寄存器电路 2121 获取从数据 SDATA 顺次输入的信号 Pi7、Pi6、...、Pi0 作为信号 Po7、Po6、...、Po0。因此,串行到并行转换电路 212 与传送时钟信号 SCK 同步地从并行到串行转换电路 205 顺次接收多个信号 Pi7 ~ Pi0。对采样信号 XLOAD 进行控制,以在移位寄存器电路 2121 已经获取所有信号 Po7 ~ Po0 时将采样信号 XLOAD 设置为高电平。

[0060] 控制电路 2123 在采样信号 XLOAD 的上升沿将锁存信号输出至锁存电路 2122。响应于该锁存信号,锁存电路 2122 锁存由移位寄存器电路 2121 所保持的信号 Po7 ~ Po0。由锁存电路 2122 锁存的信号用作串行到并行转换电路 212 的输出端口 Po7 ~ Po0 的输出信号。

[0061] 尽管串行到并行转换电路 212 在采样信号 XLOAD 的上升沿锁存多个信号,但串行到并行转换电路 212 也可以在采样信号 XLOAD 的下降沿锁存这些信号。在这种情况下,并行到串行转换电路 205 的动作响应于采样信号 XLOAD 的上升沿。

[0062] 图 9 是显影高电压板 223 的电路图。主控制电路板 201 上的 D/A 转换电路 209 生成显影 AC 振幅控制信号和显影 DC 电压控制信号。将所生成的显影 AC 振幅控制信号和显影 DC 电压控制信号输入至显影高电压板 223。输出端口寄存器 203 生成显影 AC 接通信号和显影 DC 接通信号。将所生成的显影 AC 接通信号和显影 DC 接通信号经由并行到串行转换电路 205 和串行到并行转换电路 212 输入至显影高电压板 223。显影 AC 时钟生成电路 202 生成显影 AC 时钟信号。将所生成的显影 AC 时钟信号经由并行到串行转换电路 205 和串行到并行转换电路 212 输入至显影高电压板 223。

[0063] 显影高电压板 223 包括显影 DC 高电压电路 231 和显影 AC 高电压电路 232。将用于接通显影 DC 高电压电路 231 的输出的显影 DC 接通信号和用于设置显影 DC 高电压电路 231 的输出电压的显影 DC 电压控制信号输入至显影 DC 高电压电路 231。显影 AC 高电压电路 232 包括显影 AC 振幅控制电路 234 和显影 AC 栅极驱动电路 233。

[0064] 显影 AC 振幅控制电路 234 将与显影 AC 振幅控制信号相对应的电压施加至用于驱动显影 AC 变压器 235 的初级侧的桥电路 236,由此控制显影 AC 高电压电路 232 的振幅。将显影 AC 接通信号和显影 AC 时钟信号输入至显影 AC 栅极驱动电路 233。

[0065] 当显影 AC 接通信号和显影 AC 时钟信号均被设置为高电平时,显影 AC 栅极驱动电路 233 接通栅极 1 信号并断开 (OFF) 栅极 2 信号。此外,当显影 AC 接通信号被设置为高电平并且显影 AC 时钟信号被设置为低电平时,显影 AC 栅极驱动电路 233 断开栅极 1 信号并接通栅极 2 信号。在显影 AC 接通信号被设置为低电平时,显影 AC 栅极驱动电路 233 断开栅极 1 信号和栅极 2 信号这两者。

[0066] 图 10A 和 10B 是示出输入至并行到串行转换电路 205 的显影 AC 时钟信号 Pi1 和从串行到并行转换电路 212 输出的显影 AC 时钟信号 Po1 之间的关系的时序图。并行到串行转换电路 205 在预定频率的串行转换定时将包括显影 AC 时钟信号 Pi1 的并行信号 Pi7 ~ Pi0 转换为串行信号。

[0067] 将串行转换定时的频率设置为显影 AC 时钟信号的频率的整数倍。在本典型实施例中,将并行到串行转换电路 205 的采样周期设置为作为显影 AC 时钟信号的 3kHz 频率的 20 倍的 60kHz。下面将参考图 10A 和 10B 说明将串行转换定时的频率设置为显影 AC 时钟信号的频率的整数倍的原因。

[0068] 图 10A 是示出当串行转换定时的频率不是显影 AC 时钟信号的频率的整数倍时发生的缺陷的例子的时序图。在图 10A 的例子中, 显影 AC 时钟信号的频率为 3kHz, 并且串行转换定时的频率为 50kHz。如上所述, 并行到串行转换电路 205 在采样信号 XLOAD 的下降沿对并行信号进行采样, 并且串行到并行转换电路 212 在采样信号 XLOAD 的上升沿输出并行信号。

[0069] 参考图 10A, 串行转换定时与采样信号 XLOAD 的下降沿相对应。如图 10A 所示, 尽管显影 AC 时钟信号 Pi1 与串行转换定时不同步, 但经过了串行转换的显影 AC 时钟信号 Po1 与串行转换定时同步。因此, 具有 67% 高电平宽度和 33% 低电平宽度的显影 AC 时钟信号的占空比略微改变为具有 64% 高电平宽度和 36% 低电平宽度的占空比。然而, 由于充电电位和显影电位之间的对比度由图像形成单元 50 所控制, 因此该变化不会引起问题。

[0070] 在图 10A 的例子中, 问题在于显影 AC 时钟信号 Po1 的占空比的时间变化改变了显影单元 4 中的显影浓度。参考图 10A, 虽然在大部分时间, 显影 AC 时钟信号 Po1 的占空比具有 64% 高电平宽度和 36% 低电平宽度, 但由于抖动 (jitter) 周期性地发生, 由此导致占空比具有 68% 高电平宽度和 32% 低电平宽度。

[0071] 当抖动的周期可见时, 在感光鼓 1 的转动方向上发生周期性带状图像浓度不均 (条带), 由此导致图像质量的降低。例如, 当图像形成单元 50 的处理速度为 400mm/s 时, 如果抖动频率为 400Hz, 则出现 1mm 间距的图像浓度不均, 或者如果抖动频率为 1kHz, 则出现 0.4mm 间距的图像浓度不均。

[0072] 为了防止引起这种图像浓度不均的抖动, 在本典型实施例中, 将并行到串行转换电路 205 的串行转换定时的频率设置为显影 AC 时钟信号的频率的整数倍。图 10B 是示出将串行转换定时的频率设置为显影 AC 时钟信号的频率的整数倍的优选例子的时序图。在图 10B 的例子中, 显影 AC 时钟信号的频率为 3kHz, 并且串行转换定时的频率为 60kHz。

[0073] 如图 10B 所示, 尽管显影 AC 时钟信号 Pi1 与串行转换定时不同步, 但经过了串行转换的显影 AC 时钟信号 Po1 与串行转换定时同步。因此, 具有 67% 高电平宽度和 33% 低电平宽度的显影 AC 时钟信号的占空比略微改变为具有 70% 高电平宽度和 30% 低电平宽度的占空比。然而, 由于充电电位和显影电位之间的对比度由图像形成单元 50 所控制, 因此该改变不会引起问题。

[0074] 图 10B 中的例子与图 10A 中的缺陷的例子不同之处在于: 由于将串行转换定时的频率设置为显影 AC 时钟信号的频率的整数倍, 因而完全不存在显影 AC 时钟信号 Po1 的占空比的时间变化。因此, 在与显影 AC 时钟信号相对应的信号中, 不会发生由于通过并行到串行转换电路 205 进行的上述并行到串行转换所引起的抖动, 由此可以防止由于该抖动而引起的图像浓度不均。串行通信的使用可以减少信号线的数量, 同时保持图像质量, 由此可以实现成本的降低和空间的节省。

[0075] 为了可靠地获得上述效果, 如本典型实施例那样, 期望通过使用相同的基准时钟来操作用于生成显影 AC 时钟信号的电路和用于进行并行到串行转换的电路。尽管基于显影 AC 时钟生成电路 202、输出端口寄存器 203、马达时钟生成电路 204 和并行到串行转换电路 205 包括在 ASIC 208 中的情况来说明本典型实施例, 但这些电路可以由单独的集成电路 (IC) 来构成。

[0076] 尽管基于将 AC 电压施加至显影单元 4 的情况来说明第一典型实施例, 但作为第二

典型实施例,本发明还可应用于将AC电压施加至充电辊2的情况。在第二典型实施例中,将包括DC电压(例如,预定DC电压 $-300 \sim -900\text{VDC}$)和叠加在该DC电压上的正弦波AC电压(预定AC电压 $1300 \sim 2000\text{VAC}$)的充电电压施加至充电辊2。除AC充电结构以外,根据第二典型实施例的图像形成设备以与第一典型实施例的图像形成设备相同的方式进行配置。

[0077] 图11是图像形成设备100的主控制电路板201和图像形成单元50的驱动器板211的框图。图11中的结构与图2中的结构的不同之处在于:主控制电路板201上的ASIC308具有充电AC时钟生成电路302,并且充电高电压板323连接至驱动器板211。此外,第一典型实施例中的与显影有关的信号由第二典型实施例中的与充电有关的信号代替。充电AC时钟生成电路302生成充电AC时钟信号(用于充电装置的波形信号),其中该充电AC时钟信号是如图12所示的矩形波时钟信号,并且具有 1.5kHz 的频率以及高电平宽度为50%和低电平宽度为50%的占空比。

[0078] 图13是充电高电压板323的电路图。配置在主控制电路板201上的D/A转换电路209生成充电AC振幅控制信号和充电DC电压控制信号。将所生成的充电AC振幅控制信号和充电DC电压控制信号输入至充电高电压板323。输出端口寄存器203生成充电AC接通信号和充电DC接通信号。将充电AC接通信号和充电DC接通信号经由并行到串行转换电路205和串行到并行转换电路212输入至充电高电压板323。充电AC时钟生成电路302生成充电AC时钟信号。将所生成的充电AC时钟信号经由并行到串行转换电路205和串行到并行转换电路212输入至充电高电压板323。

[0079] 充电高电压板323包括充电DC高电压电路331和充电AC高电压电路332。将用于接通充电DC高电压电路331的输出的充电DC接通信号和用于设置充电DC高电压电路331的输出电压的充电DC电压控制信号输入至充电DC高电压电路331。充电AC高电压电路332包括充电AC振幅控制电路334、低通滤波器337和放大器电路336。

[0080] 在充电AC接通信号接通的时间段内,充电AC振幅控制电路334将与充电AC振幅控制信号相对应的电压提供至场效应三极管(FET)的源极。将充电AC时钟信号输入至FET的栅极。因此,在充电AC振幅控制电路334和FET之间的接点处生成具有充电AC时钟信号的频率的矩形波。低通滤波器337将该矩形波转换为正弦波。低通滤波器337的输出电流通过放大器电路336被放大,然后经由充电AC变压器335被提供至充电辊2。

[0081] 在本典型实施例中,将并行到串行转换电路205的串行转换定时的频率设置为充电AC时钟信号的频率的整数倍。在本典型实施例中,充电AC时钟信号的频率为 1.5kHz ,并且串行转换定时的频率为 60kHz 。因此,与第一典型实施例相同,在与充电AC时钟信号相对应的信号中,不会发生由于利用并行到串行转换电路205进行的上述并行到串行转换而引起的抖动,由此可以防止由于抖动引起的图像浓度不均。

[0082] 尽管已经参考典型实施例说明了本发明,但是应该理解,本发明不限于所公开的典型实施例。所附权利要求书的范围符合最宽的解释,以包含所有这类修改、等同结构和功能。

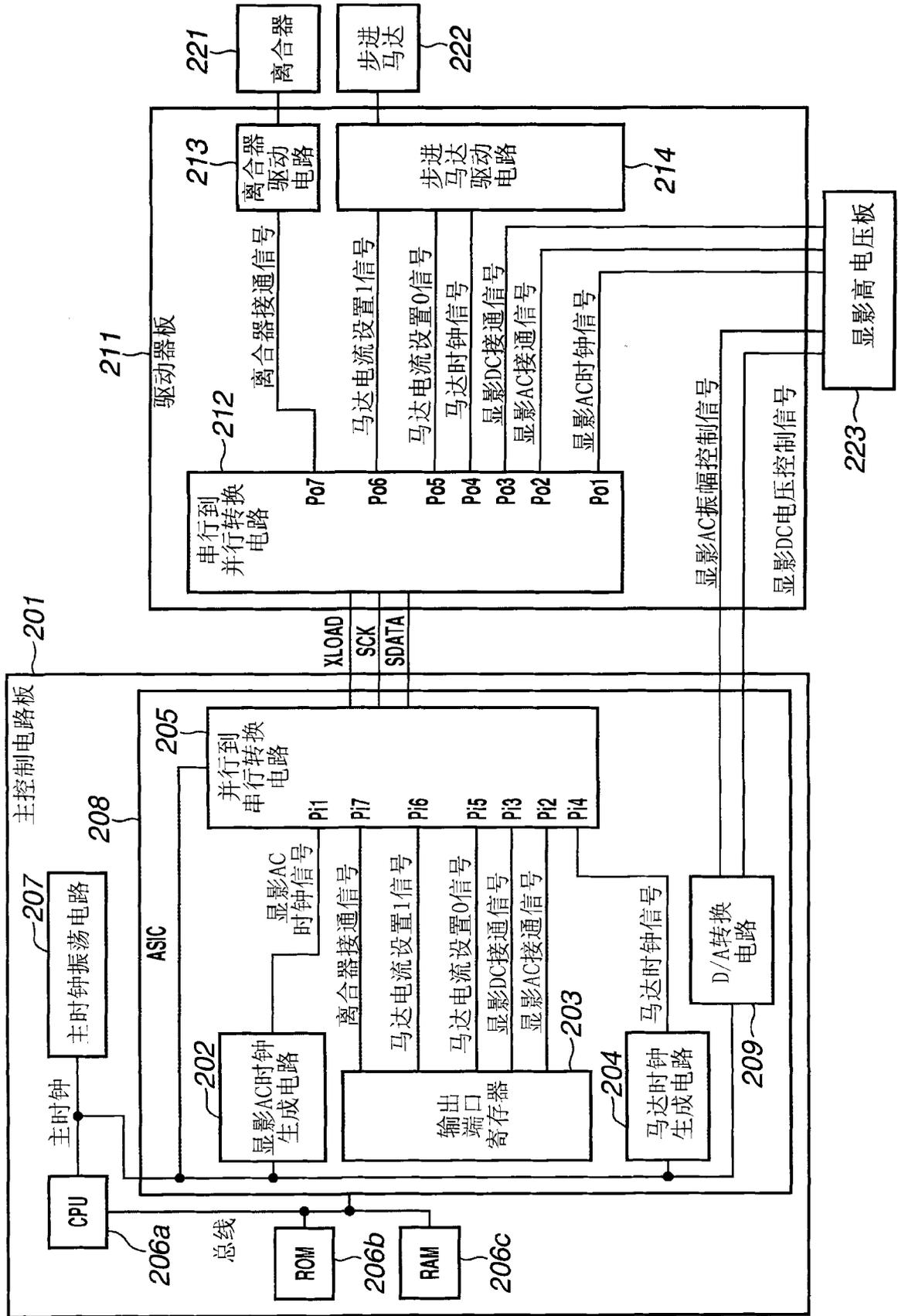


图 2

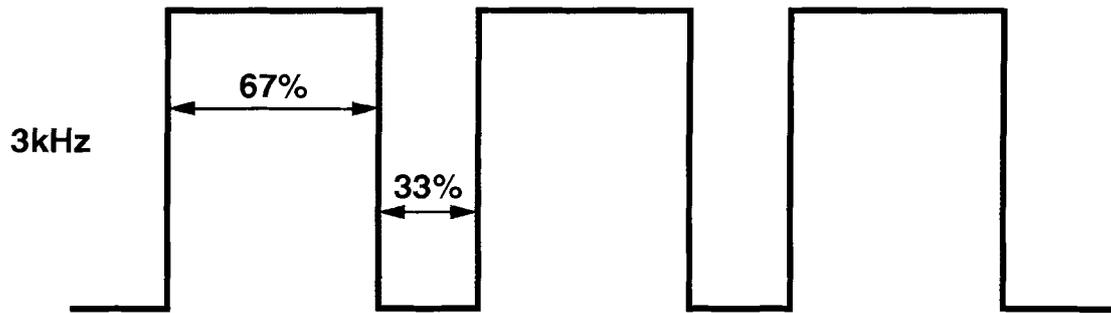


图 3

端口	信号名称
Pi7(Po7)	离合器接通信号
Pi6(Po6)	马达电流设置1信号
Pi5(Po5)	马达电流设置0信号
Pi4(Po4)	马达时钟信号
Pi3(Po3)	显影DC接通信号
Pi2(Po2)	显影AC接通信号
Pi1(Po1)	显影AC时钟信号
Pi0(Po0)	—

图 4

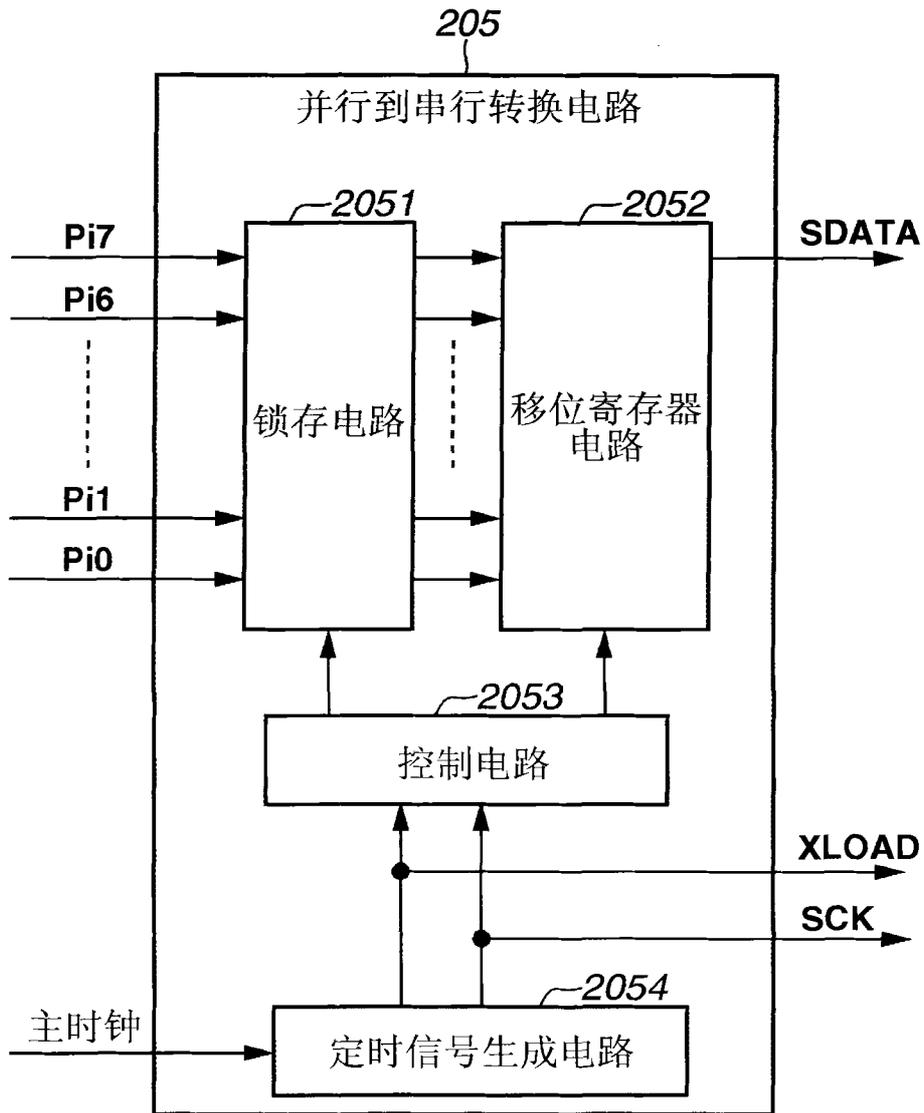


图 5

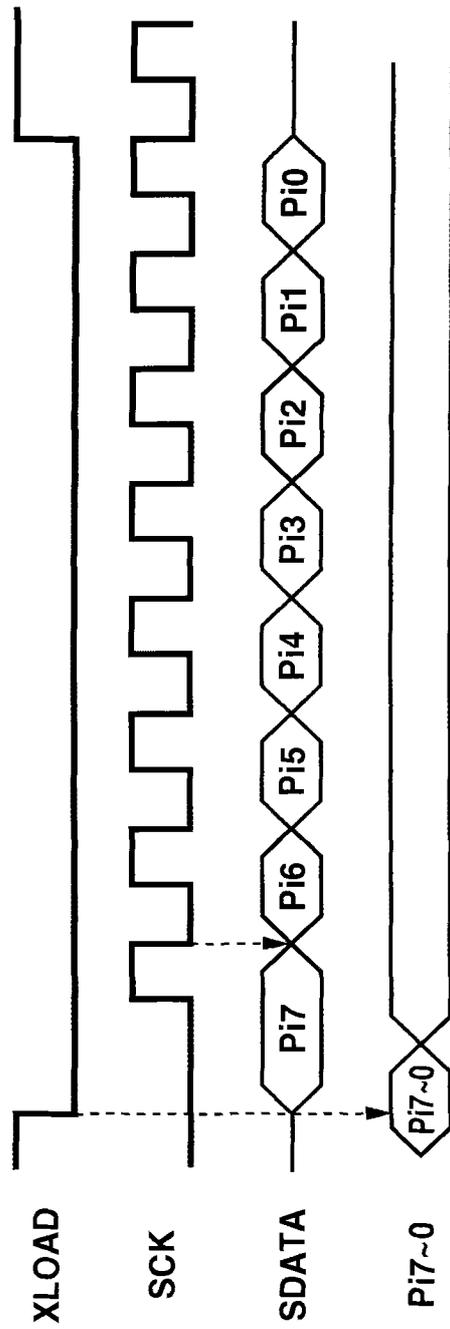


图 6

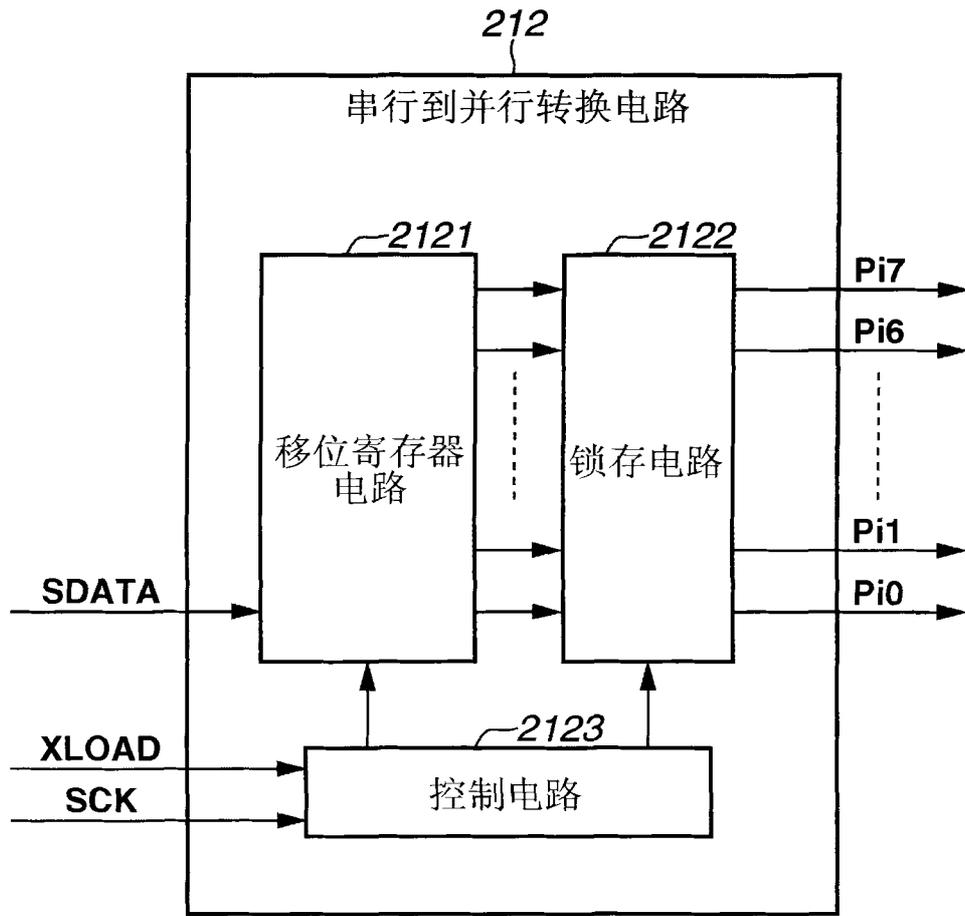


图 7

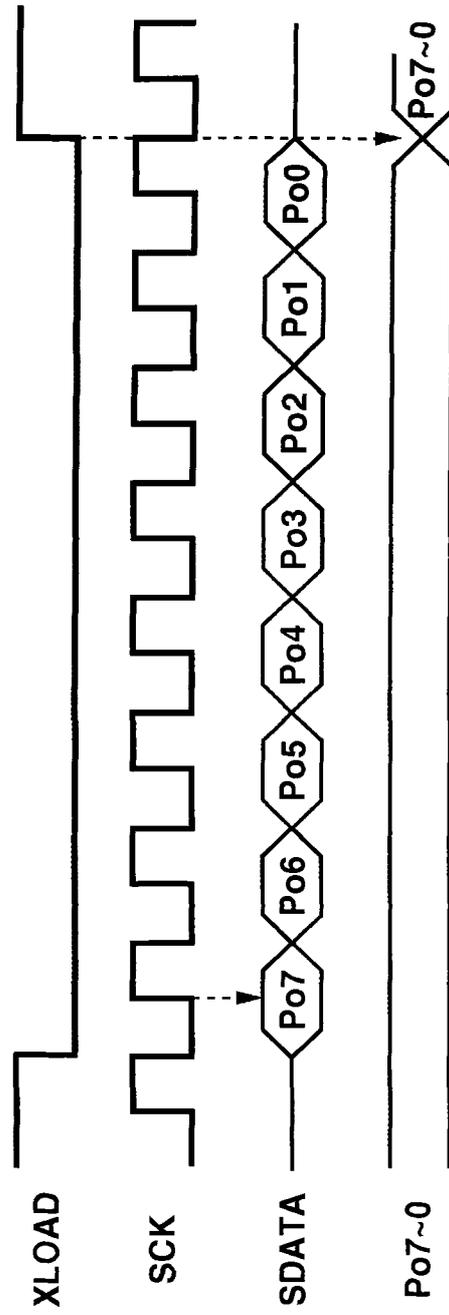


图 8

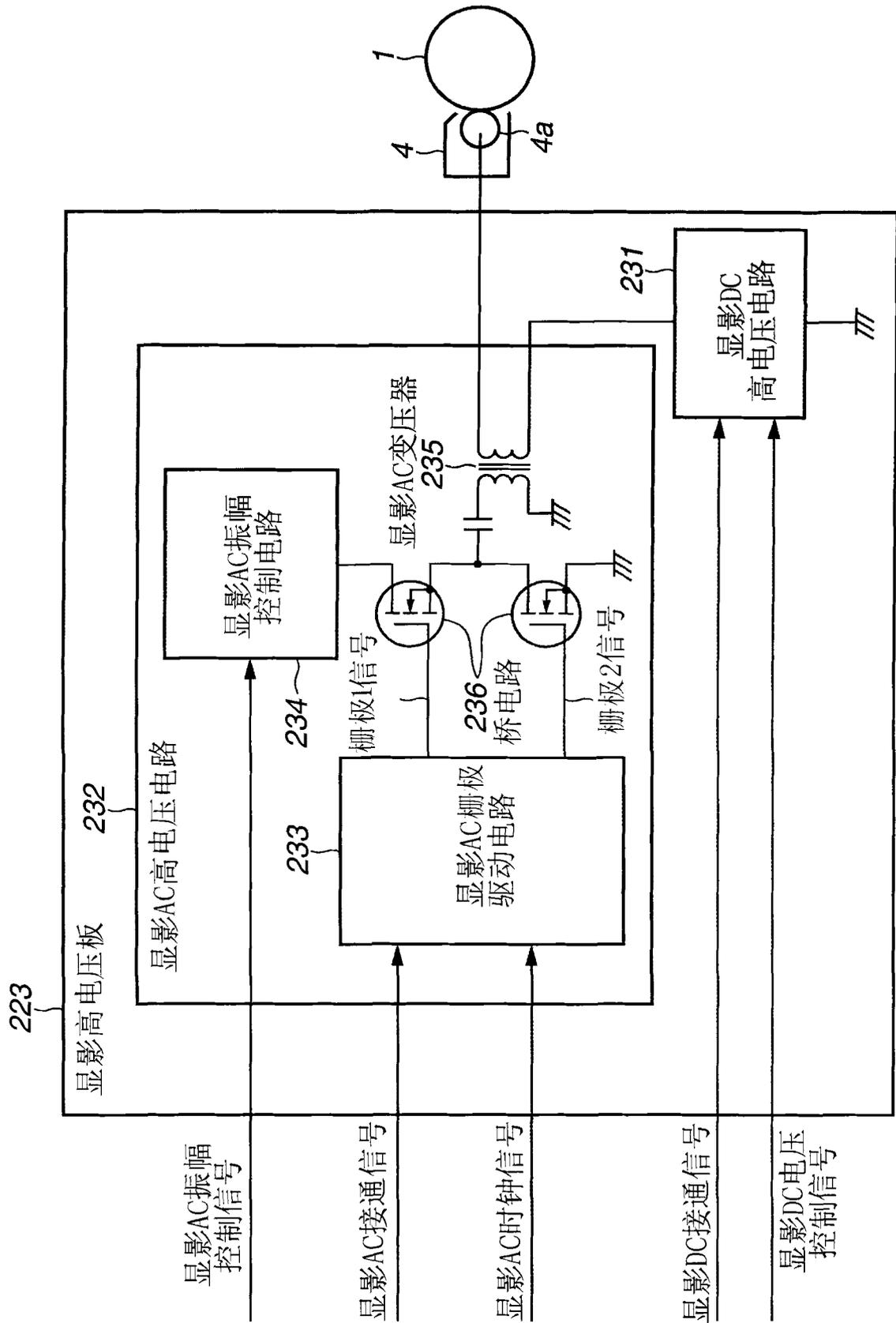


图 9

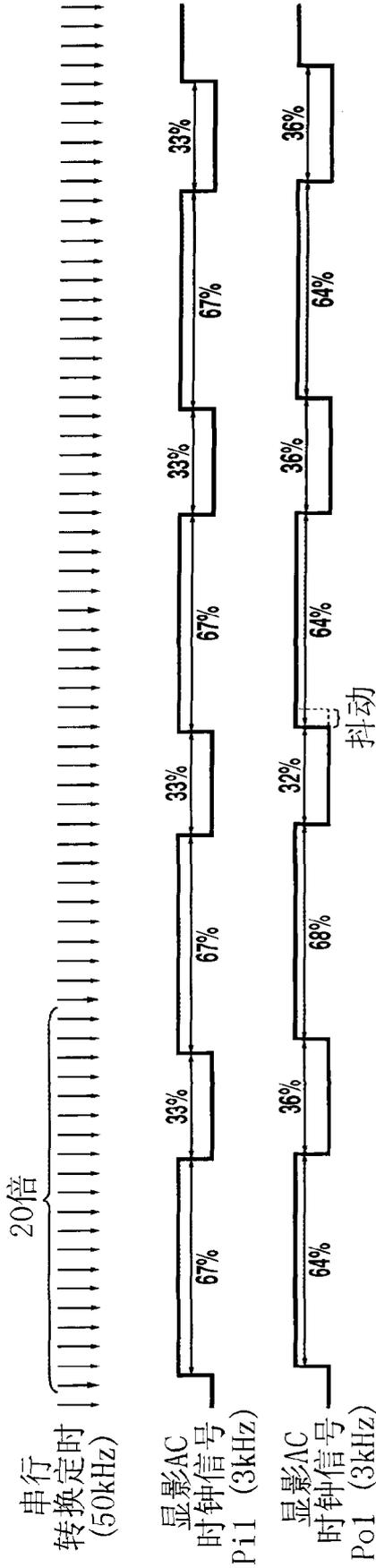


图 10A

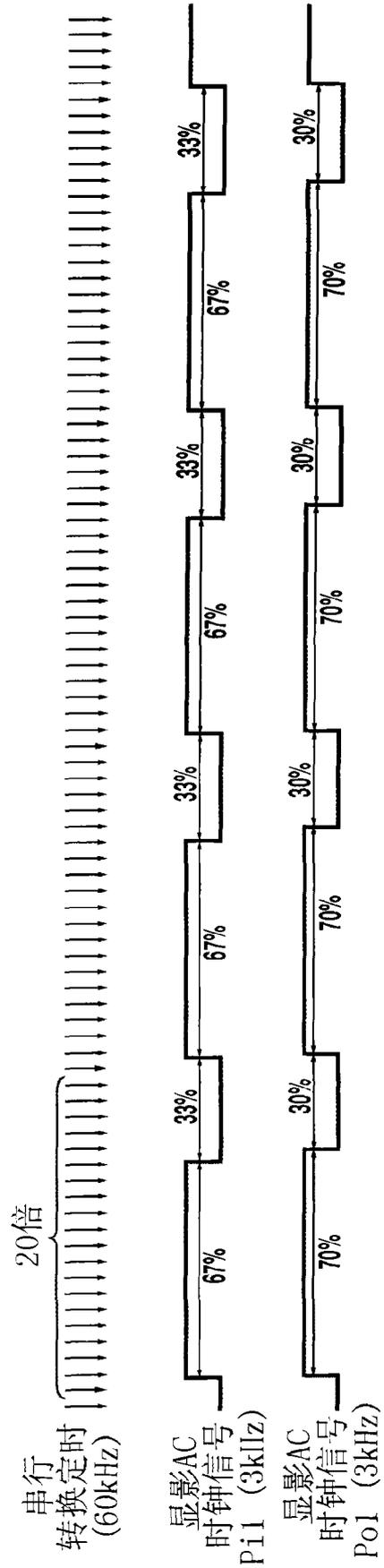


图 10B

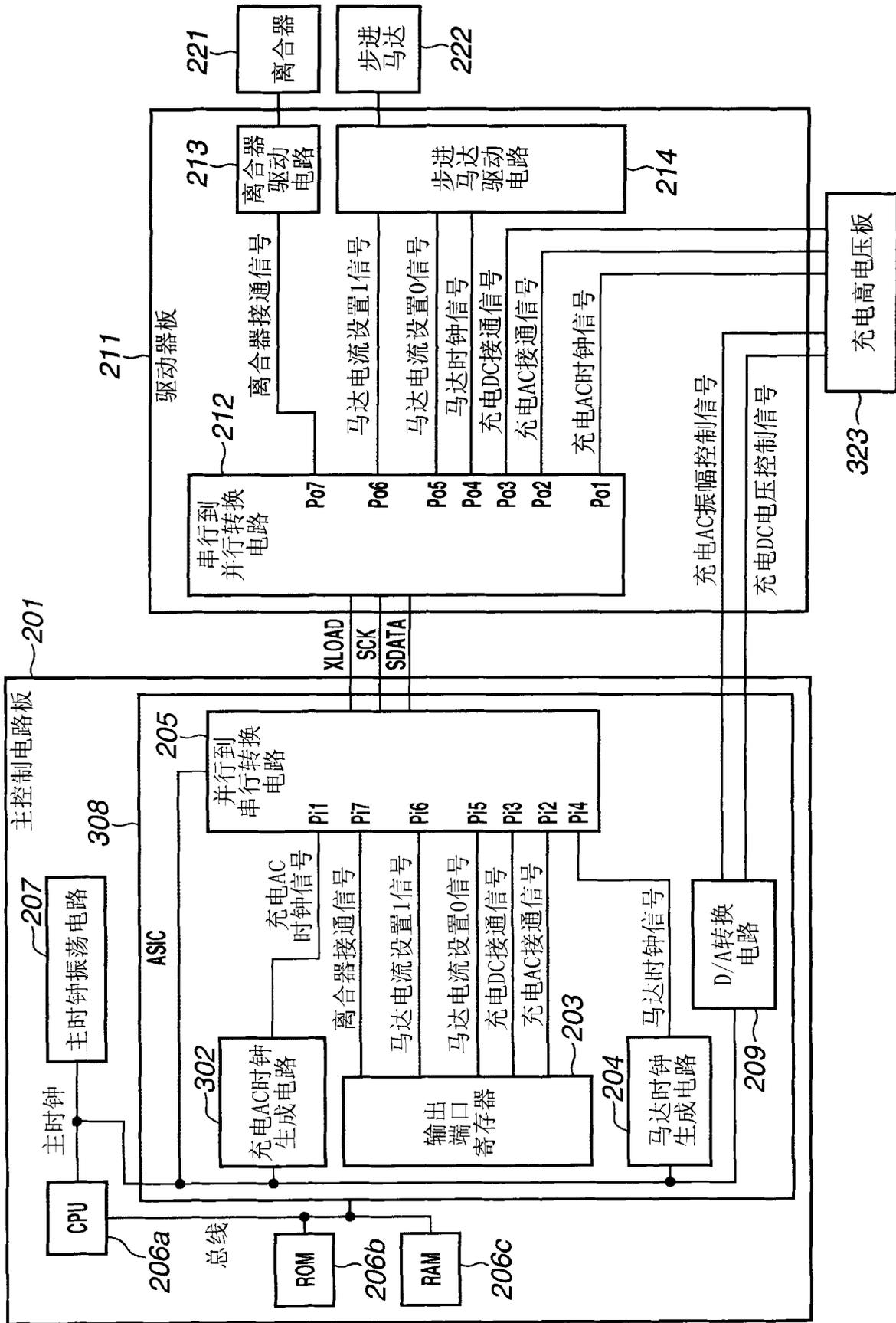


图 11

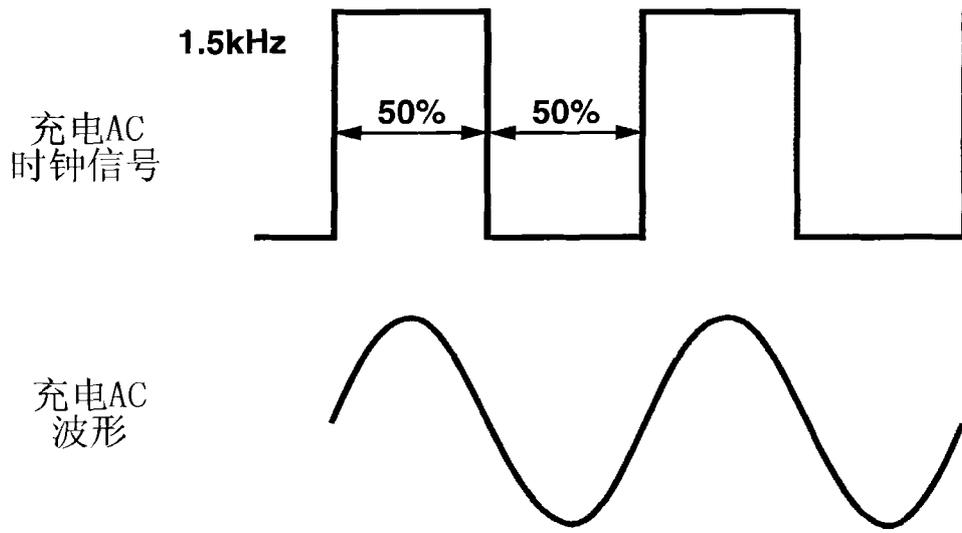


图 12

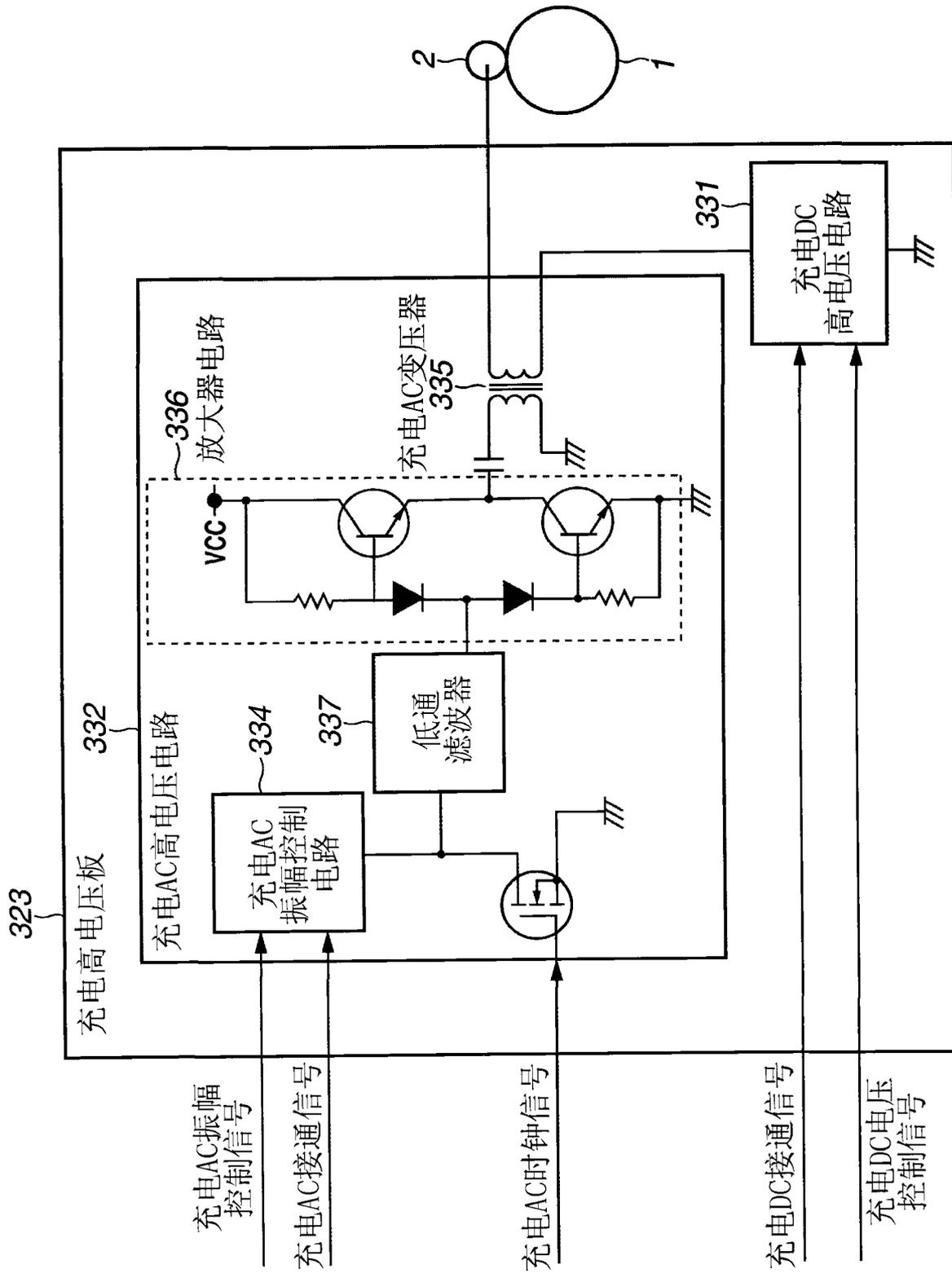


图 13