

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2005-84907
(P2005-84907A)

(43) 公開日 平成17年3月31日(2005.3.31)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
GO6F 13/12	GO6F 13/12 330A	5B014
GO6F 3/06	GO6F 3/06 302A	5B060
GO6F 13/16	GO6F 13/16 520C	5B065

審査請求 有 請求項の数 6 O L (全 14 頁)

(21) 出願番号 特願2003-315731 (P2003-315731)	(71) 出願人 000002185
(22) 出願日 平成15年9月8日 (2003.9.8)	ソニー株式会社 東京都品川区北品川6丁目7番35号
	(74) 代理人 100082740 弁理士 田辺 恵基
	(72) 発明者 奥野 健一 東京都品川区北品川6丁目7番35号ソニー株式会社内
	Fターム(参考) 5B014 EB05 GC11 5B060 CB01 KA03 5B065 BA01 CE11 CE14

(54) 【発明の名称】 メモリ帯域制御装置

(57) 【要約】

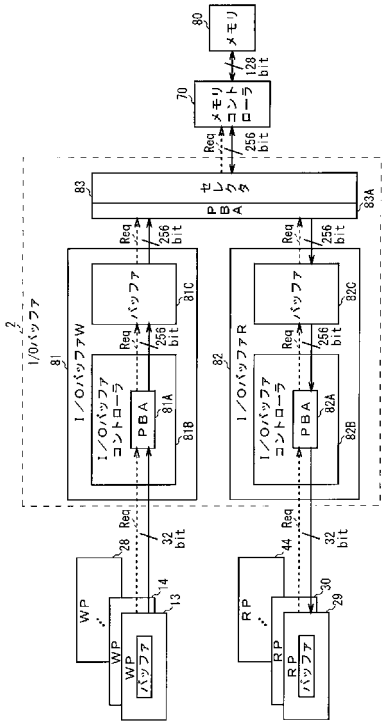
【課題】

本発明は、外部デバイス及びメモリ間のデータ転送効率を一段と向上できるようにする。

【解決手段】

本発明は、入出力ポートを介して接続された外部デバイスとの間で入出力を行うデータを一時的に蓄積して出力するために用いられるメモリ80と、外部デバイスからメモリ80に対してデータのデータ転送要求を受け付けた場合に当該データ転送要求のあった外部デバイスに対してのみメモリ帯域を動的に割り当てるI/Oバッファ2とを設けることにより、メモリ帯域を固定的に割り当てる場合と比較してメモリ帯域を無駄に消費することなくメモリ80へのデータ転送効率を格段に向上することができる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

入出力ポートを介して接続された外部デバイスとの間で入出力を行うデータを一時的に蓄積して出力するために用いられるメモリと、

上記外部デバイスから上記メモリに対して上記データのデータ転送要求を受け付けた場合に当該データ転送要求のあった外部デバイスの入出力ポートに対してのみメモリ帯域を動的に割り当てる制御手段と

を具えることを特徴とするメモリ帯域制御装置。

【請求項 2】

上記制御手段は、上記メモリに対して同時に有効とする入出力ポート数を上記メモリ帯域を越えない範囲で設定する

ことを特徴とする請求項 1 に記載のメモリ帯域制御装置。

【請求項 3】

上記制御手段は、上記外部デバイスから書込要求を受け付けた場合、当該外部デバイスからの上記データを書込専用バッファに一時的に格納し、上記外部デバイスから読出要求を受け付けた場合、外部から読み込んだ上記データを読出専用バッファに一時的に格納し、上記書込要求又は上記読出要求を受け付けた上記書込専用バッファ又は上記読出専用バッファに対して使用許可を動的に割り当てるセレクト

を具えることを特徴とする請求項 1 に記載のメモリ帯域制御装置。

【請求項 4】

上記セレクトは、上記書込専用バッファ又は上記読出専用バッファに格納された上記データを所定データ量単位で上記メモリへバースト転送する

ことを特徴とする請求項 1 に記載のメモリ帯域制御装置。

【請求項 5】

入出力ポートを介して接続された外部デバイスとの間で入出力を行うデータを一時的に蓄積して出力するために用いられるメモリに対して行われた上記データのデータ転送要求を受け付けるデータ転送要求受付ステップと、

上記データ転送要求のあった外部デバイスの入出力ポートに対してのみメモリ帯域を動的に割り当てる制御ステップと

を具えることを特徴とするメモリ帯域割当方法。

【請求項 6】

編集装置に対して、

入出力ポートを介して接続された外部デバイスとの間で入出力を行うデータを一時的に蓄積して出力するために用いられるメモリに対して行われた上記データのデータ転送要求を受け付けるデータ転送要求受付ステップと、

上記データ転送要求のあった外部デバイスの入出力ポートに対してのみメモリ帯域を動的に割り当てる制御ステップと

を実行させるためのメモリ帯域割当プログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリ帯域制御装置に関し、例えばビデオ編集装置に対して外部から入力したビデオ、オーディオ等の素材データをメモリに一旦格納し、その後当該メモリを介して素材データを加工したり、ハードディスクへバースト転送する際のメモリ帯域制御に適用して好適なものである。

【背景技術】

【0002】

従来、ビデオ編集装置においては外部デバイスから入出力ポートを介して入力された素材データをハードディスクに格納する場合、当該素材データを一旦メモリに所定データ量以上蓄積した後にハードディスクへバースト転送することにより、転送効率を向上し短時

10

20

30

40

50

間でデータ転送し得るようになされている。

【0003】

またビデオ編集装置では、素材データの編集処理を行うに際し、ハードディスクに格納しておいた素材データをメモリを介してエフェクタ等の外部デバイスへ引き渡し、編集処理を施した後に当該メモリを介して編集処理後の素材データをバースト転送することにより再度ハードディスクに格納したり、外部へ出力したりするようになされている。

【0004】

このようにビデオ編集装置では、メモリを介してハードディスクとの間で素材データのやりとりを行うようになされており、各種入出力ポートを介して接続されている複数の外部デバイスとメモリとの間でメモリ帯域を制御する必要がある。

10

【0005】

すなわちビデオ編集装置では、メモリ帯域（ビット幅×クロック数）が例えば100[Mbps]であって、10個の外部デバイスが存在する場合、単純にメモリ帯域を外部デバイスの数で等分することにより、0.1秒間ずつ時分割（10[Mbps]）で固定的に割り当てるようにしている。

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところにかかる構成のビデオ編集装置においては、入出力ポートを介して接続された外部デバイスに対して時分割で固定的にメモリ帯域を割り当てているため、当該メモリ帯域に応じて接続可能な外部デバイスの数が制限され、また素材データの入出力を行わない外部デバイスに対しても時分割で割り当てた分の帯域については無駄に消費することになるのでデータ転送効率が非常に悪いという問題があった。

20

【0007】

本発明は以上の点を考慮してなされたもので、外部デバイス及びメモリ間のデータ転送効率を一段と向上し得るメモリ帯域制御装置を提案しようとするものである。

【課題を解決するための手段】

【0008】

かかる課題を解決するため本発明においては、入出力ポートを介して接続された外部デバイスとの間で入出力を行うデータを一時的に蓄積して出力するために用いられるメモリと、外部デバイスからメモリに対してデータのデータ転送要求を受け付けた場合に当該データ転送要求のあった外部デバイスの入出力ポートに対してのみメモリ帯域を動的に割り当てる制御手段とを設けることにより、メモリ帯域を固定的に割り当てる場合と比較して当該メモリ帯域を無駄に消費することなくメモリへのデータ転送効率を格段に向上することができる。

30

【0009】

また本発明においては、入出力ポートを介して接続された外部デバイスとの間で入出力を行うデータを一時的に蓄積して出力するために用いられるメモリに対して行われたデータのデータ転送要求を受け付けるデータ転送要求受付ステップと、データ転送要求のあった外部デバイスの入出力ポートに対してのみメモリ帯域を動的に割り当てる制御ステップとを設けることにより、メモリ帯域を固定的に割り当てる場合と比較して当該メモリ帯域を無駄に消費することなくメモリへのデータ転送効率を格段に向上することができる。

40

【0010】

さらに本発明においては、編集装置に対して、入出力ポートを介して接続された外部デバイスとの間で入出力を行うデータを一時的に蓄積して出力するために用いられるメモリに対して行われたデータのデータ転送要求を受け付けるデータ転送要求受付ステップと、データ転送要求のあった外部デバイスの入出力ポートに対してのみメモリ帯域を動的に割り当てる制御ステップとを実行させることにより、メモリ帯域を固定的に割り当てる場合と比較して当該メモリ帯域を無駄に消費することなくメモリへのデータ転送効率を格段に向上することができる。

50

【発明の効果】

【0011】

上述のように本発明によれば、入出力ポートを介して接続された外部デバイスとの間で入出力を行うデータを一時的に蓄積して出力するために用いられるメモリと、外部デバイスからメモリに対してデータのデータ転送要求を受け付けた場合に当該データ転送要求のあった外部デバイスの入出力ポートに対してのみメモリ帯域を動的に割り当てる制御手段とを設けることにより、メモリ帯域を固定的に割り当てる場合と比較して当該メモリ帯域を無駄に消費することなくメモリへのデータ転送効率を格段に向上することができ、かくして外部デバイス及びメモリ間のデータ転送効率を一段と向上し得るメモリ帯域制御装置を実現できる。

10

【0012】

また本発明によれば、入出力ポートを介して接続された外部デバイスとの間で入出力を行うデータを一時的に蓄積して出力するために用いられるメモリに対して行われたデータのデータ転送要求を受け付けるデータ転送要求受付ステップと、データ転送要求のあった外部デバイスの入出力ポートに対してのみメモリ帯域を動的に割り当てる制御ステップとを設けることにより、メモリ帯域を固定的に割り当てる場合と比較して当該メモリ帯域を無駄に消費することなくメモリへのデータ転送効率を格段に向上することができ、かくして外部デバイス及びメモリ間のデータ転送効率を一段と向上し得るメモリ帯域割当方法を実現できる。

【0013】

さらに本発明によれば、編集装置に対して、入出力ポートを介して接続された外部デバイスとの間で入出力を行うデータを一時的に蓄積して出力するために用いられるメモリに対して行われたデータのデータ転送要求を受け付けるデータ転送要求受付ステップと、データ転送要求のあった外部デバイスの入出力ポートに対してのみメモリ帯域を動的に割り当てる制御ステップとを実行させることにより、メモリ帯域を固定的に割り当てる場合と比較して当該メモリ帯域を無駄に消費することなくメモリへのデータ転送効率を格段に向上することができ、かくして外部デバイス及びメモリ間のデータ転送効率を一段と向上し得るメモリ帯域割当プログラムを実現できる。

20

【発明を実施するための最良の形態】

【0014】

以下、図面について、本発明の一実施の形態を詳述する。

30

【0015】

(1) メモリ帯域制御装置の回路構成

図1において、1は全体として編集装置に搭載される本発明のメモリ帯域制御装置を示し、例えばDDR-SDRAM(Double Data Rate-Synchronous Dynamic Random Access Memory)でなるメモリ80を介してハードディスク(HDD)60との間で素材データの授受を行うようになされている。

【0016】

メモリ帯域制御装置1は、FPGA(Field Programmable Gate Array)構成でなり、I/O(In/Out)バッファ2に対し、第1SDI(Serial Data Interface)-INポート3、第2SDI-INポート4、第1SDI-OUTポート5、第2SDI-OUTポート6、ENC/DEC(Encoder/Decoder)ポート7、CPUポート12等の各種入出力ポートを介して接続された第1のデバイス50、第2のデバイス51、第3のデバイス52、第4のデバイス53、ENC/DEC54、CPU62との間で素材データの授受を行うと共に、PCI(Peripheral Component Interconnect)ポート11を介して接続されたハードディスク(HDD)60にメモリ80経由で当該素材データを読み書きするようになされている。

40

【0017】

なお第1SDI-INポート3、第2SDI-INポート4、第1SDI-OUTポート5、第2SDI-OUTポート6とI/Oバッファ2の間では、3種類のデータ転送

50

を行うため3つのリードポート、または3つのライトポートを介して素材データを構成するビデオデータ、オーディオデータ及びメタデータを相互に授受し得るようになされている。

【0018】

また、ENC/DECポート7やPCIポート11、CPUポート12とI/Oバッファ2との間では、1つのリードポートと1つのライトポートを介してデータを相互に授受し得るようになされている。

【0019】

また、外部に接続されないポートとしてVPROC (Video Process)ポート10があり、当該VPROCポート10とI/Oバッファ2との間では、必要に応じて単数または複数のリードポートとライトポートを介してデータを相互に授受し得るようになされている。

【0020】

I/Oバッファ2は、メモリコントローラ70を介してメモリ80と各種入出力ポートとの間でデータ転送を仲介するモジュールであり、その内部に書込専用のI/OバッファW81と読出専用のI/OバッファR82とを有し、セクタ83によって書込時又は読出時にI/OバッファW81とI/OバッファR82とを切り換えるようになされている。

【0021】

ここでI/OバッファW81及びI/OバッファR82は、各種入出力ポートとメモリ80との転送レートの違いを吸収し、当該メモリ80に対するバースト転送の連続実行効率を向上するために用いるようになされている。

【0022】

このメモリ帯域制御装置1では、第1SDI-INポート3、第2SDI-INポート4、第1SDI-OUTポート5、第2SDI-OUTポート6、ENC/DECポート7、VPROCポート10、PCIポート11、CPUポート12等のうちデータ転送要求のあった入出力ポートに対してのみメモリ帯域を動的に割り当てるようになされており、当該メモリ帯域の割り当てに際しては各種入出力ポートとの間でハンドシェイクを行うようになされている。

【0023】

基本的に各種入出力ポートは、メモリ80に対する書込時又は読出時、I/Oバッファ2に対してデータ転送要求(Request)を出力し、それに対してI/Oバッファ2はデータ転送要求(Request)のあった入出力ポートに対して必要な帯域を割り当てると共に応答信号(Acknowledge)を出力することにより、当該入出力ポートに対してメモリ帯域を確保したことを伝えるようになされている。

【0024】

なお、各種入出力ポート内には複数又は単数のリード/ライトポートがあり、I/Oバッファ2とのやりとりは、リードポート/ライトポート単位で行われる。

【0025】

(2) 帯域割当処理の概要

続いて、I/Oバッファ2がメモリ帯域割当プログラムに従って行うリード/ライトポートに対する帯域割当処理に関して図2を基に説明する。

【0026】

例えばI/Oバッファ2のI/OバッファW81は、ライトポート13、14、…、28からのデータ転送要求(Request)を受け付けると、パッシブバンドアロケーション回路81A(以下、これを単にPBA回路と呼ぶ)を有したI/Oバッファコントローラ81Bによって当該データ転送要求を受け付けた単数又は複数のライトポート13、14、…、28に対してのみI/Oバッファ2及びメモリ80間におけるメモリバスの帯域を動的に割り当てる。

【0027】

I/Oバッファコントローラ81Bは、PBA回路81Aによってメモリ帯域を割り当てたライトポート13、14、…、28から32ビット幅のデータバスで順次転送された書込用の素材データを256ビット幅のデータバスで転送するべく変換した後バッファ81Cへ出力し、当該バッファ81Cに所定サイズのデータが蓄積されると、セクタ83のPBA回路83Aに対してデータ転送要求(Request)を出力する。

【0028】

セクタ83のPBA回路83Aは、I/OバッファW81からのデータ転送要求(Request)又はI/OバッファR82からのデータ転送要求(Request)に応じて、メモリ80との間でデータ転送を行うI/OバッファW81又はI/OバッファR82を交互に切り換えるようになされている。

10

【0029】

メモリコントローラ70は、セクタ83によって例えばI/OバッファW81が選択されている間は第1SDTI-INポート3、第2SDTI-INポート4、ENC/D ECポート7、VPROC10、PCIポート11、CPUポート12等のいずれかを介して供給される書込用の素材データを当該I/OバッファW81からメモリ80へデータ転送し、I/OバッファR82が選択されている間はメモリ80から読み出した読出用の素材データを当該I/OバッファR82を介して第1SDIO-OUTポート5、第2SDIO-OUTポート6、ENC/D ECポート7、VPROCポート10、PCIポート11、CPUポート12のいずれかへ出力するようになされている。

【0030】

20

なお、I/OバッファR82の内部においてもリードとライトの違いはあるが、I/OバッファW81と同様の処理を行っており、ここでは説明を省略する。

【0031】

(2-1) I/OバッファWの振る舞い

続いて、実際に各入出力ポート内のライトポート13、14、…、28を介して書込用の素材データをメモリ80へ順次バースト転送する場合のI/OバッファW81の振る舞いについて図3を用いて具体的に説明する。

【0032】

各ライトポート13、14、…、28は内部にバッファを持ち、そのバッファに256[Byte]の書き込み用素材データが蓄積された時点で、I/OバッファW81にデータ転送要求を出力する。

30

【0033】

I/OバッファW81のPBA回路81A(図2)は例えばライトポート14からのみデータ転送要求を受け付けた場合、バッファ81Cのうち最も若い番号が付された第1バンクを当該ライトポート14に対して割り当てることによって、ライトポート14に対してのみメモリ帯域を割り当てるようになされている。

【0034】

この場合I/Oバッファコントローラ81Bは、データ転送要求を受け付けたライトポート14(#2)とデータ転送要求を受け付けた順番(No.1)との対応関係を示すポートテーブル91を作成し、当該ライトポート14(#2)にバッファ81Cのうち最も若い番号が付された第1バンク(第1B)を割り当てたときのその対応関係を示すバンクテーブル92を作成するようになされている。

40

【0035】

そしてI/Oバッファコントローラ81Bは、ライトポート14から32ビットのデータバス幅でポートスロット84を介して書込用の素材データを順次取り込み、これを内部のレジスタ87で256ビットのデータバス幅で出力すべく変換した後、バンクスロット85を介してバッファ81Cの第1バンクに1クロック当り256ビットの転送速度で順次格納し、計8クロック分終了した時点で第1バンク全てに合計256[Byte]の素材データを蓄積し得るようになされている。

【0036】

50

ここでバッファ 81C における第 1 バンク～第 16 バンクについては、256 [Byte] をメモリ 80 へのデータ転送単位として設定されており、このデータサイズであればメモリ 80 へデータ転送した際のオーバーヘッドが少なく、かつ書込用の素材データが途切れなく効率的に転送できるようになされている。

【0037】

なお I/O バッファ W81 では、メモリ 80 のバースト転送サイズを 256 [Byte] としているため、当該 I/O バッファ W81 内のデータ転送単位は全て基本的に 256 [Byte] である。

【0038】

バッファ 81C では、第 1 バンクに 256 [Byte] の素材データが蓄積されると、セクタ 83 を介してメモリコントローラ 70 に対してメモリ 80 への素材データの書込要求を行い、当該メモリコントローラ 70 から書込許可をもらいセクタ 83 を介してメモリコントローラ 70 へ 256 ビットずつ合計 256 [Byte] の素材データを順次データ転送する。 10

【0039】

メモリコントローラ 70 は、メモリ 80 がダブルデータレートであるため、256 ビット幅の書込データを 128 ビット幅で当該メモリ 80 へデータ転送するようになされている。

【0040】

一方 I/O バッファコントローラ 81B は、ライトポート 13、14、……、28 に 256 [Byte] の素材データが蓄積された順番でそれぞれのライトポート 13、14、……、28 からデータ転送要求 (Request) を受け付けた場合、バッファ 86、87、88 で 32 ビットから 256 ビットへ変換するため、各ライトポート 13、14、……、28 からの素材データが 256 ビット蓄積するまでに 8 クロック要し、バッファ 81C へのデータ転送は 8 クロックを時分割するので、8 つのライトポートからの同時データ受付が可能である。 20

【0041】

これにより、各ライトポート 13、14、……、28 に割り当てられるメモリ帯域は、最大でメモリ帯域の 8 分の 1 の帯域となり、例えばメモリ帯域が 1 [Gbps] の場合、1 ライトポートの最大メモリ帯域は 125 [Mbps] ということになる。 30

【0042】

また、メモリ帯域を余り必要としない場合は、I/O バッファ W81 に対し転送要求 (Request) を出さなければメモリ帯域が割り当てられることはない。

【0043】

このように I/O バッファ W81 は、転送要求 (Request) に応じてメモリ帯域を割り当てるため、データ量の多いライトポートに対しては多くのメモリ帯域を割り当てることが可能となり、素材データをより効率的にデータ転送し得るようになされている。

【0044】

このときも同様に I/O バッファコントローラ 81B は、データ転送要求 (Request) を受け付けた順番に従ってライトポート 13、14、……、28 とデータ転送要求 (Request) の受け付け順との対応関係を示すポートテーブル 91 を作成し、データ転送要求 (Request) の受け付け順でバッファ 81C の若い番号のバンクにライトポート 13、14、……、28 を割り当てると共に、その対応関係を示すバンクテーブル 92 を作成するようになされている。 40

【0045】

ポートテーブル 91 では、ライトポート 14 (#2) が No.1 で示される 1 番目のデータ転送要求 (Request) であり、ライトポート 13 (#1) が No.2 で示される 2 番目のデータ転送要求 (Request) であり、ライトポート 28 (#16) が No.3 で示される 3 番目のデータ転送要求 (Request) であることが表されている。

【0046】

またバンクテーブル 9 2 では、バッファ 8 1 C における第 1 バンク～第 1 6 バンクのうち当該第 2 バンク、第 3 バンク、第 4 バンク～第 1 6 バンクに対してデータ転送要求(Request)の受け付け順で割り当てられたライトポート 1 4、1 3、2 8 の番号(# 2、# 1、# 1 6) が示されている。

【0 0 4 7】

因みに、この場合の第 1 バンクについては上述したように既に前の段階で第 2 の S D I - I N ポート 4 からの素材データを蓄積していて使用中であるので、その時点で空いている最も若い第 2 バンク以降にライトポートが割り当てられることになる。

【0 0 4 8】

このように I / O バッファコントローラ 8 1 B は、P B A 回路 8 1 A に対するデータ転送要求(Request)の受け付け順で各ライトポート 1 3、1 4、……、2 8 をバッファ 8 1 C の各バンクに対して動的に割り当てるようになされている。

【0 0 4 9】

この場合にはライトポート 1 3、1 4、……、2 8 の 3 個だけにメモリ帯域が割り当てられているので、転送要求を受け付けた順に最初の 1 クロックでライトポート 1 4 から供給された素材データが第 2 バンクに 2 5 6 ビット分蓄積され、次の 1 クロックでライトポート 1 3 から供給された素材データが第 3 バンクに 2 5 6 ビット分蓄積され、次の 1 クロックでライトポート 2 8 から供給された素材データが第 4 バンクに 2 5 6 ビット分蓄積されるようになされている。

【0 0 5 0】

そして、各ライトポート 1 3、1 4、……、2 8 はそれぞれ 8 クロック後に素材データが再度各バンクに 2 5 6 ビット分蓄積され、第 2 バンク～第 4 バンクに対してそれぞれ合計 2 5 6 [Byte] の書込用の素材データが蓄積されるようになされている。

【0 0 5 1】

バッファ 8 1 C はデュアルポート R A M 構成であり、第 2 バンク～第 4 バンクに 2 5 6 [Byte] の素材データが蓄積され次第、メモリコントローラ 7 0 からの書込許可に応じて第 2 バンクから順に素材データを 2 5 6 ビットずつ合計 2 5 6 [Byte] をメモリコントローラ 7 0 を介してメモリ 8 0 へデータ転送し、同様に第 3 バンク、第 4 バンクと順次メモリコントローラ 7 0 を介してメモリ 8 0 へ素材データを転送し得るようになされている。

【0 0 5 2】

このようにバッファ 8 1 C がデュアルポート R A M 構成であるため、I / O バッファコントローラ 8 1 B は、バッファ 8 1 C の第 1 バンク～第 1 6 バンクに対する素材データの蓄積と、当該バッファ 8 1 C の第 1 バンク～第 1 6 バンクからの素材データの読み出しを非同期で実行し得るようになされている。

【0 0 5 3】

従ってバッファ 8 1 C は、例えば I / O バッファコントローラ 8 1 B によって第 2 バンク～第 4 バンクに対する素材データの蓄積中に、既に蓄積されている第 1 バンクの素材データをメモリ 8 0 へデータ転送することも可能であり、その分データ転送効率を向上させ得るようになされている。

【0 0 5 4】

ところで I / O バッファ W 8 1 は、メモリ 8 0 に対する素材データの書込専用に使われており、これにより書込コマンド又は読出コマンドを交互に何回も出力する場合と比較して、書き込みと読み出しの切り換えに要する時間が必要なくなり、データ転送効率を大幅に向上し得るようになされている。

【0 0 5 5】

(2 - 2) I / O バッファ R の振る舞い

次に、実際にメモリ 8 0 から読み出した読出用の素材データを I / O バッファ R 8 2 を介して例えばリードポート 2 9、3 0、……、4 4 へデータ転送する場合の I / O バッファ R 8 2 の振る舞いについて図 4 を用いて具体的に説明する。

【0 0 5 6】

10

20

30

40

50

図 3 との対応部分に同一符号を付して示す図 4 において、図 3 における I / O バッファ W 8 1 に代えて I / O バッファ R 8 2 を用いている以外は全て同一である。

【0057】

I / O バッファ R 8 2 の P B A 回路（図示せず）は、例えばリードポート 3 0 からのみメモリ 8 0 に格納されている読出用の素材データのデータ転送要求を受け付けた場合、当該リードポート 3 0 に対してのみメモリ帯域を割り当てると共に、バッファ 8 2 C のうち最も若い番号が付された第 1 バンクを当該リードポート 3 0 に対して割り当てる。

【0058】

この場合 I / O バッファコントローラ 8 2 B は、データ転送要求を受け付けたリードポート 3 0 （＃ 2 ）とデータ転送要求を受け付けた順番（No.1）との対応関係を示すポートテーブル 1 0 1 を作成し、当該リードポート 3 0 （＃ 2 ）にバッファ 8 2 C のうち最も若い番号が付された第 1 バンク（第 1 B ）を割り当てたときのその対応関係を示すバンクテーブル 1 0 2 を作成するようになされている。 10

【0059】

そして I / O バッファコントローラ 8 2 B は、セクタ 8 3 を介してメモリコントローラ 7 0 に対して読出用の素材データのデータ転送要求を行い、メモリ 8 0 から当該素材データのデータ転送を受けてバッファ 8 2 C の第 1 バンクに 1 クロック当り 2 5 6 ビットの転送速度で順次格納し、計 8 クロック分終了した時点で第 1 バンク全てに合計 2 5 6 [Byte] の素材データを蓄積し得るようになされている。

【0060】

そして I / O バッファコントローラ 8 2 B は、バッファ 8 2 C の第 1 バンクから 2 5 6 ビットの素材データをバンクスロット 1 0 5 を経由して取り込み、レジスタ 1 0 7 を介して 3 2 ビットのデータバス幅で出力すべく変換した後、ポートスロット 1 0 4 を介してリードポート 3 0 へデータ転送し、当該リードポート 3 0 に合計 2 5 6 [Byte] の素材データが蓄積された時点でデータ転送処理を終了する。 20

【0061】

また I / O バッファコントローラ 8 2 B は、リードポート 2 9 、 3 0 、 ……、 4 4 からメモリ 8 0 に対する読出用の素材データのデータ転送要求をそれぞれ受け付けた場合、転送要求を出したリードポート 2 9 、 3 0 、 ……、 4 4 のみに対してメモリ帯域を割り当てることが可能である。 30

【0062】

I / O バッファコントローラ 8 2 B は、データ転送要求を受け付けた順番に従ってリードポート 2 9 、 3 0 、 ……、 4 4 と、データ転送要求の受け付け順との対応関係を示すポートテーブル 1 0 1 を作成し、データ転送要求の受け付け順でバッファ 8 2 C の若い番号のバンクにリードポートを割り当てると共に、その対応関係を示すバンクテーブル 1 0 2 を作成するようになされている。

【0063】

この場合のポートテーブル 1 0 1 では、リードポート 3 0 （＃ 2 ）が No.1 で示される 1 番目のデータ転送要求 (Request) であり、リードポート 2 9 （＃ 1 ）が No.2 で示される 2 番目のデータ転送要求 (Request) であり、リードポート 4 4 （＃ 1 6 ）が No.3 で示される 3 番目のデータ転送要求 (Request) であることが表されている。 40

【0064】

またバンクテーブル 1 0 2 では、バッファ 8 2 C における第 1 バンク～第 1 6 バンクのうち当該第 2 バンク、第 3 バンク、第 4 バンク～第 1 6 バンクに対してデータ転送要求の受け付け順で割り当てられたリードポート 2 9 、 3 0 、 …… 4 4 の番号（＃ 2 、＃ 1 、＃ 1 6 ）が示されている。

【0065】

因みに、この場合の第 1 バンクのついては上述したように既に前の段階でリードポート 3 0 からのデータ転送要求に応じて読出用の素材データを蓄積していて使用中であるので、その時点で空いている最も若い第 2 バンク以降にリードポートが割り当てられている。 50

【0066】

このように I/Oバッファコントローラ 82B は、PBA 回路（図示せず）に対するデータ転送要求の受け付け順で各リードポート 29、30、……44 をバッファ 82C の各バンクに対して動的に割り当てられるようになされている。

【0067】

實際上、I/Oバッファコントローラ 82B も、I/Oバッファコントローラ 81B と同様に、転送要求のあったバンクに対し順番にメモリ 80 から 256 ビットずつ 256 [Byte] のバースト転送を行う。

【0068】

この場合は、リードポート 30、リードポート 29、リードポート 44 の順に 3 個のリードポートだけにメモリ帯域が割り当てられているので、メモリ 80 から読み出した素材データが第 2 バンクに 256 [Byte] 分蓄積され、次にメモリ 80 からの素材データが第 3 バンクに 256 [Byte] 分蓄積され、次にメモリ 80 からの素材データが第 4 バンクに 256 [Byte] 分蓄積されるようになされている。 10

【0069】

バッファ 82C はデュアルポート RAM 構成であり、第 2 バンク～第 4 バンクにそれぞれ 256 [Byte] の素材データが蓄積され次第、当該第 2 バンク～第 4 バンクの素材データを 256 ビットずつ I/Oバッファコントローラ 82B へ時分割で順次データ転送するようになされている。

【0070】

I/Oバッファコントローラ 82B は、レジスタ 106～レジスタ 108 で 256 ビット幅の素材データを 32 ビット幅に変換し、ポートスロット 104 を介してそれぞれのリードポート 29、30、……44 に対してデータ転送する。 20

【0071】

このようにバッファ 82C についてもデュアルポート RAM 構成であるため、I/Oバッファコントローラ 82B は、バッファ 82C の第 1 バンク～第 16 バンクに対する素材データの蓄積と、当該バッファ 82C の第 1 バンク～第 16 バンクから読み出した素材データの出力とをそれぞれ非同期で実行し得るようになされている。

【0072】

従ってバッファ 82C は、例えば I/Oバッファコントローラ 82B によって第 2 バンク～第 4 バンクに対する素材データの蓄積中に、既に蓄積されている第 1 バンクの素材データを I/Oバッファコントローラ 82B を介してリードポート 30 へデータ転送することも可能であり、その分データ転送効率を向上させ得るようになされている。 30

【0073】

ところで I/Oバッファ 82 は、メモリ 80 からの素材データを読み出専用に使われており、これにより書込コマンド又は読出コマンドを交互に何回も出力する場合と比較して、書き込みと読み出しの切り換えに必要な時間がなくなり、データ転送効率を大幅に向上し得るようになされている。

【0074】

(3) 動作及び効果 40

以上の構成において、メモリ帯域制御装置 1 の I/Oバッファ 2 はデータ転送要求のあった入出力ポートに対してのみメモリ帯域を動的に割り当てられるようにしたことにより、必要なときに必要な分だけメモリ帯域を割り当てることができるので、従来のようにメモリ帯域を固定的に割り当てると比較してメモリ帯域を無駄に消費することを防止してメモリ 80 へのデータ転送効率を格段に向上することができる。

【0075】

なおメモリ帯域制御装置 1 の I/Oバッファ 2 は、データ転送要求のあった入出力ポートに対してのみメモリ帯域を動的に割り当てられるようにしたことにより、当該 I/Oバッファ 2 に接続された各種入出力ポート数はメモリ帯域を越えない範囲内で制御すれば理論的に無限とすることができ、メモリ帯域に応じて外部デバイスの数が制限されることもなく 50

一段と使い勝手を向上することもできる。

【0076】

また I/OバッファW81の I/Oバッファコントローラ81Bは、データ転送要求の順番に従ってメモリ帯域を動的に割り当てたライトポート13、ライトポート14、……、ライトポート28に対し、バッファ81Cの若い番号順に例えば第2バンク～第4バンクを割り当て、当該割り当てた第2バンク～第4バンクに対して256ビットのデータ転送単位でなる書込用の素材データを1クロックずつタイムシェアリングしながら順番に蓄積するようにしたことにより、当該割り当てた第2バンク～第4バンクに対して合計256[Byte]の書込データをほぼ同時に転送し終えることができる。

【0077】

これに対して、第2バンク～第4バンクに対してタイムシェアリングしないでデータ転送した場合には、ライトポート13、ライトポート14、……、ライトポート28から入力した書込用の素材データをレジスタ86、87及び88で一旦保持して待たざるを得なくなり、当該 I/Oバッファコントローラ81Bとバッファ81Cとの間でデータ転送すべき素材データがレジスタ86、87及び88で滞ることになりかねない。

【0078】

しかしながら I/Oバッファコントローラ81Bは、ライトポート13、ライトポート14、……、ライトポート28に対して割り当てた第2バンク～第4バンクへ256ビットの素材データを1クロックずつタイムシェアリングしながら順番に蓄積するようにしたことにより、当該第2バンク～第4バンクに対して合計256[Byte]の素材データをほぼ同時に転送し終えることができると同時に、レジスタ86、87及び88に素材データを滞らせることを防止してデータ転送効率を向上させることができる。

【0079】

なお、このことは I/OバッファR82の I/Oバッファコントローラ82Bについても同様である。

【0080】

さらに I/Oバッファ2は、書込専用の I/OバッファW81と読出専用の I/OバッファR82を用いるようにしたことにより、書き込みと読み出しの切り換えに要する時間が必要なくなるので、大幅にデータ転送効率を向上することができる。

【0081】

實際上、メモリ帯域制御装置1の I/Oバッファ2は書込専用の I/OバッファW81と読出専用の I/OバッファR82を用い、セレクト83のPBA回路83Aで動的に切り換えながら書込許可又は読出許可を与えるようにしたことにより、書き込み又は読み出しのそれぞれで256ビット単位のバースト転送を8回連続で行った場合、クロック周波数が74[MHz]で95.16%、100[MHz]で95.84%の最高使用効率を得ることができた。

【0082】

以上の構成によれば、メモリ帯域制御装置1の I/Oバッファ2はデータ転送要求のあった入出力ポートに対してのみメモリ帯域を動的に割り当てるようにしたことにより、従来のようにメモリ帯域を固定的に割り当てる場合と比較してメモリ帯域を無駄に消費することなくメモリ80へのデータ転送効率を格段に向上することができる。

【0083】

(4) 他の実施の形態

なお上述の形態においては、バッファ81C及び82Cの第1バンク～第16バンクに対して素材データを256ビットずつ8クロック分のバースト転送をすることにより合計256[Byte]蓄積するようにした場合について述べたが、本発明はこれに限らず、4クロック分又は16クロック分のバースト転送をすることにより128[Byte]や512[Byte]蓄積するようにしても良い。

【0084】

さらに上述の実施の形態においては、 I/Oバッファ2がメモリ帯域割当プログラムに従って上述のメモリ帯域割当処理を実行するようにした場合について述べたが、本発明は

10

20

30

40

50

これに限らず、メモリ帯域割当プログラムが格納されたプログラム格納媒体を編集装置にインストールすることによりメモリ帯域割当処理を実行するようにしても良い。

【0085】

このように上述したメモリ帯域割当処理を実行するためのメモリ帯域割当プログラムを編集装置にインストールして実行可能な状態にするためのプログラム格納媒体としては、例えばフレキシブルディスク、CD-ROM (Compact Disc-Read Only Memory)、DVD (Digital Versatile Disc) 等のパッケージメディアのみならず、メモリ帯域割当プログラムが一時的もしくは永続的に格納される半導体メモリや磁気ディスク等で実現しても良い。またこれらプログラム格納媒体にメモリ帯域割当プログラムを格納する手段として、ローカルエリアネットワークやインターネット、デジタル衛星放送等の有線及び無線通信媒体を利用してもよく、ルータやモデム等の各種通信インターフェースを介して格納するようにしても良い。

【0086】

さらに上述の実施の形態においては、データ転送要求のあった各種入出力ポートに対して動的にメモリ帯域を割り当てるようにした場合について述べたが、本発明はこれに限らず、各種入出力ポートに対してデータ転送要求を受け付ける際に優先順位を付けた上で動的にメモリ帯域を割り当てるようにしても良い。この場合、接続可能な入出力ポートの数が理論的に無限である中、処理の優先度が高いデバイスに対してメモリ帯域が割り当てられなくなるというリスクを予め回避することができる。

【0087】

さらに上述の実施の形態においては、本発明のメモリ帯域制御装置を編集装置に搭載して用いるようにした場合について述べたが、本発明はこれに限らず、パーソナルコンピュータ、PDA (Personal Digital Assistant) 等の他の種々の情報処理装置に本発明のメモリ帯域制御装置を搭載するようにしても良い。

【0088】

さらに上述の実施の形態においては、制御手段としてのI/OバッファW81のPBA回路81A及びI/OバッファR82のPBA回路によってメモリ帯域を動的に割り当てるようにした場合について述べたが、本発明はこれに限らず、その他種々の回路構成によってメモリ帯域を動的に割り当てるようにしても良い。

【産業上の利用可能性】

【0089】

本発明のメモリ帯域制御装置は、例えばメモリを介してデータを授受する種々の情報処理装置に適用することができる。

【図面の簡単な説明】

【0090】

【図1】本発明のメモリ帯域制御装置の回路構成を示す略線的ブロック図である。

【図2】入出力ポートに対する帯域割当処理の説明に供する略線的ブロック図である。

【図3】I/OバッファWの振る舞いの説明に供する略線図である。

【図4】I/OバッファRの振る舞いの説明に供する略線図である。

【符号の説明】

【0091】

1 ……メモリ帯域制御装置、2 ……I/Oバッファ、3 ……第1SDI-INポート、4 ……第2SDI-INポート、5 ……第1SDI-OUTポート、6 ……第2SDI-OUTポート、7 ……ENC/DECポート、10 ……VPROCポート、11 ……PCIポート、12 ……CPUポート、13、14、28 ……ライトポート、29、30、44 ……リードポート、50 ……第1のデバイス、51 ……第2のデバイス、52 ……第3のデバイス、53 ……第4のデバイス、54 ……ENC/DEC、60 ……HDD、62 ……CPU、70 ……メモリコントローラ、80 ……メモリ、81 ……I/OバッファW、82 ……I/OバッファR、83 ……セクタ、84、104 ……ポートスロット、85、105 ……バンクスロット、91、101 ……ポートテーブル、92、102 ……バ

ンクテーブル、86～88……レジスタ、106～108……レジスタ。

【図1】

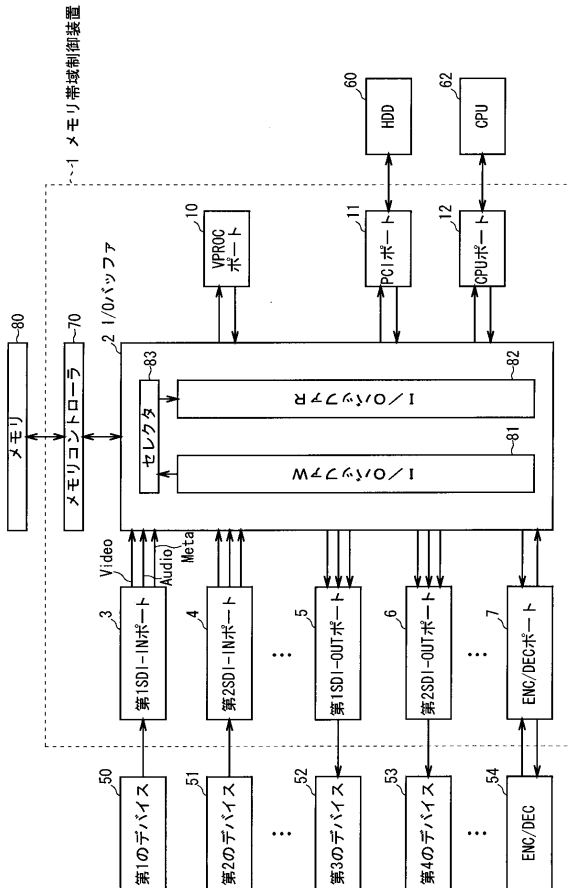


図1 メモリ帯域制御装置

【図2】

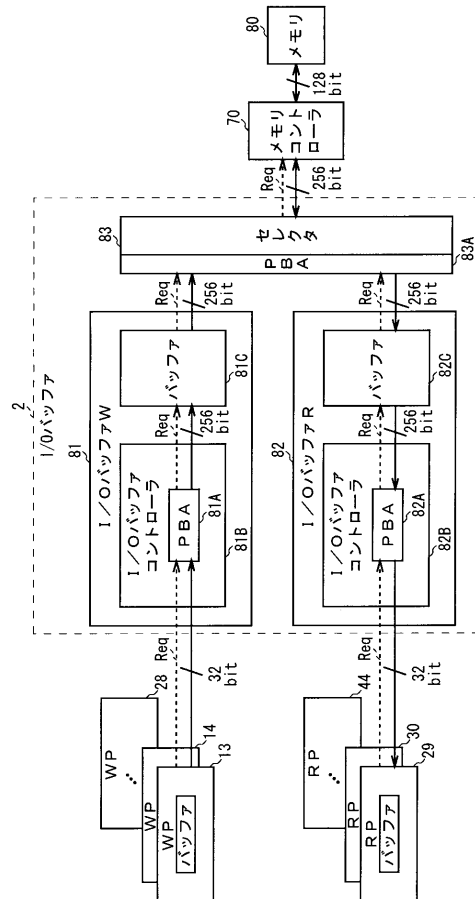


図2 入出力ポートに対する帯域割当

