



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 273 257**

51 Int. Cl.:
H04L 25/02 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Número de solicitud europea: **04732382 .9**

86 Fecha de presentación : **12.05.2004**

87 Número de publicación de la solicitud: **1627509**

87 Fecha de publicación de la solicitud: **22.02.2006**

54 Título: **Excitador de línea con interferencia reducida.**

30 Prioridad: **16.05.2003 EP 03101383**

45 Fecha de publicación de la mención BOPI:
01.05.2007

45 Fecha de la publicación del folleto de la patente:
01.05.2007

73 Titular/es: **Koninklijke Philips Electronics N.V.**
Groenewoudseweg 1
5621 BA Eindhoven, NL

72 Inventor/es: **Visser, Ruurd, A.;**
Kwakernaat, Cecilius, G. y
Waardenburg, Cornelis, K.

74 Agente: **Elzaburu Márquez, Alberto**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Excitador de línea con interferencia reducida.

La invención se refiere a una comunicación de datos a través de un par simétrico de conductores, a un sistema de vías de comunicación que comunica a través de dicho par de conductores, y a un dispositivo de transmisión para usar en un sistema de vías de comunicación.

La solicitud de patente PCT, N° WO 02/37780, describe un circuito excitador de línea para un sistema de vías de comunicación, que usa un par de "hilos" para comunicar datos. El excitador de línea excita diferencialmente el par de "hilos". La excitación diferencial tiene la ventaja de que las señales en los hilos ocasionan pocas interferencias electromagnéticas cuando llevan una señal de modo-común constante en el tiempo.

El documento WO 02/37780 hace observar que, aunque los hilos sean excitados simétricamente como media, las diferencias entre las velocidades con las que los excitadores excitan diferentes hilos en direcciones mutuamente opuestas pueden ser causas de interferencias, debido a desequilibrios transitorios. El documento WO 02/37780 proporciona una línea de retardo que está constituida por una cadena de inversores. Las tomas intermedias de los inversores están acopladas a los hilos mediante resistencias. Las salidas de los sucesivos inversores están acopladas alternativamente a hilos alternados. Por tanto, las transiciones de la señal en los hilos están compuestas de una serie de pequeñas etapas que están equilibradas en magnitud. Como resultado, se obtiene un mejor equilibrio de las transiciones en los hilos.

El excitador de línea del documento WO 02/37780 tiene el problema de que todavía produce interferencias, porque las variaciones en el modo común de los hilos, aunque son reducidas por el uso de la línea de retardo, todavía varían debido a diferencias entre las intensidades de excitación de los excitadores, cuando la impedancia de salida de los inversores no es despreciable comparada con la impedancia de las resistencias. Sin embargo, hacer los inversores tan potentes que su impedancia de salida sea despreciable comparada con la impedancia de las resistencias haría que los inversores fueran impracticablemente grandes. Además, esto afectaría al retardo de la cadena de retardo.

La patente de EE.UU. N° 6.154.061 se refiere, igualmente, a un excitador para un par de hilos en una vía de comunicación. Aquí, el problema de las diferencias entre las señales en los hilos es resuelto proporcionando a los respectivos hilos dos fuentes de corriente que suministran corrientes de igual magnitud de polaridades opuestas. Las fuentes de corriente son controladas por una técnica de espejo de corriente, es decir, las entradas de control de las respectivas fuentes de corriente también están acopladas a entradas de control de fuentes de corriente de referencia, y las salidas de las fuentes de corriente de referencia se vuelven a acoplar a las entradas de control. Los datos a transmitir se usan para controlar la corriente fijada a la cual están reguladas las corrientes de ambas fuentes de corriente de referencia por el circuito de realimentación.

Como resultado, las corrientes suministradas a ambos hilos son generalmente iguales porque rastrean dinámicamente la misma corriente fijada. Sin embar-

go, este mecanismo de realimentación no asegura que las corrientes estén equilibradas a las frecuencias más elevadas que son las más significativas para las interferencias.

Entre otros, un objeto de la invención es reducir las interferencias electromagnéticas de un par de conductores de comunicaciones.

La invención proporciona un sistema según la reivindicación 1. La corriente al par de hilos es conectada en etapas usando pares sucesivos de fuentes de corriente controladas, que son controladas de modo que suministren corrientes equilibradas. Las fuentes de corriente del par suministran corrientes de polaridades opuestas a respectivos conductores de comunicación de corriente. Por lo tanto, las corrientes no son dependientes de las caídas de voltaje en las resistencias que conducen la corriente a los hilos, como en el caso del documento WO 02/37780.

En principio, se puede usar cualquier manera de controlar las corrientes. En una realización, se usan circuitos de espejos de corriente para asegurar el equilibrio de las corrientes, en los que se suministra la misma corriente de referencia a respectivos circuitos de entrada de espejos de corriente para las diferentes polaridades, y en los que los circuitos de entrada de espejos de corriente controlan corrientes a través de transistores de fuentes de corriente en las diferentes fuentes de corriente controladas.

En esta realización, el mecanismo para conectar y desconectar las corrientes puede ser parte del bucle de realimentación de los espejos de corriente, como en el caso de la patente de EE.UU. N° 6.154.061, pero en otra realización, un circuito excitador conmutable está acoplado entre la salida del circuito de entrada del espejo de corriente (que puede contener un bucle de realimentación que, entonces, no es afectado por la conmutación) y el transistor de fuente de corriente. Por tanto, el mecanismo de realimentación del circuito de entrada del espejo de corriente está fuertemente afectado por la conmutación, y el equilibrio dinámico de corriente es asegurado por las etapas.

En otra realización, un transistor común en montaje cascode está incluido entre las salidas de una pluralidad de transistores de fuentes de corriente, por una parte, y el conductor de vía de comunicación, por otra parte. Esto reduce los efectos parásitos.

En otra realización, respectivos transistores en cascode son usados entre transistores individuales de fuentes de corriente y el conductor de vía de comunicación, y los electrodos de control de los transistores en cascode son controlados para realizar las sucesivas etapas.

Éstos y otros objetos, y otros aspectos ventajosos de la invención, se describirán usando las siguientes Figuras:

La Figura 1 muestra un sistema de vías de comunicación;

la Figura 2 muestra una realización de un excitador de línea para un par de hilos; y

la Figura 3 muestra otra realización de un excitador de línea para un par de hilos.

La Figura 1 muestra un sistema de vías de comunicación que contiene una fuente 10 de datos, un excitador 12, conductores de comunicación 14a,b y un circuito receptor 16. La fuente 10 de datos está acoplada a una entrada del excitador 12. Las salidas del excitador 12 están acopladas a las entradas del circui-

to receptor 16 a través de conductores de comunicación. La fuente 10 de datos y el circuito receptor 16 pueden estar dispuestos para funcionar, por ejemplo, en un sistema CAN (Controlled Area Network = red de área controlada) de vías de comunicación, que es conocido *per se*.

El excitador 12 contiene un circuito de retardo constituido por una serie de inversores 120a-f, una primera y una segunda líneas excitadoras 127a,b, una primera pluralidad de etapas 124a-c de fuentes de corriente acopladas a la primera línea excitadora 127a, y una segunda pluralidad de etapas 126a-c de fuentes de corriente acopladas a la segunda línea excitadora 127b. Sucesivas tomas intermedias del circuito de retardo, cada vez después de un par de sucesivos inversores 120a-f, están acopladas a entradas de conmutación de las etapas 124a-c, 126a-c de fuentes de corriente. Las líneas excitadoras 127a,b están acopladas a conductores de comunicación 14a,b, cada una, a través de un transistor en cascodo 128a,b y un diodo 129a,b.

Todas las etapas 124a-c, 126a-c de fuentes de corriente tienen una estructura similar. Por lo tanto, solamente se muestran detalladamente una de las etapas 124a de fuente de corriente, de la primera pluralidad, y una de las etapas 126b de fuente de corriente, de la segunda pluralidad, haciendo referencia, solamente, a una de las etapas 124a de fuente de corriente. Esta etapa de fuente de corriente comprende un transistor 136 de fuente de corriente y una etapa de conmutación que tiene un inversor 130, un transistor 132 de conexión a voltaje positivo y un transistor 134 de conexión a voltaje de referencia. Los canales principales de corriente, del transistor 132 de conexión a positivo y del transistor 134 de conexión a referencia, están acoplados en serie entre un conductor de alimentación Vdd y un conductor de referencia 123a. Los electrodos de control del transistor 132 de conexión a positivo y del transistor 134 de conexión a referencia son excitados desde una toma intermedia del circuito de retardo, a través del inversor 130 y directamente, respectivamente. El transistor 136 de fuente de corriente tiene un canal principal de corriente acoplado entre el conductor Vdd de la fuente de alimentación y la segunda línea excitadora 127a. El transistor 136 de fuente de corriente tiene un electrodo de control acoplado a un nodo entre los canales principales de corriente del transistor 132 de conexión a positivo y del transistor 134 de conexión a referencia.

Un circuito de referencia comprende una fuente 121 de corriente de referencia y transistores 122a,b de entrada de espejo. Los canales principales de corriente, de los transistores 122a,b de entrada de espejo, están acoplados en serie con la fuente 121 de corriente de referencia. Los conductores de referencia 123a,b están acoplados a respectivos nodos entre los canales principales de corriente, de los transistores de entrada de espejo, y la fuente 121 de corriente de referencia. Los electrodos de control de los transistores 122a,b de entrada de espejo están acoplados a los conductores de referencia 123a,b.

En funcionamiento, la fuente 10 de datos suministra a los inversores 120a-f señales que conmutan entre dos niveles lógicos. Las señales están acopladas a entradas de conmutación de etapas 124a-c, 126a-c de fuente de corriente, de modo que las transiciones en la señal alcanzan las etapas sucesivas con un retardo creciente. Cuando la señal suministrada a una

etapa de fuente de corriente está a un nivel lógico bajo, el electrodo de control del transistor 136 de fuente de corriente está acoplado al conductor de referencia 123a. Como resultado, el transistor 136 de fuente de corriente extrae una corriente controlada por el voltaje existente en el conductor de referencia 123a. Esta corriente es extraída desde la línea excitadora 127a.

El voltaje en el conductor de referencia 136a está controlado por la fuente 121 de corriente de referencia y el transistor 122a de entrada de espejo, de modo que la corriente extraída por el circuito 124a de fuente de corriente está en una relación predeterminada con la corriente suministrada por la fuente 121 de corriente de referencia. Cuando la señal está a un nivel lógico alto, el circuito 124a de fuente de corriente no extrae corriente.

Pares de circuitos (124a, 126a), (124b, 126b), (124c, 126c) de fuentes de corriente, que están recibiendo unas señales de conmutación desde la misma toma intermedia de la línea de retardo, están dimensionados de modo que, en cada par, ambos circuitos de fuentes de corriente extraen sustancialmente igual corriente de las líneas excitadoras 127a,b. Como resultado, las corrientes extraídas de diferentes líneas excitadoras 127a,b son conectadas o desconectadas simétricamente en etapas sucesivas. Esto evita cambios en la corriente de modo común a las líneas excitadoras 127a,b.

Aunque la Figura 1 muestra tres pares de circuitos 124a-c, 126a-c de fuentes de corriente, debe entenderse que, en la práctica, se pueden usar dos pares o un número mayor de tres, tal como cuatro, etc., o incluso veinte o más, con un número correspondientemente mayor de inversores 10a-f en el circuito de retardo, de modo que cada par se conecte con un retardo diferente. Cuantas más etapas de fuentes de corriente, menor será el desequilibrio entre las corrientes dinámicas. Con veinte etapas y retardos mínimos, se puede obtener un tiempo total de conmutación de veinte nanosegundos, por ejemplo, en los conductores de comunicación 14a,b.

Los transistores 128a en cascodo pasan corriente entre las líneas excitadoras 127a,b (127 ?) y los conductores de comunicación 14a,b. Los transistores 128a,b en cascodo presentan una baja impedancia a las líneas excitadoras 137a,b, reduciendo la asimetría debida a efectos parásitos en el circuito excitador 12, y presentando una alta impedancia a los conductores de comunicación 14a,b. Los diodos 129a,b están dispuestos en serie con los canales principales de corriente de los transistores 128a,b en cascodo acoplados a los conductores de comunicación 14a,b para impedir acoplamientos a la vía de comunicación.

La Figura 2 muestra una realización alternativa del circuito excitador 12. En esta realización, transistores 29 en cascodo están incluidos en etapas 20a-c, 22a-c de fuentes de corriente, con su canal principal de corriente en serie con el canal principal de corriente del transistor 28 de fuente de corriente. Un circuito inversor 24, 26, en las etapas 20a-c, 22a-c de fuentes de corriente, excita el electrodo de control del transistor 29. Este circuito inversor comprende una conexión en serie de canales principales de corriente, de transistores complementarios acoplados entre un nodo, entre los canales principales de corriente del transistor 29 en cascodo y el transistor 28 de fuente de corriente, y la conexión Vss de la fuente de alimentación. Los electrodos de control de los transistores

de los inversores están acoplados a tomas intermedias del circuito de retardo, estando acopladas etapas alternadas, a etapas de fuentes de corriente que excitan conductores alternados de los conductores de comunicación 124a,b. En esta realización, las intensidades de excitación de los circuitos se han ajustado entre sí de modo que las fuentes 20a, 22b se conecten sustancialmente de manera simultánea, del mismo modo que las fuentes 20b, 22b, etc.

En funcionamiento, los transistores 29 en cascodo, de sucesivas etapas 20a-c, 22a-c, son conectados o desconectados sucesivamente bajo el control de los inversores 120a-f. Usando transistores en cascodo individuales se puede ahorrar espacio, en particular cuando los transistores 29 en cascodo se han de hacer grandes para acomodar una gran caída de voltaje.

Aunque la invención ha sido ilustrada con dos tipos particularmente ventajosos de etapas de fuentes de corriente, se comprenderá que se pueden usar otros tipos de fuentes de corriente controladas conmutables, en lugar de las etapas. Análogamente, aunque se ha usado una cadena de inversores para implementar el circuito de retardo, se comprenderá que, en su lugar, se pueden usar tipos diferentes de circuitos de retardo.

La Figura 3 muestra un circuito excitador que proporciona excitación a cada conductor de comunicación 14a,b con una cualquiera de dos polaridades diferentes. El circuito excitador contiene un circuito de retardo 120, una fuente común 121 de corriente, circuitos de control 38a,b de corriente positiva y negativa, una pluralidad de primeras etapas 30 de fuentes de corriente de una primera polaridad, una pluralidad de segundas etapas 32 de fuentes de corriente de la primera polaridad, una pluralidad de terceras etapas 34 de fuentes de corriente de una segunda polaridad, y una pluralidad de cuartas etapas 36 de fuentes de corriente de la segunda polaridad. La fuente común 121 de corriente está acoplada a ambos circuitos de control 38a,b de corriente positiva y negativa, que tienen salidas acopladas a la primeras y segundas etapas de fuentes de corriente y a las terceras y cuartas etapas de fuentes de corriente, respectivamente.

Las primeras etapas 30 de fuentes de corriente y las terceras etapas 34 de fuentes de corriente tienen salidas acopladas al primer conductor de comunicación 14a. Las segundas etapas 32 de fuentes de corriente y las cuartas etapas 36 de fuentes de corriente tienen salidas acopladas al segundo conductor de comunicación 14b. Sucesivas etapas de las primeras

etapas 30 de fuentes de corriente son conectadas y desconectadas sucesivamente del circuito de retardo 120. Lo mismo sucede para las segundas, terceras y cuartas etapas de fuentes de corriente. El circuito está dispuesto de modo que las primeras y terceras etapas 30, 34 de fuentes de corriente son conectadas y desconectadas de una manera sustancialmente complementaria. Esto puede ser realizado, por ejemplo, usando salidas de la cadena de retardo 120 con polaridad de señal apropiada. Lo mismo sucede para las segundas y cuartas etapas 32, 36 de fuentes de corriente. Las etapas 30, 32, 34, 36 de fuentes de corriente, de la Figura 3, pueden ser implementadas como se muestra en las Figuras 1 y 2, usando circuitos comunes de entrada de espejos de corriente como circuitos 38a,b de control de corriente. Alternativamente, se pueden usar pares separados de circuitos de control para las primeras y terceras etapas 30, 34 de fuentes de corriente, y para las segundas y cuartas etapas 32, 36 de fuentes de corriente, respectivamente. En una realización, se puede disponer un retardo relativo pequeño entre las fuentes de corriente complementarias, que sea suficiente para evitar un solapamiento temporal de suministro de corrientes de polaridades opuestas a un mismo conductor de comunicación, desde pares de fuentes de corriente que se conecten bajo el control de la misma toma intermedia de la línea de retardo.

Aunque la invención ha sido descrita en forma de realizaciones específicas, se observará que la invención no está limitada a estas realizaciones. Por ejemplo, en lugar de un par de circuitos comunes de entrada de espejos de corriente, para controlar el electrodo de control de todos los transistores de fuentes de corriente, se pueden usar, por supuesto, pares separados de circuitos de entrada de espejos de corriente, o, efectivamente, otros tipos de circuitos que aseguren corrientes equilibradas, para pares individuales de fuentes de corriente que son conectadas, sustancialmente, de manera simultánea, o para grupos de pares de fuentes de corriente.

Como otro ejemplo, en lugar de conmutadores entre los circuitos de entrada de espejos de corriente y los transistores de fuentes de corriente, o entre los transistores de fuentes de corriente y los conductores de comunicación (como se muestra en las Figuras), se pueden usar conmutadores en dichos circuitos individuales de entrada de espejos de corriente, para realizar la dependencia de datos.

REIVINDICACIONES

1. Un sistema de vías de comunicación, que comprende:

- un par de conductores de comunicación (14a,b);
- un excitador (12) que comprende una línea de retardo (120a-f), una pluralidad de pares de circuitos (124a-c, 126a-c) de fuentes de corriente controladas, comprendiendo cada par, circuitos (124a-c, 126a-c, 20a-c, 22a-c) de fuentes de corriente de una primera y una segunda polaridad opuestas mutuamente, y un circuito de control (121, 122a,b) para equilibrar corrientes extraídas por los circuitos (124a-c, 126a-c, 20a-c, 22a-c) de fuentes de corriente en cada par, teniendo la línea de retardo (120a-f) tomas intermedias acopladas a entradas de control de los circuitos (124a-c, 126a-c, 20a-c, 22a-c) de fuentes de corriente de la primera y segunda polaridad en la pluralidad de pares, de modo que los circuitos (124a-c, 126a-c, 20a-c, 22a-c) de fuentes de corriente sean conectados con retardos mutuos entre pares sucesivos, determinados por la línea de retardo (120a-f), teniendo los circuitos (124a-c, 20a-c) de fuentes de corriente de la primera polaridad, salidas acopladas a un primer conductor (14a) de los conductores de comunicación, teniendo los circuitos (126a-c, 22a-c) de fuentes de corriente de la segunda polaridad, salidas acopladas a un segundo conductor (14b) de los conductores de comunicación.

2. Un sistema de vías de comunicación según la reivindicación 1, en el que el circuito de control (121, 122a,b) comprende un primero y un segundo circuitos (122a,b) de entrada de espejos de corriente, con entradas acopladas para recibir una misma corriente, y salidas acopladas a entradas de control de corriente de los circuitos (124a-c, 126a-c, 20a-c, 22a-c) de fuentes de corriente de la primera y segunda polaridad, respectivamente; comprendiendo los circuitos (124a-c, 126a-c) de fuentes de corriente, transistores (136, 28) de fuentes de corriente con canales principales de corriente acoplados a los conductores de comunicación (14a,b), y electrodos de control acoplados a la primera y segunda salida de las salidas de los circuitos (122a,b) de entrada de espejos de corriente, respectivamente.

3. Un sistema de vías de comunicación según la reivindicación 2, en el que cada circuito (124a-c) de fuentes de corriente de la primera polaridad comprende un circuito de excitación (130, 132, 134) acoplado entre la salida del primer circuito (122a) de entrada de

espejo de corriente y el electrodo de control del transistor (136) de fuente de corriente, teniendo el circuito de excitación (130, 132, 134) una entrada de activación acoplada a la línea de retardo (120a-f).

4. Un sistema de vías de comunicación según la reivindicación 2, que comprende un transistor cascode (128a) con un canal principal de corriente acoplado entre una conexión común, entre los canales principales de corriente de los transistores (136) de fuentes de corriente de los circuitos (124a-c) de fuentes de corriente de la primera pluralidad, y el primer conductor (14a) de los conductores de comunicación.

5. Un sistema de vías de comunicación según la reivindicación 2, en el que cada circuito (124a-c) de fuente de corriente de la primera polaridad comprende un respectivo transistor cascode (29) con un canal principal de corriente acoplado entre el canal principal de corriente del transistor (28) de fuente de corriente y el primer conductor (14a) de los conductores de comunicación, y un electrodo de control acoplado al circuito de retardo (120a-f).

6. Un sistema de vías de comunicación según la reivindicación 5, en el que cada uno de los circuitos (20a-c) de fuentes de corriente de la primera pluralidad comprende una etapa excitadora (24, 26) entre el circuito de retardo (120a-f) y el electrodo de control del transistor cascode (29), teniendo cada etapa excitadora (24, 26) entradas de fuente de alimentación acopladas entre una conexión (Vdd) de fuente de alimentación y un nodo entre los canales principales de corriente del transistor (28) de fuente de corriente y el transistor cascode (29).

7. Un sistema de vías de comunicación según la reivindicación 1, en el que el excitador comprende otra pluralidad de otros pares de circuitos (32, 34) de fuentes de corriente controladas, de la primera y segunda polaridades, estando acoplados los circuitos (32, 34) de fuentes de corriente controladas, de la primera y segunda polaridades, de cada otro par, al segundo y al primer conductor de comunicación (14a,b), respectivamente, equilibrando el circuito de control (121, 122a,b) las corrientes extraídas por los otros circuitos (32, 34) de fuentes de corriente de cada otro par, con las corrientes extraídas por las fuentes (30, 36) de corriente, en un correspondiente par de los pares, siendo activado cada otro circuito (32, 34) de fuente de corriente controlada, de los otros pares, desde la línea de retardo (120a-f), sustancialmente en oposición de fase con los circuitos (30, 36) de fuentes de corriente controladas, en el correspondiente uno de los pares que está conectado a un mismo conductor de los conductores de comunicación (14a,b).

8. Un circuito transmisor de vía de comunicación para un sistema de vías de comunicación, como el reivindicado en una cualquiera de las reivindicaciones precedentes, que comprende un excitador como el reivindicado en una cualquiera de esas reivindicaciones.

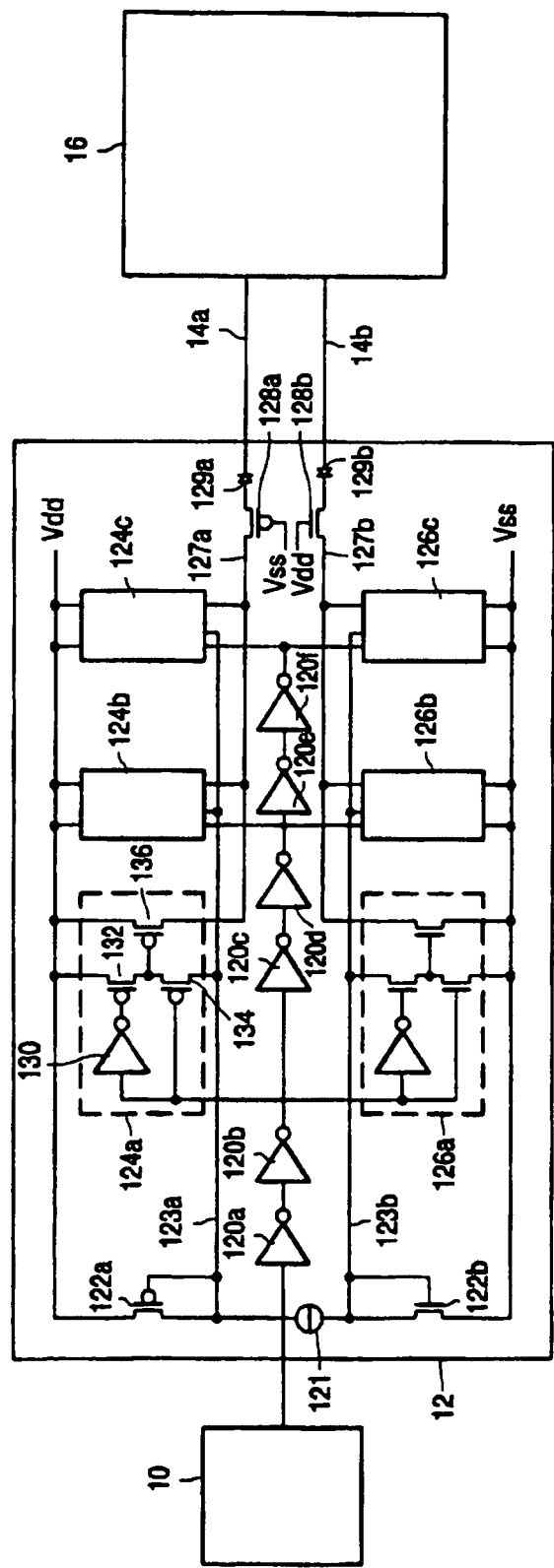


FIG. 1

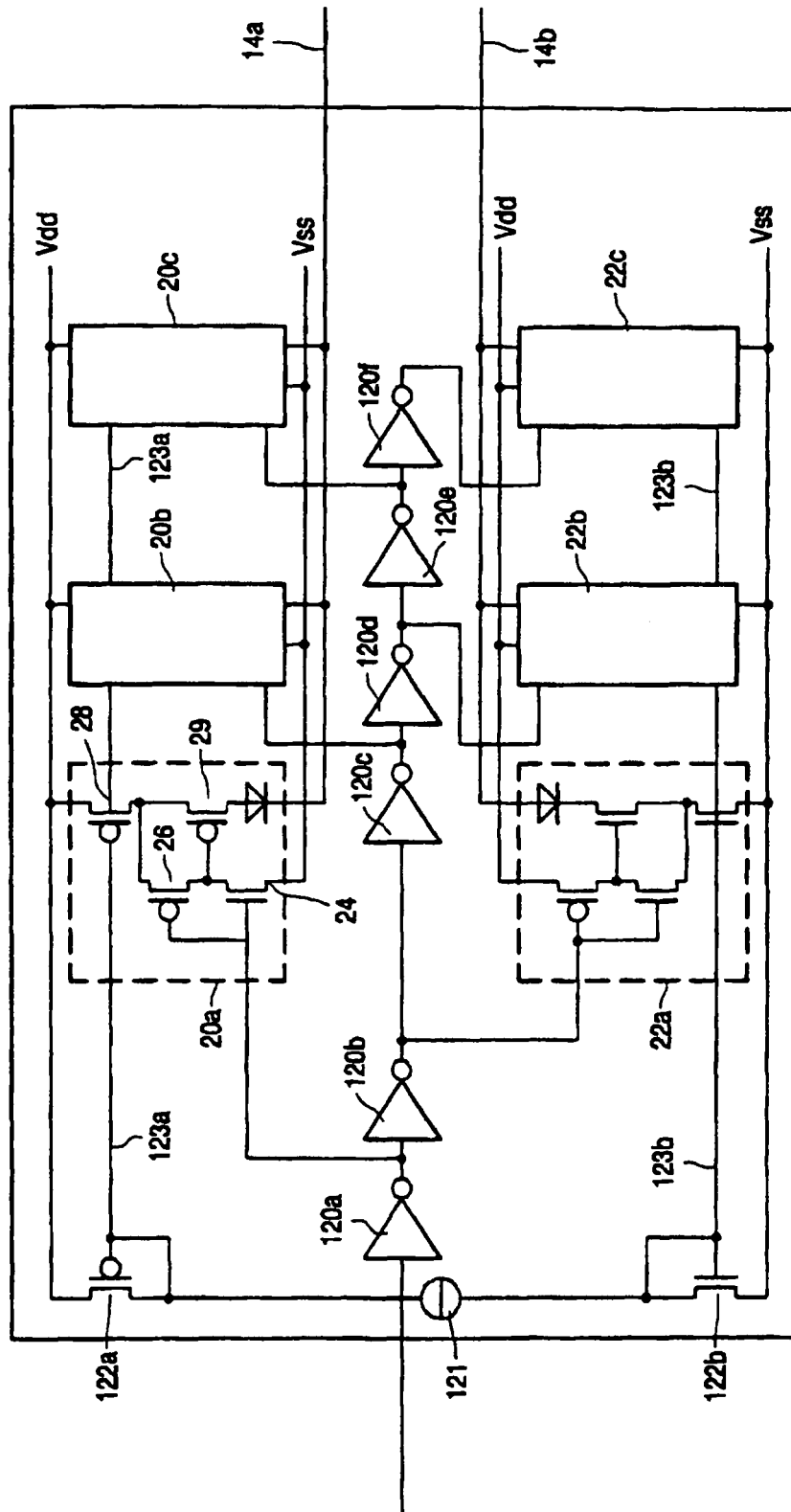


FIG. 2

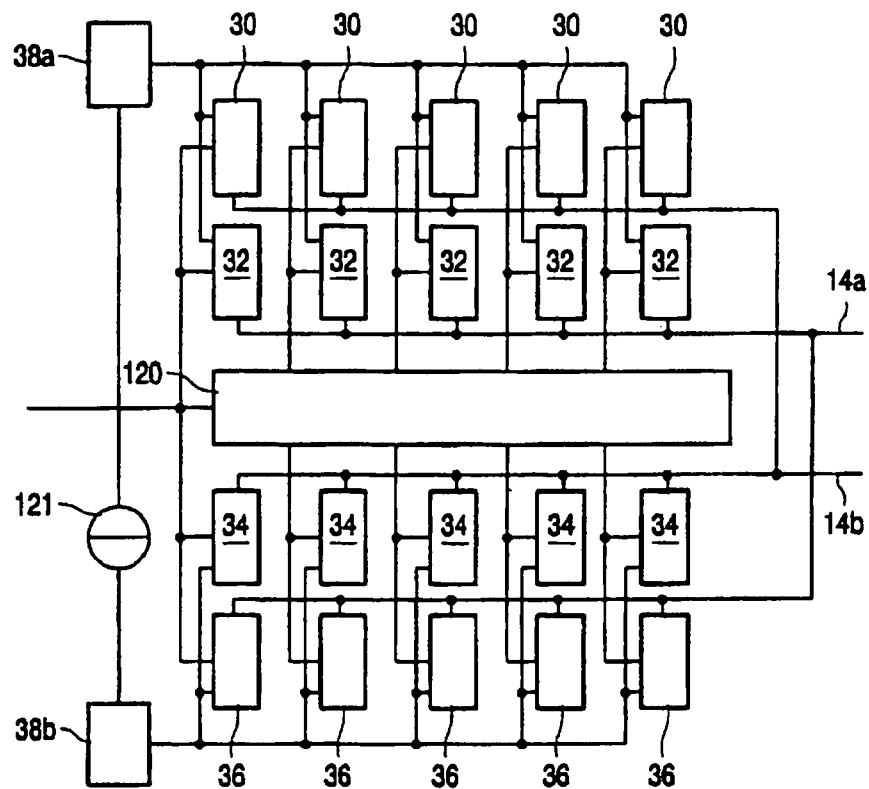


FIG. 3