

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6886355号
(P6886355)

(45) 発行日 令和3年6月16日(2021.6.16)

(24) 登録日 令和3年5月18日(2021.5.18)

(51) Int.Cl. F I
HO3F 3/45 (2006.01) HO3F 3/45
HO2M 3/155 (2006.01) HO2M 3/155 H

請求項の数 6 (全 16 頁)

<p>(21) 出願番号 特願2017-122182 (P2017-122182) (22) 出願日 平成29年6月22日 (2017.6.22) (65) 公開番号 特開2019-9548 (P2019-9548A) (43) 公開日 平成31年1月17日 (2019.1.17) 審査請求日 令和2年5月11日 (2020.5.11)</p>	<p>(73) 特許権者 000116024 ローム株式会社 京都府京都市右京区西院溝崎町2 1 番地 (74) 代理人 110001933 特許業務法人 佐野特許事務所 (72) 発明者 渡邊 幸啓 京都府京都市右京区西院溝崎町2 1 番地 ローム株式会社内 審査官 渡井 高広</p>
---	--

最終頁に続く

(54) 【発明の名称】 オペアンプ及びそれを用いたDC/DCコンバータ

(57) 【特許請求の範囲】

【請求項1】

第1主電極、第2主電極及び制御電極を有する第1トランジスタ、第2トランジスタ、第3トランジスタ、第4トランジスタ、第5トランジスタ、第6トランジスタ、第7トランジスタ及び第8トランジスタと、

第1抵抗、第2抵抗、第3抵抗及び第4抵抗と、を備え、

前記第1トランジスタの前記第1主電極と前記第2トランジスタの前記第1主電極は共通に接続され第1差動対トランジスタを形成し第1電流源に接続され、

前記第3トランジスタの前記第1主電極と前記第4トランジスタの前記第1主電極は共通に接続され第2差動対トランジスタを形成し第2電流源に接続され、

前記第1トランジスタの前記制御電極と前記第4トランジスタの前記制御電極は共通に接続され第1入力信号が印加される第1入力端子に接続され、

前記第2トランジスタの前記制御電極と前記第3トランジスタの前記制御電極は共通に接続され第2入力信号が印加される第2入力端子に接続され、

前記第1トランジスタの前記第2主電極と前記第3トランジスタの前記第2主電極は共通に接続されて第1回路点に接続され、

前記第2トランジスタの前記第2主電極と前記第4トランジスタの前記第2主電極は共通に接続されて第2回路点に接続され、

前記第5トランジスタの前記第2主電極と前記第1抵抗の第1端は共通に接続されて前記第1回路点に接続され、

10

20

前記第 6 トランジスタの前記第 2 主電極と前記第 2 抵抗の第 1 端は共通に接続されて前記第 2 回路点に接続され、

前記第 7 トランジスタの前記第 2 主電極と前記第 3 抵抗の第 1 端は共通に接続されて前記第 1 回路点に接続され、

前記第 8 トランジスタの前記第 2 主電極と前記第 4 抵抗の第 1 端は共通に接続されて前記第 2 回路点に接続され、

前記第 5 トランジスタの前記制御電極、前記第 6 トランジスタの前記制御電極、前記第 1 抵抗の第 2 端及び前記第 2 抵抗の第 2 端は共通に接続され、

前記第 7 トランジスタの前記制御電極、前記第 8 トランジスタの前記制御電極、前記第 3 抵抗の第 2 端及び前記第 4 抵抗の第 2 端は共通に接続され、

10

前記第 5 トランジスタの前記第 1 主電極、前記第 6 トランジスタの前記第 1 主電極、前記第 7 トランジスタの前記第 1 主電極及び前記第 8 トランジスタの前記第 1 主電極は共通に接続されて接地電位に接続され、

前記第 1 回路点及び前記第 2 回路点にそれぞれ前記第 1 入力信号と前記第 2 入力信号との第 1 差分信号及び第 2 差分信号が取り出され、

前記第 1 トランジスタと前記第 2 トランジスタの物理的サイズは同じ第 1 のサイズであり、前記第 3 トランジスタと前記第 4 トランジスタの物理的サイズは同じであるも前記第 1 のサイズと異なる第 2 のサイズであり、

前記第 1 差分信号及び前記第 2 差分信号はそれぞれ前記第 1 回路点及び前記第 2 回路点に電流に変換されて取り出され、

20

前記第 1 差分信号と前記第 2 差分信号は加算器で加算されて合成差分信号として出力端子から取り出される、オペアンプ。

【請求項 2】

前記第 1 トランジスタ、前記第 2 トランジスタ、前記第 3 トランジスタ及び前記第 4 トランジスタは MOS トランジスタで構成され、前記 MOS トランジスタのゲートチャネル長、ゲートチャネル幅の少なくとも一方を異ならせて前記第 1 のサイズと前記第 2 のサイズが構成されている、請求項 1 に記載のオペアンプ。

【請求項 3】

前記第 1 電流源と前記第 2 電流源で生成される電流の大きさは異なっている、請求項 1 または 2 に記載のオペアンプ。

30

【請求項 4】

前記第 1 入力信号と前記第 2 入力信号の差分が比較的小さいときのトランスコンダクタンスは、前記第 1 入力信号と前記第 2 入力信号の差分が比較的大きいときのトランスコンダクタンスよりも小さい、請求項 1 ~ 3 のいずれか一項に記載のオペアンプ。

【請求項 5】

前記加算器は、
第 1 主電極、第 2 主電極及び制御電極を有する第 9 トランジスタ、第 10 トランジスタ、第 11 トランジスタ及び第 12 トランジスタと、

第 5 抵抗、第 6 抵抗、第 7 抵抗及び第 8 抵抗と、を備え、
前記第 9 トランジスタの前記制御電極は前記第 1 回路点に接続され、前記第 9 トランジスタの前記第 1 主電極は前記第 7 抵抗の第 1 端に接続され、前記第 9 トランジスタの前記第 2 主電極は前記出力端子に接続され、

40

前記第 10 トランジスタの前記制御電極は前記第 2 回路点に接続され、前記第 10 トランジスタの前記第 1 主電極は前記第 5 抵抗の第 1 端に接続され、前記第 10 トランジスタの前記第 2 主電極は前記第 11 トランジスタの前記第 2 主電極に接続され、

前記第 5 抵抗の前記第 2 端と前記第 7 抵抗の前記第 2 端は共通に接続されて前記接地電位に接続され、

前記第 11 トランジスタの前記制御電極と前記第 12 トランジスタの前記制御電極は共通に接続されて前記第 11 トランジスタの前記第 2 主電極に接続され、

前記第 12 トランジスタの前記第 2 主電極は前記出力端に接続され、

50

前記第 1 1 トランジスタの前記第 1 主電極は前記第 6 抵抗の第 1 端に接続され、
前記第 1 2 トランジスタの前記第 1 主電極は前記第 8 抵抗の第 1 端に接続され、
前記第 6 抵抗の第 2 端と前記第 7 抵抗の第 2 端は共通に接続されて電源電位に接続され、
請求項 1 ~ 4 のいずれか一項に記載のオペアンプ。

【請求項 6】

入力電圧から出力電圧を生成するためにオン/オフされるスイッチング手段と、
前記出力電圧に応じたフィードバック電圧と基準電圧との差に応じた誤差信号を生成するエラーアンプと、

クロック信号と三角波または鋸波のスロープ信号を生成する発振回路装置と、
前記スロープ信号と前記誤差信号とを比較して、パルス幅が変調された P W M 信号を出力する P W M コンパレータと、

前記クロック信号と前記 P W M コンパレータからの出力信号を受け、前記スイッチング手段を制御する駆動制御回路とを備える D C / D C コンバータであって、

前記エラーアンプは、請求項 1 ~ 5 のいずれか一項に記載のオペアンプで構成されることを特徴とする D C / D C コンバータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、オペアンプ及びそれを用いた D C / D C コンバータに関する。

【背景技術】

【0002】

昨今、様々な用途に使用できるオペアンプが開発されている。オペアンプの種類は多岐にわたり、汎用オペアンプ、ローノイズオペアンプ、高速オペアンプ、パワーオペアンプなどがある。そしてそういったオペアンプは各種半導体装置内部に取り込まれることもある。例えば、D C / D C コンバータにおいてはエラーアンプとして用いられる。

【0003】

特許文献 1 に記載されたオペアンプは、スルーレート増大回路に関して述べる。入力端子 1 , 2 をオペアンプの 2 つの入力端子に接続し、出力端子 3 をオペアンプの初段バイアス電流源に並列な位置に接続する。トランジスタ Q 1 , Q 2 , ダイオード D 1 と、トランジスタ Q 3 , Q 4 , ダイオード D 2 によって構成される 2 つの差動対 T 1 , T 2 はオペアンプの差動入力信号電圧があるしきい値 (約 0 . 5 V) より大きくなったときのみ、オペアンプの初段に電流を供給し、位相補償容量を急速充電してスルーレートを増大させる。

【0004】

特許文献 2 に記載されたオペアンプは、バイアス電流可変回路に関して述べる。オペアンプ O P と抵抗素子 R f , R i で構成されるフィードバック回路とを備える非反転増幅回路であり、オペアンプ O P の P M O S トランジスタ P 1 , P 2 で構成される差動対へのバイアス電流 I B を、抵抗素子 R f , R i で設定されるゲインに応じて調整することで、入力信号の振幅レンジに拘わらず所定の振幅レベルに増幅することができる。この場合、帰還容量の容量値を切り替えることなく、周波数帯域を一定に保ち、同じローパスフィルタ特性を介して増幅することができる。

【0005】

特許文献 3 の図 7 に記載されたオペアンプは、バイアス電流可変回路に関して述べる。入力電圧差がある所定の範囲内の時は 1 つの電流源で動作し、ある所定の範囲外の場合は 2 つの電流源で動作する。その結果として、特許文献 3 の図 4 C にある特性を実現している。

【0006】

図 6 に本発明者が事前に検討した D C / D C コンバータの回路図を示す。

【0007】

D C / D C コンバータ 6 0 0 は、外部端子として I N , S W , P G N D , A G N D , F B 及び C O M P を備え、外部端子の 1 つである入力端子 I N に供給される入力電圧 V I N

10

20

30

40

50

を降圧して所望の出力電圧 V_{OUT} を出力端子 OUT に出力する、よく知られた降圧型のスイッチングレギュレータを構成している。

【0008】

DC/DCコンバータ600は、スイッチングトランジスタ1、同期整流素子2、エラーアンプ3、発振回路装置4、合算手段5、PWMコンパレータ6及び駆動制御回路7を備える。

【0009】

さらに、DC/DCコンバータ600の外部に設けた各外部端子を介して、入力電圧 V_{IN} 、インダクタ L_{41} 、キャパシタ $C_{41} \sim C_{42}$ 、抵抗 $R_{41} \sim R_{43}$ 及び接地電位 GND が接続されている。DC/DCコンバータ600は、これに付設した外部端子に接続されるインダクタ、キャパシタ、抵抗等の受動素子の働きによって降圧動作を行う。

10

【0010】

入力電圧 V_{IN} は、例えば $10V \sim 15V$ に選ばれた直流電圧であり、入力端子 IN に印加される。なお、出力電圧 V_{OUT} は例えば $5V$ 前後に設定されている。スイッチングトランジスタ1のソースは、入力端子 IN に接続される。スイッチングトランジスタ1のドレインはスイッチング端子 SW 及び同期整流素子2のドレインに接続される。同期整流素子2のソースは、接地端子 $PGND$ を介して接地電位 GND に接続されている。接地端子 $AGND$ は、接地端子 $PGND$ と同様に接地電位 GND に接続されるが、接地端子 $PGND$ とは別に用意されている。これは、比較的小電流が流れ接地端子 $AGND$ に接続されているエラーアンプ3、発振回路装置4、PWMコンパレータ6、および駆動制御回路7等の回路動作が比較的大きな電流が流れる接地端子 $PGND$ の電位の変動の影響を受けないようにするためである。

20

【0011】

なお、スイッチングトランジスタ1は、pチャネル形MOSトランジスタを、同期整流素子2はnチャネル形MOSトランジスタとしたが、これらの組み合わせに限定されない。たとえば、スイッチングトランジスタ1はnMOSトランジスタであってもよいし、同期整流素子2はダイオードに置き換えることもできる。

【0012】

インダクタ L_{41} の一端はスイッチング端子 SW に接続されている。インダクタ L_{41} の他端は出力端子 OUT 及びキャパシタ C_{41} の一端に、キャパシタ C_{41} の他端はそれぞれ接地電位 GND に接続されている。

30

【0013】

出力端子 OUT と接地電位 GND との間に直列接続される抵抗 R_{41} 及び R_{42} は帰還電圧生成回路として動作する。抵抗 R_{41} 及び R_{42} は、互いの共通接続ノードに帰還電圧 V_{FB} を出力する。帰還電圧 V_{FB} は第1入力端子 $IN1$ (フィードバック端子 FB) を介して、エラーアンプ3の反転入力端子(-)に入力される。

【0014】

エラーアンプ3の非反転入力端子(+)には基準電圧 V_{REF} 、反転入力端子(-)には帰還電圧 V_{FB} がそれぞれ入力される。エラーアンプ3は入力端子が受け入れる電圧に応じた誤差信号 V_{err} を、PWMコンパレータ6の反転入力端子(-)に出力する。また、エラーアンプ3の出力端子は位相補償端子 $COMP$ を介して抵抗 R_{43} 及びキャパシタ C_{42} が接続されている。

40

【0015】

発振回路装置4で生成されるクロック信号 CLK は、駆動制御回路7に入力される。また、発振回路4は後段の合算手段5にスロープ信号 $SLOPE$ を出力する。スロープ信号 $SLOPE$ はクロック信号 CLK に追従して周期が変化する例えば三角波形または鋸波形である。

【0016】

合算手段5ではスロープ信号 $SLOPE$ 及びスイッチング電流 ISW に応じた電圧成分を合算し、PWMコンパレータ6の非反転入力端子(+)に出力する。合算手段5は、D

50

C/D Cコンバータ600を電流帰還形と構成するために用意したものであるので、電圧帰還形で用いる場合には不要となる。

【0017】

PWMコンパレータ6は、リセット信号RESETを駆動制御回路7に出力する。駆動制御回路7は、スイッチングトランジスタ1及び同期整流素子2のゲートに接続されている。

【0018】

このような構成の降圧型のDC/DCコンバータ600の動作について簡単に説明する。降圧モードにおけるDC/DCコンバータ600は、スイッチングトランジスタ1がオン状態で同期整流素子2がオフ状態である場合、入力端子INからインダクタL41を介してキャパシタC41にスイッチング電流ISWが流れ、磁気エネルギーが蓄えられる。逆にスイッチングトランジスタ1がオフ状態で同期整流素子2がオン状態である場合、同期整流素子2側からインダクタL41を介してキャパシタC41に電流が流れることにより、インダクタL41に蓄えられていた磁気エネルギーが放出される。このような動作により、入力電圧VINは降圧され、出力端子OUTから出力電圧VOUTが出力される。抵抗R41と抵抗R42は、出力端子OUTから出力される出力電圧VOUTを分圧して帰還電圧VFBを生成し、第1入力端子IN1(フィードバック端子FB)に送出する。

【0019】

エラーアンプ3は、基準電圧VREFとフィードバック電圧VFBとを比較し、比較結果に応じた誤差信号Verrを出力する。フィードバック電圧VFBは、例えば、0.6V~5Vである。

【0020】

位相補償端子COMPと接地電位GND間に直列接続された抵抗R43及びキャパシタC42は位相補償回路として、エラーアンプ3のゲインと周波数特性を設定する。位相補償によってDC/DCコンバータ600の周波数特性が補正される。なお、位相補償回路は抵抗R43とキャパシタC42との直列回路ではなく、これらに別のキャパシタを例えば並列に接続して、いわゆる2次特性をもたせるようにしてもよい。

【0021】

発振回路装置4は、クロック信号CLKを出力し、その周波数は例えば200kHz~5MHzに選ばれる。通常、これらの範囲の中の1つの周波数でスイッチングトランジスタ1および同期整流素子2がオン/オフ制御される。例えば周波数が1MHzに設定された場合にはオンデューティ比が90%のときは、0.9μsであり、オンデューティ比が10%のときは0.1μsとなる。

【0022】

駆動制御回路7は、発振回路装置4から出力されるクロック信号CLK及びPWMコンパレータ6から出力されるリセット信号RESETを受け、ゲート信号GP及びゲート信号GNを出力する。ゲート信号GP及びゲート信号GNにより、スイッチングトランジスタ1及び同期整流素子2を相補的にオン/オフされる。駆動制御回路7の内部には図示しない、例えばRSフリップフロップが用意されており、このRSフリップフロップのセット端子には発振回路装置4で生成されるクロック信号CLKが、リセット端子にはPWMコンパレータ6から出力されるリセット信号RESETがそれぞれ印加される。

【0023】

駆動制御回路7には、図示はしないがスイッチングトランジスタ1から同期整流素子2に向かって流れる過大な貫通電流を防止するため、デッドタイムが設けられている。デッドタイムの区間、スイッチングトランジスタ1及び同期整流素子2は共にオフ状態に置かれ貫通電流の電流経路を阻止する。

【0024】

図7に、エラーアンプ3(オペアンプ)の出力電流特性を示す。図7は横軸がフィードバック電圧VFBを、縦軸がエラーアンプ出力電流Ierrをそれぞれ示している。フィードバック電圧VFBに関わらずエラーアンプ出力電流Ierrの傾きgmが一定となっ

10

20

30

40

50

ている。

【0025】

図8は、誤差信号Verrのうねりによって生じる不具合を説明するためにクロック信号CLKとスロープ信号SLOPEとリセット信号RESETとスイッチング電圧Vswを併せて示す波形図である。

【0026】

PWMコンパレータ6の出力であるリセット信号RESETに時間的な揺らぎが発生した結果として、一定であるはずのスイッチング電圧のオン時間 y_7 、 y_8 、 y_9 がばらつくことを知見した。このばらつきは出力電圧VOUTのゆらぎに影響を及ぼす。

【先行技術文献】

【特許文献】

【0027】

【特許文献1】特開平6-112737号公報

【特許文献2】特開2015-119304号公報

【特許文献3】特開2011-72102号公報

【発明の概要】

【発明が解決しようとする課題】

【0028】

本発明者が事前検討したオペアンプ(エラーアンプ3)をDC/DCコンバータに採用すると、応答性をよくするためにオペアンプのトランスコンダクタンスは高めに設定されており、またトランスコンダクタンスは電圧に依らず一定のため、基準電圧VREFを行き過ぎたり戻ったりを繰り返すことがあり、誤差信号Verrの波形がうねることが起こりうる。

【0029】

特許文献1に記載されたオペアンプのスルーレート増大方法では、しきい値の調整が非常に難しく、細かい調整ができないという不具合が起こりうる。

【0030】

特許文献2に記載されたオペアンプのバイアス電流可変回路では、バイアス電流を増減する為に判定回路が必要となり回路面積の増大を招く恐れがある。

【0031】

特許文献3に記載されたオペアンプのバイアス電流可変回路では、バイアス電流を増減する為に判定回路が必要となり回路面積の増大を招く恐れがある。

【0032】

本発明は、上記問題点を克服する為になされたものであり、その目的は、エラーアンプの制御において、基準電圧VREF付近における誤差信号Verrのうねりを抑制し、スイッチング電圧Vswのオン/オフ時間のばらつきを抑制することである。

【課題を解決するための手段】

【0033】

本書で第1主電極とはMOSトランジスタにおいてはソースが、バイポーラトランジスタにおいてはエミッタがそれぞれ対応する。また第2主電極とはMOSトランジスタにおいてはドレインが、バイポーラトランジスタにおいてはコレクタがそれぞれ対応する。また制御電極とはMOSトランジスタにおいてはゲートが、バイポーラトランジスタにおいてはベースがそれぞれ対応する。また、本書で物理的サイズが同じとは、MOSトランジスタにおいてはゲートのチャンネル長、チャンネル幅が同じであることを指し、バイポーラトランジスタにおいてはエミッタ面積が等しいことを指す。

【0034】

本発明のオペアンプの一態様は、第1主電極、第2主電極及び制御電極を有する第1トランジスタ、第2トランジスタ、第3トランジスタ及び第4トランジスタを備え、前記第1トランジスタと前記第2トランジスタの前記第1主電極は共通に接続され第1差動対トランジスタを形成し第1電流源に接続され、前記第3トランジスタと前記第4トランジスタ

10

20

30

40

50

タの前記第 1 主電極は共通に接続され第 2 差動対トランジスタを形成し第 2 電流源に接続され、前記第 1 トランジスタと前記第 4 トランジスタの前記制御電極は共通に接続され第 1 入力信号が印加される第 1 入力端子に接続され、前記第 2 トランジスタと前記第 3 トランジスタの前記制御電極は共通に接続され第 2 入力信号が印加される第 2 入力端子に接続され、前記第 1 トランジスタの前記第 2 主電極と前記第 3 トランジスタの前記第 2 主電極は共通に接続されて第 1 回路点に接続され、前記第 2 トランジスタの前記第 2 主電極と前記第 4 トランジスタの前記第 2 主電極は共通に接続されて第 2 回路点に接続され、前記第 1 回路点及び前記第 2 回路点にそれぞれ前記第 1 入力信号と前記第 2 入力信号との第 1 差分信号及び第 2 差分信号を取り出す。

【 0 0 3 5 】

10

また本発明のオペアンプの別の態様は、前記第 1 トランジスタと前記第 2 トランジスタの物理的サイズは同じ第 1 のサイズであり、前記第 3 トランジスタと前記第 4 トランジスタの物理的サイズは同じであるも前記第 1 のサイズと異なる第 2 のサイズである。

【 0 0 3 6 】

また本発明のオペアンプの別の態様は、前記第 1 トランジスタ、前記第 2 トランジスタ、前記第 3 トランジスタ及び前記第 4 トランジスタは MOS トランジスタで構成され、前記 MOS トランジスタのゲートチャネル長、ゲートチャネル幅の少なくとも一方を異ならせて前記第 1 のサイズと前記第 2 のサイズが構成されている。

【 0 0 3 7 】

また本発明のオペアンプの別の態様は、前記第 1 電流源と前記第 2 電流源で生成される電流の大きさは異なっている。

20

【 0 0 3 8 】

また本発明のオペアンプの別の態様は、前記第 1 差分信号及び前記第 2 差分信号はそれぞれ前記第 1 回路点及び前記第 2 回路点に電流に変換されて取り出される。

【 0 0 3 9 】

また本発明のオペアンプの別の態様は、前記第 1 差分信号と前記第 2 差分信号は加算器で加算されて合成差分信号として出力端子から取り出される。

【 0 0 4 0 】

また本発明のオペアンプの別の態様は、前記第 1 入力信号と前記第 2 入力信号の差分が比較的小さいときのトランスコンダクタンスは、前記第 1 入力信号と前記第 2 入力信号の差分が比較的大きいときのトランスコンダクタンスよりも小さい。

30

【 0 0 4 1 】

また本発明の別の発明である DC / DC コンバータは、入力電圧から出力電圧を生成するためにオン / オフされるスイッチング手段と、前記出力電圧に応じたフィードバック電圧と基準電圧との差に応じた誤差信号を生成するエラーアンプと、クロック信号と三角波または鋸波のスロープ信号を生成する発振回路装置と、前記スロープ信号と前記誤差信号とを比較して、パルス幅が変調された PWM 信号を出力する PWM コンパレータと、前記クロック信号と前記 PWM コンパレータからの出力信号を受け、前記スイッチング手段を制御する駆動制御回路とを備え、前記エラーアンプは、上記オペアンプのいずれか 1 つの態様のものを用いる。

40

【発明の効果】

【 0 0 4 2 】

この発明によれば、エラーアンプの基準電圧付近の誤差信号 V_{err} のうねりを抑制することができる。

【図面の簡単な説明】

【 0 0 4 3 】

【図 1】本発明のエラーアンプ 3 A の構成の一例を示す。

【図 2】エラーアンプ 3 A を構成する第 1 オペアンプ OP 1 と第 2 オペアンプ OP 2 の概念図を示す。

【図 3】エラーアンプ 3 A を構成する第 1 オペアンプ OP 1 と第 2 オペアンプ OP 2 の出

50

力電流特性を示す。

【図4】本発明のエラーアンプ3Aの出力電流特性を示す。

【図5】本発明のスイッチング電圧 V_{sw} を示す。

【図6】発明者が事前に検討したDC/DCコンバータ600のブロック図を示す。

【図7】図6に用いたエラーアンプ3の出力電流特性を示す。

【図8】発明者が事前に検討したスイッチング電圧 V_{sw} を示す。

【発明を実施するための形態】

【0044】

以下、本発明の実施の形態について図面を参照して説明する。

【0045】

図1は、本発明に係るエラーアンプ3Aの構成の一例を示す。図6のエラーアンプ3をエラーアンプ3Aに置き換えたものが本発明に係るDC/DCコンバータとなり、その他の回路は図6と同じである。

【0046】

図1において、電流源ISETの一端は接地電位GNDに接続されており、その他端はMOSトランジスタM1のドレインに接続されており、そのソースは電源電位VCCに接続されている。またMOSトランジスタM1~M3のゲートはMOSトランジスタM1のドレインに共通接続されている。MOSトランジスタM2, M3のソースはMOSトランジスタM1のソースと同様に電源電位VCCに接続されている。すなわちMOSトランジスタM1~M3及び電流源ISETによってよく知られたカレントミラー回路を形成して

いる。

【0047】

MOSトランジスタM2のドレインはMOSトランジスタM4とMOSトランジスタM5のソース(第1主電極)に接続されており、MOSトランジスタM4のゲート(制御電極)は第1入力端子IN1(フィードバック端子FB)に接続されており、MOSトランジスタM5のゲート(制御電極)は第2入力端子IN2(基準端子REF)に接続されている。

【0048】

MOSトランジスタM4, M5の物理的サイズは同じであり、両者MOSトランジスタによって第1差動対トランジスタDFA1を形成している。

MOSトランジスタM4のドレイン(第2主電極)は抵抗R1の一端とMOSトランジスタM6のドレインに接続され第1回路点CP1を形成しており、MOSトランジスタM5のドレイン(第2主電極)は抵抗R2の一端とMOSトランジスタM7のドレインに接続され第2回路点CP2を形成しており、抵抗R1の他端は抵抗R2の他端とMOSトランジスタM6のゲートとMOSトランジスタM7のゲートと共通接続されている。

【0049】

第1回路点CP1には第1入力端子IN1(フィードバック端子FB)と第2入力端子IN2(基準端子REF)との第1差分信号が電流に変換されて取り出され、第2回路点CP2には第1入力端子IN1(フィードバック端子FB)と第2入力端子IN2(基準端子REF)との第2差分信号が電流に変換されて取り出される。

【0050】

MOSトランジスタM6とMOSトランジスタM7のソースは接地電位GNDに接続されている。

【0051】

MOSトランジスタM3のドレインはMOSトランジスタM8とMOSトランジスタM9のソース(第1主電極)に接続されており、MOSトランジスタM9のゲート(制御電極)は第1入力端子IN1(フィードバック端子FB)に接続されており、MOSトランジスタM8のゲート(制御電極)は第2入力端子IN2(基準端子REF)に接続されている。

【0052】

10

20

30

40

50

MOSトランジスタM8, M9の物理的サイズは同じであり、両者MOSトランジスタによって第2差動対トランジスタDFA2を形成している。

【0053】

MOSトランジスタM8のドレイン(第2主電極)は抵抗R3の一端とMOSトランジスタM10のドレインに接続され第1回路点CP1を形成しており、MOSトランジスタM9のドレイン(第2主電極)は抵抗R4の一端とMOSトランジスタM11のドレインに接続され第2回路点CP2を形成しており、抵抗R3の他端は抵抗R4の他端とMOSトランジスタM10のゲートとMOSトランジスタM11のゲートと共通接続されている。

【0054】

MOSトランジスタM10とMOSトランジスタM11のソースは接地電位GNDに接続されている。

【0055】

MOSトランジスタM6のドレインはMOSトランジスタM10のドレインとMOSトランジスタM12のゲートに接続されており、MOSトランジスタM7のドレインはMOSトランジスタM11のドレインとMOSトランジスタM13のゲートに接続されている。

【0056】

MOSトランジスタM13のソースは抵抗R5の一端に接続されており、抵抗R5の他端は接地電位GNDに接続されている。MOSトランジスタM13のドレインは、MOSトランジスタM14のドレインとゲートに接続されており、MOSトランジスタM14のソースは抵抗R6の一端と接続されており、抵抗R6の他端は電源電位VCCに接続されている。

【0057】

MOSトランジスタM12のソースは抵抗R7の一端が接続されており、抵抗R7の他端は接地電位GNDに接続されている。MOSトランジスタM12のドレインは、MOSトランジスタM15のドレイン及び電流出力端子OUT1に接続されている。MOSトランジスタM15のソースは抵抗R8の一端と接続されており、抵抗R8の他端は電源電位VCCに接続されている。MOSトランジスタM15のゲートはMOSトランジスタM14のゲートに接続されている。

【0058】

エラーアンプ3Aは簡潔に言うと、トランスコンダクタンスの大きさが違う2つのオペアンプが合成された構成となっている。ここで2つのオペアンプとは、MOSトランジスタM2, M4, M5, M6, M7で構成される第1オペアンプOP1とMOSトランジスタM3, M8, M9, M10, M11で構成される第2オペアンプOP2である。

【0059】

MOSトランジスタM2は、カレントミラーの基準となるMOSトランジスタM1の例えば5倍のサイズを有しているのに対し、MOSトランジスタM3は例えば2倍のサイズを有している。この違いにより第1オペアンプOP1と第2オペアンプOP2に供給する電流に差を持たしている。MOSトランジスタM2及びMOSトランジスタM3は本書においてそれぞれ第1電流源及び第2電流源に対応する。第1電流源は電流I2を生成し、第2電流源は電流I3を生成する。

【0060】

またMOSトランジスタM4, M5とMOSトランジスタM8, M9の物理的サイズは異なっている。例えばMOSトランジスタM4, M5のゲートチャネル幅Wが10 μ m, ゲートチャネル長Lが3 μ mであるのに対し、例えばMOSトランジスタM8, M9のゲートチャネル幅Wが5 μ m, ゲートチャネル長Lが1 μ mである。この物理的サイズの違いによりトランスコンダクタンスgmに差を持たせている。

【0061】

本発明では、ゲートチャネル幅W, ゲートチャネル長Lの両方を異ならせているが、設

10

20

30

40

50

定するトランスコンダクタンスによっては少なくとも一方を異ならせればよい。

【 0 0 6 2 】

M O S トランジスタ M 1 2 ~ M 1 5 及び R 5 ~ R 8 は加算器 A d d e r を構成する。加算器 A d d e r は第 1 回路点 C P 1 の出力である第 1 差分信号及び第 2 回路点 C P 2 の出力である第 2 差分信号を加算して合成差分信号として電流出力端子 O U T 1 に出力する。

【 0 0 6 3 】

図 2 は、第 1 オペアンプ O P 1 と第 2 オペアンプ O P 2 の接続概念図を示す。第 1 オペアンプ O P 1 の第 1 トランスコンダクタンス $g m 1$ と第 2 オペアンプ O P 2 の第 2 トランスコンダクタンス $g m 2$ が加算器 A d d e r で加算されて出力されることとなる。

【 0 0 6 4 】

第 1 オペアンプ O P 1 と第 2 オペアンプ O P 2 の出力電流は同一ではない。その差は M O S トランジスタ M 2 , M 3 の比によるカレントミラー電流の差、および M O S トランジスタ M 4 , M 5 と M O S トランジスタ M 8 , M 9 のゲートチャネル長 L , ゲートチャネル幅 W の違いで構成されている。

【 0 0 6 5 】

図 3 は、図 1 に示したエラーアンプ 3 A のトランスコンダクタンス特性を示す。縦軸が第 1 オペアンプ O P 1 と第 2 オペアンプ O P 2 の出力電流 $I g m 1$, $I g m 2$ を示している。ここで出力電流 $I g m 1$ は M O S トランジスタ M 5 のドレインから出力される。出力電流 $I g m 2$ は M O S トランジスタ M 9 のドレインから出力される。なお、第 1 オペアンプ O P 1 の M O S トランジスタ M 4 のドレイン及び第 2 オペアンプ O P 2 の M O S トランジスタ M 8 のドレインからもそれぞれ出力電流が出力されるが、これらの出力電流は説明の便宜上及び図面の煩雑さを避けるために割愛している。

【 0 0 6 6 】

横軸は、第 1 入力端子 I N 1 に印加されるフィードバック電圧 $V F B$ を変化させ第 2 入力端子 I N 2 に印加される基準電圧 $V R E F$ を固定したときを示している。

【 0 0 6 7 】

第 1 オペアンプ O P 1 の出力電流 $I g m 1$ は第 2 オペアンプ O P 2 の出力電流 $I g m 2$ よりも大きく設定されている。また、出力電流 $I g m 1$ と出力電流 $I g m 2$ の電流特性の傾きは互いに逆になるように設定している。

【 0 0 6 8 】

第 1 オペアンプ O P 1 の出力電流 $I g m 1$ は主に M O S トランジスタ M 2 , M 4 , M 5 で設定されている。M O S トランジスタ M 2 により最大電流が、M O S トランジスタ M 4 , M 5 により最大電流すなわち第 1 トランスコンダクタンス $g m 1$ が決定される。第 1 トランスコンダクタンス $g m 1$ は、次式で表わされる。

【 0 0 6 9 】

$$g m 1 = I g m 1 / (V F B - V R E F)$$

【 0 0 7 0 】

同様に第 2 オペアンプ O P 2 の出力電流 $I g m 2$ は主に M O S トランジスタ M 3 , M 8 , M 9 で設定されている。M O S トランジスタ M 3 により最大電流が、M O S トランジスタ M 8 , M 9 により最大電流すなわち第 2 トランスコンダクタンス $g m 2$ が決定される。第 2 トランスコンダクタンス $g m 2$ は、次式で表わされる。

【 0 0 7 1 】

$$g m 2 = I g m 2 / (V F B - V R E F)$$

【 0 0 7 2 】

これら第 1 オペアンプ O P 1 と第 2 オペアンプ O P 2 のトランスコンダクタンス特性を加算することで、図 4 の合成特性を実現する。

【 0 0 7 3 】

図 4 は、エラーアンプ 3 A の出力電流 $I e r r$ を示している。横軸がフィードバック電圧 $V F B$ を示し、縦軸が出力電流 $I e r r$ を示している。

フィードバック電圧 $V F B$ が基準電圧 $V R E F$ から離れたところではトランスコンダク

10

20

30

40

50

トランスコンダクタンスが大きくなっており、基準電圧 V_{REF} 付近ではトランスコンダクタンスが小さくなっている。エラーアンプ 3 A の出力電圧が設定電圧付近では、トランスコンダクタンスを下げて安定性を確保し、出力電圧が設定電圧から離れるとトランスコンダクタンスを上げてエラーアンプ 3 A の帰還スピードをアップすることとなる。

すなわち基準電圧 V_{REF} から遠い電圧にある時は急速に、近いところにある時は緩やかに制御されることとなる。これにより基準電圧 V_{REF} 付近における波形のうねりが小さくなる。

【0074】

図4におけるエラーアンプ 3 A 全体のトランスコンダクタンス g_{m3} , g_{m4} は第1オペアンプ OP1 と第2オペアンプ OP2 のトランスコンダクタンスの組み合わせにより自由に設計可能である。要求するエラーアンプ 3 A の入出力特性にあわせて図1の第1差動対トランジスタ D F A 1 と第2差動対トランジスタ D F A 2 のトランスコンダクタンスの大きさを設定すればよい。第1差動対トランジスタ D F A 1 のトランスコンダクタンスは MOS トランジスタ M4 , M5 のゲートチャネル長 L とゲートチャネル幅 W との比 W/L と電流 I_2 との積 $(W/L) I_2$ を適宜設定し、第2差動対トランジスタ D F A 2 のトランスコンダクタンスは MOS トランジスタ M8 , M9 のゲートチャネル長 L とゲートチャネル幅 W との比 W/L と電流 I_3 との積 $(W/L) I_3$ を適宜設定して、それぞれ決定すればよい。

10

【0075】

なお、出力端子 OUT に発生する出力電圧 V_{OUT} のばらつきが \pm 数% の時は、トランスコンダクタンスが小さい区間も基準電圧 $V_{REF} \pm$ 数% にするとよい。そうすることで、出力電圧 V_{OUT} が安定する区間と基準電圧 V_{REF} 付近における波形のうねりの小さくなる区間が一致することとなる。

20

【0076】

出力電流の最大値及び最小値は図1の抵抗 R_1 , R_2 , R_3 及び R_4 の大きさで決定される。第1オペアンプ OP1 の MOS トランジスタ M4 と MOS トランジスタ M5 がショートしないように抵抗 R_1 及び抵抗 R_2 は挿入されている。この抵抗値を小さくすることで出力電流を小さくすることができる。逆に抵抗値を大きくすることで出力電流を最大限出力することができる。

第2オペアンプ OP2 も同様であり、MOS トランジスタ M8 と MOS トランジスタ M9 がショートしないように抵抗 R_3 及び抵抗 R_4 は挿入されている。

30

【0077】

また、出力電流の最大値及び最小値は、図1の抵抗 R_5 , R_6 , R_7 及び R_8 の大きさでも決定される。この出力電流は例えば出力端子 OUT が地絡した後の復帰時のオーバーシュート電流の発生につながるので適正に調整される必要がある。例えば出力電流は $\pm 20 \mu A$ に設定される。

【0078】

図5に本発明における、誤差信号 V_{err} とクロック信号 CLK とスロープ信号 SLOPE とリセット信号 RESET とスイッチング電圧 V_{sw} の波形を示す。

【0079】

誤差信号 V_{err} のうねりが図8と比較して小さくなっており、リセット信号 RESET が等間隔になっていることがわかる。その結果として、スイッチング電圧 V_{sw} の時間的揺らぎも解消されており、オン時間 $y_4 = y_5 = y_6$ が成り立っている。この結果、出力電圧の揺らぎが抑制されることとなる。

40

【0080】

本発明は、本例で示した MOS トランジスタで構成されるオペアンプにこだわらない。バイポーラトランジスタで構成されるオペアンプにおいても同様のことが可能である。バイポーラトランジスタのオペアンプの場合も同様に、差動入力段に流す電流値と差動入力段のエミッタ面積を変更することで実現可能である。

また本発明においてはオペアンプ2つを加算する構成で説明を行ったが、加算されるオ

50

ペアンプは2つ以上であればいくつでも構わない。要求されるトランスコンダクタンスに応じて組み合わせばよい。

【産業上の利用可能性】

【0081】

本発明は、オペアンプによる基準電位付近におけるうねりを防止するものである。そのため、本発明は、産業上の利用可能性は極めて高い。

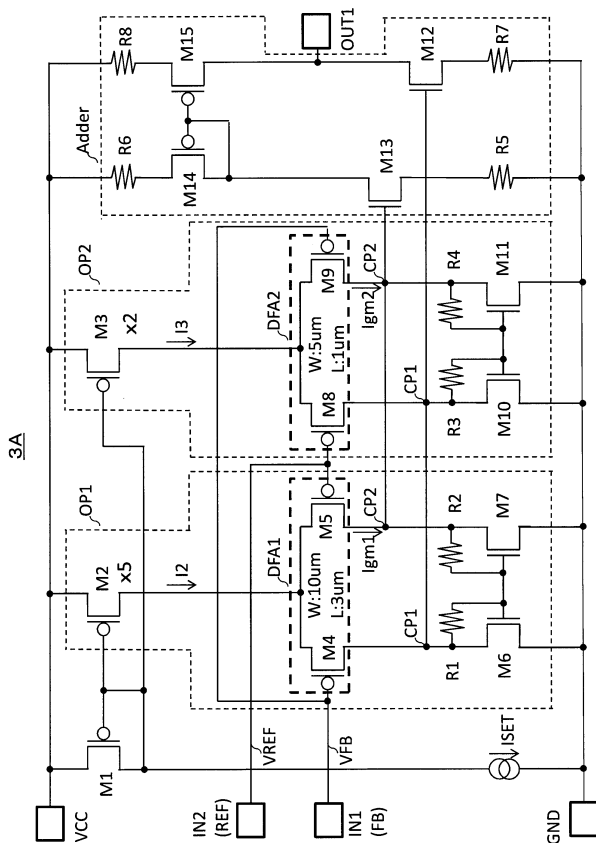
【符号の説明】

【0082】

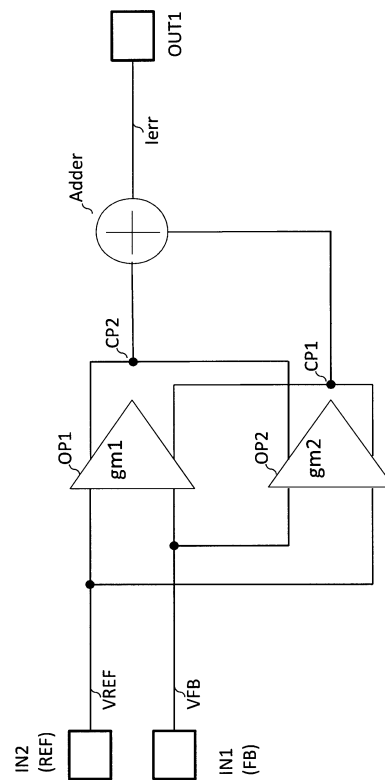
1	スイッチングトランジスタ	
2	同期整流素子	10
3	エラーアンプ	
3A	エラーアンプ	
4	発振回路装置	
5	合算手段	
6	PWMコンパレータ	
7	駆動制御回路	
600	DC/DCコンバータ	
Adder	加算器	
AGND	接地端子	
C41, C42	キャパシタ	20
CLK	クロック信号	
CP1	第1回路点	
CP2	第2回路点	
DFA1	第1差動対トランジスタ	
DFA2	第2差動対トランジスタ	
FB	フィードバック端子	
gm1	第1トランスコンダクタンス	
gm2	第2トランスコンダクタンス	
gm3	トランスコンダクタンス	
gm4	トランスコンダクタンス	30
GN	ゲート信号	
GND	接地電位	
GP	ゲート信号	
I2	電流	
I3	電流	
Ierr	出力電流	
Igm1	出力電流	
Igm2	出力電流	
IN	入力端子	
IN1	第1入力端子	40
IN2	第2入力端子	
ISSET	電流源	
ISW	スイッチング電流	
L	ゲートチャンネル長	
L41	インダクタ	
M1~M15	MOSトランジスタ	
OP1	第1オペアンプ	
OP2	第2オペアンプ	
OUT	出力端子	
OUT1	電流出力端子	50

- P G N D 接地端子
- R 1 ~ R 8 , R 4 1 ~ R 4 3 抵抗
- R E F 基準端子
- R E S E T リセット信号
- S L O P E スロープ信号
- V C C 電源電位
- V e r r 誤差信号
- V F B フィードバック電圧
- V O U T 出力電圧
- V R E F 基準電圧
- V s w スイッチング電圧
- W ゲートチャネル幅

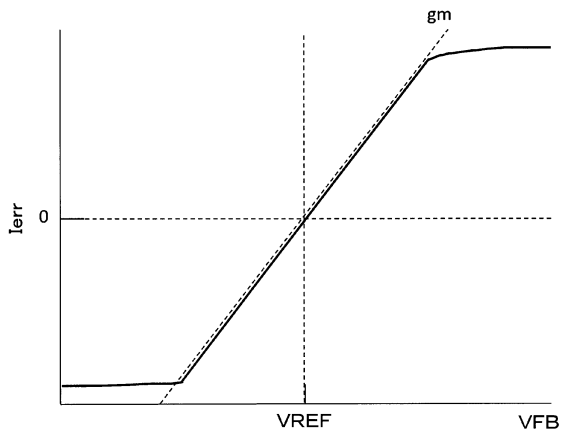
【 図 1 】



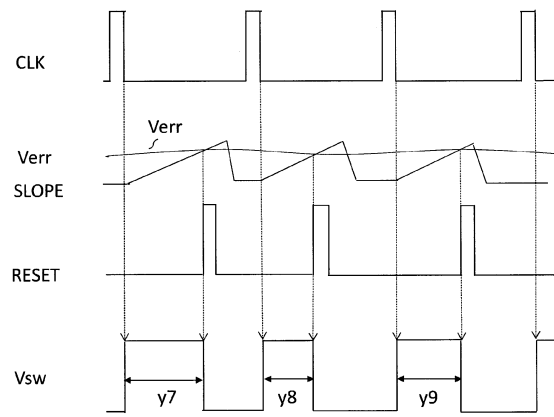
【 図 2 】



【 7 】



【 8 】



フロントページの続き

(56)参考文献 米国特許出願公開第2011/0304392 (US, A1)

特開平11-186874 (JP, A)

特開平10-051246 (JP, A)

特開2007-201879 (JP, A)

特開2017-093159 (JP, A)

特開平08-242130 (JP, A)

特開2016-058919 (JP, A)

特開2008-022468 (JP, A)

国際公開第2017/072911 (WO, A1)

特開2011-072102 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03F 3/45

H02M 3/155