

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4959690号  
(P4959690)

(45) 発行日 平成24年6月27日(2012.6.27)

(24) 登録日 平成24年3月30日(2012.3.30)

(51) Int.Cl.	F I
HO 1 L 21/20 (2006.01)	HO 1 L 21/20
HO 1 L 21/76 (2006.01)	HO 1 L 21/76 L
HO 1 L 21/324 (2006.01)	HO 1 L 21/324 X
HO 1 L 21/762 (2006.01)	HO 1 L 21/76 D
HO 1 L 27/12 (2006.01)	HO 1 L 27/12 F

請求項の数 15 (全 16 頁) 最終頁に続く

(21) 出願番号	特願2008-514682 (P2008-514682)	(73) 特許権者	390009531
(86) (22) 出願日	平成18年5月18日(2006.5.18)		インターナショナル・ビジネス・マシーンズ・コーポレーション
(65) 公表番号	特表2008-543081 (P2008-543081A)		INTERNATIONAL BUSINESS MACHINES CORPORATION
(43) 公表日	平成20年11月27日(2008.11.27)		アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
(86) 国際出願番号	PCT/US2006/019417		
(87) 国際公開番号	W02006/130360		
(87) 国際公開日	平成18年12月7日(2006.12.7)	(74) 代理人	100108501
審査請求日	平成21年2月20日(2009.2.20)		弁理士 上野 剛史
(31) 優先権主張番号	11/142,646	(74) 代理人	100112690
(32) 優先日	平成17年6月1日(2005.6.1)		弁理士 太佐 種一
(33) 優先権主張国	米国 (US)	(74) 代理人	100091568
			弁理士 市位 嘉宏

最終頁に続く

(54) 【発明の名称】 ハイブリッド配向基板のための改善されたアモルファス化／テンプレート再結晶化の方法

## (57) 【特許請求の範囲】

## 【請求項 1】

低欠陥密度のハイブリッド配向基板を形成する方法であって、

第 1 表面配向を有し、第 2 表面配向を有する下層の半導体基板上に配置された、直接半導体接合層を含むハイブリッド配向基板であって、前記直接半導体接合層の選択された領域はアモルファス化され、第 1 温度で再結晶化アニールを受けて、前記第 2 表面配向を有する前記直接半導体接合層の選択された領域をもたらし、ハイブリッド配向基板を準備するステップと、

前記第 2 表面配向を有する前記直接半導体接合層の前記選択された領域を、前記第 1 表面配向を有する前記直接半導体接合層の領域から横方向に分離するための、前記直接半導体接合層の少なくとも厚さと同じ深さまで延びる誘電体分離領域を形成するステップと、

前記第 1 温度より高い第 2 温度で欠陥除去アニールを実行するステップとを含む方法。

## 【請求項 2】

前記第 1 及び第 2 表面配向は、1 0 0、1 1 0、又は 1 1 1 のうちの 1 つを含む、請求項 1 に記載の方法。

## 【請求項 3】

前記ハイブリッド配向基板を準備するステップは、( i ) 下層の半導体基板上に配置された前記直接半導体接合層を含む 2 層テンプレート・スタックを形成するステップと、( i i ) 前記直接半導体接合層の選択された領域を、アモルファス化領域及び初期配向領域

10

20

を有する選択された領域を残すように、前記下層の半導体基板層に至るまでアモルファス化するステップと、( i i i ) 前記第 1 温度で再結晶化アニールを実行して、前記アモルファス化領域を前記下層の半導体基板の配向を有する変更配向半導体の領域に変換するステップとを含む、請求項 1 に記載の方法。

【請求項 4】

前記再結晶化アニールは、500 から 900 までの温度範囲においてアニールするステップを含む、請求項 1 に記載の方法。

【請求項 5】

前記欠陥除去アニールは、1200 から 1350 までの温度範囲においてアニールするステップを含む、請求項 1 に記載の方法。

【請求項 6】

前記誘電体分離領域は、前記欠陥除去アニールの前に処分可能な絶縁体で充填又は部分的に充填され、前記処分可能な絶縁体は前記欠陥除去アニール後に永続的な絶縁体で置き換えられる、請求項 1 に記載の方法。

【請求項 7】

前記第 1 表面配向を有する前記直接半導体接合層、前記第 2 表面配向を有する前記選択された領域及び前記誘電体分離領域の各々は、互いに同一平面にある上部表面を有する、請求項 1 に記載の方法。

【請求項 8】

低欠陥密度のハイブリッド配向の半導体・オン・インシュレータ基板を形成する方法であって、

第 1 表面配向を有する第 1 の下部の単結晶半導体・オン・インシュレータ層と、前記第 1 表面配向とは異なる第 2 表面配向を有する第 2 の上部の単結晶半導体層とを含む、2 層テンプレート・スタックを絶縁基板層上に形成するステップと、

前記 2 層テンプレート・スタックの前記第 1 の下部の単結晶半導体・オン・インシュレータ層を選択された範囲でアモルファス化して局所的なアモルファス化領域を形成するステップと、

第 1 温度で再結晶化アニールを実行して、前記第 1 の下部の単結晶半導体・オン・インシュレータ層の前記アモルファス化領域を前記第 2 の上部の単結晶半導体層の配向を有する変更配向半導体の領域に変換するステップと、

前記スタックの前記第 2 の上部の単結晶半導体層を除去して前記第 1 の下部の単結晶半導体・オン・インシュレータ層を露出させるステップと、

前記第 1 の下部の単結晶半導体・オン・インシュレータ層の初期配向領域と前記変更配向半導体の領域を横方向に分離するための、前記絶縁基板層と接触する誘電体分離領域を形成するステップと、

前記第 1 温度より高い第 2 温度で欠陥除去アニールを実行するステップとを含む方法。

【請求項 9】

前記第 1 及び第 2 表面配向は、100、110、又は 111 のうちの 1 つを含む、請求項 8 に記載の方法。

【請求項 10】

前記第 1 表面配向は 110 であり、前記第 2 表面配向は 100 である、請求項 8 に記載の方法。

【請求項 11】

前記再結晶化アニールは、500 から 900 までの温度範囲においてアニールするステップを含む、請求項 8 に記載の方法。

【請求項 12】

前記欠陥除去アニールは、1200 から 1350 までの温度範囲においてアニールするステップを含む、請求項 8 に記載の方法。

【請求項 13】

前記誘電体分離領域は、前記欠陥除去アニールの前に、処分可能な絶縁体で充填又は部分的に充填され、前記処分可能な絶縁体は前記欠陥除去アニール後に永続的な絶縁体で置き換えられる、請求項 8 に記載の方法。

【請求項 14】

ハイブリッド配向基板を形成する方法であって、

第 1 表面配向を有し、第 2 表面配向を有する下層の半導体基板層上に配置された、直接半導体接合層を備えた出発基板を準備するステップと、

前記直接半導体接合層の選択された領域をレーザ溶融し再結晶化して、前記第 2 表面配向を有する前記直接半導体接合層の選択された領域を作成するステップと、

配向変更にかかるレーザ溶融及び再結晶化に対して前記選択された領域と、前記配向変更にかかるレーザ溶融及び再結晶化に対して選択されない領域との間に前記直接半導体接合層の少なくとも厚さと同じ深さまで延びる絶縁体充填の分離領域を形成するステップと

10

再結晶化後の欠陥除去アニールを実行するステップと

を含む方法。

【請求項 15】

前記絶縁体充填の分離トレンチは、前記レーザ溶融及び再結晶化ステップの後に形成される、請求項 14 に記載の方法。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、例えば、pチャネル電界効果トランジスタ (pFET) と nチャネル電界効果トランジスタ (nFET) に対して異なる半導体表面配向を用いることによってキャリア移動度が高められる、高性能相補型金属酸化膜半導体 (CMOS) 回路のような結晶基板構造体に関する。より具体的には、本発明は、異なる表面結晶配向をもつ半導体を含む平面的なハイブリッド配向基板構造体を製作するための改善されたアモルファス化 / テンプレート再結晶化技術に関する。

【背景技術】

【0002】

半導体デバイス技術は、相補型金属酸化膜半導体 (CMOS) 回路における nチャネル MOSFET (nFET) 及び pチャネル MOSFET (pFET) の性能を改善するために、ますます特殊半導体基板に依存しつつある。例えば、キャリア移動度のシリコン配向への強い依存性が、ハイブリッド配向 Si 基板への関心を高めてきたが、その基板においては、非特許文献 1、及び「ハイブリッド結晶配向基板上の高性能 CMOS SOI デバイス」と題する 2003 年 6 月 17 日出願の特許文献 1 に記載されているように、nFET が (100) 配向 Si (電子移動度がより高い配向) 内に形成され、pFET が (110) 配向 Si (ホール移動度がより高い配向) 内に形成される。

30

【0003】

ハイブリッド配向基板を製作するためのアモルファス化 / テンプレート再結晶化 (ATR) の方法は、例えば「積層されたテンプレート層の局所的なアモルファス化及び再結晶化により形成される選択された半導体結晶配向を有する平面型基板」と題する 2003 年 12 月 2 日出願の特許文献 2 に開示されているように、典型的には、第 1 配向を有し、第 1 配向とは異なる第 2 配向を有する第 2 半導体層に直接接合された、第 1 半導体層から開始する。第 1 半導体層の選択された領域は、イオン注入によってアモルファス化され、次に第 2 半導体層を結晶テンプレートとして用いて、第 2 半導体層の配向状態に再結晶化される。

40

【0004】

図 1 (A) - 図 1 (D) は、バルクのハイブリッド配向 Si 基板を形成するための、特許文献 2 の ATR 法の「上部アモルファス化 / 底部テンプレート」のバージョンを示す。

ATR のこのバージョンでは、アモルファス化される第 1 半導体層が上部にあり、テンプレ

50

レートとして機能する第2半導体層は底部にある。特に、図1(A)は、第1結晶配向を有する上部シリコン層20、第1結晶配向とは異なる第2結晶配向を有する底部シリコン層又は基板30、及び、それらの間の接合界面40を備えた出発基板10を示す。図1(B)は、誘電体充填の浅いトレンチ分離(STI)領域50が形成された後の図1(A)の基板(ここでは10'で示す)を示す。次に、上部Si層20の選択された領域が、図1(C)に示されるように、アモルファス化イオン注入60を受けて、1つ又は複数のアモルファス化領域70を生成する。アモルファス化イオン注入60は、典型的には、Si又はGeイオンを用いて実行される。アモルファス化領域70は上部Si層20の厚さ全体に及び、下部Si層30の内部にまで延びる。次にアモルファス化領域70は、下部Si層30をテンプレートとして用いて第2結晶配向状態に再結晶化され、再結晶化された変更配向Si領域90をもつ(理想的な)平面型ハイブリッド配向基板80が生成される。この実施例においては、Si領域30及び90の配向は(100)配向を有することができ、一方、Si領域20は(110)配向を有することができる。

#### 【0005】

図1(D)に示す理想的な結果とは対照的に、図1(C)の構造体のアモルファス化Si領域70の再結晶化は、典型的には、領域端欠陥97及びコーナー欠陥99をもつ図2(A)の構造体を生じることになる。領域端欠陥は良く研究されていて、例えば、非特許文献2に報告されており、そしてコーナー欠陥は、非特許文献3に以前に記載されている。特許文献3に記載されているように、ATR後に残る領域端欠陥97は、図2(B)に示すように、再結晶化プロセスの一部として高温(約1300)アニールを含めることにより除去することができる。しかしながら、この高温アニールはコーナー欠陥99を除去するのに効果的であるとは予想されない。さらに強いアニール(例えば、1300より高い温度で2、3時間以上の)は限られた程度には役立つ可能性があるが、それはSTI充填に含まれる酸化物層の反応及び分解の懸念があるために好ましい選択ではない。

#### 【0006】

図3(A) - 図3(E)は、ATR領域90を含む可能性のあるFETデバイスに関するコーナー欠陥99の幾何学的形状を示す。特に、図3(A) - 図3(B)は、ゲート及びゲート誘電体を含むFET112をもつ(図3(B))及びもたない(図3(A))ATR領域90の平面図を示す。参照番号50は誘電体充填トレンチ領域を示す。図3(C) - 図3(E)は、それぞれ、図3(B)の線C - C1、線D - D1、及び線E - E1を通る断面図を示す。コーナー欠陥99は、円で囲んだ領域118において特に問題であり、そこでそれらはFET112のゲート及びゲート誘電体の真下にあり、有害な漏電の一因となる可能性がある。

#### 【0007】

コーナー欠陥99を修復する方法を考案できるとしても、どれもあまり実際的ではないように思われる。例えば、初めのアモルファス化より浅い深さまでATR領域を再アモルファス化して、次に、再結晶化することが可能である。これはまだコーナー欠陥を残すであろうが、上述のBurbure及びJonesによる非特許文献3に論じられているように、コーナー欠陥の大きさはアモルファス化の深さに比例するので、それらはより小さくなるであろう。代替的に、コーナー欠陥領域を除去して、それらを絶縁体又はエピタキシャル成長Siで置き替えることができる。しかしながら、これを実行するステップはかなり複雑である。それゆえに、明らかに、好ましいアプローチはまず第1にコーナー欠陥の形成を防止することである。

#### 【0008】

コーナー欠陥の形成は、図4(A) - 図4(E)のATR先行STIのプロセス・フローにより防止することができる。特に、図4(A)は図1(A)に示すような出発基板10を示す。図4(B)は、アモルファス化イオン注入60を受けて、1つ又は複数のアモルファス化領域120及び非アモルファス領域20'を生成した図4(A)の基板10を示す。アモルファス化領域120は上部Si層20の厚さ全体に及び、下部Si層30内部にまで延びる。次に、アモルファス化領域120は、下部Si層30をテンプレートと

10

20

30

40

50

して用いて再結晶化され、変更配向 Si 領域 130 を形成するが、この領域は図 4 (C) に示すように、下は領域端欠陥 97 に接し、横方向は潜在的な欠陥縁部領域 140 に接する。次に、領域端欠陥 97 は、図 4 (D) に示すように、高温欠陥除去アニールによって除去され、アニールされた縁部領域 140' が残る。次に、アニールされた縁部領域 140' は、図 4 (E) に示すように、STI 領域 150 によって置き換えられる。

#### 【0009】

本願の出願人によって提供された図 5 (A) - 図 5 (D) は、100 配向 Si ハンドル・ウェハ上の 200 nm 厚の 110 配向 Si DSB (直接にシリコン接合された) 層の場合に関する、図 4 (C) の 140 に対応する境界領域の断面 SEM 画像を示す。全ての試料は初めに Cr でコートし、劈開し、次に、短時間のセコ・エッチングを施して界面及び欠陥を強調した。セコ・エッチング液は、HF、 $K_2CrO_7$ 、及び  $H_2O$  の混合物を含む。図 5 (A) は、10 の基板温度において  $4E15/cm^2$  の 220 KeV Ge によりパターン付けされたアモルファス化の後の、再結晶化アニリングより前の、試料を示す。アモルファス化領域 155 は、下で 100 配向基板 157 に隣接し、横方向で非アモルファス化 110 配向 DSB 領域 159 に隣接する。接合界面 161 は、Si 基板 157 と DSB 領域 159 の間にある。非アモルファス化 DSB 領域は、約 10  $\mu m$  の中央部に 5  $\mu m$  平方 (100 配向基板の 110 方向に整合された) を含む。図 5 (B) - 図 5 (C) は、1 つが DSB 層の 100 方向に沿い、他方はそれに垂直な、100 配向基板の 110 方向と一致する 2 つの垂直な劈開に沿った 900 / 1 分の瞬時熱再結晶化アニールの後の図 5 (A) の試料を示す。領域 163 は、基板の 100 配向に再結晶化され、角度の付いた界面 165 及び / 又は 167 によって 110 配向領域から分離される。

#### 【0010】

図 5 (B) - 図 5 (C) の画像は、特許文献 2 に教示されている配向変更 ATR 法が、特徴的に角度の付いた境界領域によって横方向に分離された異なる配向の Si 領域を含む構造体を提供できることを明らかにする。これらの境界領域の形態及び欠陥性は、種々の成長最前面の動力学、及び、再結晶化においてテンプレートにされる結晶面の初期配向に依存し、例えば、欠陥領域 171 は図 5 (B) の画像には存在するが、図 5 (C) の画像には存在しない。これらの特徴的に角度の付いた境界領域が従来技術では予想されない又は説明されない使用法を有する可能性を考慮すれば、それゆえに、特許文献 2 により教示されるハイブリッド配向 ATR 法は、原の発明方法の範囲から離れることなく、これらの特徴的に独特の境界をもつ Si 領域を生成するために使用することができるものと主張される。

#### 【0011】

コーナー欠陥の問題を解決する一方で、図 4 (A) - 図 4 (E) の ATR 先行 STI の方法は、残念なことに別の問題を生じる。即ち、再結晶化及び高温欠陥除去アニールが STI 形成の前に実行される場合には、非 ATR の Si 領域 (又はアイランド) 20' は、下層の基板の配向に変換することにより「消失する」可能性がある。図 5 (D) は、この消失 / 変換プロセスの初期段階 (即ち、1250 までの緩やかな炉の上昇の後) における図 5 (C) のうちの 1 つに類似した断面を示す。画像は、(少なくとも 100 配向基板に埋め込まれた 110 配向アイランドの場合に関して) 非 ATR 領域の消失は、縁部領域の横方向の移動によってではなく、緩やかな底部コーナーの丸み付き又は腐食によって進行することを示唆する。興味深いことには、100 配向 Si 基板に埋め込まれた非 ATR の 110 配向 Si アイランドの安定性は、図 4 の 20' のような 110 配向アイランドの縁部が変更配向 Si 領域 130 に隣接する場合にのみ問題となるように思われるが、その理由は、酸化物充填トレンチが隣接する 110 配向アイランド 20' が、その初期配向を損なわれずに高温欠陥除去アニールに耐えるからである。

#### 【0012】

【特許文献 1】米国特許出願第 10 / 250, 241 号

【特許文献 2】米国特許出願第 10 / 725, 850 号

【特許文献 3】米国特許出願第 11 / 031, 142 号

10

20

30

40

50

【非特許文献1】M. Young 他、「異なる結晶配向を有するハイブリッド基板上に作成された高性能CMOS」、IEDM 2003 Paper 18.7

【非特許文献2】J. P. de Souza 及び D. K. Sadana、「半導体ハンドブック：材料、性質及び調製」中、S. Mahajan 編 (North Holland, 1944)、第3巻、p. 2033

【非特許文献3】N. Burbure 及び K. S. Jones、「イオン注入シリコン内での欠陥の生成及び発生に対する酸化物トレンチの影響」、Mat. Res. Soc. Symp. Proc. 810 C4.19 (2004)

【発明の開示】

【発明が解決しようとする課題】

10

【0013】

特許文献2のATR法の別の問題は、配向変更に関して選択された領域から初期の配向情報を除去する手段として、イオン注入アモルファス化に依存していることである。これらの選択された領域におけるこのような結晶から非結晶への変換を達成するための代替の方法はまた、非常に望ましいことになる。

【課題を解決するための手段】

【0014】

本発明は、(i) ATR領域におけるコーナー欠陥、及び、(ii) 非ATR領域の望ましくない配向変更の問題を防止する、低欠陥密度のハイブリッド配向基板を形成するためのATRの方法を提供する。

20

【0015】

特に、本発明のATR法は、初めに、特許文献2に説明される従来技術の処理ステップによりハイブリッド配向基板を製作するステップを含む。この'850出願に開示される1つの実施形態において、ハイブリッド配向基板は、(i) 第1表面配向（例えば110配向）を有し、第2表面配向（例えば100配向）を有する下層のSi基板の上に配置された、Siの直接シリコン接合(DSB)層を含む2層テンプレート・スタックを形成するステップと、(ii) アモルファス化領域及び初期配向領域を有するDSB層を残すように、DSB層の選択された領域を下層のSi基板層にいたるまでアモルファス化するステップと、(iii) 第1温度又はそれ以下の温度で再結晶化アニールを実行してDSB層のアモルファス化領域を下層のSi基板の配向を有する変更配向Si領域に変換させるステップとによって形成される。次に、絶縁体充填の浅いトレンチ分離(STI)領域が、DSB層の初期配向領域と変更配向領域を横方向に分離するために形成される。本発明によれば、分離領域は、少なくともDSB層の厚さと同じ深さまで延びる。絶縁体充填STI領域の形成後、従来技術の特許文献3に従い、所定位置にSTI領域を加えて、欠陥除去アニールを第1温度より高い第2温度又はそれ以下の温度で実行する。

30

【0016】

より一般的には、本発明の方法は、

第1表面配向を有し、第2表面配向を有する下層の半導体基板の上に配置された、直接半導体接合層を含むハイブリッド配向基板であって、直接半導体接合層の選択された領域はアモルファス化され、第1温度又はそれ以下の温度で再結晶化アニールを受けて第2表面配向を有する直接半導体接合層の選択された領域をもたらず、ハイブリッド配向基板を準備するステップと、

40

第2表面配向を有する直接半導体接合層の選択された領域を、第1表面配向を有する直接半導体接合層の領域から横方向に分離するために、少なくとも直接半導体接合層の厚さと同じ深さまで延びる誘電体分離領域を形成するステップと、

第1温度より高い第2温度又はそれ以下の温度で欠陥除去アニールを実行するステップとを含む。

【0017】

アモルファス化及び低温再結晶化ステップの後、しかし欠陥除去アニール前にSTI形

50

成を含むこのプロセス・フローは、上述の2つの問題、(i) ATR領域がSTIに接触する場所でのコーナー欠陥と、(ii) 高温欠陥除去アニール中における、非ATR(初期配向)のDSB層領域の基板の配向への変換とを防止する。このプロセス・フローのもう少し複雑な変形においては、STI領域のトレンチが欠陥除去アニールの前に形成され、欠陥除去アニールの後で永続的な誘電体で充填され、それにより、STI充填物は欠陥除去アニールに耐えられるものという要件が削除される。両方のプロセス・フローにおいて、非ATRのDSB領域に隣接するATR領域の境界は、再結晶化アニールの後に欠陥を含む可能性がある。しかしながら、これは、これらの欠陥の縁部領域がかなり局部的であり(典型的には、DSB層の厚さの約半分に過ぎない幅を有する)、通常はSTIによって置き換えられることになるので、問題ではない。

10

#### 【0018】

上で本発明の方法は、バルクSi基板上のSiのDSB層の場合に関して特に説明されたが、それらはまた、他の基板(例えば、バルクSi基板の代わりに、Si・オン・インシュレータ(SOI)又は半導体・オン・インシュレータ基板)により、他の半導体材料(例えば、Ge、SiGe合金のようなSi含有半導体、ドーパントをさらに含むこれらの材料など)を含むDSB及び基板層により、及び/又は、歪み層と無歪み層の任意の組合せにより実施することができる。

#### 【0019】

さらに、(i) STI形成の前にアモルファス化Siを再結晶化することによってSi/STI境界におけるコーナー欠陥を防止すること、(ii) 潜在的な欠陥境界領域Siを除去するために変更配向ATR領域と初期配向の非ATR領域との間の境界に配置される絶縁体充填の分離トレンチを用いること、及び、(iii) 高温欠陥除去アニール中に、変更配向ATR領域と初期配向の非ATR・DSB層領域の再結晶化後の大きさを、これらの領域を相互に横方向に分離するためにSTI又はSTI様構造を使用することによって保存することの重要な構想は、一般的には、本発明の範囲から離れることなく、特許文献2に記載されているハイブリッドATR法の多数の変形に適用することができる。例えば、本発明は、低部アモルファス化及び上部テンプレートを利用するATRスキーム、又は、埋め込み絶縁体層がATR後に作成されるスキームに適用することができる。

20

#### 【0020】

本発明のさらなる態様は、ハイブリッド配向基板の形成におけるイオン注入アモルファス化の代替又は補助としてレーザ誘起溶融の使用法を教示する。例えば、本明細書で及び特許文献2の原の方法において説明されている配向変更ATR処理のために選択される2層テンプレート・スタックの領域には、異なる配向の上部及び下部Si層を分離する接合界面より下の深さまで溶融するレーザ溶融プロセスを施すことができる。次に、結果として生じたレーザ溶融領域が、下部Si層をテンプレートとして用いて溶融状態から再結晶化される。

30

#### 【0021】

より一般的には、ハイブリッド配向基板を形成するための本発明の方法のこの態様は、第1表面配向を有し、第2表面配向を有する下層の半導体基板層上に配置された、直接半導体接合層を含む出発基板を準備するステップと、直接半導体接合層の選択された領域を溶融し再結晶化して第2表面配向を有する直接半導体接合層の選択された領域をもたらすステップとを含む。

40

#### 【0022】

下層の半導体基板層は、例えば、バルク半導体ウェハ又は半導体・オン・インシュレータ層とすることができる。絶縁体充填の分離領域を、配向変更の溶融及び再結晶化のために選択された領域と、配向変更の溶融及び再結晶化のために選択されない領域との間に形成することができる。前述のように、付加的な欠陥除去アニールを再結晶化後に実行することができる。

#### 【発明を実施するための最良の形態】

#### 【0023】

50

本発明は、これから、本出願に添付の図面を参照してより詳細に説明される。添付の図面において、類似の及び対応する要素は類似の参照番号で示される。また、本発明の種々の処理ステップ中の構造体を表す本発明の図面は例示の目的のために提供されるものであり、一定の尺度で描かれてはいないことに注意されたい。

#### 【0024】

初めに図6(A) - 6(E)を参照すると、これらは低欠陥密度のハイブリッド配向基板、即ち、コーナー欠陥が無く、残留する領域端欠陥が低濃度( $< 10^7 / \text{cm}^2$ )であるハイブリッド配向基板を形成するための本発明の方法の好ましい実施形態のステップを示す画像による説明(断面図による)である。図6(A)は、第1結晶配向を有する上部シリコン層220、第1結晶配向とは異なる第2結晶配向を有する下部シリコン層又は基板230、及びそれらの間の接合界面240を備えた出発基板200を示す。図6(B)は、アモルファス化イオン注入60を受けて、1つ又は複数のアモルファス化領域250及び非アモルファス化領域220'を生成した図6(A)の基板200を示す。図6(B)には示さないが、アモルファス化イオン注入60は、典型的には、ブランケット注入であり、領域220'は、典型的には、ある型のフォトレジストによりマスクされる。アモルファス化領域250は、上部Si層220の厚さ全体に及び、下部Si層230内部にまで延びる。次に、アモルファス化領域250は初めの再結晶化アニールによって再結晶化され、下層のSi層230(テンプレートとして機能する)の配向を有する変更配向Si領域260を生成する。ここで、変更配向ATR領域260は、図6(C)に示すように、下方で領域端欠陥270に隣接し、横方向で縁部領域280に隣接する。図6(D)は、誘電体充填の浅いトレンチ分離(STI)領域290などの誘電体分離領域の形成後の図6(C)の構造体を示すが、この領域290の位置及び大きさは、典型的には、欠陥縁部領域280を包含するように設計されることになる。次の高温アニーリング中に、非ATR領域220'における初期配向の望ましくない配向変化を防止するために、分離領域290は界面240の下にまで延びている必要がある。次に、領域端欠陥270は、高温欠陥除去アニールによって除去されて、間にSTI領域290をもつ低欠陥密度の変更配向ATR・Si領域310と非ATR初期配向Si領域220'を有する、図6(E)のハイブリッド配向基板構造体300が作成される。次に、FET及び他の回路素子(図示せず)などのデバイスが、当該技術分野で周知の技術を用いて基板300上に製作されることになる。

#### 【0025】

図6(A)の構造体を参照すると、Si層220及び230の配向は、100、110、111、並びに他の主要及び副次的なミラー指数から選択することができる。例えば、本発明の好ましい実施形態において、上部Si層220は110配向を有し、下部Si層230は100配向を有することができる。代替的に、上部Si層220は100配向を有し、下部Si層230は110配向を有することができる。

#### 【0026】

特許文献2及び特許文献3に論じられているように、図6(B)の構造体を図6(C)の構造体に変換するのに用いられる初めの再結晶化アニールは、例えば、約500 から約900 までの温度のような種々の従来技術の再結晶化条件のいずれかにより実行することができる。約1分から約2時間までの時間、不活性環境において約600 から約650 までの範囲の温度でアニールすることが、特に好ましいと考えられる。一般に、アニール温度は再結晶化の適度な速度をもたらすのに十分に高く、しかし再結晶化がテンプレートによること(自発的及びランダムにではなく)を保証するのに十分に低くなければならない。特許文献2及び特許文献3には論じられていない付加的な考察は、再結晶化は非ATR領域220'の完全性を保つのに十分に温和な条件下で実行する必要があるということである。しかしながら、非ATR領域220'は再結晶化アニールに典型的に用いられる範囲内の全温度で安定であることが期待される。さらに、非ATR領域220'のある程度の寸法の変化さえも許容されるが、その理由は、図5(D)に関連して上述したように、非ATR領域220'の消失は縁部領域の横方向の移動によってではなく、緩や



かな底部コーナーの丸み付きによって進行するからである。好適な再結晶化アニールを選択する指針として、検出可能なコーナーの丸み付きは、1050 での2時間のアニールの後、図5(A) - 5(D)の試料において観察可能となることに注意されたい。

#### 【0027】

図6(D)の構造体を図6(E)の基板構造体300に変換するために用いられる高温欠陥除去アニールに対する選択肢は、特許文献3に記載されており、引用により組み入れられる。特に、欠陥除去アニールは典型的には、所定位置の保護キャップ層を用いて、約1200 から約1320 までの範囲の温度で実行されることに注意されたい。しかしながら、高温欠陥除去アニールは、残存する欠陥が後のデバイスの性能及び信頼性に悪影響を及ぼさない場合には、随意に省略するか、あるいは、より低い温度（例えば、約1000 から約1200 までの範囲で）で実行することができることに留意されたい。興味深いことに、領域端損傷が消失し始める温度/時間の条件が、非ATR領域が底部コーナーの丸み付きを示し始める条件とほとんど同じであることが分かった。

#### 【0028】

図7(A) - 図7(F)及び図8(A) - 図8(E)は、図6(A) - 図6(E)の方法の「処分可能なSTI充填」の変形の画像による説明（断面図による）である。特に、図7(A)は、図6(A) - 図6(B)の構造体に関連して説明されたプロセス・ステップにより形成された、図6(C)の構造体を示す。図7(B)は、研磨停止としても機能するハードマスク層320を堆積しパターン付けした後の図7(A)の構造体を示す。ハードマスク層320は、典型的には、薄い（約5nmから約10nmの程度の）SiO<sub>2</sub> 下層及びより厚いシリコン窒化物上層を含むことになる。図7(C)は、キャビティ330を形成するトレンチ・エッチング後の図7(B)の構造体を示す。次に、キャビティ330は、1つ又は複数の処分可能な誘電体で部分的又は完全に充填されて、図7(D)（キャビティ330が誘電体340で部分的に充填される）又は図7(E)（キャビティ330が誘電体340'で完全に充填される）の構造体が形成される。誘電体340は、欠陥除去アニール中に、ハードマスク層320及びトレンチ330の側部の酸化を防止する。誘電体340は、SiO<sub>2</sub>であり、ハードマスク層320に対して選択的に除去可能であることが好ましい。図7(F)は、領域端損傷ループ270を除去する欠陥除去アニール（詳細は図6に関連して上述された）の後の図7(D)の構造体を示す。図8(A)は、処分可能な誘電体340の除去後の図7(F)の構造体を示す。図8(B)は、キャビティ330を充填又は過剰充填するための1つ又は複数の永続的な誘電体350の堆積の後の図8(A)の構造体を示す。次に、誘電体350を平坦化し研磨停止320上で停止して、充填STI領域350'を有する図8(B)の構造体を形成する。最後に、研磨停止層320を除去して図8(D)の構造体を形成し、そしてSTI領域350'を少しエッチ・バックして平坦なSTI領域350''を有する図8(E)の構造体を形成する。

#### 【0029】

図6(A) - 図6(E)、図7(A) - 図7(F)及び図8(A) - 図8(E)のプロセス・フローは、バルクSi基板上のSiのDSB層の場合に関して示されているが、同じプロセス・フローはまた、他の基板（例えば、バルクSi基板の代わりにSi・オン・インシュレータ(SOI)又は半導体・オン・インシュレータ基板）を用いて、DSB及び他の半導体材料（例えば、Ge、SiGe合金のようなSi含有半導体、さらにドーパントを含むこれらの材料など）含む基板層を用いて、及び/又は、歪み層と無歪み層の任意の組合せを用いて、特許文献2に記載のいずれかの構造体を作成するために実施することができる。

#### 【0030】

図9(A) - 図9(B)は、SOI基板上で実行された図6(A) - 図6(E)、図7(A) - 図7(F)及び図8(A) - 図8(E)のプロセス・フローに関する最初及び最終の構造体を示す画像による説明（断面図による）である。図9(A)は、ハンドル・ウェハ510、埋め込み絶縁体層520、第1結晶配向を有するDSB層530、及び、第1配向とは異なる第2配向を有するSOI層540を備えた出発基板500を示し、図9

(B)は、原のDSB及びSOI層530及び540よりも小さな領域530'及び540'、STI領域550、並びに変更配向ATR領域560を備えた最終構造体を示す。

【0031】

上述のように、(i)STI形成前にアモルファス化Siを再結晶化することによりSi/STIの境界におけるコーナー欠陥を防止すること、(ii)潜在的な欠陥境界領域Siを除去するために変更配向ATR領域と初期配向の非ATR領域との間の境界に配置される絶縁体充填の分離トレンチを用いること、及び、(iii)変更配向ATR領域と初期配向の非ATR・DSB層領域の再結晶化後の大きさを、高温欠陥除去アニール中にこれらの領域を互いに横方向に分離するSTI又はSTI様構造を用いることによって保存することという重要な構想は、一般的に、本発明の範囲から離れることなく、特許文献2に記載のハイブリッドATR法の多数の種々の変形に適用することができる。例えば、本発明は、底部アモルファス化及び上部テンプレートを利用するATRスキーム、あるいは、埋め込み絶縁体層がATR後に作成されるスキームに適用することができる。

【0032】

特に、低欠陥密度のハイブリッド配向半導体・オン・インシュレータ基板は、絶縁基板層上に、第1配向を有する第1の下部の単結晶半導体・オン・インシュレータ層、及び第1とは異なる第2配向を有する第2の上部の単結晶半導体層を備えた2層テンプレート層スタックを形成するステップと、2層テンプレート・スタックの下部の半導体層を選択された範囲でアモルファス化して局所的なアモルファス化領域を形成するステップと、第1温度又はそれ以下の温度における再結晶化アニールを実行して、下部半導体層のアモルファス化領域を上部半導体層の配向を有する変更配向Si領域に変換するステップと、スタックの上部半導体層を除去して下部半導体層を露出させるステップと、下部半導体の初期配向領域と変更配向領域を横方向に分離し、絶縁基板層に接触する、絶縁体充填の浅いトレンチ分離(STI)領域を形成するステップと、第1温度より高い第2温度又はそれ以下の温度で欠陥除去アニールを実行するステップとを含む、底部アモルファス化/上部テンプレートのスキームを利用することによって達成することができる。

【0033】

このプロセス・フローのステップは図10(A) - 図10(F)の画像による説明(断面図による)において示される。特に、図10(A)は、第1結晶配向を有する上部シリコン層610と、第1配向とは異なる第2結晶配向を有する下部シリコン層620と、それらの間の接合界面630を備えた出発基板600を示す。下部シリコン層620は基板650の埋め込み絶縁体層640の上に配置される。図10(B)は、アモルファス化イオン注入660を施して、1つ又は複数の、表面下のアモルファス化領域670及び非アモルファス化領域660'を作成した図10(A)の基板を示す。図6(B)には示されないが、アモルファス化イオン注入660は、典型的にはブランケット注入であり、領域660'は典型的には、ある型のフォトリソによってマスクされることになる。アモルファス化領域670は、下部Si層620の厚さ全体に及び、上部Si層610内部にまで延びる。次に、アモルファス化領域670は、第1温度又はそれ以下の温度における再結晶化アニールにより再結晶化され、上層のSi層610(テンプレートとして機能する)の配向を有する変更配向ATRのSi領域680を生成する。図10(C)に示すように、ここでATR領域680は、上方で「領域開始端」欠陥690に隣接し、横方向で欠陥縁部領域700に隣接する。図10(D)は、熱酸化/ウェット・エッチング又は化学機械研磨のようなプロセスによる上部Si層610の除去後の図10(C)の構造体を示す。図10(E)は、典型的には欠陥縁部領域700を包含する誘電体充填の浅いトレンチ分離(STI)領域720などの誘電体分離領域の形成後の図10(D)の構造体を示す。

【0034】

次に、領域開始端欠陥690が高温欠陥除去アニールにより除去され、同一平面の、第1結晶配向を有する低欠陥密度の変更配向ATRのSi領域760と、第2(初期)結晶配向を有する非ATRのSi領域660'と、それらの間のSTI領域720とを有する

10

20

30

40

50

図10(F)のハイブリッド配向基板構造体750が作成される。次に、FET及び他の回路素子(図示せず)のようなデバイスが、当業者に周知の技術を用いて基板750上に製作される。

【0035】

図10(A) - 図10(F)のプロセス・フローに関する再結晶化アニール及び欠陥除去アニールのための条件は、図6(A) - 図6(E)のプロセス・フローに関連して説明されたものに類似しているべきである。図7(A) - 図7(F)及び図8(A) - 図8(E)のプロセス・フローの場合のように、図10(A) - 図10(F)の絶縁体充填トレんチは、欠陥除去アニールの前に処分可能な絶縁体で充填又は部分的に充填することができ、この処分可能な絶縁体は欠陥除去アニール後に永続的な絶縁体で置き替える。

10

【0036】

高温アニーリングは、異なる配向のSi基板に埋め込まれた1つの配向の単結晶Siアイランド領域に対して、基板の配向をもつアイランドを残す配向変更を引き起こすことができるという観察は、本発明のための主要な動機づけ、及び防止すべき問題の両方として前述の背景技術の節で紹介した。しかしながら、この影響をもたらす同じアニール条件は、サイズ、形状及び/又はこのようなアイランドの数を変更するために好都合に及び意識的に、場合により用いることができることに注意されたい。例えば、図5(D)に示されるように、ある温度の範囲におけるアニールは、アイランドの底部コーナーの丸み付けをもたらすことができ、あるいは、それらを完全に消失させることができる。

【0037】

20

代替的に、選択されたアイランドを、残りの(保護されていない)アイランドを消失させるのに十分な時間/温度条件でアニールする前に、保護用の(充填された又は空の)トレんチでそれらを横方向に囲むことによって保護することができる。

【0038】

本発明のさらなる態様は、イオン注入アモルファス化の代替又は補助としてレーザ誘起溶融の使用法を教示する。例えば、本明細書及び特許文献2の原の方法において説明されている、配向変更ATR処理のために選択された2層テンプレート・スタックの領域に、異なる配向を有する上部及び下部Si層を分離する接合界面より下の深さまで溶融するレーザ溶融法を施すことができる。次に、結果として生じるレーザ溶融領域は、下部Si層をテンプレートとして用いて、溶融状態から再結晶化される。

30

【0039】

レーザ溶融を用いる主要な問題は、溶融の深さが、(i)配向変更を受ける領域内では接合界面を越えて延び(下部Si層からのテンプレートを保証するため)、及び、(ii)配向変更を受けない領域内では、上部Si層内部に止まる(上部Si層からのテンプレートを保証して初期配向に戻すため)という要件である。これらの要件は、深い溶融(及びレーザ・フルエンスの最大吸収)が望ましいSi領域の上に反射防止(AR)コーティング層、及び、浅い溶融又は溶融しないことが望ましいSi領域の上には無コーティング又は高反射性層を用いて、ブランケット・レーザ照射を使用することによって最も容易に満たされる。横方向のテンプレートを最小にするためには、レーザ照射をSTIが所定の位置に置かれた後に実行することができる。溶融深さの制御及び選択性はまた、レーザ溶融すべき領域をイオン注入を用いてアモルファス化することにより改善することができるが、その理由はアモルファスSiが結晶Siより数百 低い融点を有し、従って、結晶Siを溶融させる閾値よりも低いフルエンスにおいて溶融させることができるためである。

40

【0040】

本発明は、その好ましい実施形態に関して特に示され説明されたが、本発明の趣旨及び範囲から離れることなく、形態及び詳細における前述及び他の変更を施すことができることが当業者により理解されるであろう。それゆえに、本発明は、説明され例証された通りの形態及び詳細には限定されず、添付の特許請求の範囲内に含まれることが意図されている。

50

## 【図面の簡単な説明】

## 【0041】

【図1】図1(A) - 図1(D)は、ハイブリッド配向Si基板を形成するための理想的な上部アモルファス化/下部テンプレートのSTI先行ATRの従来技術のプロセスを示す画像による説明(断面図による)である。

【図2】図2(A) - 図2(B)は、図1の従来技術のSTI先行ATRのプロセスの後に残る欠陥の型及び位置を示す画像による説明(断面図による)である。

【図3】図3(A) - 図3(E)は平面図(A及びB)及び断面図(C - E)による変更配向ATR領域を含むFETデバイスに関するコーナー欠陥の幾何学的形状を示す。

【図4】図4(A) - 図4(E)は、ハイブリッド配向Si基板を形成するための理想的な上部アモルファス化/底部テンプレートのATR先行STIの従来技術のプロセスを示す画像による説明(断面図による)である。

【図5】図5(A) - 図5(D)は、初めに100配向Siハンドル・ウェハ上に110配向SiDSB層を含んだハイブリッド配向基板に関する、ATR領域と非ATR領域の間の境界領域の断面の、アモルファス化後で再結晶化前(A)、900の再結晶化アニール後(B及びC)、及び1250のアニール後(D)、のSEM画像を示す

【図6】図6(A) - 図6(E)は、低欠陥密度のハイブリッド配向基板を形成するための本発明の方法の好ましい実施形態のステップを示す画像による説明(断面図による)である。

【図7】図7(A) - 図7(F)は、図6(A) - 図6(E)に示される方法の「処分可能なSTI充填」の変形を示す画像による説明(断面図による)である。

【図8】図8(A) - 図8(E)は、図6(A) - 図6(E)に示される方法の「処分可能なSTI充填」の変形を示す画像による説明(断面図による)である。

【図9】図9(A) - 図9(B)は、図6(A) - 図6(E)、図7(A) - 図7(F)、及び図8(G) - 図8(K)の方法のSOIバージョンに関する最初及び最終の構造体を示す画像による説明(断面図による)である。

【図10】図10(A) - 図10(F)は、アモルファス化/上部テンプレートの場合に関する本発明の方法を示す画像による説明(断面図による)である。

## 【符号の説明】

## 【0042】

10、200、500、600：出発基板

10'：基板

20、220、610：上部シリコン層

20'、220'、660'：非アモルファス化領域

30、230、620：下部シリコン層(基板)

40、240：界面

50、150、290：浅いトレンチ分離(STI)領域

60、660：アモルファス化イオン注入

70、120、250、670：アモルファス化領域

80、300、750：ハイブリッド配向基板

90、130、260：変更配向Si領域

97、270：領域端欠陥

99：コーナー欠陥

112：FET

118：円で囲まれた領域

140：潜在的欠陥縁部領域

140'：アニールされた縁部領域

155：アモルファス化領域

157：100配向基板

159：非アモルファス化110配向DSB領域

10

20

30

40

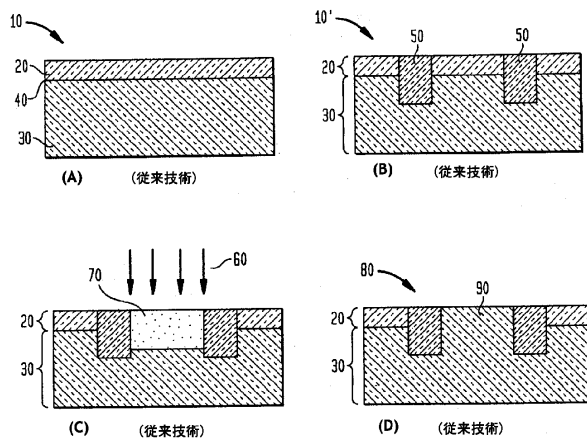
50

1 6 1、6 3 0 : 接合界面  
 1 6 3 : 領域  
 1 6 5、1 6 7 : 界面  
 1 7 1 : 欠陥領域  
 2 8 0 : 縁部領域  
 3 1 0、7 6 0 : 低欠陥変更配向 A T R S i 領域  
 3 2 0 : ハードマスク層  
 3 3 0 : キャビティ  
 3 4 0 : 誘電体  
 3 5 0 : 永続的な誘電体  
 3 5 0' : 充填 S T I 領域  
 3 5 0'' : 平坦化 S T I 領域  
 5 1 0 : ハンドル・ウェハ  
 5 2 0、6 4 0 : 埋め込み絶縁体層  
 5 3 0 : D S B 層  
 5 4 0 : S O I 層  
 5 5 0 : S T I 領域  
 5 6 0 : 変更配向 A T R 領域  
 6 5 0 : 基板  
 6 9 0 : 領域開始端部欠陥  
 7 0 0 : 欠陥縁部領域

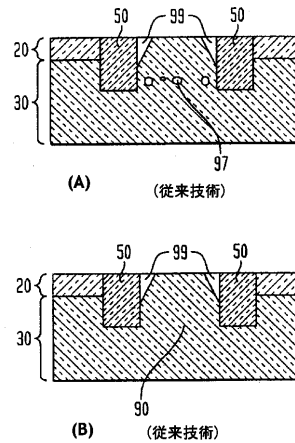
10

20

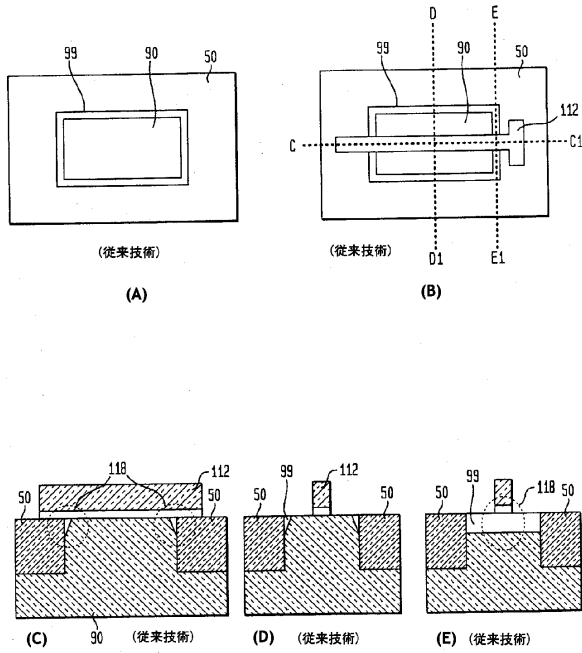
【図 1】



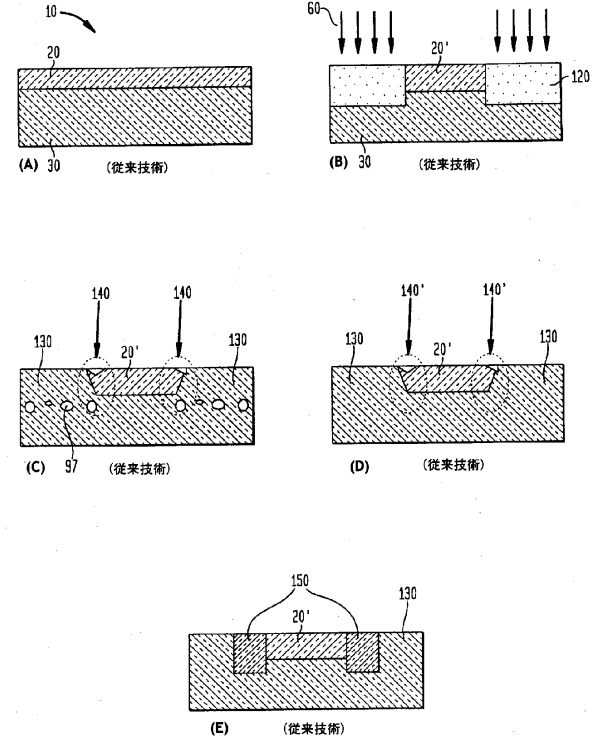
【図 2】



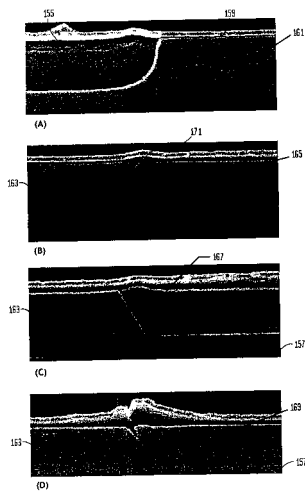
【図 3】



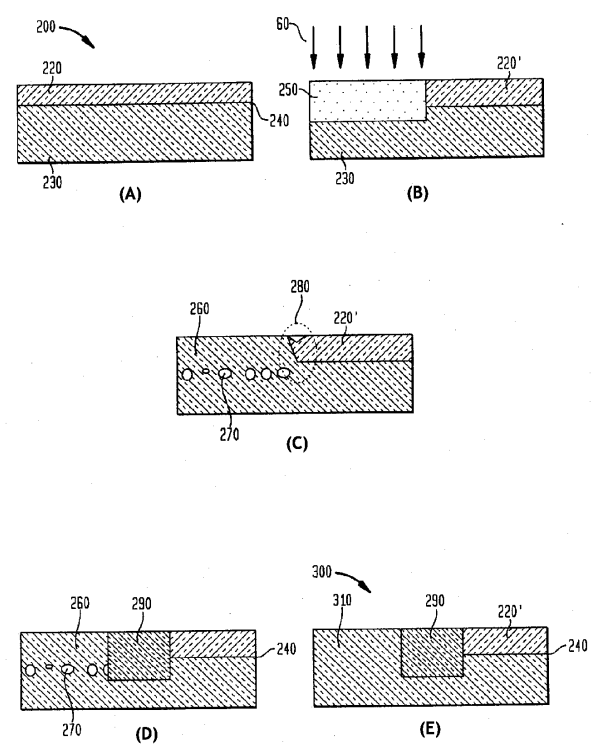
【図 4】



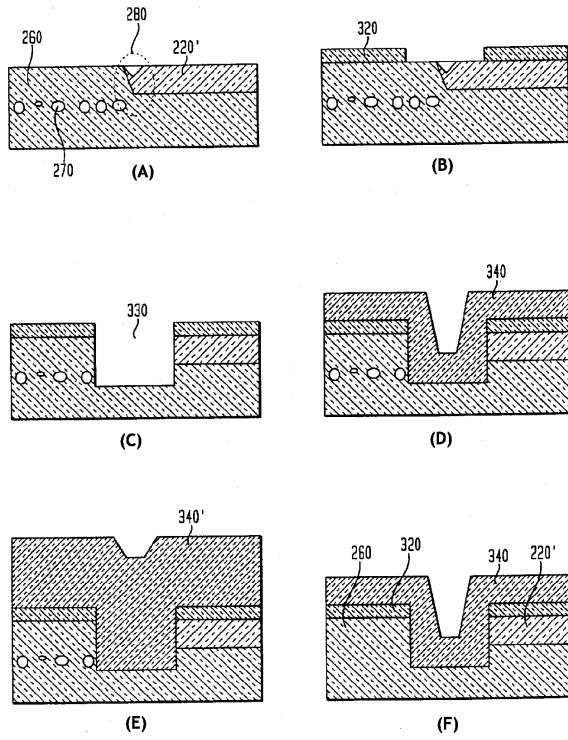
【図 5】



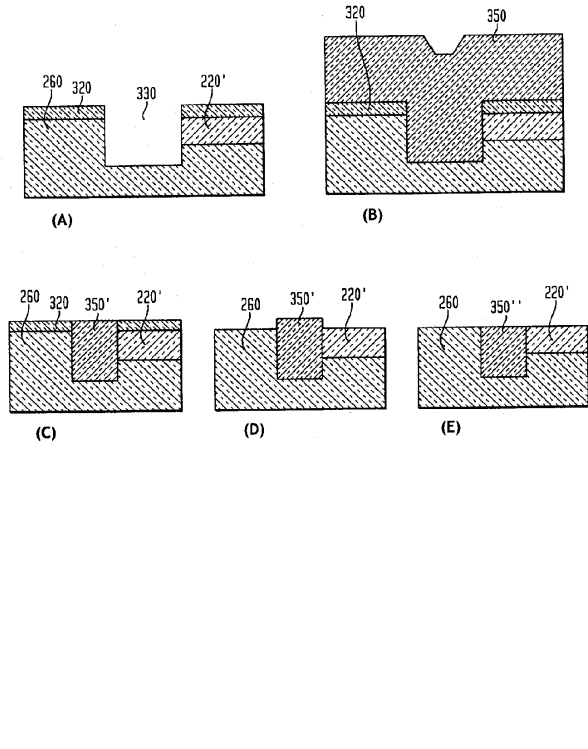
【図 6】



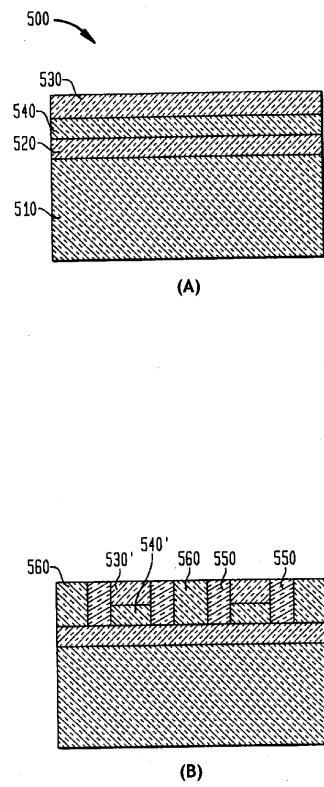
【図 7】



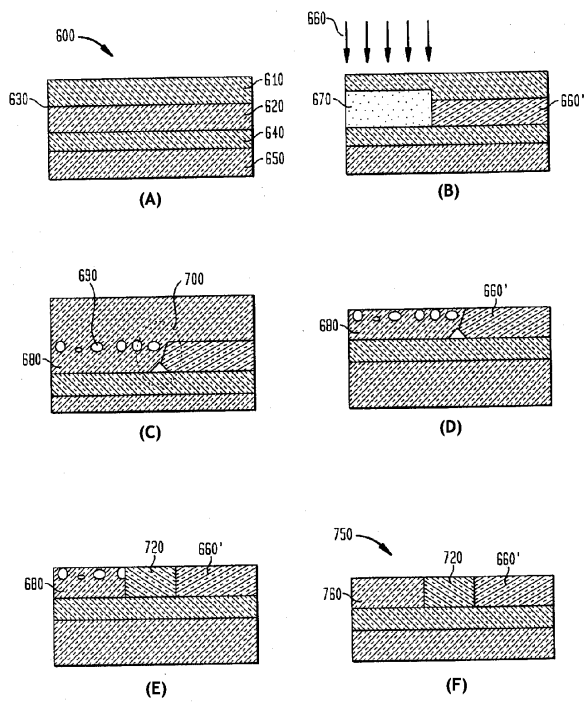
【図 8】



【図 9】



【図 10】



## フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 21/02 (2006.01) H 0 1 L 27/12 R  
H 0 1 L 21/02 B

(74)代理人 100086243

弁理士 坂口 博

(72)発明者 フォーゲル、キース、イー

アメリカ合衆国 1 2 5 3 3 ニューヨーク州 ホーブウェル・ジャンクション デュー・ドロップ・レーン 7

(72)発明者 ゼンガー、キャサリン、エル

アメリカ合衆国 1 0 5 6 2 ニューヨーク州 オッシニング アンダーヒル・ロード 1 1 5

(72)発明者 ソン、クンユン

アメリカ合衆国 1 2 6 0 3 ニューヨーク州 ポキプシー ボリノ・ドライブ 1 1

(72)発明者 イン、ハイチョウ

アメリカ合衆国 1 2 5 0 8 ニューヨーク州 ビーコン ウッズ・ロード サウス・ロッキー  
8 エー

審査官 太田 一平

(56)参考文献 特開昭 6 3 - 3 1 1 7 1 8 ( J P , A )

特開昭 6 0 - 1 5 4 5 4 8 ( J P , A )

特開平 0 1 - 1 6 2 3 6 2 ( J P , A )

特開平 0 4 - 1 8 8 6 1 2 ( J P , A )

特開平 0 2 - 1 7 0 5 7 7 ( J P , A )

特開 2 0 0 3 - 0 9 2 3 9 9 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/20

H01L 21/02

H01L 21/324

H01L 21/76

H01L 21/762

H01L 27/12

H01L 21/265