

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5319084号
(P5319084)

(45) 発行日 平成25年10月16日 (2013.10.16)

(24) 登録日 平成25年7月19日 (2013.7.19)

(51) Int.Cl.

F I

H O 1 L 21/8232 (2006.01)

H O 1 L 27/06

F

H O 1 L 27/06 (2006.01)

H O 1 L 29/80

E

H O 1 L 27/095 (2006.01)

H O 1 L 29/80

H

H O 1 L 21/338 (2006.01)

H O 1 L 29/91

C

H O 1 L 29/778 (2006.01)

請求項の数 9 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2007-160882 (P2007-160882)

(22) 出願日 平成19年6月19日 (2007.6.19)

(65) 公開番号 特開2009-4398 (P2009-4398A)

(43) 公開日 平成21年1月8日 (2009.1.8)

審査請求日 平成22年2月9日 (2010.2.9)

(73) 特許権者 302062931

ルネサスエレクトロニクス株式会社

神奈川県川崎市中原区下沼部 1 7 5 3 番地

(74) 代理人 100080001

弁理士 筒井 大和

(72) 発明者 白石 正樹

茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所 日立研究所内

審査官 棚田 一也

(56) 参考文献 特開 2 0 0 7 - 2 6 6 4 7 5 (J P , A
)

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

同一の半導体チップ内に高電子移動度トランジスタとダイオードとを有し、
前記半導体チップは、
厚さ方向に沿って互いに反対側に位置する第 1 主面および第 2 主面を有する半導体基板と、
前記半導体基板上に形成された化合物半導体層とを有しており、
前記高電子移動度トランジスタは、
前記化合物半導体層と、前記化合物半導体層の主面上に形成されたドレイン電極、ゲート電極およびソース電極とを有しており、
前記ダイオードは、
前記半導体基板に形成されたカソード領域と、
前記カソード領域に接するように前記半導体基板の前記第 1 主面側に形成されたアノード領域と、
前記化合物半導体層の主面上に形成されたアノード電極とを有しており、
前記アノード電極は、前記化合物半導体層の主面から前記半導体基板の前記第 1 主面の前記アノード領域に達する孔に埋め込まれた導電体を通じて前記アノード領域に電氣的に接続されており、
前記高電子移動度トランジスタの前記ソース電極と、前記ダイオードの前記アノード領域とは電氣的に接続されており、

10

20

前記高電子移動度トランジスタの前記ソース電極と、前記ダイオードの前記アノード領域とは前記アノード電極を構成する前記導電体によって電氣的に接続されており、

前記化合物半導体層の主面上には、前記ドレイン電極、前記ゲート電極および前記ソース電極が所定の間隔を持って順に配置され、

前記アノード電極は、前記化合物半導体層の主面上方において、前記ソース電極側から前記ゲート電極と前記ドレイン電極との間まで前記化合物半導体層の主面に沿って延在するように配置されていることを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、

前記ダイオードのカソード電極は、前記高電子移動度トランジスタの前記ドレイン電極と、前記半導体チップ内で電氣的に接続されていることを特徴とする半導体装置。

10

【請求項 3】

請求項 2 に記載の半導体装置において、

前記半導体基板は、

前記第 2 主面から順に積層される第 1 導電型の第 1 半導体層、および第 2 半導体層とを備え、

前記第 1 半導体層は、第 1 不純物濃度であり、

前記第 2 半導体層は、前記第 1 不純物濃度よりも低い第 2 不純物濃度であり、

前記ダイオードの前記カソード電極は、前記化合物半導体層の主面から前記半導体基板の前記第 1 半導体層に達する孔に埋め込まれた前記導電体を通じて前記ドレイン電極に電氣的に接続されていることを特徴とする半導体装置。

20

【請求項 4】

請求項 2 に記載の半導体装置において、

前記半導体基板は、

前記第 2 主面から順に積層される第 1 導電型の第 1 半導体層、および第 2 半導体層とを備え、

前記第 1 半導体層は、第 1 不純物濃度であり、

前記第 2 半導体層は、前記第 1 不純物濃度よりも低い第 2 不純物濃度であり、

前記第 2 半導体層には、前記第 1 主面から前記第 1 半導体層との接触面まで達するように延在する第 3 半導体領域を備え、

30

前記ダイオードの前記カソード電極は、前記化合物半導体層の主面から前記半導体基板の前記第 3 半導体領域に達する孔に埋め込まれた前記導電体を通じて前記ドレイン電極に電氣的に接続されていることを特徴とする半導体装置。

【請求項 5】

請求項 1 に記載の半導体装置において、

前記半導体基板は、

前記第 2 主面から順に積層される第 1 導電型の第 1 半導体層、および第 2 半導体層とを備え、

前記第 1 半導体層は、第 1 不純物濃度であり、

前記第 2 半導体層は、前記第 1 不純物濃度よりも低い第 2 不純物濃度であり、

前記ダイオードは、前記半導体基板の前記第 2 主面にカソード電極を備えていることを特徴とする半導体装置。

40

【請求項 6】

請求項 1 に記載の半導体装置において、

前記半導体基板を構成する半導体材料はシリコンであることを特徴とする半導体装置。

【請求項 7】

請求項 3 に記載の半導体装置において、

前記ダイオードの前記アノード領域は、前記第 1 導電型と反対導電型の半導体領域であることを特徴とする半導体装置。

【請求項 8】

50

請求項 1 に記載の半導体装置において、
前記半導体基板は、
前記第 2 主面から順に積層される第 1 導電型の第 1 半導体層、および第 2 半導体層とを
備え、
前記第 1 半導体層は、第 1 不純物濃度であり、
前記第 2 半導体層は、前記第 1 不純物濃度よりも低い第 2 不純物濃度であり、
前記ダイオードの前記アノード領域は、ショットキーバリア金属であることを特徴とする
半導体装置。

【請求項 9】

請求項 8 に記載の半導体装置において、
前記半導体基板を構成する半導体材料はシリコンカーバイドであることを特徴とする半
導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置技術に関し、特に、電力変換装置に用いられる半導体装置に適用
して有効な技術に関するものである。

【背景技術】

【0002】

電力変換装置はスイッチング素子と呼ばれる素子を ON - OFF 制御して入力電力を所
望の出力電力に変換する装置であり、各種電子機器の電源用途や、モータなどの駆動用電
力を供給する用途など、種々の用途に利用されている。

【0003】

電力変換装置のスイッチング素子は、半導体トランジスタと、ダイオードとが並列接続
されて構成されている。この半導体トランジスタには、例えば、パワー MOSFET (M
e t a l O x i d e S e m i c o n d u c t o r - F i e l d E f f e c t T r
a n s i s t o r) や、IGBT (I n s u l a t e d G a t e B i p o l a r T r
a n s i s t o r) などが用いられる。

【0004】

パワー MOSFET や IGBT を構成する半導体層には一般に単結晶の Si (シリコン
) が用いられるが、近年、Si よりも広いバンドギャップを有する SiC (シリコンカー
バイド) などのワイドバンドギャップ半導体を半導体層に用いる MOSFET もある。

【0005】

また、ワイドバンドギャップ半導体を用いたトランジスタとして、GaN (ガリウムナ
イトライド) などの III - V 族化合物半導体を用いた HEMT (H i g h E l e c t r
o n M o b i l i t y T r a n s i s t o r : 高電子移動度トランジスタ) と呼ばれ
るトランジスタがある。

【0006】

例えば、特開 2006 - 86398 号公報 (特許文献 1) には、導電層上に、バッファ
層と、III-V 族窒化物半導体からなるチャネル層と、III-V 族窒化物半導体からなるショ
ットキー層とが形成され、ショットキー層の上方にそれぞれソース電極、ドレイン電極及
びゲート電極とが形成された HEMT 構造のトランジスタが開示されている。

【特許文献 1】特開 2006 - 86398 号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明者は、半導体装置、特に電力変換装置に用いられる半導体装置について検討を行
い、以下の課題を見出した。

【0008】

電力変換装置は、用途に応じて要求される耐压性能は異なるが、例えば、ハイブリッド

10

20

30

40

50

自動車用のモータを駆動する交流電力供給用の電力変換装置には600V程度の耐压性能が要求される。

【0009】

600V程度の耐压性能を得るため、電力変換装置のスイッチング素子にIGBTのトランジスタを用いる場合、IGBTは同一チップ内に、ダイオードを形成することが出来ないでIGBT素子を備えた半導体チップと、ダイオードを備えた半導体チップを並列接続で実装することとなる。このため、スイッチング素子1個に対して2個の半導体チップが必要となるので電力変換装置のコストが増加する。あるいは、小型化の要求に応えることができないという課題がある。

【0010】

また、IGBTはパワーMOSFETと比較してスイッチング損失が大きい。また、ビルトインポテンシャルが1V程度と高いため、電力変換装置を小電力供給用途に流用した場合、オン電圧が高くなるので電力損失が大きいという課題がある。

【0011】

また、半導体層に単結晶のSiを用いたMOSFETは、同一チップ内にMOSFET素子とダイオードを形成することができるが、例えば200Vを超える高耐压とした場合、オン抵抗が高くなるため電力損失が大きくなる（すなわち、電力変換装置の効率が低下する）という課題がある。

【0012】

トランジスタに、SiCやGaNなどのワイドバンドギャップ半導体を備えたトランジスタを用いた場合、ワイドバンドギャップ半導体は、Siと比較して絶縁破壊強度が高いため、Siの半導体層を備えたトランジスタと比較して、同じ耐压性能であれば、オン抵抗を低減することができる。

【0013】

しかし、SiCのワイドバンドギャップ半導体は、pn接合のビルトインポテンシャルが3V程度と高いため、ワイドバンドギャップ半導体領域にpn接合のダイオードを形成することができない。また、SiCの半導体層を備えるMOSFETの場合、SiCの半導体層にショットキーバリアダイオードを形成する方法はあるが、製造方法が複雑、チップ面積が大きくなるなどの理由から電力変換装置のコストが増加してしまう。

【0014】

このため、ワイドバンドギャップ半導体を備えたトランジスタを用いる場合も、IGBT素子を用いる場合と同様、同一のチップ内にトランジスタとダイオードを内蔵させることはできず、結果として電力変換装置の小型化の要求に対して十分に答えられていないという課題がある。

【0015】

本願に開示された一つの代表的な発明の目的は、電力変換装置のスイッチング素子を小型化することができる技術を提供することにある。

【0016】

また、本願に開示された他の代表的な発明の目的は、電力変換装置の電力変換効率を向上させることができる技術を提供することにある。

【0017】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0018】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0019】

すなわち、本発明は、同一の半導体チップ内に、ダイオードおよび高電子移動度トランジスタを内蔵する半導体装置であって、前記ダイオードが有する半導体基板の第1主面上

10

20

30

40

50

に前記高電子移動度トランジスタが有する化合物半導体層を形成し、前記ダイオードのアノード電極は、前記化合物半導体層の主面から前記半導体基板の第1主面の前記アノード領域に達する孔に埋め込まれた導電体を通じて前記アノード領域に電氣的に接続するように構成するものである。

【発明の効果】

【0020】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0021】

すなわち、電力変換装置のスイッチング素子を小型化することができる。

10

【発明を実施するための最良の形態】

【0022】

本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付すようにし、その繰り返しの説明は原則として省略する。以下、本発明の実施の形態を図面に基づいて詳細に説明する。以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0023】

(実施の形態1)

本実施の形態1では、高電子移動度トランジスタを備えた半導体装置を、電力変換装置のスイッチング素子として適用する実施態様について説明する。

20

【0024】

<電力変換装置の回路構成>

まず、図1を用いて本実施の形態1の電力変換装置の回路構成について説明する。図1は本実施の形態1の電力変換装置の回路図である。

【0025】

図1において、本実施の形態1の電力変換装置100は、例えば、直流電源101から供給される直流電源を3相交流電源に変換して、負荷であるモータ102に供給するDC(Direct Current)-AC(Alternating Current)インバータである。

【0026】

30

また、電力変換装置100の電力変換方式はスイッチング方式であり、スイッチング素子3はトランジスタ1とダイオード2とを有している。トランジスタ1とダイオード2とは並列接続されている。図1ではこのスイッチング素子3が、上下アーム分および3相分で合計6素子配置されている例について示している。

【0027】

なお、電力変換装置100に用いるスイッチング素子3の素子数は6個に限定される訳ではない。電力変換のタイプ(DC-AC、AC-DC、あるいはDC-DCなど)や要求される電源電圧に応じて、適宜選択することが可能である。

【0028】

各スイッチング素子3の入力には、それぞれゲートドライバ4が電氣的に接続されており、各スイッチング素子3は、このゲートドライバ4によって駆動する。

40

【0029】

ここで、図1に示すスイッチング素子3が備えているトランジスタ1は、HEMT(High Electron Mobility Transistor)と呼ばれる高電子移動度トランジスタである。

【0030】

HEMTは、MOSFETやIGBTと比較してオン抵抗が低い。したがって、電力変換装置100の、スイッチング素子3にHEMTを用いることにより、電力変換時の電力損失を低減することができる。このため、電力変換装置100はスイッチング素子にMOSFETやIGBTを用いた電力変換装置と比較して、電力変換効率を向上させることが

50

可能となる。

【0031】

また、H E M Tのチャネル層に用いられる、G a N（ガリウムナイトライド）はS iと比較して絶縁破壊強度が10倍程度高い。このため、スイッチング素子3の耐圧性能を向上させることが可能となる。したがって、電力変換装置100は例えば、ハイブリッド自動車用のモータを駆動する交流電力供給用途など600V程度の耐圧が要求される電力変換装置に適用することができる。

【0032】

<半導体装置の構造>

次に、図2を用いて本実施の形態1の半導体装置の構造について説明する。

10

【0033】

図2は本実施の形態1の半導体装置を構成する半導体チップの要部断面図である。

【0034】

図2において、本実施の形態1の半導体チップ30は半導体基板（第1基板）20と、半導体基板20上に形成される化合物半導体層（第2基板）10とを備えている。また、この半導体基板20にはダイオードが、化合物半導体層10にはトランジスタがそれぞれ形成されている。

【0035】

すなわち、半導体チップ30は図1で示したスイッチング素子3に相当し、スイッチング素子3が備えるトランジスタ1およびダイオード2を一つの半導体チップ30内に内蔵している。

20

【0036】

この半導体チップ30のトランジスタは、ダイオードが形成された半導体基板20の主面（第1主面）20a上に下層から順に積層された、A l N（窒化アルミニウム）からなるバッファ層（第1化合物半導体層）11、アンドープのG a Nからなるチャネル層（第2化合物半導体層）12、A l G a N（窒化アルミニウムガリウム）からなる電子供給層（第3化合物半導体層）13を備えている。

【0037】

すなわち、このトランジスタは、チャネル層12にアンドープのIII-V属化合物半導体であるG a N層を備えた、H E M T素子である。

30

【0038】

また、トランジスタは、化合物半導体層10の主面（第3主面）10a上に、主面10aに沿って、順に配置されたドレイン電極15、ゲート電極16およびソース電極17を備えている。ドレイン電極15、ゲート電極16およびソース電極17は互いに接触しておらず、主面10a上に所定の間隔を持って配置されている。

【0039】

また、ドレイン電極15、ゲート電極16およびソース電極17はそれぞれ半導体チップ30の外部接続端子となるドレインパッド、ゲートパッド、およびソースパッド（図示は省略）に電氣的に接続されている。

【0040】

40

ドレイン電極15およびソース電極17は、例えばT i（チタン）とその上に形成されたA l（アルミニウム）との積層体で形成される。また、ゲート電極16は、例えばN i（ニッケル）とその上に形成されたA u（金）との積層体で形成される。

【0041】

また、化合物半導体層10の主面10a上には、例えば、S i N（窒化シリコン）とS i O₂（二酸化シリコン）の積層体である絶縁層18が堆積されている。絶縁層18は、ドレイン電極15、ゲート電極16およびソース電極17を覆うように形成されており、各電極の間も埋めるように形成されている。

【0042】

一方、ダイオードが形成された半導体基板20は、主面（第2主面）20bを持つn型

50

(第1導電型)の n^+ 層(第1半導体層、カソード領域)21と、 n^+ 層21上に形成される n^- 層(第2半導体層、カソード領域)22を備えている。 n^+ 層21および n^- 層22は半導体であるSiにそれぞれ所定量の不純物(例えばリンなど)が添加された半導体層である。つまり半導体基板20はSi基板である。

【0043】

また、半導体基板20の主面20a側の一部には、p型(第2導電型)の p^+ 領域(アノード領域)23および p^- 領域(アノード領域)24が形成されている。すなわち、半導体基板20には、pn接合型のダイオードが形成されている。

【0044】

ここで、ダイオードとしての電気的特性を示すpn接合は、 n^- 層22と p^- 領域24との接合により実現されている。 n^+ 層21および p^+ 領域23は、それぞれカソード電極27およびアノード電極26にオーミック接続するためのコンタクト層として機能している。本明細書では、 n^- 層22と n^+ 層21を含めてカソード領域とし、 p^- 領域24と p^+ 領域23を含めてアノード領域として説明する。

10

【0045】

ダイオードのアノード電極26は、化合物半導体層10の主面10a上、詳しくは、主面10a上に堆積された絶縁層18上に形成されている。また、化合物半導体層10には、主面10aから、半導体基板20のアノード領域まで達するビアホール(孔)25が形成されている。ビアホール25は絶縁層18も貫通している。また、ビアホール25は半導体基板20のアノード領域のうち、コンタクト層である p^+ 領域23に達するまで形成

20

【0046】

また、このビアホール25にはAlなどの導電体が充填されている。また、主面10a上に形成されたアノード電極26とビアホール25に充填された導電体とは一体構造となっているため電気的に接続されている。つまり、アノード電極26は、ビアホール25に充填された導電体を通じてアノード領域と電気的に接続されている。

【0047】

ビアホール25を主面10aから、半導体基板20のアノード領域まで達するように形成することにより、半導体基板20に形成したアノード領域と、アノード電極26との電気的接続を、トランジスタの主面10a上で確保することが可能となる。

30

【0048】

また、ダイオードのカソード電極27は半導体基板20の主面20b側に形成されている。カソード電極27は、例えば、Ti/Ni/Auの積層体であり、主面20b全体に形成されている。つまり、このダイオードはいわゆる縦型と呼ばれる厚さ方向に沿ってpn接合を有するダイオードである。

【0049】

ダイオードを縦型構造とすることにより、カソード電極27の平面積を広くとることができる。このため、カソード電極27にかかる電界を分散することができるのでダイオードの耐圧性能を向上させることが可能となる。また、カソード電極27の平面積を広くとると、ダイオードの外部ノイズに対する耐性を向上させることができる。

40

【0050】

本実施の形態1の半導体装置は、Siで構成されるダイオードの半導体基板20上に、チャンネル層12にアンドープのGaN層を備えたHEMT素子を積層することにより、半導体チップ30内に、HEMT素子とpn接合型のダイオードの両方を内蔵することができる。

【0051】

次にアノード電極26の、その他の構造的特徴について説明する。

【0052】

図2に示す化合物半導体層10の主面10a上に形成された絶縁層18において、ソース電極17の上部には、コンタクトホール(開口部)19が設けられている。ダイオード

50

のアノード電極 26 を構成する例えば A1 などの導電体は、このコンタクトホール 19 にも充填されている。すなわち、ダイオードのアノード領域である p^+ 領域 23 は、アノード電極 26 を構成する導電体を通じてトランジスタのソース電極 17 と電氣的に接続されている。

【0053】

半導体チップ 30 を図 1 に示す電力変換装置 100 のスイッチング素子 3 として用いる場合、トランジスタ 1 とダイオード 2 とを並列接続して使用する。本実施の形態 1 では、半導体チップ 30 が備えるトランジスタのソース電極 17 と、ダイオードのアノード電極 26 とは、半導体チップ 30 内で電氣的に接続されている。

【0054】

また、図 2 において、アノード電極 26 は、化合物半導体層 10 の主面 10a の上方において、ソース電極 17 側からゲート電極 16 とドレイン電極 15 の間まで主面 10a に沿って延在している。詳しくは、アノード電極 26 はドレイン電極 15、およびゲート電極 16 を覆う絶縁層 18 上に延在している。

【0055】

アノード電極 26 をこのように配置すると、フィールドプレートとしても機能させることができるので、トランジスタのゲート - ドレイン間にかかる電界を緩和することができる。このため、トランジスタの耐圧性能を向上させることが可能となる。

【0056】

< 半導体装置の実装態様 >

次に図 3 を用いて図 2 に示す半導体チップ 30 を電力変換装置のスイッチング素子として実装した半導体パッケージの構造例について説明する。図 3 は図 1 の半導体チップ 30 のパッケージ構造例を示す平面図である。

【0057】

図 3 において、半導体チップ 30 の表面には、ゲートパッド 31、ソースパッド 32、およびドレインパッド 33 が形成されている。このゲートパッド 31、ソースパッド 32、およびドレインパッド 33 は半導体チップ 30 の外部接続端子となっており、それぞれ、図 2 に示したゲート電極 16、ソース電極 17、およびドレイン電極 15 に電氣的に接続されている。

【0058】

また、ゲートパッド 31、ソースパッド 32、およびドレインパッド 33 は、パッケージが備えるゲート端子 34、ソース端子 35、およびドレイン端子 36 にそれぞれ電氣的に接続されている。電氣的接続手段は、例えば、導電性部材であるボンディングワイヤ 37、38、39 を介してそれぞれ電氣的に接続されている。

【0059】

また、図 2 で説明したダイオードのアノード電極 26 は、半導体チップ 30 の内部でソース電極 17 に電氣的に接続されているので、アノード電極 26 専用の外部接続端子を形成する必要はなく、ソースパッド 32 を介してソース端子 35 に電氣的に接続されている。

【0060】

また、図 2 で説明したダイオードのカソード電極 27 は半導体チップ 30 の主面 20b 側に形成されており、ドレイン端子 36 に形成された半導体チップ 30 の実装面と対向した状態で、電氣的に接続されている。カソード電極 27 とドレイン端子 36 の電氣的接続手段は、たとえば、Ag (銀) ペーストなどの導電性樹脂を用いて接続する方法を適用することができる。

【0061】

図 3 に示すように、半導体チップ 30 が備えるダイオードのカソード電極 27 (図 2 参照) とトランジスタが備えるドレイン電極 15 (図 2 参照) は、それぞれドレイン端子 36 に電氣的に接続されているので、カソード電極 27 (図 2 参照) とドレイン電極 15 とは電氣的に接続されている。

10

20

30

40

50

【0062】

したがって、上記電氣的接続構造とすることにより、図1に示すような、トランジスタ1とダイオード2とが並列接続されたスイッチング素子3を構成することができる。

【0063】

<半導体装置の製造方法>

次に、図4～図9を用いて図2に示す半導体装置の製造方法を説明する。

【0064】

図4～図9は図2に示す半導体チップ30を製造するための主な工程毎の基板の要部断面図である。

【0065】

(a)まず、基板準備工程で、図4に示す、Si半導体層である n^+ 層21と、 n^+ 層21上に形成される n^- 層22とを備える半導体基板20(この段階の半導体基板20はウエハと称する平面略円形の半導体薄板である)を準備する。 n^- 層22は、例えば、 n^+ 層21上にエピタキシャル成長法により形成することができる。

【0066】

(b)次に、アノード領域形成工程で、図5に示す半導体基板20の主面20a側に形成された n^- 層22に、ダイオードのアノード領域となる p^- 領域24および p^+ 領域23を順に形成する。

【0067】

p^- 領域24および p^+ 領域23は、 n^- 層22の全面に形成するのではなく、 n^- 層22の持つ主面20aの一部に選択的に形成される。本工程では、イオン打ち込み法と熱拡散法を併用することにより p^- 領域24および p^+ 領域23を形成することができる。

【0068】

ここで、 p^- 領域24および p^+ 領域23は、後述する(e)絶縁層、ビアホール形成工程の後でイオン打ち込み法と熱拡散法を併用することにより形成することもできるが、この場合、トランジスタの各種電極が形成された後の工程となるため、高温による熱処理が難しいので、トランジスタを積層する前の本段階で形成することが好ましい。

【0069】

(c)次に、化合物半導体層形成工程で、図6に示す半導体基板20の主面20a上に、AlNからなるバッファ層11、アンドープのGaNからなるチャネル層12、AlGaNからなる電子供給層13を順次積層して形成する。

【0070】

本工程では、有機金属気相成長法(Metal Organic Chemical Vapor Deposition: MOCVD)により、バッファ層11、チャネル層12、および電子供給層13を形成することができる。

【0071】

(d)次に、トランジスタ電極形成工程で、図7に示す化合物半導体層10の主面10a上にドレイン電極15、ゲート電極16およびソース電極17をそれぞれ形成する。

【0072】

ここで、ドレイン電極15とソース電極17には、電子供給層13とオーミック接合がとれるように、例えばTiの上にAlを積層した積層体で形成する。また、ゲート電極16は電子供給層13とショットキー接合がとれるように、例えばNiの上にAuを積層した積層体で形成する。

【0073】

(e)次に、絶縁層、ビアホール形成工程で、図8に示す化合物半導体層10の主面10a上に絶縁層18を形成した後、ビアホール25を形成する。本工程では、まず、例えばSiN/SiO₂からなる絶縁層18を堆積する。次いでホトリソグラフィとドライエッチングによって、ビアホール25を形成する。

【0074】

ここで、ビアホール25は、化合物半導体層10の主面10aにおいて、ダイオードの

10

20

30

40

50

アノード領域である p^+ 領域 23 が形成された領域の上方から p^+ 領域 23 に到達する深さまでエッチングする。したがって、ピアホール 25 は、その底面に p^+ 領域 23 の上面（主面 10a）が露出した状態となる。

【0075】

また、本工程では、ソース電極 17 が形成された領域の上方に堆積された絶縁層 18 の一部にコンタクトホール 19 を形成する。このコンタクトホール 19 はソース電極 17 に接した状態で形成される。すなわち、コンタクトホール 19 を形成することにより、ソース電極 17 の一部が露出する。

【0076】

（f）次に、配線工程で、ダイオードのアノード電極 26 およびカソード電極 27 を形成する。本工程では、ピアホール 25 に A1 などの導電体を埋め込むことによりアノード電極 26 を形成する。この時、アノード電極 26 を構成する導電体は前記（e）工程で形成したソース電極 17 上のコンタクトホール 19 にも埋め込まれ、ソース電極 17 とアノード電極 26 とは電氣的に接続される。

10

【0077】

また、アノード電極 26 を構成する導電体を、絶縁層 18 上において、ソース電極 17 側から、ゲート電極 16 とドレイン電極 15 の間まで延在するように形成する。アノード電極 26 をフィールドプレートとして機能させるためである。

【0078】

また、半導体基板 20 の主面 20b には、ダイオードのカソード電極 27 を形成する。カソード電極 27 は、 n^+ 層 21 とオーミック接合がとれるように例えば、Ti、Ni、Au を下層から順に積層することで形成する。

20

【0079】

以上の工程により、図 2 に示す半導体装置を製造することができる。

【0080】

（実施の形態 2）

次に、図 10 を用いて本実施の形態 2 の半導体装置について説明する。図 10 は本実施の形態 2 の半導体装置を構成する半導体チップ 40 の要部断面図である。

【0081】

図 10 において、本実施の形態 2 の半導体チップ 40 と前記実施の形態 1 で説明した半導体チップ 30 の相違点は、ダイオードのカソード電極 27 が、トランジスタのドレイン電極 15 と半導体チップ 40 内部で電氣的に接続されている点である。

30

【0082】

半導体チップ 40 には、化合物半導体層 10 の主面 10a から、半導体基板 20 の n^+ 層 21 まで達するピアホール（孔）41 が形成されている。ピアホール 41 は絶縁層 18 も貫通している。つまり、ピアホール 41 を形成された段階では、ピアホール 41 の底面に n^+ 層 21 の上面が露出した状態となる。

【0083】

また、ドレイン電極 15 の上部には、ソース電極 17 の上部に形成されたコンタクトホール 19 と同様に絶縁層 18 にコンタクトホール（開口部）43 が形成されている。

40

【0084】

このピアホール 41 およびコンタクトホール 43 には、例えば A1 などの導電体 42 が埋め込まれている。また、この導電体 42 は、ピアホール 41 と、コンタクトホール 43 とを接続するように絶縁層 18 上にも形成されている。このため、ドレイン電極 15 と、 n^+ 層 21 とは電氣的に接続されている。

【0085】

つまり、半導体チップ 40 が有するダイオードのカソード電極 27 とトランジスタのドレイン電極 15 とは、ピアホールに埋め込まれた導電体 42 を通じて電氣的に接続されている。

【0086】

50

このように、半導体チップ40は、化合物半導体層10の主面10aから、半導体基板20の n^+ 層21まで達するビアホール(孔)41を形成し、導電体42を埋め込むことにより、カソード電極27とドレイン電極15とを導電体42を通じて、半導体チップ40の内部で電氣的に接続することができる。

【0087】

本実施の形態2の半導体チップ40は、半導体チップ40の内部でカソード電極27とドレイン電極15とを電氣的に接続しているので、半導体チップ40を例えば図3に示すような電力変換装置で用いられるパッケージに実装した場合に、ドレインパッド33とドレイン端子36とをボンディングワイヤ39を用いることなく電氣的に接続することが可能となる。

10

【0088】

このため、ドレイン端子36上にボンディングワイヤ39を接続する領域を確保する必要がなくなるので、ドレイン端子36の平面積を小さくすることができる。すなわち、電力変換装置のスイッチング素子を小型化することが可能となる。

【0089】

本実施の形態2によれば、前記実施の形態1で説明した半導体チップ30よりもさらに電力変換装置のスイッチング素子を小型化することが可能となる。

【0090】

次に本実施の形態2の半導体チップ40の製造方法について、前記実施の形態1で説明した半導体チップ30の製造方法との相違点を説明する。

20

【0091】

本実施の形態2の半導体チップ40の製造方法では、前記実施の形態1で説明した(e)工程で、ホトリソグラフィーとドライエッチングによって、ビアホール25を形成した後、さらにホトリソグラフィー工程とドライエッチング工程を追加する。

【0092】

この追加したホトリソグラフィー工程とドライエッチング工程で、図10に示すビアホール41を形成する。また、コンタクトホール43は、前記(e)工程で、絶縁層18にコンタクトホール19を形成する段階で併せて形成することができる。

【0093】

次に、(f)配線工程でアノード電極26を形成する際に、導電体42を併せて形成する。

30

【0094】

(実施の形態3)

次に、図11を用いて本実施の形態3の半導体装置について説明する。図11は本実施の形態3の半導体装置を構成する半導体チップ50の要部断面図である。

【0095】

図11において、本実施の形態3の半導体チップ50と前記実施の形態2の半導体チップ40との相違点は、カソード電極27とドレイン電極15の電氣的接続構造である。

【0096】

すなわち、本実施の形態3の半導体チップ50では、第1に、 n^- 層22の一部に半導体基板20の主面20aから n^- 層22と n^+ 層21の接触面まで延在する n^+ 領域(第3半導体領域)51が形成されている。また、第2にビアホール41が、 n^+ 層21に達する深さまで形成されておらず、化合物半導体層10の主面10aから n^+ 領域(第3半導体領域)51に達するまでの深さで形成されている。

40

【0097】

この n^+ 領域51の不純物濃度は n^- 層22の不純物濃度よりも高く、 n^+ 層21と同程度の不純物濃度となっている。このため、本実施の形態3では、図11に示すようにカソード電極27とドレイン電極15とを電氣的に接続するためのビアホール41を不純物濃度の高い n^+ 層21に到達するまでの深さ(厚さ方向の長さ)とする必要はなく、 n^+ 領域51に到達するまでの深さとすることができる。

50

【 0 0 9 8 】

すなわち、前記実施の形態 2 で説明した半導体チップ 4 0 と比較してビアホール 4 1 を浅くすることができる。このため、図 1 1 に示すようにビアホール 4 1 とビアホール 2 5 の深さを同じに設定することができる。

【 0 0 9 9 】

ビアホール 4 1 とビアホール 2 5 の深さを同じ深さとすることにより、半導体チップ 5 0 の製造工程では、前記実施の形態 1 で説明した (e) 工程で、ホトリソグラフィーとドライエッチングによって、ビアホール 2 5 を形成する際に、同時にビアホール 4 1 を形成することが可能となる。つまり、前記実施の形態 2 で説明した半導体チップ 4 0 の製造方法のように、ホトリソグラフィー工程とドライエッチング工程とを追加する必要がないので、製造工程を簡略化することができる。

10

【 0 1 0 0 】

なお、ビアホール 4 1 とビアホール 2 5 は、それぞれ半導体基板 2 0 の主面 2 0 a に接触しており、かつ、同一の製造工程で形成することができれば良いので、これらの深さは、完全に同じ深さであることを要さない。つまり、加工精度などの影響により、一方のビアホールの深さが他方のビアホールの深さよりも若干深くなることを排除するものではない。

【 0 1 0 1 】

本実施の形態 3 の半導体チップ 5 0 の製造方法において、 n^+ 領域 5 1 は、前記実施の形態 1 で説明した (b) 工程で形成することが好ましい。

20

【 0 1 0 2 】

つまり、図 5 に示す半導体基板 2 0 の主面 2 0 a 側に形成された n^- 層 2 2 に、ダイオードのアノード領域となる p^- 領域 2 4 および p^+ 領域 2 3 を順に形成する工程の前あるいは後に、イオン打ち込み法によって、 n^- 層 2 2 の一部に n^+ 領域 5 1 を形成することができる。

【 0 1 0 3 】

n^- 層 2 2 が厚い場合、1 回のイオン打ち込みで n^+ 領域 5 1 を形成すると、 n^+ 領域 5 1 が主面 2 0 a から n^+ 層 2 1 に達しない場合がある。この場合は、複数段の高エネルギーイオンを打ち込み法を用いることにより、 n^+ 層 5 1 を n^+ 層 2 1 に接触させることができる。図 1 1 では、複数段の高エネルギーイオンを打ち込み法を用いた例として、3 段の高エネルギーイオンを打ち込み法を用いた場合の n^+ 領域 5 1 の状態を示している。

30

【 0 1 0 4 】

本実施の形態 3 の製造方法では、前記実施の形態 2 で説明した製造方法と比較して、 n^+ 領域 5 1 を形成するためのイオン打ち込み工程が追加されている。しかし、イオン打ち込み工程は、ホトリソグラフィー工程やドライエッチング工程と比較して、制御が容易であるため、製造工程全体としての製造効率を低減することが可能となる。

【 0 1 0 5 】

また、図 1 1 に示す半導体チップ 5 0 も半導体チップ 5 0 の内部でカソード電極 2 7 とドレイン電極 1 5 とが電氣的に接続されているので、前記実施の形態 2 で説明した半導体チップ 4 0 と同様の効果が得られることは言うまでもない。

40

【 0 1 0 6 】

(実施の形態 4)

次に、図 1 2 を用いて本実施の形態 4 の半導体装置について説明する。図 1 2 は本実施の形態 4 の半導体装置を構成する半導体チップ 6 0 の要部断面図である。

【 0 1 0 7 】

本実施の形態 4 の半導体チップ 6 0 と前記実施の形態 3 の半導体チップ 5 0 との相違点は、ダイオードのカソード電極の位置である。

【 0 1 0 8 】

すなわち、前記実施の形態 3 で説明した図 1 1 に示す半導体チップ 5 0 のダイオードのカソード電極 2 7 が、半導体基板 2 0 の主面 2 0 b 側に形成されている。このような構造

50

のダイオードは、縦型構造と呼ばれ、キャリアが半導体基板 20 の厚さ方向に沿って移動する。

【0109】

一方、本実施の形態 4 の半導体チップ 60 は、カソード電極 61 が半導体基板 20 の主面 20a 側に形成されている。このようにアノード電極 26 とカソード電極 61 とが同じ主面 20a 側に形成された構造のダイオードは、横型構造と呼ばれ、キャリアが半導体基板 20 の主面 20a に沿って移動する。

【0110】

図 12 に示す半導体チップ 60 のように、ダイオードを横型構造とすると、半導体基板 20 の主面 20a に沿った方向で耐圧を保持しなくなってしまうため、前記実施の形態 1～3 で説明した半導体チップ 30、40、50 と比較すると、ダイオードの高耐圧化は困難になる。

10

【0111】

しかし、ダイオードを横型構造とすると、カソード領域のうち、コンタクト層である n^+ 領域 62 を主面 20a 側に形成するので、半導体基板 20 を n^- 層 22 の単層構造とすることができる。半導体基板 20 を単層構造とすると、半導体基板 20 を製造する際にエピタキシャル成長工程を用いなくて済むので、製造工程を簡略化することができる。

【0112】

また、ダイオードを横型構造とすると、主面 20b 側に電極を形成しなくて済むので、製造工程を簡略化することができる。また、カソード領域のうち、コンタクト層である n^+ 領域 62 は、前記実施の形態 3 で説明した図 11 に示す半導体チップ 50 が備える n^+ 領域 51 のように主面 20a から n^- 層 22 の下面まで延在するように形成する必要がないので、 n^+ 領域 62 を追加することによる工程の増加負担を軽減することができる。

20

【0113】

半導体チップ 60 の製造方法においては、 n^+ 領域 62 は前記実施の形態 1 で説明した (b) 工程で形成することが好ましい。

【0114】

つまり、図 5 に示す半導体基板 20 の主面 20a 側に形成された n^- 層 22 に、ダイオードのアノード領域となる p^- 領域 24 および p^+ 領域 23 を順に形成する工程の後に、イオン打ち込み法によって、 n^- 層 22 の一部に n^+ 領域 62 を形成することができる。

30

【0115】

また、カソード電極 61 は、前記実施の形態 3 で説明した図 11 に示す導電体 42 と同様の製造方法により形成することができる。

【0116】

(実施の形態 5)

次に、図 13 を用いて本実施の形態 5 の半導体装置について説明する。図 13 は本実施の形態 5 の半導体チップ 70 の構造を示す断面図である。

【0117】

本実施の形態 5 の半導体チップ 70 と前記実施の形態 1 の半導体チップ 30 との相違点は、ダイオードがショットキーバリアダイオードとなっている点である。

40

【0118】

すなわち、半導体チップ 70 のダイオードが備えるアノード領域は、例えば TiW (チタンタングステン) により形成されるショットキーバリア金属 71 で構成されている。

【0119】

ここで、 n^+ 層 21 および n^- 層 22 は半導体である Si にそれぞれ所定量の不純物 (例えばリンなど) が添加された半導体層である。このように Si の基板に形成したショットキーダイオードは、高耐圧化 (例えば 100V 以上の耐圧) が困難である。

【0120】

しかし、半導体チップ 70 はダイオードをショットキーバリアダイオードとすることにより、前記実施の形態 1 で説明した図 2 に示した半導体チップ 30 の pn 接合型のダイオ

50

ードのように、アノード領域として、 p^- 領域24と p^+ 領域23を形成しなくて済むため、製造工程を簡略化することができる。

【0121】

また、ショットキーダイオードは pn 接合型のダイオードと比較して、 V_f (forward Voltage) およびリカバリー電流を抑制することができるので、例えば電源用DC-DCコンバータなど低耐圧の用途においては、電力変換時の電力損失を低減することができる。

【0122】

本実施の形態5の半導体チップ70の製造方法は、前記実施の形態1で説明した(b)工程を省略することができる。

10

【0123】

また、(e)工程で、図8に示す化合物半導体層10の主面10a上に形成した絶縁層18から、半導体基板20の主面20aに到達するまでの深さでビアホール25を形成する。その後、ビアホール25の底部、すなわち n^- 層22と接する領域に例えばTiWを堆積してショットキーバリア金属71を形成する。

【0124】

(実施の形態6)

次に、図14を用いて本実施の形態6の半導体装置について説明する。図14は本実施の形態6の半導体装置を構成する半導体チップ80の要部断面図である。

【0125】

20

本実施の形態6の半導体チップ80と前記実施の形態5の半導体チップ70との相違点は、ダイオードを備える半導体基板20がSiC(シリコンカーバイド)で構成されている点である。

【0126】

すなわち、半導体チップ80のダイオードが備える n^+ 層81および n^- 層82は半導体であるSiCにそれぞれ所定量の不純物が添加された半導体層である。また、半導体チップ80のダイオードが備えるショットキーバリア金属83には例えば、Mo(モリブデン)を用いることができる。

【0127】

前述したようにSiの基板に形成したショットキーダイオードは、高耐圧化(例えば100V以上の耐圧)が困難である。しかし、本実施の形態6の半導体チップ80のように、SiCで構成される半導体基板20にショットキーバリアダイオードを形成する場合、例えば600Vを超える高耐圧化をすることができる。

30

【0128】

本実施の形態6によれば、半導体基板20をSiCで構成することにより、前記実施の形態5で説明した半導体チップ70と比較して、コストは上昇するが、半導体チップ80に内蔵されるダイオードを高耐圧化することができる。

【0129】

以上、本発明者によってなされた発明を発明に実施の形態に基づき具体的に説明したが、本発明は前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

40

【0130】

例えば、図14に示す半導体チップ80において、図10あるいは図11に示すようにカソード電極27とドレイン電極15とを導電体42を介して半導体チップ80内で電氣的に接続する構造としてもよい。

【0131】

この場合、半導体チップ80を図3に示すような電力変換装置のパッケージに実装する際に、ドレイン端子36上にボンディングワイヤ39を接続する領域を確保する必要がなくなるので、ドレイン端子36の平面積を小さくすることができることは言うまでもない。

50

【産業上の利用可能性】

【0132】

本発明は、半導体装置、特に電力変換装置に用いる半導体装置に適用できる。

【図面の簡単な説明】

【0133】

【図1】本発明の実施の形態1である電力変換装置の回路構造を示す回路図である。

【図2】本発明の実施の形態1である半導体装置を構成する半導体チップの要部断面図である。

【図3】図1の半導体装置のパッケージ構造例を示す平面図である。

【図4】図2の半導体装置を製造するための基板準備工程を示す断面図である。

10

【図5】図2の半導体装置を製造するためのアノード領域形成工程を示す基板の要部断面図である。

【図6】図2の半導体装置を製造するための化合物半導体層形成工程を示す基板の要部断面図である。

【図7】図2に示す半導体装置を製造するためのトランジスタ電極形成工程を示す基板の要部断面図である。

【図8】図2の半導体装置を製造するための絶縁層、ビアホール形成工程を示す基板の要部断面図である。

【図9】図2の半導体装置を製造するための配線工程を示す基板の要部断面図である。

【図10】本発明の実施の形態2である半導体装置を構成する半導体チップの要部断面図である。

20

【図11】本発明の実施の形態3である半導体装置を構成する半導体チップの要部断面図である。

【図12】本発明の実施の形態4である半導体装置を構成する半導体チップの要部断面図である。

【図13】本発明の実施の形態5である半導体装置を構成する半導体チップの要部断面図である。

【図14】本発明の実施の形態6である半導体装置を構成する半導体チップの要部断面図である。

【符号の説明】

30

【0134】

1 トランジスタ

2 ダイオード

3 スイッチング素子

4 ゲートドライバ

10 化合物半導体層（第2基板）

10a 主面（第3主面）

11 バッファ層（第1化合物半導体層）

12 チャネル層（第2化合物半導体層）

13 電子供給層（第3化合物半導体層）

40

15 ドレイン電極

16 ゲート電極

17 ソース電極

18 絶縁層

19 コンタクトホール

20 半導体基板（第1基板）

20a 主面（第1主面）

20b 主面（第2主面）

21 n^+ 層（第1半導体層、カソード領域）

22 n^- 層（第2半導体層、カソード領域）

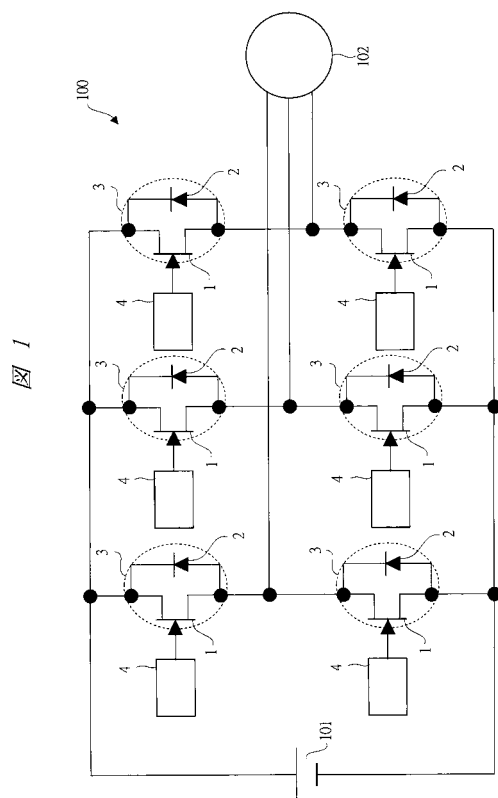
50

- | | |
|-------------------------|------------------------------------|
| 2 3 | p ⁺ 領域 (アノード領域) |
| 2 4 | p ⁻ 領域 (アノード領域) |
| 2 5 | ピアホール |
| 2 6 | アノード電極 |
| 2 7 | カソード電極 |
| 3 0、4 0、5 0、6 0、7 0、8 0 | 半導体チップ (半導体装置) |
| 3 1 | ゲートパッド |
| 3 2 | ソースパッド |
| 3 3 | ドレインパッド |
| 3 4 | ゲート端子 |
| 3 5 | ソース端子 |
| 3 6 | ドレイン端子 |
| 3 7、3 8、3 9 | ボンディングワイヤ |
| 4 1 | ピアホール |
| 4 2 | 導電体 |
| 4 3 | コンタクトホール |
| 5 1 | n ⁺ 領域 (第 3 半導体領域) |
| 6 1 | カソード電極 |
| 7 1 | ショットキーバリア金属 |
| 8 1 | n ⁺ 層 (第 1 半導体層、カソード領域) |
| 8 2 | n ⁻ 層 (第 2 半導体層、カソード領域) |
| 1 0 0 | 電力変換装置 |
| 1 0 1 | 直流電源 |
| 1 0 2 | モータ |

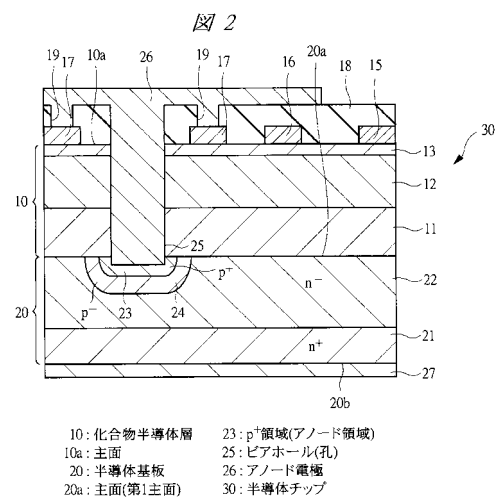
10

20

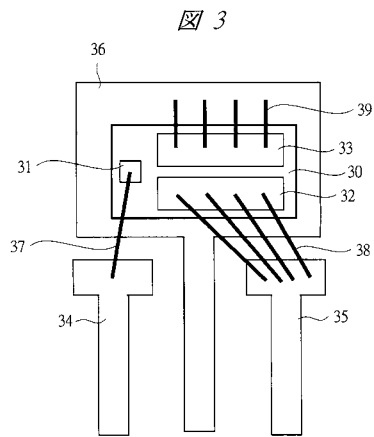
【 図 1 】



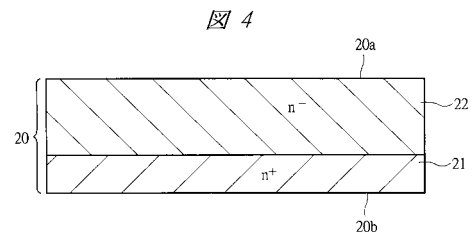
【圖 2】



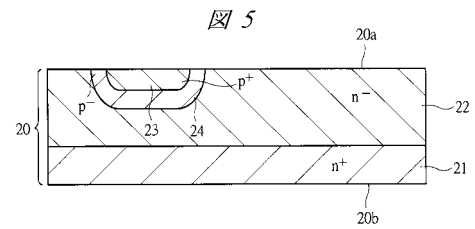
【図 3】



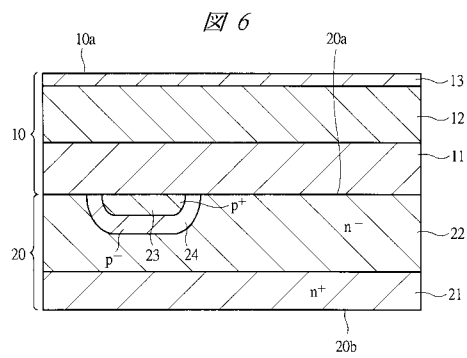
【図 4】



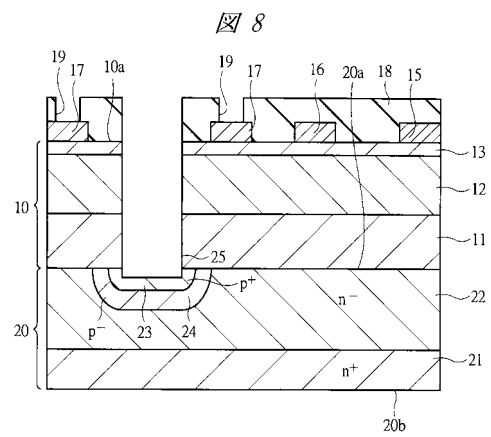
【図 5】



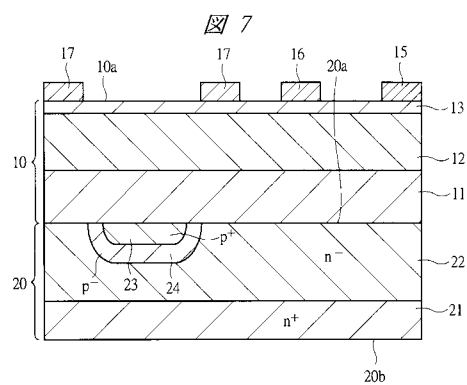
【図 6】



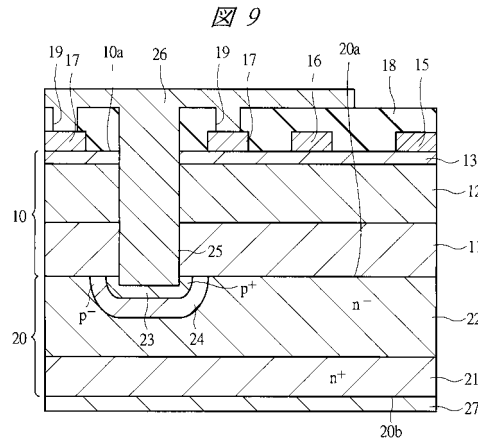
【図 8】



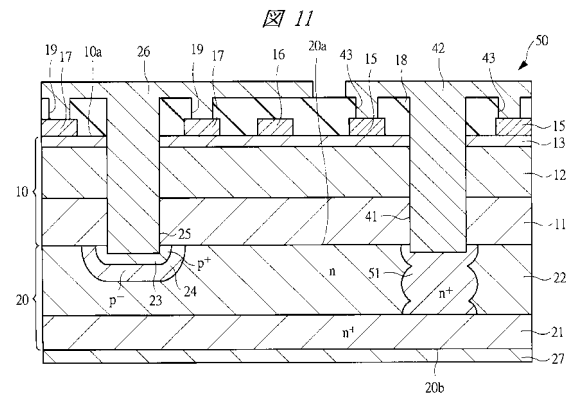
【図 7】



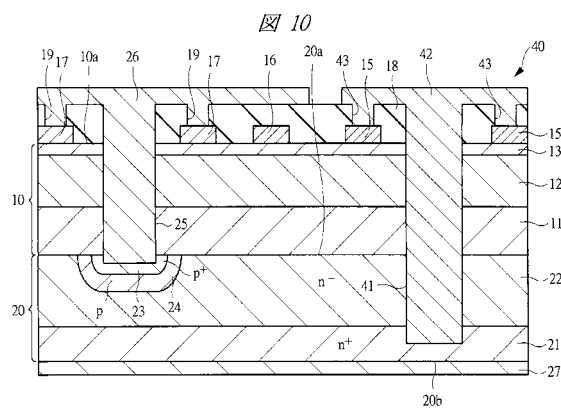
【図 9】



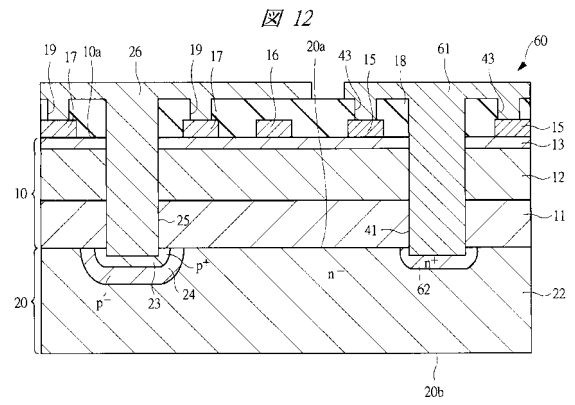
【図 11】



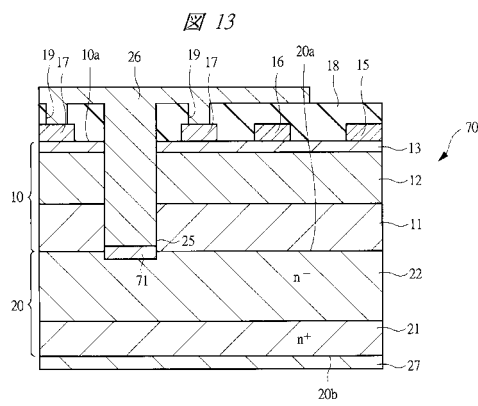
【図 10】



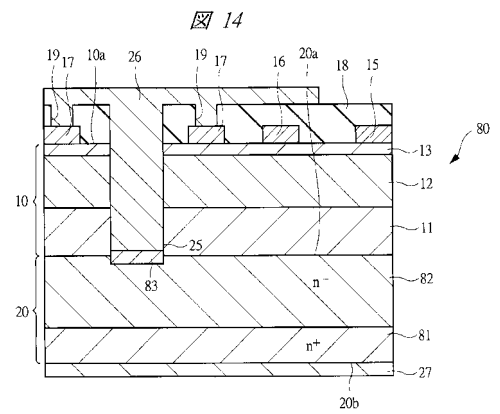
【図 12】



【図 13】



【図 14】



フロントページの続き

(51)Int.Cl. F I

*H 0 1 L 29/812 (2006.01)**H 0 1 L 29/861 (2006.01)**H 0 1 L 29/868 (2006.01)*

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 8 2 3 2

H 0 1 L 2 1 / 3 3 8

H 0 1 L 2 7 / 0 6

H 0 1 L 2 7 / 0 9 5

H 0 1 L 2 9 / 7 7 8

H 0 1 L 2 9 / 8 1 2

H 0 1 L 2 9 / 8 6 1

H 0 1 L 2 9 / 8 6 8