(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2009-200701
(P2009-200701A)
(43)公開日　平成21年9月3日(2009.9.3)

(51)Int.Cl.			F I			テーマコード（参考）
H03F	3/45	(2006.01)	H03F	3/45	A	5J500
H03F	3/34	(2006.01)	H03F	3/34	A	

審査請求 未請求　請求項の数 7　ＯＬ　（全 9 頁）

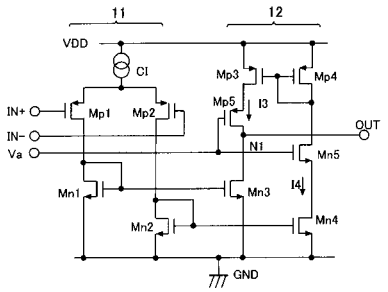
(21)出願番号　特願2008-38760(P2008-38760)
(22)出願日　平成20年2月20日(2008.2.20)

(71)出願人　000006220
ミツミ電機株式会社
東京都多摩市鶴牧２丁目１１番地２
(74)代理人　100090033
弁理士　荒船　博司
(74)代理人　100093045
弁理士　荒船　良男
(72)発明者　佐藤　朗
神奈川県厚木市酒井１６０１　ミツミ電機株式会社厚木事業所内
(72)発明者　川越　治
神奈川県厚木市酒井１６０１　ミツミ電機株式会社厚木事業所内

最終頁に続く

(54)【発明の名称】ＣＭＯＳ差動増幅回路および電源制御用半導体集積回路

(57)【要約】
【課題】入力オフセットを低減できるとともに動作点の設定が容易に行なえるCMOS差動増幅回路を提供する。
【解決手段】一対の差動ＭＯＳトランジスタ(Mp1,Mp2)と、該差動ＭＯＳトランジスタのドレイン端子に各々接続された一対の負荷ＭＯＳトランジスタ(Mn1,Mn2)と、上記差動ＭＯＳトランジスタの共通ソースに接続された電流源と、を有する差動入力段（11）と、上記差動ＭＯＳトランジスタのドレイン側の電位をゲート端子に受けるように接続された一対のＮ型ＭＯＳトランジスタ(Mn3,Mn4)と、該ＭＯＳトランジスタの各々と直列をなしソース端子が第１電源電圧端子に接続された一対のＰ型ＭＯＳトランジスタ(Mp3,Mp4)と、該Ｐ型ＭＯＳトランジスタと前記Ｎ型ＭＯＳトランジスタとの間に接続されゲート端子に各々定電圧が印加されたＰ型ＭＯＳトランジスタ(Mp5）およびＮ型ＭＯＳトランジスタ(Mn5)とを有する出力段（12）とによりCMOS差動増幅回路を構成した。
【選択図】図１



【特許請求の範囲】
【請求項１】
ソース共通接続された一対の第１導電型の差動ＭＯＳトランジスタと、該差動ＭＯＳトランジスタのドレイン端子に各々接続された一対の第２導電型の負荷ＭＯＳトランジスタと、を有する差動入力段と、
前記差動ＭＯＳトランジスタのドレイン側の電位をゲート端子に受けるように接続された一対の第２導電型の第１、第２ＭＯＳトランジスタと、ソース端子が第１電源電圧端子に接続された一対の第１導電型の第３、第４ＭＯＳトランジスタと、該第３、第４ＭＯＳトランジスタと前記第１、第２ＭＯＳトランジスタとの間にそれぞれ接続されゲート端子に各々定電圧が印加された第１導電型の第５ＭＯＳトランジスタおよび第２導電型の第６ＭＯＳトランジスタと、を有する出力段と、
を備えていることを特徴とするＣＭＯＳ差動増幅回路。
【請求項２】
前記第１および第２ＭＯＳトランジスタは、前記差動入力段の一対の負荷ＭＯＳトランジスタのそれぞれとカレントミラー接続されていることを特徴とする請求項１に記載のＣＭＯＳ差動増幅回路。
【請求項３】
前記第３と第４ＭＯＳトランジスタは、カレントミラー接続されていることを特徴とする請求項１または２に記載のＣＭＯＳ差動増幅回路。
【請求項４】
前記第５および第６ＭＯＳトランジスタのゲート端子に印加される電圧は同一であることを特徴とする請求項１～３のいずれかに記載のＣＭＯＳ差動増幅回路。
【請求項５】
前記第１、第２ＭＯＳトランジスタと、第２電源電圧端子との間には、並列形態の容量および抵抗で構成された位相補償回路が接続されていることを特徴とする請求項４に記載のＣＭＯＳ差動増幅回路。
【請求項６】
出力側からのフィードバック電圧と参照電圧との電位差に応じた電圧を出力する誤差アンプと、該誤差アンプの出力を一方の入力端子に受けるＰＷＭコンパレータとを備え、電圧変換用のインダクタに流す電流を制御する駆動用スイッチング素子の制御信号を生成するスイッチング制御回路を有する電源制御用半導体集積回路であって、
前記誤差アンプとして請求項１～５のいずれかに記載のＣＭＯＳ差動増幅回路を用いたることを特徴とする電源制御用半導体集積回路。
【請求項７】
前記誤差アンプに供給される前記参照電圧と、前記ＣＭＯＳ差動増幅回路の前記第５ＭＯＳトランジスタおよび第６ＭＯＳトランジスタのゲート端子に印加される定電圧と、を生成する基準電圧生成回路を有することを特徴とする請求項６に記載の電源制御用半導体集積回路。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、ＣＭＯＳ差動増幅回路における入力オフセット低減技術に関し、例えばＤＣ－ＤＣコンバータのような直流電源装置を構成する電源制御用半導体集積回路に用いられフィードバック電圧を増幅する誤差増幅回路に利用して有効な技術に関する。
【背景技術】
【０００２】
制御用半導体集積回路に用いられフィードバック電圧を増幅する誤差増幅回路として、図４に示すようなＣＭＯＳ差動増幅回路が知られている。図４に示されているＣＭＯＳ差動増幅回路は、差動入力段１１と出力段１２とからなる。差動入力段１１は、ソース共通接続された一対の差動ＭＯＳトランジスタ（絶縁ゲート型電界効果トランジスタ）Ｍｐ１

，Ｍｐ２と、そのドレインに各々接続された負荷ＭＯＳトランジスタＭｎ１，Ｍｎ２と、Ｍｐ１，Ｍｐ２の共通ソースと電源電圧ＶＤＤと間に接続された定電流源ＣＩとを備える。

【０００３】

出力段１２は、差動入力段１１の負荷ＭＯＳトランジスタＭｎ１，Ｍｎ２と各々カレントミラー接続されたＭＯＳトランジスタＭｎ３，Ｍｎ４と、Ｍｎ３，Ｍｎ４と電源電圧ＶＤＤと接地点との間にそれぞれ直列に接続されたＭＯＳトランジスタＭｐ３，Ｍｐ４とからなり、Ｍｐ３とＭｐ４とをカレントミラー接続して、Ｍｎ３とＭｐ３との接続ノードＮ１より出力を取り出すように構成されている。

【特許文献１】特開平１１－２６５６００号公報

【特許文献２】特開２００５－１２８５２号公報

【発明の開示】

【発明が解決しようとする課題】

【０００４】

差動増幅回路においては、入力オフセットを低減することが重要である。本発明者らが図４に示されているＣＭＯＳ差動増幅回路を詳しく検討した結果、出力段１２のＭＯＳトランジスタＭｐ３のドレイン電圧やＭｎ４のドレイン電圧が、電源電圧ＶＤＤの変動等によって変動されやすく、その電圧に変動に伴うチャンネル変調効果で、無信号時にもＭｐ３とＭｐ４に等しい電流が流れず（Ｉ１≠Ｉ２）、入力オフセットが生じるという問題点があることを見出した。

【０００５】

なお、ＣＭＯＳ差動増幅回路における入力オフセット低減技術としては、例えば特許文献１や特許文献２に開示されているものがあるが、これらの発明と本願発明とは、オフセット低減のメカニズムが異なっている。

【０００６】

本発明の目的は、入力オフセットを低減できるとともに動作点の設定が容易に行なえるＣＭＯＳ差動増幅回路を提供することにある。

【０００７】

本発明の他の目的は、電源制御用半導体集積回路に用いられる誤差増幅回路のように入力電圧の変動範囲が比較的狭い用途に使用して好適なＣＭＯＳ差動増幅回路を提供することにある。

【課題を解決するための手段】

【０００８】

上記目的を達成するため、本発明は、ソース共通接続された一対の第１導電型の差動ＭＯＳトランジスタと、該差動ＭＯＳトランジスタのドレイン端子に各々接続された一対の第２導電型の負荷ＭＯＳトランジスタと、上記差動ＭＯＳトランジスタの共通ソースに接続された電流源と、を有する差動入力段と、上記差動ＭＯＳトランジスタのドレイン側の電位をゲート端子に受けるように接続された一対の第２導電型の第１、第２ＭＯＳトランジスタと、該第１、第２ＭＯＳトランジスタの各々と直列をなしソース端子が第１電源電圧端子に接続された一対の第１導電型の第３、第４ＭＯＳトランジスタと、該第３、第４ＭＯＳトランジスタと前記第１、第２ＭＯＳトランジスタとの間にそれぞれ接続されゲート端子に各々定電圧が印加された第１導電型の第５ＭＯＳトランジスタおよび第２導電型の第６ＭＯＳトランジスタと、を有する出力段と、によりＣＭＯＳ差動増幅回路を構成するようにしたものである。

【０００９】

ここで、望ましくは、上記第１および第２ＭＯＳトランジスタは、上記差動入力段の一対の負荷ＭＯＳトランジスタのそれぞれとカレントミラー接続された構成とする。さらに、望ましくは、上記第３と第４ＭＯＳトランジスタは、カレントミラー接続された構成とする。

【００１０】

上記構成によれば、入力オフセットを低減できるとともに動作点の設定が容易に行なえるＣＭＯＳ差動増幅回路を実現することができる。

【００１１】

さらに、上記第５および第６ＭＯＳトランジスタのゲート端子に印加される電圧は同一に設定する。これにより、第５および第６ＭＯＳトランジスタのゲート端子に印加される定電圧を生成する回路が簡略化される。

【００１２】

また、上記第１、第２ＭＯＳトランジスタと、第２電源電圧端子との間には、並列形態の容量および抵抗で構成された位相補償回路を接続する。これにより、フィードバックループに用いられた際に発振が起きにくくなる。

【発明の効果】

【００１３】

本発明によると、入力オフセットを低減できるとともに動作点の設定が容易に行なえる。また、電源制御用半導体集積回路に用いられる誤差増幅回路のように入力電圧の変動範囲が比較的狭い用途に使用して好適なＣＭＯＳ差動増幅回路を実現することができるという効果がある。

【発明を実施するための最良の形態】

【００１４】

以下、本発明の好適な実施形態を図面に基づいて説明する。

【００１５】

図１は、本発明に係るＣＭＯＳ差動増幅回路の一実施例を示す。

この実施例のＣＭＯＳ差動増幅回路は、差動入力段１１と出力段１２とからなる。差動入力段１１は、ソース共通接続された一対のＰチャネル型の差動ＭＯＳトランジスタＭｐ１，Ｍｐ２と、そのドレインに各々接続されたＮチャネル型の負荷ＭＯＳトランジスタＭｎ１，Ｍｎ２と、Ｍｐ１，Ｍｐ２の共通ソースと電源電圧ＶＤＤと間に接続された定電流源ＣＩとを備える。

【００１６】

出力段１２は、電源電圧ＶＤＤにソース端子が接続されるとともに互いにゲートが共通接続された一対のＰチャネル型のＭＯＳトランジスタＭｐ３，Ｍｐ４と、差動入力段１１の負荷ＭＯＳトランジスタＭｎ１，Ｍｎ２と各々ゲートが共通接続されたＭＯＳトランジスタＭｎ３，Ｍｎ４と、該Ｍｎ３，Ｍｎ４と上記ＭＯＳトランジスタＭｐ３，Ｍｐ４との間にそれぞれ直列に接続されたＰチャネル型のＭＯＳトランジスタＭｐ５およびＮチャネル型のＭＯＳトランジスタＭｎ５とからなる。

【００１７】

上記入力段１１の負荷ＭＯＳトランジスタＭｎ１，Ｍｎ２は各々ゲートとドレインが結合され、Ｍｎ１は出力段のＭＯＳトランジスタＭｎ３とゲート同士が接続され、Ｍｎ２は出力段のＭＯＳトランジスタＭｎ４とゲート同士が接続されることでそれぞれカレントミラー回路を構成している。また、Ｍｎ３，Ｍｎ４のドレイン電流を供給するＭＯＳトランジスタＭｐ３とＭｐ４も、Ｍｐ４のゲートとドレインが結合され、Ｍｐ３とＭｐ４のゲート同士が接続されることでカレントミラー回路を構成している。

【００１８】

このように、カレントミラーＭｎ２，Ｍｎ４で、それらのサイズ比に応じてＭｎ２のドレイン電流に比例した電流が流れるＭｎ４の電流Ｉ４を、Ｍｐ４，Ｍｐ３からなるカレントミラーで折り返して、折り返したＭｐ３のドレイン電流Ｉ３を、入力段の負荷ＭＯＳトランジスタＭｎ１とカレントミラー接続されたＭｎ３に流すことで、動作点近傍すなわち電源電圧ＶＤＤ（例えば５Ｖ）と接地電位（０Ｖ）の中間電位の近傍での直線性がすぐれた増幅回路が実現される。

【００１９】

さらに、この実施例では、Ｍｎ３とＭｐ３との間およびＭｎ４とＭｐ４との間にそれぞれ接続されたＭｐ５とＭｎ５のゲート端子に定電圧Ｖａが印加されてゲート接地型のトラ

ンジスタとして動作するように構成され、Ｍｐ５とＭｎ３との接続ノードＮ１を出力端子ＯＵＴに接続して出力を取り出すように構成されている。

【００２０】

Ｍｐ５とＭｎ５のない図４に示されているような従来の差動増幅回路においては、出力段１２のＭＯＳトランジスタＭｐ３のドレイン電圧とＭｎ４のドレイン電圧（特にＭｐ３のドレイン電圧）が、電源電圧ＶＤＤの変動等によって変動されやすく、その電圧に変動に伴うチャンネル変調効果で、無信号時にもＭｐ３とＭｐ４に等しい電流が流れず入力オフセットが生じていた。

【００２１】

これに対し、本実施例の差動増幅回路においては、Ｍｎ３とＭｐ３との間およびＭｎ４とＭｐ４との間にそれぞれＭｐ５とＭｎ５が接続され、そのゲート端子に定電圧Ｖａが印加されているため、Ｍｐ５とＭｎ５によってＭｐ３のドレイン電圧とＭｎ４のドレイン電圧の変動が抑えられ、電位が安定化される。その結果、チャンネル変調効果でＭｐ３，Ｍｎ４のドレイン電流が変化するのが抑えられ、入力オフセットが低減されるという効果が得られる。

【００２２】

また、差動増幅回路においては、素子のばらつきで回路の動作点すなわち出力の振幅中心が目標値からずれてしまうという不具合があるが、本実施例の差動増幅回路においては、Ｍｐ５とＭｎ５のゲート端子に印加する定電圧Ｖａを素子ばらつきに応じて調整することによって、動作点を容易に目標値に合わせ込むことができるようになるという利点がある。定電圧Ｖａは、電源電圧ＶＤＤが５Ｖの場合、５Ｖと接地電位である０Ｖとのほぼ中間の電位である２．５Ｖ前後であって、動作点すなわち出力の振幅中心として最適な値が選択される。後述のＤＣ-ＤＣコンバータにおける誤差アンプとして使用する場合、定電圧Ｖａの最適範囲は、２．０～２．２Ｖであった。

【００２３】

なお、上記実施例では、Ｍｐ５とＭｎ５のゲート端子に同一の定電圧Ｖａを印加しているが、別々の定電圧を印加するように構成しても良い。それによって、より高精度に動作点を目標値に設定することが可能となる。ただし、別々の定電圧を印加するように構成すると、動作点を合わせ込む作業が非常に面倒となるので、上記実施例のようにＭｐ５とＭｎ５のゲート端子に同一の定電圧Ｖａを印加すれば充分な場合が多い。

（変形例）

図２に、上記実施例の差動増幅回路の変形例を示す。この変形例は、図１の差動増幅回路に、位相補償回路を追加して回路の位相余裕を大きくして発振が起こりにくくなるように構成したものである。具体的には、出力段のＭＯＳトランジスタＭｎ３，Ｍｎ４と接地点との間に抵抗Ｒ３，Ｒ４を接続するとともに、これらの抵抗Ｒ３，Ｒ４とそれぞれ並列に容量Ｃ１，Ｃ２を接続して位相補償回路を構成した。

【００２４】

また、出力端子ＯＵＴと接地点との間にも抵抗Ｒ５と容量Ｃ３を直列に接続して位相補償回路とした。さらに、特に限定されるものではないが、出力段１２の各ＭＯＳトランジスタのバイアス条件と差動入力段１１の各ＭＯＳトランジスタのバイアス条件を合わせるため、入力段の負荷ＭＯＳトランジスタＭｎ１，Ｍｎ２と接地点との間にも抵抗Ｒ１，Ｒ２を接続する構成とした。

（応用例）

図３には、上記実施例の差動増幅回路を使用して好適なシステムとしてのＤＣ-ＤＣコンバータの構成例を示す。図３は、スイッチング・レギュレータ方式のＤＣ－ＤＣコンバータであり、出力のフィードバック電圧を増幅する誤差アンプとして前記実施例の差動増幅回路が使用されている。

【００２５】

図３のＤＣ－ＤＣコンバータは、インダクタとしてのコイルＬ１、直流入力電圧Ｖｉｎが印加される電圧入力端子ＩＮと上記コイルＬ１の一方の端子との間に接続されコイルＬ

１に向かって駆動電流を流し込むＰチャネルＭＯＳＦＥＴからなる駆動用スイッチトランジスタＳＷ１、コイル端子と接地点との間に設けられたＮチャネルＭＯＳＦＥＴからなる同期整流用スイッチトランジスタＳＷ２、これらのスイッチトランジスタＳＷ１，ＳＷ２をオン、オフ制御するスイッチング制御回路２０、上記コイルＬ１の他方の端子と接地点との間に接続された平滑用コンデンサＣ１を備える。

【００２６】

特に限定されるものではないが、ＤＣ－ＤＣコンバータを構成する素子のうち、コイルＬ１および平滑用コンデンサＣ１以外の素子は１個の半導体チップ上に形成されている。すなわち、制御回路２０およびスイッチング素子ＳＷ１，ＳＷ２は半導体集積回路（ＩＣ）として構成され、コイルＬ１およびコンデンサＣ１はこのＩＣに設けられている外部端子に外付け素子として接続されるようになっている。

【００２７】

図３のＤＣ－ＤＣコンバータにおいては、トランジスタＳＷ１とＳＷ２を相補的にオン、オフさせるような駆動パルスがスイッチング制御回路２０により生成されるようになっており、定常状態では、駆動用スイッチトランジスタＳＷ１がオンされるとコイルＬ１に直流入力電圧Ｖｉｎが印加されて出力端子へ向かう電流が流されて平滑用コンデンサＣ１が充電され、駆動用スイッチトランジスタＳＷ１がオフされると代わって同期整流用スイッチトランジスタＳＷ２がオンされ、このオンされたトランジスタＳＷ２を通してコイルＬ１に電流が流される。そして、ＳＷ１の制御端子（ゲート端子）に入力される駆動パルスのパルス幅が出力のフィードバック電圧に応じて制御されることで、直流入力電圧Ｖｉｎを降圧した直流出力電圧Voutが発生される。

【００２８】

スイッチング制御回路２０は、電圧フィードバック端子ＦＢと接地点との間に直列に接続され抵抗比で出力電圧Voutを分圧するブリーダ抵抗Ｒ１，Ｒ２と、このブリーダ抵抗で分圧された電圧と参照電圧Vref1とを比較して電位差に応じた電圧を出力する誤差アンプ２１と、該誤差アンプ２１の出力が非反転入力端子に入力されるＰＷＭ（パルス幅変調）コンパレータ２２と、該ＰＷＭコンパレータ２２から出力されるＰＷＭパルスに基いて上記スイッチトランジスタＳＷ１，ＳＷ２のゲートを駆動する信号を生成するドライバ回路２３とを備えている。

【００２９】

また、スイッチング制御回路２０には、上記ＰＷＭコンパレータ２２の反転入力端子に印加される三角波や鋸波のような波形信号を生成する波形生成回路２４と、上記誤差アンプ２１に印加される参照電圧Vref1を生成するバンドギャップリファランス回路などからなる基準電圧生成回路２５が設けられている。また、上記誤差アンプ２１として前記実施例の差動増幅回路を使用する場合、ＭＯＳトランジスタＭｐ５，Ｍｎ５のゲート端子に印加する定電圧Ｖａはこの基準電圧生成回路２５により生成するように構成することができる。

【００３０】

図３のＤＣ－ＤＣコンバータにおいては、出力のフィードバック電圧を抵抗分割した電圧と参照電圧Vref1との電位差に応じた電圧が誤差アンプ２１からＰＷＭコンパレータ２２へ出力され、ＰＷＭコンパレータ２２によって、出力電圧が下がるとＰＷＭパルスの幅を長くしてスイッチトランジスタＳＷ１のオン時間を長くし、出力電圧が上がるとＰＷＭパルスの幅を短くしてスイッチトランジスタＳＷ１のオン時間を短くするようなフィードバック制御が行なわれる。

【００３１】

上記ＤＣ－ＤＣコンバータにおいては、負荷の変動の少ない定常状態では出力電圧Ｖｏｕｔは急激に変動せず、誤差アンプ２１からは比較的変動の小さな電圧が出力される期間が長くなる。このような誤差アンプ２１に前記実施例の差動増幅回路を使用した場合、その動作点を合わせ込むことによって変動の小さな電圧範囲において極めて直線性の優れた増幅を行なわせることができ、それによって精度の高い出力電圧のフィードバック制御が

可能となる。

【００３２】

以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではない。例えば、前記実施形態では、ＰチャネルＭＯＳＦＥＴを差動入力トランジスタとしている差動増幅回路を示したが、差動入力トランジスタにＮチャネルＭＯＳＦＥＴを使用し、負荷ＭＯＳＦＥＴにＰチャネルＭＯＳＦＥＴを使用した差動増幅回路、すなわち図１や図２の回路において、電源電圧ＶＤＤと接地電位ＧＮＤの関係を逆にするとともに各トランジスタの導電型を逆にした回路にも適用することができる。

【００３３】

また、前記実施例では、差動入力段の負荷ＭＯＳトランジスタＭｎ１と出力段のＭＯＳトランジスタＭｎ３、またＭｎ２とＭｎ４とがそれぞれカレントミラー接続されているものを示したが、Ｍｎ１とＭｎ２がカレントミラー接続され、出力段のＭＯＳトランジスタＭｎ３とＭｎ４は、差動入力段の負荷ＭＯＳトランジスタＭｎ１またはＭｎ２のドレイン電圧をゲート端子に受けるように接続されているものであっても良い。

【００３４】

さらに、前記実施例では、出力段のＭＯＳトランジスタＭｐ３とＭｐ４がカレントミラー接続されているものを示したが、Ｍｐ３とＭｐ４は各々そのゲートとドレインが結合されたいわゆるダイオード接続のＭＯＳトランジスタとされているものであっても良い。

【産業上の利用可能性】

【００３５】

以上の説明では、本発明をＤＣ－ＤＣコンバータの誤差アンプに適用した例を説明したが、本発明にそれに限定されるものではなく、振幅範囲が比較的小さな信号を増幅する差動増幅回路を内蔵する半導体集積回路に広く利用することができる。

【図面の簡単な説明】

【００３６】

【図１】本発明に係るＣＭＯＳ差動増幅回路の一実施例を示す回路図である。

【図２】図１の差動増幅回路の変形例を示す回路図である。

【図３】実施例の差動増幅回路を使用して好適なシステムとしてのＤＣ-ＤＣコンバータの構成例を示すブロック図である。

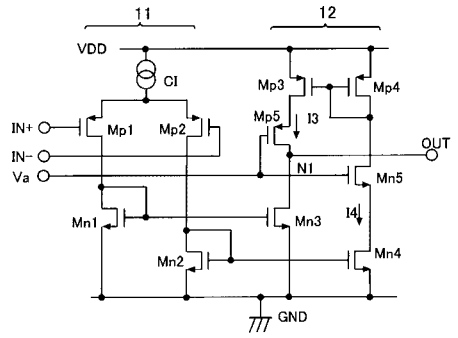
【図４】従来のＣＭＯＳ差動増幅回路の一例を示す回路図である。

【符号の説明】

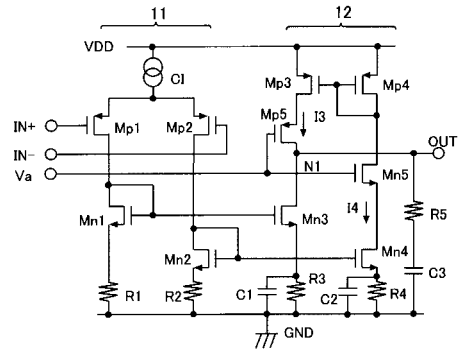
【００３７】

１１　差動入力段
１２　出力段
２０　スイッチング制御回路
２１　誤差アンプ
２２　ＰＷＭコンパレータ
２３　ドライバ回路
２４　波形生成回路
２５　基準電圧生成回路
Ｍｐ１，Ｍｐ２　差動ＭＯＳトランジスタ
Ｍｎ１，Ｍｎ２　負荷ＭＯＳトランジスタ
ＳＷ１　駆動用スイッチトランジスタ
ＳＷ２　同期整流用スイッチトランジスタ

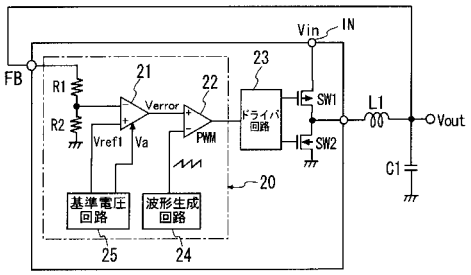
【図１】


11
12
VDD
CI
Mp3
Mp4
IN+
Mp1
Mp2
Mp5
I3
OUT
IN-
Va
N1
Mn5
Mn1
Mn3
I4
Mn2
Mn4
GND

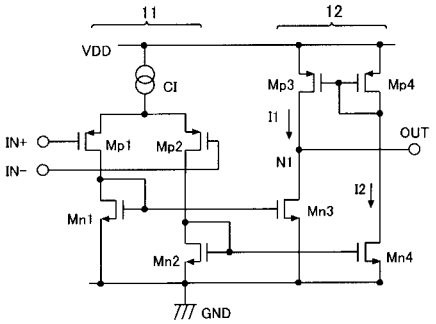
【図２】


11
12
VDD
CI
Mp3
Mp4
IN+
Mp1
Mp2
Mp5
I3
OUT
IN-
Va
N1
Mn5
Mn1
Mn3
I4
R5
Mn2
Mn4
C3
R1
R2
C1
R3
C2
R4
GND

【図３】


Vin
IN
FB
21
23
R1
22
Verror
SW1
L1
Vout
R2
Vref1
Va
PWM
ドライバ回路
SW2
C1
20
基準電圧回路
波形生成回路
25
24

【図４】


11
12
VDD
CI
Mp3
Mp4
I1
IN+
Mp1
Mp2
OUT
IN-
N1
I2
Mn1
Mn3
Mn2
Mn4
GND

フロントページの続き

Ｆターム(参考) 5J500 AA01 AA12 AC13 AF10 AH10 AH17 AH25 AH29 AH33 AK05
AK09 AM17 DN01 DN12 DN23 DP03