



第1の非同期式回路である非同期式回路(150)は、許可信号(al)の立上りに応じて処理を開始し、該処理の完了時に処理完了信号(out)を立ち上げ、許可信号(al)の立下りに応じて完了信号(out)を立ち下げる。処理完了信号(out)の反転信号である処理開始信号(start)は、クロック信号(CLK)と共に制御回路(110)に入力される。制御回路(110)は、開始信号(start)とクロック信号(CLK)の両方が立ち上がったときに許可信号(al)を立ち上げ、開始信号(start)とクロック信号(CLK)の両方が立ち下がったときに許可信号(al)を立ち下げる。これにより、回路規模の増大を抑制しつつ、非同期式回路の処理速度を一定に保つ。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置、具体的には、半導体装置に設けられた非同期式回路の処理速度を制御する技術に関する。

背景技術

[0002] 処理の高速化と、消費電力の削減は、マイクロコンピュータの開発者が常に直面している２つの課題であり、様々な視点からの技術が提案されている。

[0003] 例えば、半導体集積回路のデジタル回路について、非同期設計技術が知られている。この技術による非同期式回路では、回路全体を１つのクロック信号（グローバルクロック信号）で制御する同期式回路と異なり、回路同士間でやりとりするハンドシェイク信号により処理のタイミングが制御される。

[0004] 非同期式回路は、処理時間がグローバルクロック信号に依存しないため、同期式回路より処理速度が速いという利点がある一方、非同期化によって処理量が増えることにより単位時間当たりの消費電力が上がってしまうという問題がある。

[0005] また、温度や製造上のばらつきにより非同期式回路の処理速度が一定ではないことは、知られている。これは、非同期式回路を搭載した製品によっては、動作の不整合を引き起こしてしまう恐れがあり、特にソフトウェアにより制御されるマイクロコンピュータにとっては、大きな問題である。

[0006] 特許文献１には、非同期式回路の処理速度を一定に保つ技術が開示されている。この技術は、供給される電圧が高くなると非同期式回路の処理が速くなり、供給される電圧が低くなると非同期式回路の処理が遅くなることを利用したものである。具体的には、非同期式回路の処理速度を計測し、計測した処理速度に応じて、処理速度が目標速度より速い場合には電圧を下げ、処理速度が目標速度より遅い場合には電圧を上げるように、非同期式回路に供

給する電圧を調整する。こうすることにより、非同期式回路の処理速度は、目標速度に一定に保たれる。図 2 1 は、特許文献 1 における図 2 に対して符号を変更したものであり、該技術を適用した処理速度一定化装置 1 0 を示す。

先行技術文献

特許文献

[0007] 特許文献1：特開 2 0 0 9 - 2 6 0 6 1 2 号公報

発明の概要

発明が解決しようとする課題

[0008] 図 2 1 から分かるように、該処理速度一定化装置 1 0 は、非同期回路 1 2 の処理速度（パルス数）を計測するための周期変動パルス生成部 1 4（リングオシレータ）とパルス計測部 3 0（1 2 ビットバイナリカウンタ）、周期一定パルス生成部 2 0（水晶発振器）、目標速度（目標パルス数）を設定するための動作・処理速度変更条件設定部 7 0、動作・処理速度変更条件取得部 6 0 動作・処理速度変更制御部 8 0、目標速度を記憶するためのメモリ 5 2、電圧制御信号生成部 5 0（計測した速度と目標速度を比較するための比較器 5 4 と、非同期回路 1 2 に供給する電圧を調整する電圧調整器 4 0 を含む）などを有する。これでは、非同期回路の処理速度を一定に保つための回路の規模が大きく、チップ面積が増大してしまうという問題がある。

[0009] 本発明は、上記事情に鑑みてなされたものであり、非同期式回路の処理速度を一定に保つと共に、回路規模の増大を抑制する技術を提供する。

課題を解決するための手段

[0010] 本発明の一つの態様は、半導体装置である。この半導体装置は、所定の処理を繰り返し実行する第 1 の非同期式回路と、該第 1 の非同期式回路に許可信号を出力する制御回路を有する。

[0011] 第 1 の非同期式回路は、許可信号が有効状態になったときに上記所定の処理を開始し、該所定の処理の完了時に処理完了信号を有効状態にし、許可信

号が無効状態になったときに処理完了信号を無効状態にする。

[0012] 制御回路は、上記処理完了信号の反転信号となる処理開始信号と、クロック信号とが入力され、第1の非同期式回路に許可信号を出力する。該制御回路は、処理開始信号とクロック信号の両方が有効状態になったときに許可信号を有効状態にし、処理開始信号とクロック信号の両方が無効状態になったときに許可信号を前記無効状態にする。

[0013] なお、「有効状態」と「無効状態」は、立上り状態と立下り状態の片方と他方を夫々意味する。

[0014] なお、上記態様の半導体装置を方法などに置き換えて表現するものや、該半導体装置を含むシステムなども、本発明の態様としては有効である。

発明の効果

[0015] 本発明にかかる技術によれば、回路規模の増大を抑制しつつ、非同期式回路の処理速度を一定に保つことができる。

図面の簡単な説明

[0016] [図1]本発明の第1の実施の形態にかかる半導体装置を示す図である。

[図2]図1に示す半導体装置における制御モジュールの回路構成例を示す図である。

[図3]図2に示す制御モジュールにおけるC素子を示す図である。

[図4]図1に示す半導体装置における制御回路を示す図である。

[図5]図1に示す半導体装置における各信号の遷移を示すタイミングチャートである。

[図6]本発明の第2の実施の形態にかかる半導体装置を示す図である。

[図7]図6に示す半導体装置における制御モジュールの回路構成例を示す図である。

[図8]図6に示す半導体装置における各信号の遷移を示すタイミングチャートである。

[図9]本発明の第3の実施の形態にかかる半導体装置を示す図である。

[図10]図9に示す半導体装置における各信号の遷移を示すタイミングチャー

トである。

[図11]本発明の第4の実施の形態にかかるCPUを示す図である。

[図12]図11に示すCPUにおける各信号の遷移を示すタイミングチャートである。

[図13]本発明の第5の実施の形態にかかるプロセッサを示す図である。

[図14]本発明の第6の実施の形態にかかる半導体装置を示す図である。

[図15]図14に示す半導体装置における各信号の遷移を示すタイミングチャートである。

[図16]プロセスの今回の開始から、次の開始までの時間がクロック信号の1サイクル長を超えた場合の問題点を説明するための図である。

[図17]本発明の第7の実施の形態にかかる半導体装置を示す図である。

[図18]図17に示す半導体装置における各信号の遷移を示すタイミングチャートである（その1）。

[図19]図17に示す半導体装置における各信号の遷移を示すタイミングチャートである（その2）。

[図20]本発明の第8の実施の形態にかかる半導体装置を示す図である。

[図21]特許文献1における図2に対して符号を変更した図である。

発明を実施するための形態

[0017] 以下、図面を参照して本発明の実施の形態について説明する。説明の明確化のため、以下の記載及び図面は、適宜、省略、及び簡略化がなされている。なお、各図面において、同一の要素には同一の符号が付されており、必要に応じて重複説明は省略されている。

[0018] 説明上の便宜のため、いくつかの用語を定義する。まず、非同期式回路について、「プロセス」と「基本操作」を定義する。

[0019] 例えば、処理「 $F = (A + B + C)^2$ 」を実行するために、該処理を、3つの処理「 $D = A + B$ 」、「 $E = D + C$ 」、「 $F = E^2$ 」に分けて、該3つの処理を夫々実行する3つの非同期式回路を段階的に接続する。こうすることにより、該3つの非同期式回路は、互いにハンドシェイクをしながら、夫々の

処理を実行することにより処理「 $F = (A + B + C)^2$ 」を実現する。

[0020] 回路に含まれる非同期式回路の段数に関わらず、回路全体が実行する処理を「プロセス」といい、該回路に含まれる個々の非同期式回路が実行する、上記プロセスを構成する夫々の処理を「基本操作」という。

[0021] 上記の例の場合、処理「 $F = (A + B + C)^2$ 」はプロセスであり、3つの処理「 $D = A + B$ 」、「 $E = D + C$ 」、「 $F = E^2$ 」は、該プロセスの基本操作である。

[0022] なお、プロセスは1段の非同期式回路により実行される場合、「プロセス」と「基本操作」は、同一になる。

[0023] 例えば、プロセス「 $C = A + B$ 」を実行する回路を、演算「 $C = A + B$ 」を実行する非同期式回路で構成した場合、「プロセス」と「基本操作」のいずれも、演算「 $C = A + B$ 」となる。

[0024] なお、非同期式回路では、基本操作の実行のために、基本操作に該当する処理そのもの以外に、該処理のためのレジスタ間のデータ移動などが伴う。以下において、「基本操作」が、該基本操作のためのレジスタ間のデータ移動などを含むものであるとして説明を行う。

[0025] 次に、最大値 T_{max} を定義する。

後の説明で分かるが、本発明にかかる技術は、従来において第1の非同期式回路に直接入力される、該非同期式回路に処理を開始させる信号（以下「処理開始信号」という）を所定の制御回路に入力し、該制御回路により、第1の非同期式回路による処理（基本操作）の開始タイミングをクロックに同期させる。この第1の非同期式回路は、1段の非同期式回路によりプロセスを実行する場合においては、該非同期式回路そのものであり、複数段の非同期式回路が互いにハンドシェイクをしながら夫々の基本操作を順次行うことによりプロセスを実行する場合においては、これらの複数の非同期式回路のうちのいずれか1つである。

[0026] 最大値 T_{max} は、上記所定の制御回路が設けられておらず、処理開始信号が直接第1の非同期式回路に入力されると仮定した場合における、プロセ

スの今回の実行の開始から、次回の実行の開始までに所要しうる最長時間である。

[0027] 前述したように、製造上のばらつきや、温度などの環境要因により、非同期式回路の処理速度が一定ではない。そのため、従来では、プロセスの今回の実行の開始から、次回の実行の開始までの時間の長さは、変動する。最大値 T_{max} は、この時間の長さの変動範囲のうちの最大値である。

[0028] 次いで、立ち上がった状態と立ち下がった状態のいずれか一方の状態を有し得る信号に対して「有効状態」、「無効状態」、「有効エッジ」、「無効エッジ」を定義する。

[0029] 信号の「有効状態」は、立ち上がった状態と立ち下がった状態のいずれか片方である。そのため、「無効状態」は、立ち下がった状態と立ち下がった状態のうちの、「有効状態」とは異なる方になる。

[0030] また、「有効エッジ」は、有効状態の先頭を意味する。例えば、有効状態が立ち上がった状態であるときには、有効エッジは、立ち上がりエッジであり、有効状態が立ち下がった状態であるときには、有効エッジは、立下がりエッジとなる。同様に、「無効エッジ」は、無効状態の先頭を意味する。

[0031] 信号の有効エッジと有効状態をいずれのほうにするかは、他の装置との整合性や、制御の便宜性などから、適宜決定すればよい。

[0032] 以下の説明において、例として、有効エッジが立ち上がりエッジであり、有効状態が立ち上がった状態であるとする。

[0033] また、以下の説明において、上記にて定義した用語を使用すると共に、使用する際に、その用語の説明を繰り返さない。

<第1の実施の形態>

[0034] 図1は、本発明の第1の実施の形態にかかる半導体装置100を示す。この半導体装置100は、1段の非同期式回路により所定のプロセスを実行するものであり、制御回路110、インバータ120、非同期式回路150を備える。この非同期式回路150は、上述した第1の非同期式回路に該当する。

[0035] 非同期式回路 150 は、2 相式の非同期式回路であり、演算回路 180 と、演算回路 180 に対して 2 相式制御を行う制御モジュール 160 を有する。

[0036] 制御回路 110 は、制御モジュール 160 に許可信号 a1 を出力する。

制御モジュール 160 は、許可信号 a1 が立ち上がったときに、非同期式回路 150 が担う基本操作（ここでは、プロセスと同様である）を演算回路 180 に行わせる。その後、制御モジュール 160 は、上記プロセスが完了すると、ラッチ信号を演算回路 180 に出力して演算結果を保持させると共に、処理完了信号（以下単に「完了信号」ともいう）out を立ち上げる。その後、制御モジュール 160 は、許可信号 a1 の立下りに応じて完了信号 out を立ち下げる。

[0037] 完了信号 out は、インバータ 120 に出力される。インバータ 120 は、完了信号 out の反転信号を制御回路 110 に出力する。

[0038] 通常、1 段の非同期式回路によりプロセスを実行する半導体装置では、該非同期式回路が出力する完了信号 out の反転信号は、該非同期式回路に、次のプロセス（基本操作）の開始を指示する信号である。そのため、ここで、インバータ 120 が出力する信号を処理開始信号 start という。以下において、処理開始信号を単に「開始信号」ともいう。

[0039] 1 段の非同期式回路によりプロセスを実行する半導体装置では、該非同期式回路が出力する完了信号 out の反転信号（開始信号 start）は、該非同期式回路に直接入力される。

[0040] 本実施の形態の半導体装置 100 において、開始信号 start は、制御回路 110 に入力されるようになっている。

[0041] 制御回路 110 には、開始信号 start 以外に、クロック信号 CLK も入力されるようになっている。

[0042] 制御回路 110 は、開始信号 start とクロック信号 CLK の両方が有効状態になったとき、すなわち立ち上がったときに許可信号 a1 を立ち上げ、開始信号 start とクロック信号 CLK の両方が立ち下がったときに許

可信号 a l を立ち下げる。

[0043] 本実施の形態の半導体装置 100 において、クロック信号 CLK の周期は、非同期式回路 150 の最大値 T max 以上である。

[0044] 図 2 は、非同期式回路 150 における制御モジュール 160 の回路構成の例を示す。図 2 に示すように、制御モジュール 160 は、AND 素子 161、インバータ 162、AND 素子 164、インバータ 165、遅延素子 166、C 素子 170 を有する。制御回路 110 からの許可信号 a l は、AND 素子 161 の片方の入力端と、C 素子 170 の片方の入力端に入力される。インバータ 162 は、入力端が C 素子 170 の出力端に接続され、出力端が AND 素子 161 の他方の入力端に接続される。C 素子 170 から出力される信号は、OUT である。なお、C 素子 170 の出力端は、AND 素子 164 の片方の入力端にも接続される。

[0045] AND 素子 161 の出力は、遅延素子 166 に入力される。遅延素子 166 の出力は、ラッチ信号 l a t として演算回路 180 に出力されると共に、C 素子 170 の他方の入力端と、インバータ 165 の入力端に入力される。

[0046] AND 素子 164 は、C 素子 170 とインバータ 165 の出力とが入力され、それらの論理積を出力する。この論理積は、制御モジュール 160 が出力する完了信号 o u t である。

[0047] C 素子 170 は、M u l l e r の C 素子であり、全ての入力値が一致したときにのみ出力がその入力値に遷移する記憶素子である。図 3 は、C 素子 170 の構成を示す。該 C 素子 170 は、許可信号 a l と、図 2 に示す制御モジュール 160 が出力するラッチ信号 l a t とが入力され、信号 OUT を出力する。

[0048] C 素子 170 は、3 つの 2 入力の AND 素子 171 ~ 173 と、3 入力の OR 素子 174 を備える。OR 素子 174 の 3 つの入力は、3 つの AND 素子 171 ~ 173 の出力である。

[0049] AND 素子 171 には、許可信号 a l と、OR 素子 174 の出力 OUT が入力される。AND 素子 172 には、許可信号 a l と、ラッチ信号 l a t が

入力される。AND素子173には、OR素子174の出力OUTと、ラッチ信号latが入力される。

[0050] 図4は、半導体装置100における制御回路110の回路構成の例を示す。制御回路110は、クロック信号CLKと開始信号startが入力され、許可信号a1を出力する。

[0051] 制御回路110は、3つの2入力のAND素子111～113と、3入力のOR素子114を備える。OR素子114の3つの入力は、3つのAND素子111～113の出力である。

[0052] AND素子111には、クロック信号CLKと、OR素子114の出力である許可信号a1が入力される。AND素子112には、クロック信号CLKと開始信号startが入力される。AND素子113には、許可信号a1と開始信号startが入力される。

[0053] 図3と図4を比較すると分かるように、入力される信号が異なる以外、制御回路110は、C素子170と同様の構成を有する。すなわち、制御回路110も、MullerのC素子であり、全ての入力値（クロック信号CLK、開始信号start）が一致したときにのみ出力（許可信号a1）がその入力値に遷移する。

[0054] 図5は、図1に示す半導体装置100における各信号の遷移を示すタイミングチャートである。なお、半導体装置100の初期状態において、開始信号start信号を除き、図5に示す各信号が「0」とであるとする。開始信号startは、完了信号outの反転信号であるため、初期状態においては、「1」である。

[0055] タイミングt1において、クロック信号CLKが立ち上がる。これに応じて、タイミングt2において、許可信号a1も立ち上がる。これにて、非同期式回路150の稼働相が開始する。

[0056] タイミングt2における許可信号a1の立ち上がりに応じて、ラッチ信号latは、タイミングt3において立ち上がり、続いて、タイミングt4において立ち下がる。これにて、非同期式回路150の休止相が開始する。

[0057] タイミングt 4において、ラッチ信号l a tの立ち下がりにより、完了信号o u tは、立ち上がる。

[0058] 完了信号o u tの立ち上がりに応じて、タイミングt 5において、開始信号s t a r tが立ち下がる。このとき、開始信号s t a r tが「1」から「0」に変わったものの、クロック信号C L Kが「1」のままであるので、許可信号a lは、相変わらず「1」である。

[0059] そして、タイミングt 6において、クロック信号C L Kが立ち下がる。開始信号s t a r tも「0」であるため、タイミングt 7において、許可信号a lが立ち下がる。

[0060] ラッチ信号l a tが「0」であるため、タイミングt 7における許可信号a lの立ち下がりに応じて、タイミングt 8において、完了信号o u tが立ち下がる。これにて、非同期式回路1 5 0の休止相が終了する。続いて、タイミングt 9において、開始信号s t a r tが立ち上がる。

[0061] 制御回路1 1 0が設けられておらず、開始信号s t a r tが直接制御モジュール1 6 0に入力される通常の非同期式回路の場合、開始信号s t a r tの立ち上がりに応じて処理の次回の実行（次回の稼働相）が開始されるが、本実施の形態の半導体装置1 0 0では、開始信号s t a r tは制御回路1 1 0に入力されるようになっている。

[0062] そのため、タイミングt 9において開始信号s t a r tが立ち上がっても、クロック信号C L Kが「0」のままであるため、許可信号a lも「0」のままである。すなわち、非同期式回路1 5 0は、開始信号s t a r tが立ち上がっても、処理の次回の実行を開始しない。

[0063] その後、タイミングt 1 0において、クロック信号C L Kが立ち上がる。開始信号s t a r tが「1」であるため、タイミングt 1 1において、許可信号a lは、立ち上がる。

これにて、非同期式回路1 5 0は、処理の次回の実行、すなわち次回の稼働相を開始する。

[0064] タイミングt 1 0～t 2 0まで、各信号は、タイミングt 1～t 1 0まで

と同様の遷移を辿る。タイミング t_{20} の後も、このような遷移が繰り返される。

[0065] 前述したように、非同期式回路は、製造上のばらつきや、温度などの環境要因によって処理速度が変動するため、各回の処理にかかる時間も変動する可能性がある。

[0066] 例えば、図5において、タイミング t_{11} における許可信号 a_1 の立ち上がりから、タイミング t_2 と t_3 間の長さ ($t_3 - t_2$) と同様の時間が経過したタイミングは、タイミング t_{12} である。しかし、実際には、ラッチ信号 $l_a t$ が立ち上がったのは、タイミング t_{12} から Δt の分遅れたタイミング t_{13} である。そのため、完了信号 $o u t$ の立ち上がり及び開始信号 $s t a r t$ の立ち下がりも遅れる。このようなときに、開始信号 $s t a r t$ が直接入力される通常の非同期式回路では、次の処理の開始も Δt の分遅くなる。

[0067] それに対して、本実施の形態の半導体装置 100 における非同期式回路 150 では、制御回路 110 により、非同期式回路 150 の処理の開始タイミングをクロック信号 $C L K$ 信号に同期させることにより、上述したようなずれがあっても、今回の処理の開始から次の処理の開始までの時間（図5における「 $t_{11} - t_2$ 」、「 $t_{21} - t_{11}$ 」）は、常に、クロック信号 $C L K$ の周期「 T 」である。すなわち、非同期式回路 150 が担う処理（ここではプロセス）全体からみると、処理速度が一定である。

[0068] また、これを実現するために追加された回路が制御回路 110 のみである。図4に示す例のように、このような制御を行う制御回路 110 は、C素子、すなわち3つのAND素子と1つのOR素子からなるC素子で構成できるため、非同期式回路 150 の処理速度を一定に保つために必要な回路規模の増大が少ない。

<第2の実施の形態>

[0069] 図1に示す第1の実施の形態の半導体装置 100 は、本発明にかかる技術を2相式の非同期式回路に適用した例である。本発明にかかる技術は、2相

式の非同期式回路に限らず、いかなる非同期式回路にも適用することができる。例えば、図6に示す第2の実施の形態の半導体装置200は、本発明にかかる技術を2線式の非同期式回路に適用した例である。

[0070] 図6に示すように、半導体装置200は、1段の非同期式回路により所定のプロセスを実行するものであり、制御回路210と、インバータ120と、非同期式回路250を備える。非同期式回路250は、第1の非同期式回路に該当する。

[0071] 非同期式回路250は、2線式の非同期式回路であり、制御モジュール260と、演算回路280を有する。

[0072] 制御回路210は、制御モジュール260に許可信号a1を出力する。

制御モジュール260は、許可信号a1が立ち上がったときに、演算回路280に出力する信号（リクエスト信号req）を、演算回路280に演算を開始させる値にする。演算回路280は、演算が完了すると、制御モジュール260に返送する通知信号ackを、演算の完了を示す値に変更する。そして、制御モジュール260は、リクエスト信号reqを、演算回路280に初期化を行わせるための値に変更し、演算回路280は、初期化が完了すると、通知信号ackを、初期化の完了を示す値に変更する。

[0073] また、制御モジュール260は、通知信号ackが初期化の完了を示す値になったときに、インバータ120に出力する完了信号outを立ち上げる。その後、制御モジュール260は、許可信号a1の立下りに応じて完了信号outを立ち下げる。

[0074] インバータ120は、完了信号outの反転信号を制御回路110に出力する。この反転信号も、通常のこの種の非同期式回路では、次のプロセス（基本操作）の開始を指示する開始信号startである。ここでは、開始信号startは、制御回路210に入力される。

[0075] 制御回路210には、開始信号start以外に、クロック信号CLKも入力されるようになっている。

[0076] 制御回路210は、開始信号startとクロック信号CLKの両方が有

効状態になったとき、すなわち立ち上がったときに許可信号 a を立ち上げ、開始信号 $start$ とクロック信号 CLK の両方が立ち下がったときに許可信号 a を立ち下げ、他のときには許可信号 a の状態を維持する。

[0077] なお、制御回路 210 は、図 4 に示す制御回路 110 と同様に、C 素子により構成される。

[0078] 図 7 は、非同期式回路 250 における制御モジュール 260 の回路構成の例を示す。図 7 に示すように、制御モジュール 260 は、AND 素子 261、インバータ 262、AND 素子 264、インバータ 265、C 素子 270 を有する。制御回路 210 からの許可信号 a は、AND 素子 261 の片方の入力端と、C 素子 270 の片方の入力端に入力される。インバータ 262 は、入力端が C 素子 270 の出力端に接続され、出力端が AND 素子 261 の他方の入力端に接続される。C 素子 270 の出力端は、AND 素子 264 の片方の入力端にも接続される。

[0079] AND 素子 261 の出力は、リクエスト信号 req として演算回路 280 に出力される。演算回路 280 からの通知信号 ack は、C 素子 270 の他方の入力端と、インバータ 265 の入力端に入力される。

[0080] AND 素子 264 は、C 素子 270 とインバータ 265 の出力とが入力され、それらの論理積を出力する。この論理積は、制御モジュール 260 が出力する完了信号 out である。

[0081] C 素子 270 は、図 3 に示す C 素子 170 と同様に、Muller の C 素子であり、ここで詳細な説明を省略する。C 素子 270 は、全ての入力値（ここでは許可信号 a と通知信号 ack ）が一致したときにのみ出力がその入力値に遷移する。

[0082] 図 8 は、図 6 に示す半導体装置 200 における各信号の遷移を示すタイミングチャートである。なお、半導体装置 200 の初期状態において、開始信号 $start$ 信号を除き、図 8 に示す各信号が「0」であるとする。開始信号 $start$ は、完了信号 out の反転信号であるため、初期状態においては、「1」である。

- [0083] タイミングt 1において、クロック信号C L Kが立ち上がる。これに応じて、タイミングt 2において、許可信号a lも立ち上がる。これに応じて、タイミングt 3において、リクエスト信号r e qが立ち上がる。
- [0084] その後、演算回路280による演算が完了し、タイミングt 4において、通知信号a c kが立ち上がる。これに応じて、タイミングt 5において、リクエスト信号r e qが立ち下がる。
- [0085] その後、演算回路280による初期化が完了し、タイミングt 6において、通知信号a c kが立ち下がり、完了信号o u tが立ち上がる。
- [0086] 完了信号o u tの立ち下がりに応じて、タイミングt 7において、開始信号s t a r tが立ち下がる。このとき、開始信号s t a r tが「1」から「0」に変わったものの、クロック信号C L Kが「1」のままであるので、許可信号a lは、相変わらず「1」である。
- [0087] そして、タイミングt 8において、クロック信号C L Kが立ち下がる。開始信号s t a r tも「0」であるため、タイミングt 9において、許可信号a lが立ち下がる。
- [0088] 通知信号a c kが「0」であるため、タイミングt 9における許可信号a lの立ち下がりに応じて、タイミングt 10において、完了信号o u tが立ち下がる。続いて、タイミングt 11において、開始信号s t a r tが立ち上がる。
- [0089] その後、タイミングt 12において、クロック信号C L Kが立ち上がる。開始信号s t a r tが「1」であるため、タイミングt 13において、許可信号a lは、立ち上がる。
- これにて、非同期式回路150は、処理の次回の実行を開始する。
- [0090] 許可信号a lの立ち上がりに応じて、タイミングt 14において、リクエスト信号r e qが立ち上がる。
- [0091] その後、演算回路280による演算が完了し、タイミングt 16において、通知信号a c kが立ち上がる。これに応じて、タイミングt 17において、リクエスト信号r e qが立ち下がる。

[0092] その後、演算回路280による初期化が完了し、タイミング t_{18} において、通知信号ackが立ち下がり、完了信号outが立ち上がる。

[0093] 完了信号outの立ち下がりに応じて、タイミング t_{20} において、開始信号startが立ち下がる。

[0094] なお、タイミング t_{18} と t_{20} の間のタイミング t_{19} において、クロック信号CLKが立ち下がったが、タイミング t_{19} では、開始信号startがまだ「1」のままであるので、許可信号alは、相変わらず「1」である。

[0095] タイミング t_{20} において開始信号startが立ち下がったため、許可信号alは、タイミング t_{21} で立ち下がる。

[0096] その後、完了信号outの立ち下がり、開始信号startの立ち上がりを経て、タイミング t_{23} において、クロック信号CLKが立ち上がり、タイミング t_{24} において、許可信号alは、立ち上がる。

これにて、非同期式回路150は、処理の次回の実行を開始する。

[0097] 図8において、タイミング t_{14} におけるリクエスト信号reqの立ち上がりから、タイミング t_3 と t_4 間の長さ($t_4 - t_3$)と同様の時間が経過したタイミングは、タイミング t_{15} である。しかし、実際には、通知信号ackが立ち上がったのは、タイミング t_{15} から Δt の分遅れたタイミング t_{16} である。そのため、その後のリクエスト信号reqの立ち下がりも遅くなる。このようなときに、開始信号startが直接入力される通常の非同期式回路では、次回の処理の開始も Δt の分遅くなる。

[0098] それに対して、本実施の形態の半導体装置200における非同期式回路250では、制御回路210により、非同期式回路250の処理の開始タイミングをクロック信号CLK信号に同期させることにより、上述したようなずれがあっても、今回の処理の開始から次回の処理の開始までの時間（図8における「 $t_{13} - t_2$ 」、「 $t_{24} - t_{13}$ 」）は、常に、クロック信号CLKの周期「T」である。すなわち、非同期式回路250が担う処理（ここではプロセス）全体からみると、処理速度が一定である。

[0099] また、第１の実施の形態の半導体装置１００と同様に、非同期式回路の処理速度を一定に保つために必要な回路規模の増大が少ない。

＜第３の実施の形態＞

[0100] 上述した半導体装置１００と半導体装置２００は、本発明にかかる技術を、１段の非同期式回路により全プロセスを実行する場合に適用した例である。本発明にかかる技術は、１段以上の任意の段数の非同期式回路によりプロセスを実行する場合にも適用することができる。ここで、第３の実施の形態として、本発明にかかる技術を３段の非同期式回路によりプロセスを実行する場合に適用した半導体装置を説明する。また、例として、これらの非同期式回路が２相式の非同期式回路であるとする。

[0101] 図９に示す第３の実施の形態の半導体装置３００は、制御回路３１０と、非同期式回路３２０、非同期式回路３３０、非同期式回路３４０、インバータ１２０を備える。非同期式回路３３０は、第１の非同期式回路に該当する。

[0102] 非同期式回路３２０は制御モジュール３２２と演算回路３２４を有し、非同期式回路３３０は制御モジュール３３２と演算回路３３４を有し、非同期式回路３４０は制御モジュール３４２と演算回路３４４を有する。これらの非同期式回路に備える制御モジュールは、図１に示す半導体装置１００における非同期式回路１５０の制御モジュール１６０と同様の動作をするものであり、ここで詳細な説明を省略する。なお、各制御モジュールが出力する信号を区別するために、制御モジュール３２２が出力する完了信号とラッチ信号をout 1とlat 1で表記し、制御モジュール３３２が出力する完了信号とラッチ信号をout 2とlat 2で表記し、制御モジュール３４２が出力する完了信号とラッチ信号をout 3とlat 3で表記する。

[0103] 通常、２段以上の非同期式回路によりプロセスを実行するこの種の装置では、２段目以降の各非同期式回路は、前段が出力する完了信号を開始信号として入力される。最下段の非同期式回路が出力する完了信号はインバータにより反転されて１段目の非同期式回路の開始信号として１段目の非同期式回

路に入力される。なお、最下段の非同期式回路が出力する完了信号は、該非同期式回路自身による処理（基本操作）の今回の実行の完了を示すと共に、プロセスの今回の実行の完了も示す。

[0104] 本実施の形態の半導体装置 300 において、通常のこの種の装置の場合と同様に、最下段ここでは 3 段目の非同期式回路（非同期式回路 340）が出力する完了信号 out_3 は、インバータ 120 により反転されて制御モジュール 322 に入力される。ここで、インバータ 120 が出力する信号を end で表記する。この信号 end は、非同期式回路 320 の開始信号になる。

[0105] しかし、本実施の形態の半導体装置 300 では、1 段目の非同期式回路（非同期式回路 320）が出力する完了信号 out_1 は次段の非同期式回路に出力されない。図示のように、完了信号 out_1 は、制御回路 310 に入力される。制御回路 310 は、完了信号 out_1 と、クロック信号 CLK とが入力され、2 段目の非同期式回路（非同期式回路 330）に許可信号 a_1 を出力する。許可信号 a_1 は、非同期式回路 330 にとって、開始信号と同様の作用をする。

[0106] 制御回路 310 は、非同期式回路 330 による処理（基本操作）の開始タイミングをクロック信号 CLK に同期させるものである。入力されるクロック信号 CLK の周期が、図 1 に示す半導体装置 100 における制御回路 110 に入力されるクロック信号 CLK の周期と異なる点以外、図 4 に示す制御回路 110 と同様に、C 素子により構成される。

[0107] また、制御回路 310 に入力されるクロック信号 CLK の周期は、非同期式回路 320～非同期式回路 340 の最大値 T_{max} 以上である。

[0108] 図 10 は、半導体装置 300 における各信号の遷移を示すタイミングチャートである。なお、分かりやすいように、図 10 において、各非同期式回路が出力するラッチ信号の図示を省略している。

[0109] 完了信号 out_3 がタイミング t_1 で立ち下がるとする。これに応じて、タイミング t_2 において、信号 end が立ち上がる。これにて、非同期式回路 320 は、処理（プロセスの 1 つ目の基本操作）を開始し、処理完了のタ

イミング t_3 で、完了信号 out_1 を立ち上げる。

[0110] タイミング t_3 において完了信号 out_1 が立ち上がったものの、クロック信号 CLK がまだ立ち上がっていないため、許可信号 a_1 は、「0」のままである。

[0111] タイミング t_4 において、クロック信号 CLK が立ち上がる。これに応じて、タイミング t_5 で許可信号 a_1 が立ち上がる。そのため、非同期式回路 330 は、処理（プロセスの2つ目の基本操作）を開始し、処理完了のタイミング t_6 で、完了信号 out_2 を立ち上げる。

[0112] 完了信号 out_2 が、非同期式回路 340 の開始信号として制御モジュール 342 に直接入力されるため、タイミング t_6 において完了信号 out_2 が立ち上がると、非同期式回路 340 は、処理（プロセスの3つ目すなわち最後の基本操作）を開始し、処理完了のタイミング t_7 で、完了信号 out_3 を立ち上げる。

[0113] タイミング t_7 における完了信号 out_3 の立ち上がりに応じて、タイミング t_8 で信号 end が立ち下がる。これに応じて、タイミング t_9 で完了信号 out_1 が立ち下がる。その後、クロック信号 CLK が立ち下がるタイミング t_{10} まで、各信号は、変更しない。

[0114] タイミング t_{10} においてクロック信号 CLK が立ち下がる、タイミング t_{11} で許可信号 a_1 が立ち下がる。その後、完了信号 out_2 、完了信号 out_3 が順次立ち下がり、タイミング t_{14} で信号 end が立ち上がる。

[0115] 各信号は、タイミング t_{14} からタイミング t_{18} まで、タイミング t_2 からタイミング t_{14} までと同様の遷移をする。このような遷移は、タイミング t_{18} 以降も繰り返される。

[0116] このように、本実施の形態の半導体装置 300 では、制御回路 310 により、非同期式回路 330 の処理の開始タイミングをクロック信号 CLK 信号に同期させることにより、非同期式回路 320～340 によるプロセスの今回の実行の開始から次回の実行の開始までの時間（図10における「 t_{14}

「 t_2 」、「 $t_{18}-t_{14}$ 」)は、常に、クロック信号CLKの周期「T」である。すなわち、非同期式回路320～340が担うプロセス全体からみると、処理速度が一定である。

[0117] また、これを実現するために追加された回路が制御回路310のみであり、回路規模の増大が少ない。

＜第4の実施の形態＞

[0118] 上述した第3の実施の形態の半導体装置300は、本発明にかかる技術を、複数段の非同期式回路によりプロセスを実行する場合に適用した例であり、該例において、基本操作の開始タイミングがクロック信号に同期するように制御される非同期式回路（第1の非同期式回路）は、2段目である。

[0119] 複数段の非同期式回路によりプロセスを実行する場合に本発明にかかる技術を適用する際に、第1の非同期式回路は、該複数段の非同期式回路のうちのいずれであってもよい。ここで、第4の実施の形態として、第1の非同期式回路が複数段の非同期式回路の最上段にある半導体装置を説明する。

[0120] 図10は、本発明の第4の実施の形態のCPU400を示す。このCPU400は、CSIC型非同期CPUであり、非同期式制御部402と、データパス部404を有する。

[0121] 非同期式制御部402は、制御回路410と、段階的に接続された5つの制御モジュール（フェッチ制御モジュール422、デコード制御モジュール432、実行制御モジュール442、メモリアクセス制御モジュール452、ライトバック制御モジュール462）と、最下段のライトバック制御モジュール462が出力する完了信号out5を反転して、該反転信号（開始信号start）を制御回路410に出力するインバータ120を有する。各制御モジュールは、データパス部404の後述するフリップフロップ（以下FFという）にラッチ信号を出力する。

[0122] データパス部404は、メモリ406と、FF424、演算回路434、FF435、演算回路444、FF445、演算回路454、FF455、演算回路464、FF465を有する。

- [0123] フェッチ制御モジュール422とFF424は、1段目の非同期式回路（非同期式回路420）を構成する。該非同期式回路420は、メモリ406から命令をフェッチする処理を行う。
- [0124] デコード制御モジュール432、演算回路434、FF435は、2段目の非同期式回路（非同期式回路430）を構成する。非同期式回路430は、非同期式回路420がフェッチした命令をデコードする処理を行う。
- [0125] 実行制御モジュール442、演算回路444、FF445は、3段目の非同期式回路（非同期式回路440）を構成する。非同期式回路440は、非同期式回路430がデコードした命令を実行する処理を行う。
- [0126] メモリアクセス制御モジュール452、演算回路454、FF455は、4段目の非同期式回路（非同期式回路450）を構成する。非同期式回路450は、命令の実行に伴った、アクセス対象（例えば図示しない周辺モジュール内のフリップフロップなど）へのアクセスを行う。
- [0127] ライトバック制御モジュール462、演算回路464、FF465は、最下段の5段目の非同期式回路（非同期式回路460）を構成する。非同期式回路460は、命令の実行の完了に伴うライトバックを行う。
- [0128] 各非同期式回路は、自身の処理（基本操作）が完了すると、自身が出力する完了信号を立ち上げる。
- [0129] 2段目以降の各非同期式回路すなわち非同期式回路430～460は、前段の非同期式回路が出力する完了信号（out1～out4）が直接入力され、該完了信号が立ち上がったときに、自身による処理（基本操作）を開始する。
- [0130] 本実施の形態において、1段目の非同期式回路420は、第1の非同期式回路であり、その処理の開始タイミングが、制御回路410によりクロック信号CLKに同期するように制御されている。
- [0131] 制御回路410は、クロック信号CLKと、インバータ120からの開始信号startが入力され、許可信号a1を非同期式回路420に出力するC素子である。制御回路410に入力されるクロック信号CLKの周期は、

非同期式回路 420～非同期式回路 460 の最大値 T_{max} 以上である。

[0132] また、フェッチ制御モジュール 422～ライトバック制御モジュール 462 は、2 相式の制御を行うものであり、例えば図 2 に示す制御モジュール 160 と同様の回路構成を有する。

[0133] 図 12 は、CPU 400 における各信号の遷移を示すタイミングチャートである。初期状態において、開始信号 *start* を除き、各信号の値が「0」である。

[0134] タイミング *t*1 においてクロック信号 *CLK* が立ち上がる。このとき、開始信号 *start* が「1」であるため、タイミング *t*2 において、許可信号 *a1* が立ち上がる。これにて、非同期式回路 420 の稼働相が開始する。そして、タイミング *t*3 におけるラッチ信号 *lat*1 の立ち上がりの後、タイミング *t*4 において、ラッチ信号 *lat*1 が立ち下がり、完了信号 *out*1 が立ち上がる。これにて、非同期式回路 420 の休止相が開始し、非同期式回路 430 の稼働相が開始する。

[0135] 次いで、タイミング *t*5 におけるラッチ信号 *lat*2 の立ち上がりの後、タイミング *t*6 において、ラッチ信号 *lat*2 が立ち下がり、完了信号 *out*2 が立ち上がる。これにて、非同期式回路 430 の休止相が開始し、非同期式回路 440 の稼働相が開始する。

[0136] そして、タイミング *t*7 におけるラッチ信号 *lat*3 の立ち上がりの後、タイミング *t*8 において、ラッチ信号 *lat*3 が立ち下がり、完了信号 *out*3 が立ち上がる。これにて、非同期式回路 440 の休止相が開始し、非同期式回路 450 の稼働相が開始する。

[0137] 次いで、タイミング *t*9 におけるラッチ信号 *lat*4 の立ち上がりの後、タイミング *t*10 において、ラッチ信号 *lat*4 が立ち下がり、完了信号 *out*4 が立ち上がる。これにて、非同期式回路 450 の休止相が開始し、非同期式回路 460 の稼働相が開始する。

[0138] そして、タイミング *t*11 におけるラッチ信号 *lat*5 の立ち上がりの後、タイミング *t*12 において、ラッチ信号 *lat*5 が立ち下がり、完了信号

o u t 5 が立ち上がる。これに応じて、タイミング t 1 3 において、開始信号 s t a r t が立ち下がる。

[0139] また、図 1 2 から分かるように、タイミング t 1 3 の前にクロック信号 C L K が立ち下がっている。クロック信号 C L K が立ち下がったとき、開始信号 s t a r t がまだ「1」のままであるので、許可信号 a l が「1」のままである。

[0140] タイミング t 1 3 において開始信号 s t a r t が立ち下がると、制御回路 4 1 0 の 2 つの入力（クロック信号 C L K、開始信号 s t a r t）とも「0」になったため、タイミング t 1 4 において、許可信号 a l が立ち下がる。その後、完了信号 o u t 1、完了信号 o u t 2、完了信号 o u t 3、o u t 4、o u t 5 も順次立ち下がる。その結果、タイミング t 2 0 において、開始信号 s t a r t が立ち上がる。

[0141] 開始信号 s t a r t が直接 1 段目の非同期式回路に入力される通常の非同期式 C P U では、タイミング t 2 0 における開始信号 s t a r t の立ち上がりにより 1 段目の非同期式回路が処理の次回の実行を開始するが、C P U 4 0 0 では、図 1 2 に示すように、タイミング t 2 0 において開始信号 s t a r t が立ちあがっても、許可信号 a l が立ち上がらず、1 段目の非同期式回路 4 2 0 は、休止相のままである。

[0142] その後、タイミング t 2 1 においてクロック信号 C L K が立ち上がる。制御回路 4 1 0 の 2 つの入力とも「1」になったため、タイミング t 2 2 において、許可信号 a l が立ち上がる。これにて、非同期式回路 4 2 0 が処理の次回の実行を開始する。なお、非同期式回路 4 2 0 が 1 段目の非同期式回路であるため、タイミング t 2 2 は、非同期式回路 4 2 0 ~ 4 6 0 により実行されるプロセスの回次の開始タイミングでもある。

[0143] タイミング t 1 からタイミング t 2 1 までにおける各信号の遷移は、タイミング t 2 1 から繰り返される。このようにして、図 1 2 から分かるように、プロセスの今回の実行開始から次回の実行開始までの時間（「t 2 2 - 2」）は、常に、クロック信号 C L K の周期 T と同様の長さに保たれる。す

なわち、非同期式回路４２０～４５０が担うプロセス全体からみると、処理速度が一定である。

[0144] また、これを実現するために追加された回路が制御回路４１０のみであり、回路規模の増大が少ない。

＜第５の実施の形態＞

[0145] 図１３は、本発明の第５の実施の形態にかかるプロセッサ５００を示す。プロセッサ５００は、図１１に示すＣＰＵ４００と、周辺モジュール５１０を備える。周辺モジュール５１０は、例えば、Ａ／Ｄコンバータやタイマなど、通常のプロセッサに備えられるものであり、データを格納するフリップフロップ（ＦＦ）５１２を備える。クロック信号ＣＬＫは、周辺モジュール５１０にも供される。

[0146] メモリ４０６には、図示しないメモリライタなどにより予め命令が書き込まれている。非同期式回路４２０が行うフェッチのフェッチアドレスは、非同期式制御部４０２内の図示しないレジスタの値によって決まる。

[0147] フェッチフェーズにおいて非同期式回路４２０がメモリ４０６からフェッチしたアドレスが周辺モジュール５１０に対するリード命令である場合に、実行フェーズにおいて、非同期式回路４４０における演算回路４４４は、データアドレスＤＡＲをアクセス対象の周辺モジュール５１０に出力する。これに応じて周辺モジュール５１０からリードデータＲＤが出力される。そして、メモリアクセスフェーズで、リードデータＲＤは、非同期式回路４５０の演算回路４５４によりＦＦ４５５に書き込まれる。

[0148] また、フェッチフェーズにおいて非同期式回路４２０がメモリ４０６からフェッチしたアドレスが周辺モジュール５１０に対するライト命令である場合に、実行フェーズにおいて、非同期式回路４４０における演算回路４４４は、データアドレスＤＡＲとライトデータＷＤを周辺モジュール５１０に出力する。そして、クロック信号ＣＬＫの立上りタイミングで該ライトデータＷＤは周辺モジュール５１０のＦＦ５１２に書き込まれる。

[0149] 本第５の実施の形態にかかるプロセッサ５００は、第４の実施の形態にか

かるCPU400を適用したものであり、CPU400のときに説明した全ての効果を得ることができる。

＜第6の実施の形態＞

[0150] 図14は、本発明の第6の実施の形態にかかる半導体装置600を示す。半導体装置600は、第2のパルス信号生成回路610をさらに備え、制御回路110が、クロック信号CLKの代わりに第2のパルス信号生成回路610からの第2のパルス信号PLS2が入力される点を除き、図1に示す半導体装置100と同様である。そのため、半導体装置600については、第2のパルス信号生成回路610のみを詳細に説明する。

[0151] 第2のパルス信号生成回路610は、クロック信号CLKと、開始信号start、許可信号a1が入力され、制御回路110に第2のパルス信号PLS2を出力する。

[0152] 第2のパルス信号生成回路610は、許可信号a1が立ち上がる回数をカウントし、カウントした回数Nが設定された回数N以下であるときに開始信号startを第2のパルス信号PLS2として出力する。一方、カウントした回数が回数Nになったときに、クロック信号CLKを第2のパルス信号PLS2として出力すると共に、カウントした回数を0に戻す。

[0153] 具体的には、図14に示すように、第2のパルス信号生成回路610は、回数設定レジスタ612、カウンタ614、比較器616、セクタ618を備える。

[0154] 回数設定レジスタ612は、上記回数Nを設定するためのものである。

カウンタ614は、ダウンカウンタであり、回数設定レジスタ612に設定された回数Nから0までのカウントダウンを繰り返し行う。カウンタ614は、許可信号a1が立上りエッジになる度に1つカウントダウンし、カウント値が0までになったら、再び回数Nからカウントする。

[0155] 比較器616は、カウンタ614のカウント値と0を比較し、カウント値が0であるか否かを示す比較結果をセクタ618に出力する。

[0156] セクタ618は、比較器616からの比較結果に応じて、カウンタ61

4のカウント値が0以外であるときに開始信号 *start* を、カウント値が0になったときにクロック信号 *CLK* を選択して第2のパルス信号 *PLS2* として制御回路110に出力する。

[0157] 制御回路110は、第2のパルス信号 *PLS2* と開始信号 *start* の両方とも立ち上がったときに許可信号 *a1* を立ち上げ、第2のパルス信号 *PLS2* と開始信号 *start* の両方とも立ち下がったときに許可信号 *a1* を立ち下げ、他のときには許可信号 *a1* の状態を維持する。

[0158] 図15は、半導体装置600における各信号の遷移を示すタイミングチャートの例を示す。この例において、回数設定レジスタ612に設定された回数 *N* が3であるとする。

[0159] 図示のように、タイミング *t1* において、カウンタ614のカウント値が初期値の0であるため、第2のパルス信号 *PLS2* は、クロック信号 *CLK* の立上りに応じて立ち上がる。

[0160] このとき、開始信号 *start* も立ち上がっているため、制御回路110は、許可信号 *a1* を立ち上げる。許可信号 *a1* の立ち上がりに応じて、カウンタ614のカウント値は、3になる。

[0161] その後、カウンタ614のカウント値が0になるタイミング *t5* まで、第2のパルス信号 *PLS2* は、開始信号 *start* と同様である。

[0162] すなわち、タイミング *t5* までに非同期式回路150が開始した3回の処理のうちに、1回目の開始タイミングは、クロック信号 *CLK* に同期されている、一方、2回目と3回目の開始タイミングは、クロック信号 *CLK* に同期されておらず、非同期式回路150は、制御回路110が設けられていない通常の非同期動作をする。以下、開始タイミングがクロック信号 *CLK* に同期されている場合を「同期モード」といい、開始タイミングがクロック信号 *CLK* に同期されていない場合を「非同期モード」という。

[0163] タイミング *t5* における許可信号 *a1* の立上りに応じてカウンタ614のカウント値が0になる。そのため、第2のパルス信号 *PLS2* は、クロック信号 *CLK* になる。従って、タイミング *t6* においてクロック信号 *CLK* が

立ち下がったときに、開始信号 `start` がまだ立ち下がっていないものの、第2のパルス信号 `PLS2` は、立ち下がる。

[0164] これにより、非同期式回路 150 が行う4回目の処理の開始タイミングは、クロック信号 `CLK` の立上りに同期され、タイミング `t9` となる。

[0165] その後も同様に、非同期式回路 150 による各3回の処理のうちに、1回目の開始タイミングはクロック信号 `CLK` の立上りに同期され、2回目と3回目の開始タイミングは、クロック信号 `CLK` に同期されないようになっていく。

[0166] 非同期式回路による処理の開始タイミングをクロック信号 `CLK` に同期させることにより非同期式回路による処理の速度を一定にすることができるが、処理の速度が遅くなるという問題がある。また、非同期式回路は、その用途によって、毎回の処理の開始タイミングをクロック信号 `CLK` に同期させるほどの精度が要求されない可能性もある。

[0167] 本実施の形態の半導体装置 600 は、第2のパルス信号生成回路 610 が設けられることによって、回数設定レジスタ 612 に設定される回数 `N` を変更することにより非同期式回路 150 の処理速度の調整精度を変更可能である。

[0168] 例えば、処理速度が重視されるシステムに適用する場合には、回数 `N` を大きい値に設定することにより非同期モードの割合を多くし、処理速度の安定性が重視されるシステムに適用する場合には、回数 `N` を小さい値に設定することにより同期モードの割合を多くすればよい。

[0169] また、半導体装置 600 では、非同期式回路 150 を同期モードのみまたは非同期モードのみで動作させることも可能である。

[0170] 非同期式回路 150 を同期モードのみで動作させる場合には、回数設定レジスタ 612 に回数 `N` として0を設定すればよい。

[0171] また、非同期式回路 150 を非同期モードのみで動作させる場合には、回数設定レジスタ 612 に1以上の回数 `N` を設定すると共に、カウンタ 614 を制御するイネーブル信号 `EN` を0にしてカウンタ 614 によるカウントダ

ウンをさせないようにすればよい。この場合、カウンタ 614 のカウント値が常に 1 以上となる N であるため、非同期式回路 150 は、常に非同期モードで動作する。

＜第 7 の実施の形態＞

[0172] 以上に説明した第 1 から第 5 の各実施の形態において、制御回路に入力されるクロック信号 CLK の周期が最大値 T_{max} 以上であり、開始信号 $start$ は、必ずクロック信号 CLK が無効状態（立ち下がった状態）であるときに立ち上がる。そのため、クロック信号 CLK が立ち上がったときに、開始信号 $start$ が既に立ち上がっており、制御回路は、クロック信号 CLK が立ち上がる度に許可信号 a を立ち上げる。その結果、非同期式回路によるプロセスの処理時間を一定にしている。また、第 6 の実施の形態においても、同期モードのみで非同期式回路 150 を動作させる場合に関しても同様である。

[0173] しかし、例えばシステムの他の機能ブロックとの整合性などの制約から、クロック信号 CLK の周期を最大値 T_{max} 以上にすることができない場合に、プロセスの今回の開始から、次の開始までの時間がクロック信号 CLK の周期すなわち 1 サイクル長を超えてしまう。図 16 のタイミングチャートを参照してこの場合の問題点を説明する。なお、第 1 の実施の形態にかかる半導体装置 100 を例にする。

[0174] 図 16 に示すように、タイミング t_4 でクロック信号 CLK が立ち上がったときに、開始信号 $start$ がまだ立ち上がっていないため、許可信号 a も立ち下がったままである。その後、タイミング t_5 で開始信号 $start$ が立上り、それに応じて許可信号 a も立ち上がる。非同期式回路 150 による 1 回目の処理の開始タイミング（タイミング t_2 ）と、2 回目の処理の開始タイミング（タイミング t_6 ）間の長さは、 T_1 である。

[0175] その後、タイミング t_7 における許可信号 a の立下りに応じてタイミング t_9 で開始信号 $start$ は立ち上がる。このとき、クロック信号 CLK が既に立ち上がっているため、タイミング t_{10} において、許可信号 a も

立ち上がる。非同期式回路 150 による 2 回目の処理の開始タイミング（タイミング t_6 ）と、3 回目の処理の開始タイミング（タイミング t_{10} ）間の長さは、 T_2 である。

[0176] 続いて、開始信号 $start$ は、クロック信号 CLK の立上り後のタイミング t_{11} で立ち下がり、クロック信号 CLK の立下り後のタイミング t_{13} で立ち上がる。しかし、許可信号 al は、クロック信号 CLK の再びの立上り後のタイミング t_{14} で立ち上がる。非同期式回路 150 による 3 回目の処理の開始タイミング（タイミング t_{10} ）と、4 回目の処理の開始タイミング（タイミング t_{14} ）間の長さは、 T_3 である。

[0177] 図 16 から分かるように、この場合においても非同期式回路 150 が動作可能であるものの、非同期式回路 150 の処理速度がばらつき、安定しないという問題がある。

[0178] 本願発明者は、この問題を解決するための手法を確立した。図 17 に示す第 7 の実施の形態にかかる半導体装置 700 を用いて、この手法を説明する。

[0179] 半導体装置 700 は、第 1 のパルス信号生成回路 710 をさらに備え、制御回路 110 が、クロック信号 CLK の代わりに第 1 のパルス信号生成回路 710 からの第 1 のパルス信号 PLS_1 が入力される点を除き、図 1 に示す半導体装置 100 と同様である。そのため、半導体装置 700 については、第 1 のパルス信号生成回路 710 のみを詳細に説明する。

[0180] 第 1 のパルス信号生成回路 710 は、クロック信号 CLK と開始信号 $start$ が入力され、制御回路 110 に第 1 のパルス信号 PLS_1 を出力する。第 1 のパルス信号生成回路 710 は、フリップフロップ (FF) 712、遅延回路 714、AND 素子 716 を備える。

[0181] FF 712 は、クロック信号 CLK の立上りに開始信号 $start$ をラッチすると共に、ラッチした信号を、クロック信号 CLK の次の立上りまで AND 素子 716 に出力し続ける。FF 712 が出力する信号を以下「信号 S_1 」という。

- [0182] 遅延回路 714 は、クロック信号 CLK を遅延させてから AND 素子 716 に出力する。遅延回路 714 は、FF 712 がラッチの開始から、ラッチした信号の出力までの遅延時間以上の遅延量を有する。遅延回路 714 が出力する信号を以下「遅延クロック信号 S2」という。
- [0183] AND 素子 716 は、信号 S1 と遅延クロック信号 S2 の論理積を得て制御回路 110 に出力する。この論理積は、第 1 のパルス信号 PLS1 である。
- [0184] なお、制御回路 110 は、第 1 のパルス信号 PLS1 と開始信号 start の両方とも立ち上がったときに許可信号 a1 を立ち上げ、第 1 のパルス信号 PLS1 と開始信号 start の両方とも立ち下がったときに許可信号 a1 を立ち下げ、他のときには許可信号 a1 の状態を維持する。
- [0185] 図 18 は、半導体装置 700 における各信号の遷移を示すタイミングチャートの例である。
- [0186] 図 18 に示すように、タイミング t5 でクロック信号 CLK が立ち上がったときに、開始信号 start が立ち下がっているため、FF 712 が出力する信号 S1 は、立ち下がる。
- [0187] そのため、タイミング t6 で開始信号 start が立ち上がったときに、クロック信号 CLK が立ち上がっているものの、信号 S1 が立ち下がっているため、第 1 のパルス信号 PLS1 は、立ち上がらない。従って、許可信号 a1 も立ち上がらない。
- [0188] その後、タイミング t7 でクロック信号 CLK が再び立ち上がったときに、開始信号 start が立ち上がっているため、信号 S1 と第 1 のパルス信号 PLS1 は、立ち上がる。これに応じて、タイミング t8 で、許可信号 a1 は、立ち上がる。
- [0189] 非同期式回路 150 による 1 回目の処理の開始タイミング（タイミング t2）と、2 回目の処理の開始タイミング（タイミング t8）間の長さ T1 は、クロック信号 CLK の周期 T の 2 倍である。
- [0190] その後も同様に、タイミング t9 でクロック信号 CLK が立ち上がったと

きに、開始信号 `start` が立ち下がっているため、`FF712` が出力する信号 `S1` は、立ち下がる。

[0191] そのため、タイミング `t10` で開始信号 `start` が立ち上がったときに、クロック信号 `CLK` が立ち上がっているものの、信号 `S1` が立ち下がっているため、第1のパルス信号 `PLS1` は、立ち上がらない。従って、許可信号 `a1` も立ち上がらない。

[0192] そして、タイミング `t11` でクロック信号 `CLK` が再び立ち上がったときに、開始信号 `start` が立ち上がっているため、信号 `S1` と第1のパルス信号 `PLS1` は、立ち上がる。これに応じて、タイミング `t12` で、許可信号 `a1` は、立ち上がる。

[0193] 非同期式回路 150 による2回目の処理の開始タイミング（タイミング `t8`）と、3回目の処理の開始タイミング（タイミング `t12`）間の長さ `T2` も、クロック信号 `CLK` の周期 `T` の2倍である。

[0194] 図19は、半導体装置 700 における各信号の遷移を示すタイミングチャートの別の例である。

[0195] 図19に示すように、タイミング `t4` でクロック信号 `CLK` が立ち上がったときに、開始信号 `start` がまだ立ち上がっているため、`FF712` が出力する信号 `S1` は、立ち上がったままになる。そのため、第1のパルス信号 `PLS1` は、立ち上がる。なお、許可信号 `a1` は、立ち上がったままである。

[0196] その後、タイミング `t5` で開始信号 `start` が立ち下がるが、クロック信号 `CLK` と信号 `S1` が共に立ち上がったままであるため、第1のパルス信号 `PLS1` 乃至許可信号 `a1` も立ち上がったままである。

[0197] タイミング `t6` でクロック信号 `CLK` が立ち下がるときに、信号 `S1` が立ち上がったままであるが、第1のパルス信号 `PLS1` は、立ち下がる。これに応じて、許可信号 `a1` も、タイミング `t7` で立ち下がる。

[0198] タイミング `t8` で開始信号 `start` が立ち上がったときに、クロック信号 `CLK` がまだ立ち下がっているため、第1のパルス信号 `PLS1` は、立ち

上がらない。従って、許可信号 a_1 も立ち上がらない。

[0199] その後、タイミング t_9 でクロック信号 CLK が再び立ち上がったときに、開始信号 $start$ が立ち上がっているため、第 1 のパルス信号 PLS_1 は、立ち上がる。これに応じて、タイミング t_{10} で、許可信号 a_1 は、立ち上がる。

[0200] 非同期式回路 150 による 1 回目の処理の開始タイミング（タイミング t_2 ）と、2 回目の処理の開始タイミング（タイミング t_{10} ）間の長さ T_1 は、クロック信号 CLK の周期 T の 2 倍である。

[0201] その後も同様に、タイミング t_{12} でクロック信号 CLK が立ち上がったときに、開始信号 $start$ がまだ立ち上がっているため、 FF_{712} が出力する信号 S_1 は、立ち上がったままになり、第 1 のパルス信号 PLS_1 は、立ち上がる。

[0202] その後、タイミング t_{13} で開始信号 $start$ が立ち下がるが、クロック信号 CLK と信号 S_1 が共に立ち上がったままであるため、第 1 のパルス信号 PLS_1 乃至許可信号 a_1 も立ち上がったままである。

[0203] タイミング t_{14} でクロック信号 CLK が立ち下がるときに、信号 S_1 が立ち上がったままであるが、第 1 のパルス信号 PLS_1 は、立ち下がる。これに応じて、許可信号 a_1 も、タイミング t_{15} で立ち下がる。

[0204] タイミング t_{16} で開始信号 $start$ が立ち上がったときに、クロック信号 CLK がまだ立ち下がっているため、第 1 のパルス信号 PLS_1 は、立ち上がらない。従って、許可信号 a_1 も立ち上がらない。

[0205] その後、タイミング t_{17} でクロック信号 CLK が再び立ち上がったときに、開始信号 $start$ が立ち上がっているため、第 1 のパルス信号 PLS_1 は、立ち上がる。これに応じて、タイミング t_{18} で、許可信号 a_1 は、立ち上がる。

[0206] 非同期式回路 150 による 2 回目の処理の開始タイミング（タイミング t_{10} ）と、3 回目の処理の開始タイミング（タイミング t_{18} ）間の長さ T_2 も、クロック信号 CLK の周期 T の 2 倍である。

[0207] すなわち、本実施の形態の半導体装置 700 は、第 1 のパルス信号生成回路 710 により第 1 のパルス信号 PLS1 を生成してクロック信号 CLK の代わりに制御回路 110 に供することにより、非同期式回路 150 による処理の開始タイミングをクロック信号 CLK の次の立上りに同期させている。そのため、クロック信号 CLK の周期が、最大値 T_{max} より小さい場合においても、非同期式回路の処理速度を一定にすることができる。

[0208] この手法は、同期モードと非同期モードを混在させた場合にも適用できる。これについて、第 8 の実施の形態で説明する。

[0209] <第 8 の実施の形態>

図 20 は、本発明の第 8 の実施の形態にかかる半導体装置 800 を示す。該半導体装置 800 は、半導体装置 600 と半導体装置 700 の組合せであり、半導体装置 100 に対して、第 1 のパルス信号生成回路 710 と第 2 のパルス信号生成回路 610 を設けたものである。

[0210] 第 1 のパルス信号生成回路 710 は、クロック信号 CLK と開始信号 *start* が入力され、第 1 のパルス信号 PLS1 を生成して第 2 のパルス信号生成回路 610 に出力する。

[0211] 第 2 のパルス信号生成回路 610 は、第 1 のパルス信号 PLS1 と開始信号 *start* と、許可信号 *al* とが入力され、第 2 のパルス信号 PLS2 を生成して制御回路 110 に出力する。

[0212] 制御回路 110 は、第 2 のパルス信号 PLS2 と開始信号 *start* の両方とも立ち上がったときに許可信号 *al* を立ち上げ、第 2 のパルス信号 PLS2 と開始信号 *start* の両方とも立ち下がったときに許可信号 *al* を立ち下げ、他のときには許可信号 *al* の状態を維持する。

[0213] 第 1 のパルス信号生成回路 710 と第 2 のパルス信号生成回路 610 は、半導体装置 600 と半導体装置 700 のときに説明したものと同様である。

[0214] すなわち、本実施の形態の半導体装置 800 によれば、同期モードと非同期モードを切り替えながら非同期式回路 150 に動作させることができると共に、同期モードで動作させる際に、クロック信号 CLK の周期が、最大値

Tmaxより小さい場合においても、非同期式回路の処理速度を一定にすることができる。

[0215] また、図14に示す半導体装置600では、非同期モードで非同期式回路を動作させる際に、クロック信号CLKの周期が、最大値Tmaxより大きい場合においても、非同期式回路の処理速度がばらつく可能性がある。例えば、図15に示すタイミングチャートの例において、開始信号startの4回目の立上りタイミング(t8)がクロック信号CLKの3回目のHigh期間(タイミングt4～タイミングt6)内になった場合、非同期式回路は、5回目の非同期モードで動作してしまい、タイミングt9でクロック信号CLKが立ち上がったときに、同期モードに切り替わらない。

[0216] 本実施の形態の半導体装置800によれば、この問題が発生せず、非同期式回路の処理速度を一定することができる。

[0217] 以上、実施の形態をもとに本発明を説明した。実施の形態は例示であり、本発明の主旨から逸脱しない限り、上述した実施の形態に対してさまざまな変更、増減、組合せを行ってもよい。これらの変更、増減、組合せが行われた変形例も本発明の範囲にあることは当業者に理解されるところである。

[0218] 例えば、第1のパルス信号生成回路710と第2のパルス信号生成回路610に関して、半導体装置100に対して設けた例のみを説明したが、第1のパルス信号生成回路710と第2のパルス信号生成回路610は、半導体装置200、半導体装置300、CPU400、プロセッサ500のいずれにおける制御回路に対して設けてもよい。勿論、これらの実施の形態にかかる装置に第1のパルス信号生成回路710と第2のパルス信号生成回路610を設けることにより、上述した効果を得ることができる。

[0219] また、例えば、上述した各実施の形態において、クロック信号CLKの有効エッジを立ち上がりエッジとしたが、立ち下がりエッジを有効エッジとしてもよい。この場合、例えば、制御回路(制御回路110、制御回路210、制御回路310、制御回路410)に、クロック信号CLKまたは第1のパルス信号PLS1を反転させるインバータをさらに設ければよい。

[0220] この出願は、2011年3月9日に出願された日本出願特願2011-051677を基礎とする優先権を主張し、その開示の全てをここに取り込む。

産業上の利用可能性

[0221] 本発明は、半導体装置に設けられた非同期式回路の処理速度の制御に適用することができる。

符号の説明

[0222] 10 処理速度一定化装置 12 非同期回路
14 周期変動パルス生成部 20 周期一定パルス生成部
30 パルス計測部 40 電圧調整器
50 電圧制御信号生成部 52 メモリ
54 比較器 60 動作・処理速度変更条件取得部
70 動作・処理速度変更条件設定部 80 動作・処理速度変更制御部
100 半導体装置 110 制御回路
111 AND素子 112 AND素子
113 AND素子 114 OR素子
120 インバータ 150 非同期式回路
160 制御モジュール 161 AND素子
162 インバータ 164 AND素子
165 インバータ 166 遅延素子
170 C素子 171 AND素子
172 AND素子 173 AND素子
174 OR素子 180 演算回路
200 半導体装置 210 制御回路
250 非同期式回路 260 制御モジュール
261 AND素子 262 インバータ
264 AND素子 265 インバータ
270 C素子 280 演算回路

3 0 0 半導体装置 3 1 0 制御回路
3 2 0 非同期式回路 3 2 2 制御モジュール
3 2 4 演算回路 3 3 0 非同期式回路
3 3 2 制御モジュール 3 3 4 演算回路
3 4 0 非同期式回路 3 4 2 制御モジュール
3 4 4 演算回路 4 0 0 C P U
4 0 2 非同期式制御部 4 0 4 データパス部
4 0 6 メモリ 4 1 0 制御回路
4 2 0 非同期式回路 4 2 2 フェッチ制御モジュール
4 2 4 F F 4 3 0 非同期式回路
4 3 2 デコード制御モジュール 4 3 4 演算回路
4 3 5 F F 4 4 0 非同期式回路
4 4 2 実行制御モジュール 4 4 4 演算回路
4 4 5 F F 4 5 0 非同期式回路
4 5 2 メモリアクセス制御モジュール 4 5 4 演算回路
4 5 5 F F 4 6 0 非同期式回路
4 6 2 ライトバック制御モジュール 4 6 4 演算回路
4 6 5 F F 5 0 0 プロセッサ
5 1 0 周辺モジュール 5 1 2 F F
6 0 0 半導体装置 6 1 0 第2のパルス信号生成回路
6 1 2 回数設定レジスタ 6 1 4 カウンタ
6 1 6 比較器 6 1 8 セレクタ
7 0 0 半導体装置 7 1 0 第1のパルス信号生成回路
7 1 2 F F 7 1 4 遅延回路
7 1 6 A N D 素子 8 0 0 半導体装置
a l 許可信号
C L K クロック信号
o u t 完了信号

s t a r t 開始信号

R D リードデータ

W D ライトデータ

D A R データアドレス

P L S 1 第1のパルス信号

P L S 2 第2のパルス信号

E N イネーブル信号

請求の範囲

[請求項1] 信号の立上り状態と立下り状態の片方と他方が夫々有効状態と無効状態であるとした場合に、

所定の処理を繰り返し実行する第1の非同期式回路であって、許可信号が前記有効状態になったときに前記所定の処理を開始し、前記所定の処理の完了時に処理完了信号を前記有効状態にし、前記許可信号が前記無効状態になったときに前記処理完了信号を前記無効状態にする前記第1の非同期式回路と、

前記処理完了信号の反転信号となる処理開始信号と、クロック信号とが入力され、前記第1の非同期式回路に前記許可信号を出力する制御回路とを有し、

前記制御回路は、

前記処理開始信号と前記クロック信号の両方が前記有効状態になったときに前記許可信号を前記有効状態にし、

前記処理開始信号と前記クロック信号の両方が前記無効状態になったときに前記許可信号を前記無効状態にし、

他のときには前記許可信号の状態を維持することを特徴とする半導体装置。

[請求項2] 前記有効状態は、立ち上がった状態であり、

前記制御回路は、

前記クロック信号と、前記許可信号とが入力される第1のAND素子と、

前記クロック信号と、前記処理開始信号とが入力される第2のAND素子と、

前記許可信号と、前記処理開始信号とが入力される第3のAND素子と、

3つの前記AND素子が夫々出力する論理積の論理和を前記許可信号として出力するOR素子とを備えることを特徴とする請求項1に記

載の半導体装置。

[請求項3]

インバータをさらに備え、

前記第1の非同期式回路は、段階的に接続された複数の非同期式回路のうちの最上段であり、

前記複数の非同期式回路は、所定のプロセスを繰り返し実行するものであり、前記プロセスの1回の実行において該プロセスに含まれる複数の処理を夫々実行し、処理完了信号を出力し、

2段目以降の各非同期式回路は、前段の非同期式回路が出力する前記処理完了信号が前記有効状態になったときに自身の処理を開始し、該処理の完了時に自身が出力する前記処理完了信号を前記有効状態にし、前段の非同期式回路が出力する前記処理完了信号が前記無効状態になったときに自身が出力する前記処理完了信号を前記無効状態にし、

前記インバータは、前記複数の非同期式回路の内の最下段の非同期式回路が出力する前記処理完了信号が入力され、該処理完了信号の反転信号を前記処理開始信号として前記制御回路に出力することを特徴とする請求項1または2に記載の半導体装置。

[請求項4]

非同期式制御部と、データパス部を備える非同期CPU (Central Processing Unit) であり、

前記非同期式制御部は、

前記制御回路と、前記インバータと、フェッチ制御モジュールと、デコード制御モジュールと、実行制御モジュールと、メモリアクセス制御モジュールと、ライトバック制御モジュールとを有し、

前記データパス部は、

メモリと、

第1のフリップフロップと、

第2の演算回路及び第2のフリップフロップと、

第3の演算回路及び第3のフリップフロップと、

第4の演算回路及び第4のフリップフロップと、
第5の演算回路及び第5のフリップフロップとを有し、
前記フェッチ制御モジュールと、前記第1のフリップフロップは、
前記複数の非同期式回路の最上段の非同期式回路を構成し、前記メモリから命令をラッチするものであり、

前記デコード制御モジュールと、前記第2の演算回路と、前記第2のフリップフロップは、前記複数の非同期式回路の2段目の非同期式回路を構成し、前記最上段の非同期式回路がラッチした命令をデコードするものであり、

前記実行制御モジュールと、前記第3の演算回路と、前記第3のフリップフロップは、前記複数の非同期式回路の3段目の非同期式回路を構成し、前記2段目の非同期式回路がデコードした命令を実行するものであり、

前記メモリアクセス制御モジュールと、前記第4の演算回路と、前記第4のフリップフロップは、前記複数の非同期式回路の4段目の非同期式回路を構成し、前記3段目の非同期式回路による命令の実行に伴った、アクセス対象へのアクセスを行うものであり、

前記ライトバック制御モジュールと、前記第5の演算回路と、前記第5のフリップフロップは、前記複数の非同期式回路の最下段の非同期式回路であり、命令の実行の完了に伴うライトバックを行うものであることを特徴とする請求項3に記載の半導体装置。

[請求項5]

インバータをさらに備え、

前記第1の非同期式回路は、段階的に接続された複数の非同期式回路のうちの2段目以降であり、

前記複数の非同期式回路は、所定のプロセスを繰り返し実行するものであり、前記プロセスの1回の実行において該プロセスに含まれる複数の処理を夫々実行し、処理完了信号を出力し、

前記インバータは、前記複数の非同期式回路の内の最下段の非同期

式回路が出力する前記処理完了信号が入力され、該処理完了信号の反転信号を最上段の非同期式回路に出力し、

前記最上段の非同期式回路は、前記反転信号が前記有効状態になったときに、自身の処理を開始し、該処理の完了時に自身が出力する前記処理完了信号を前記有効状態にし、前記反転信号が前記無効状態になったときに自身が出力する前記処理完了信号を前記無効状態にし、

前記第 1 の非同期式回路の前段の非同期式回路が出力する前記処理完了信号は、前記処理開始信号として前記制御回路に入力され、

前記最上段の非同期式回路と前記第 1 の非同期式回路以外の各非同期式回路は、前段の非同期式回路が出力する前記処理完了信号が前記有効状態になったときに自身の処理を開始し、該処理の完了時に自身が出力する前記処理完了信号を前記有効状態にし、前段の非同期式回路が出力する前記処理完了信号が前記無効状態になったときに自身が出力する前記処理完了信号を前記無効状態にすることを特徴とする請求項 1 または 2 に記載の半導体装置。

[請求項6]

前記クロック信号と、前記処理開始信号とが入力され、第 1 のパルス信号を生成する第 1 のパルス信号生成回路をさらに備え、

前記制御回路は、前記クロック信号の代わりに前記第 1 のパルス信号が入力され、

前記第 1 のパルス信号生成回路は、

前記クロック信号が前記有効状態の先頭である有効エッジになる度に前記処理開始信号をラッチすると共に、ラッチした信号を、前記クロック信号が次に前記有効エッジになるまで出力し続けるフリップフロップと、

前記クロック信号と、前記フリップフロップがラッチした信号との論理積を得て前記第 1 のパルス信号として出力する論理積回路とを備えることを特徴とする請求項 2 から 5 のいずれか 1 項に記載の半導体装置。

[請求項7] 前記第1のパルス信号生成回路は、前記フリップフロップがラッチの開始から、ラッチした信号の出力までの遅延時間以上の遅延量を有する遅延回路をさらに有し、

前記クロック信号は、前記遅延回路を介して前記論理積回路に入力されることを特徴とする請求項6に記載の半導体装置。

[請求項8] 前記第1のパルス信号と、前記処理開始信号とが入力され、第2のパルス信号を生成する第2のパルス信号生成回路をさらに備え、

前記制御回路は、前記第1のパルス信号の代わりに前記第2のパルス信号が入力され、

前記第2のパルス信号生成回路は、

前記許可信号が前記有効状態になった回数をカウントし、

カウントした前記回数が設定された回数N以下であるときに前記処理開始信号を前記第2のパルス信号として出力し、

カウントした回数が前記回数Nになったときに、前記第1のパルス信号を前記第2のパルス信号として出力すると共に、カウントした回数を0に戻すことを特徴とする請求項6または7に記載の半導体装置。

[請求項9] 前記第2のパルス信号生成回路は、

前記回数Nを設定するための回数設定レジスタと、

前記回数設定レジスタに設定された前記回数Nから0までのカウントダウンを繰り返し行い、前記許可信号が前記有効状態の先頭である有効エッジになる度に1つカウントダウンするカウンタと、

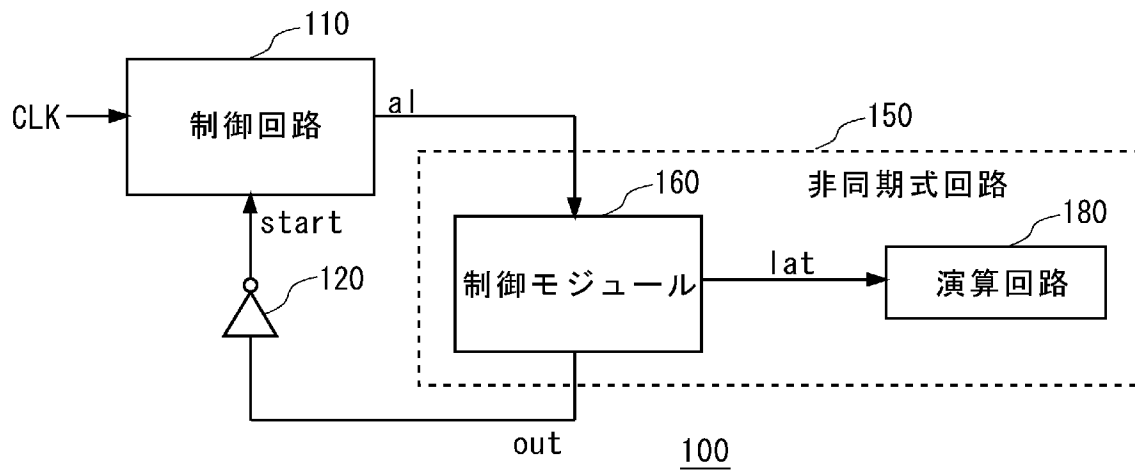
前記カウンタのカウント値と0を比較する比較器と、

前記第1のパルス信号と前記処理開始信号とが入力され、前記比較器の比較結果に応じて、前記カウンタのカウント値が0以外であるときに前記処理開始信号を、前記カウント値が0になったときに前記第1のパルス信号を選択して前記第2のパルス信号として出力するセレクタとを有することを特徴とする請求項8に記載の半導体装置。

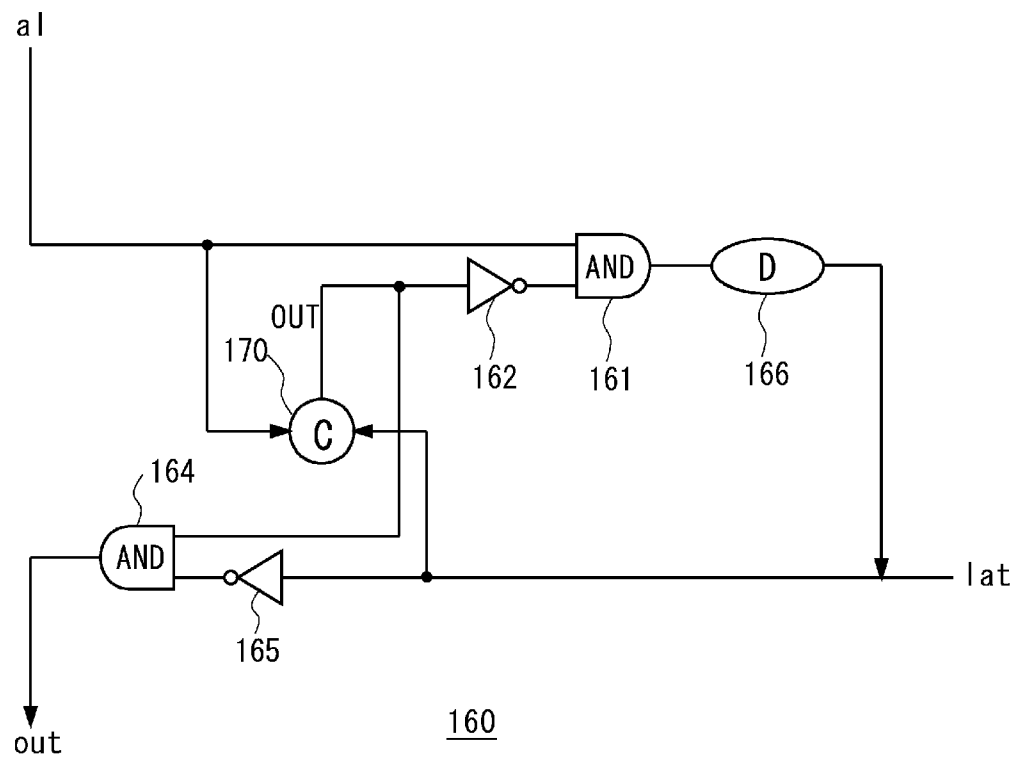
[請求項10] 前記回数設定レジスタは、前記回数Nとして0が設定可能であることを特徴とする請求項9に記載の半導体装置。

[請求項11] 前記カウンタは、イネーブルされているときに、カウント値として前記回数設定レジスタに設定された前記回数Nを前記比較器に出力することを特徴とする請求項9または10に記載の半導体装置。

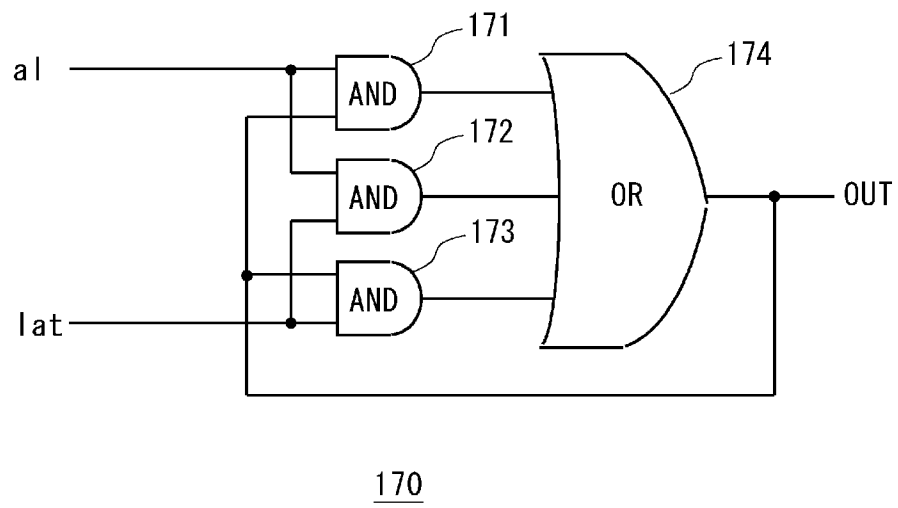
[図1]



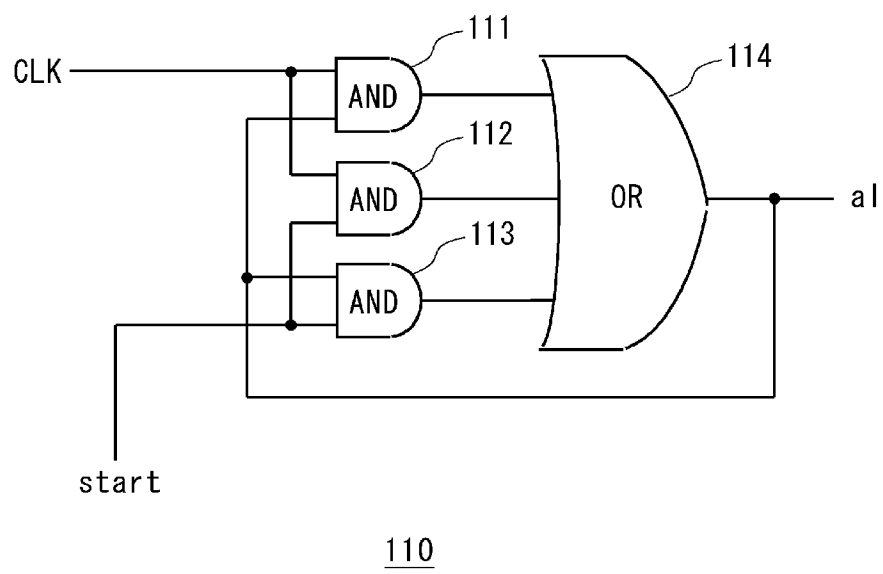
[図2]



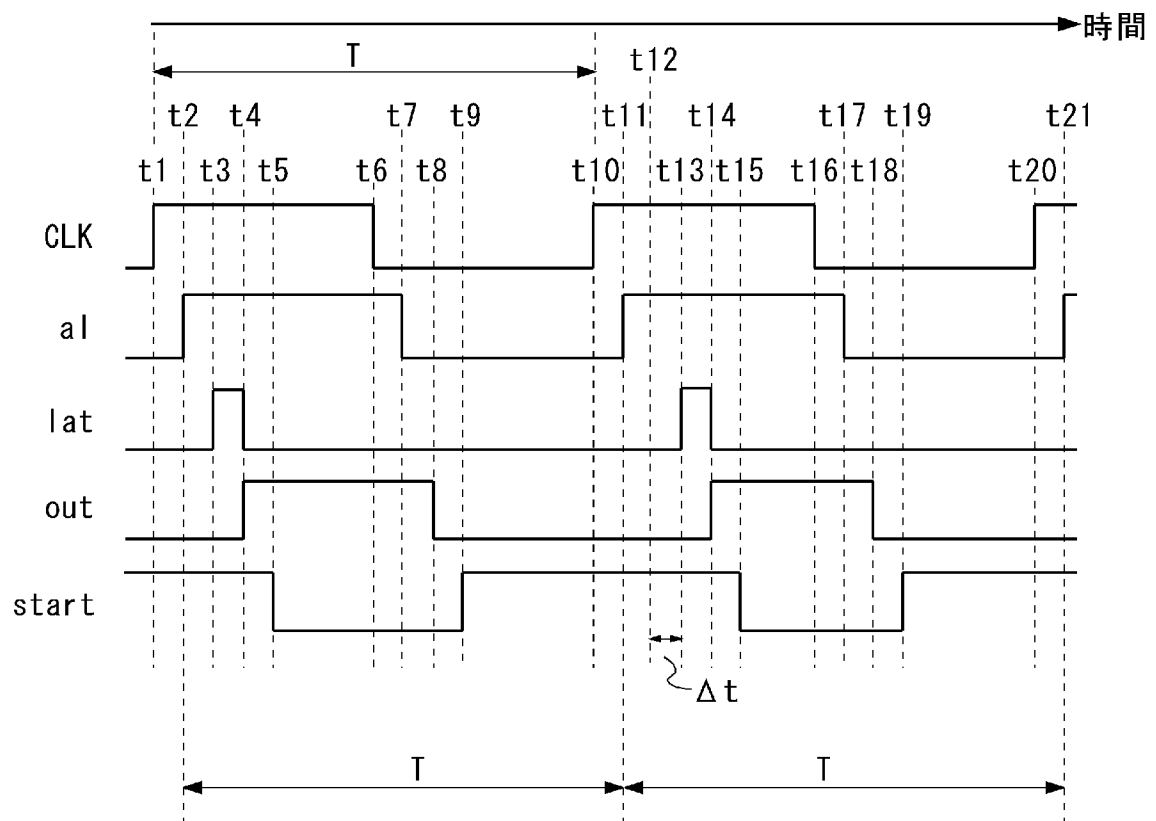
[図3]



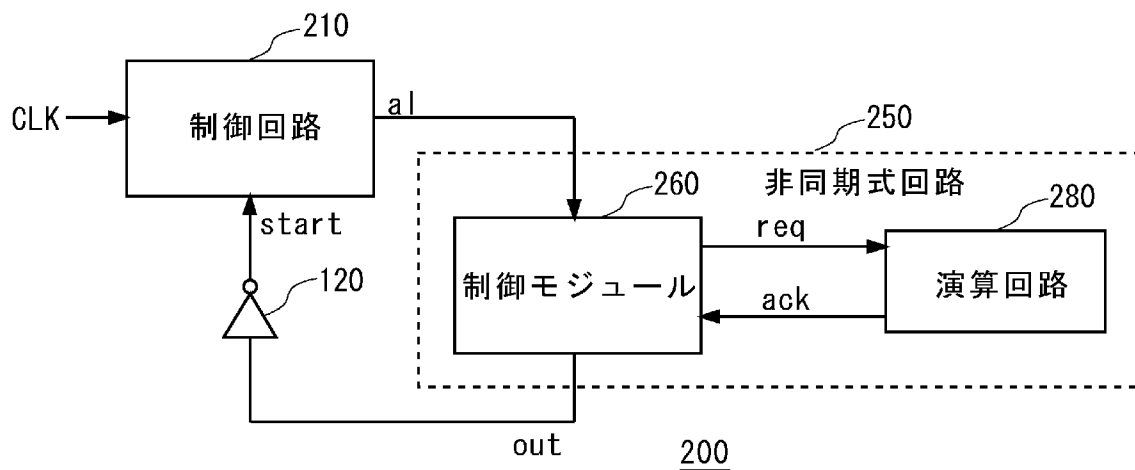
[図4]



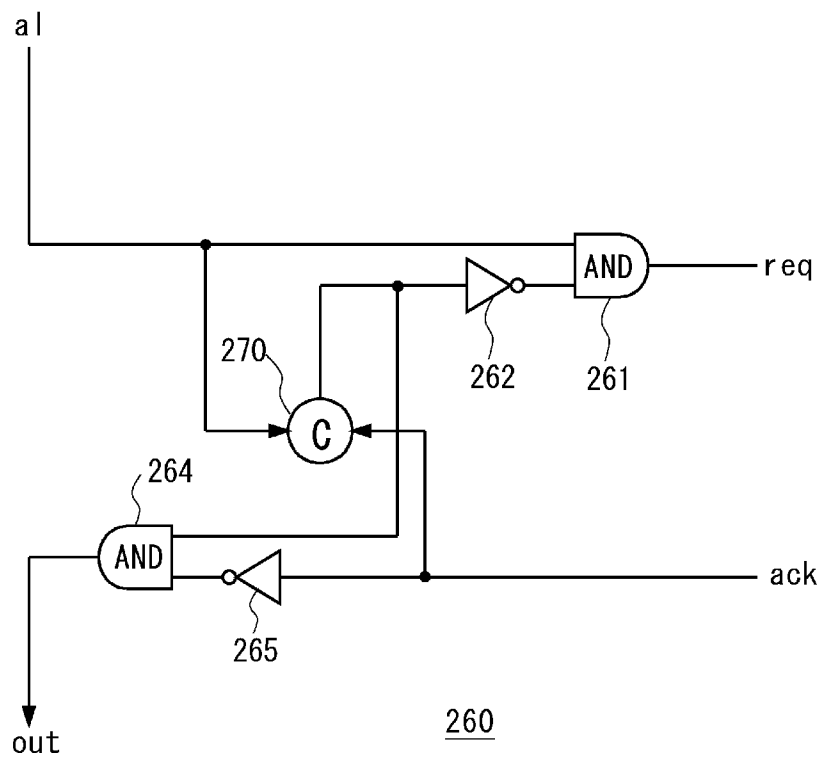
[図5]



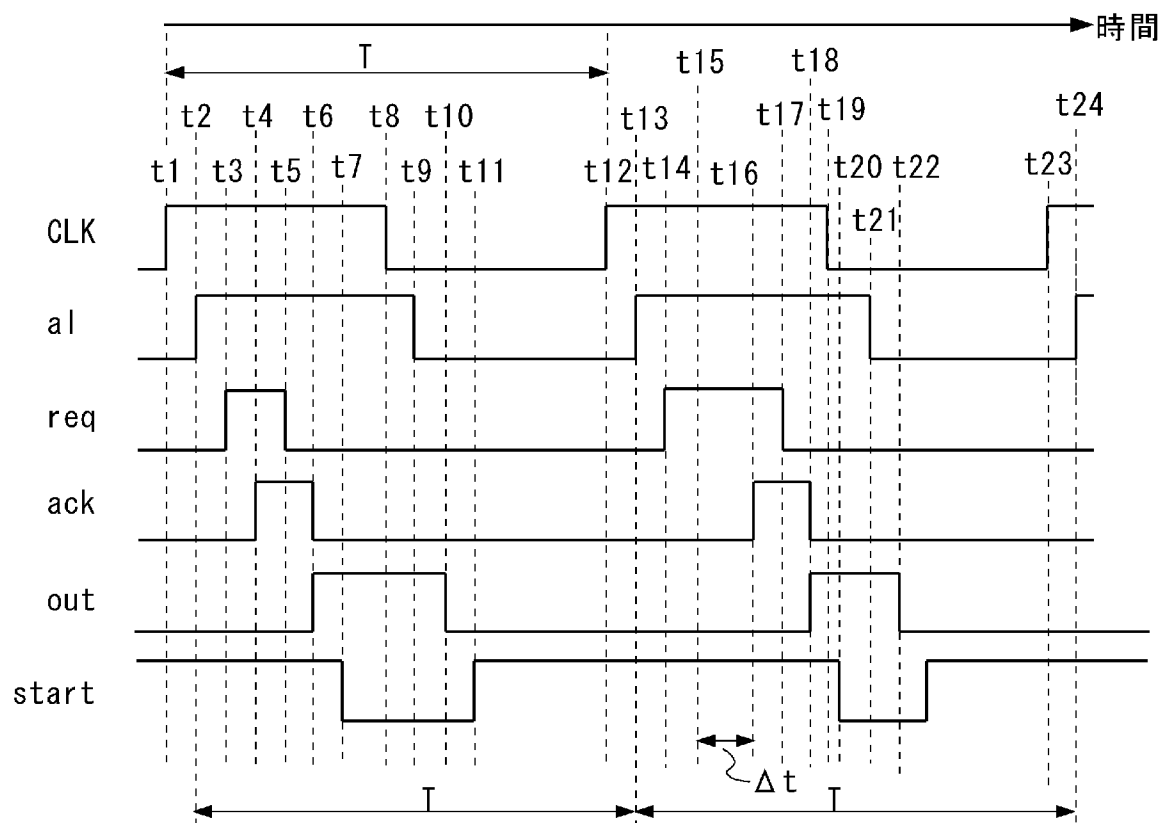
[図6]



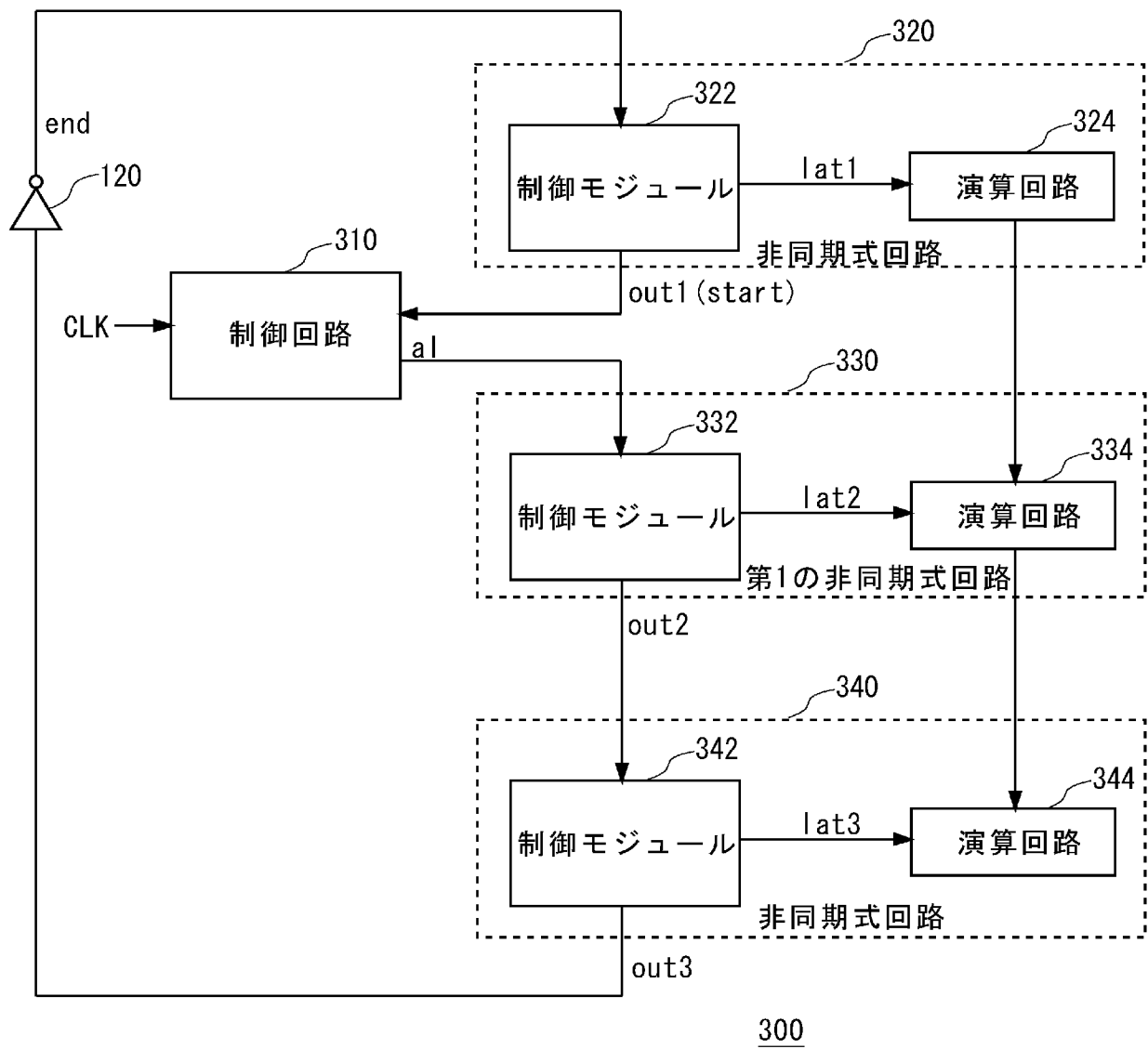
[図7]



[図8]

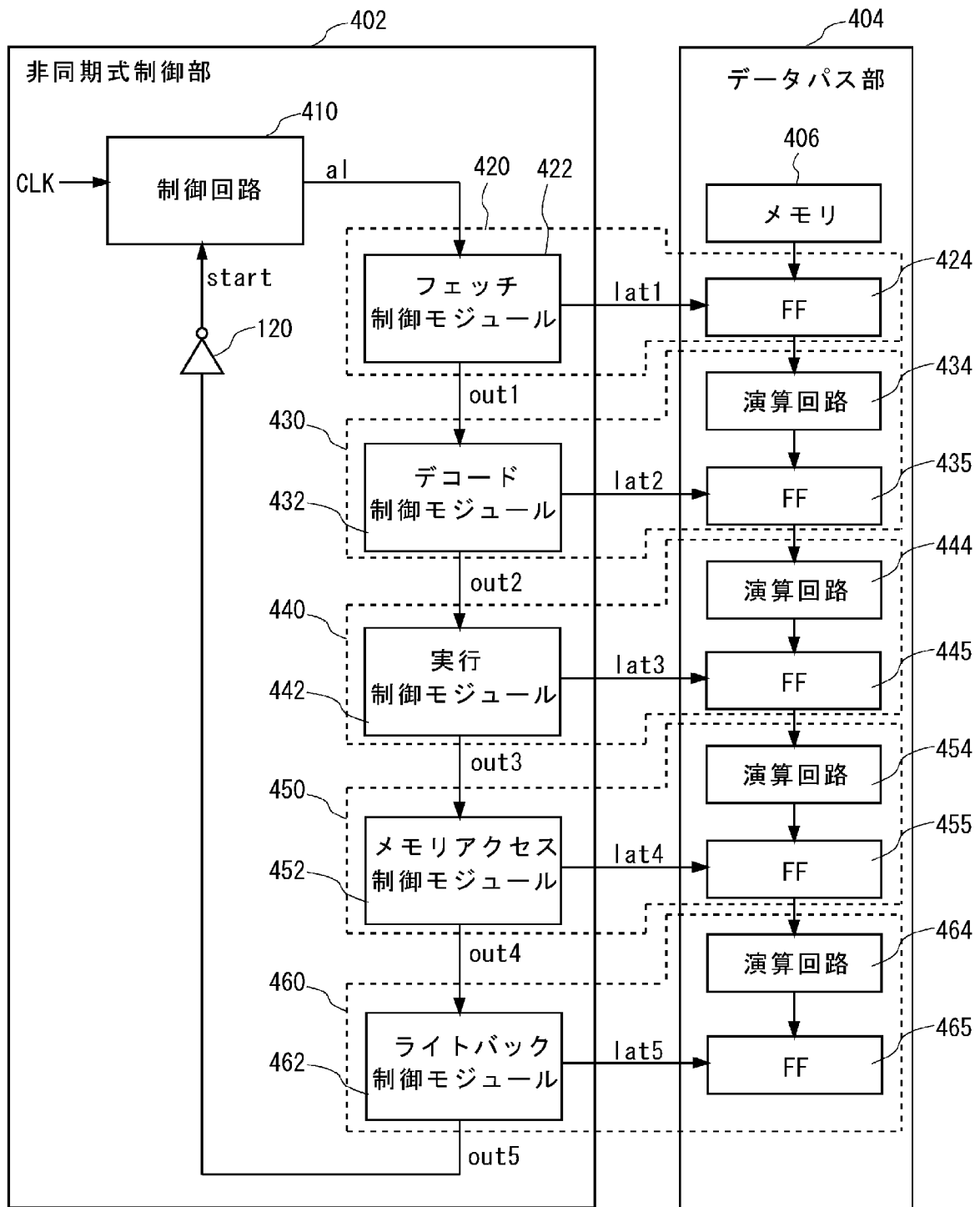


[図9]



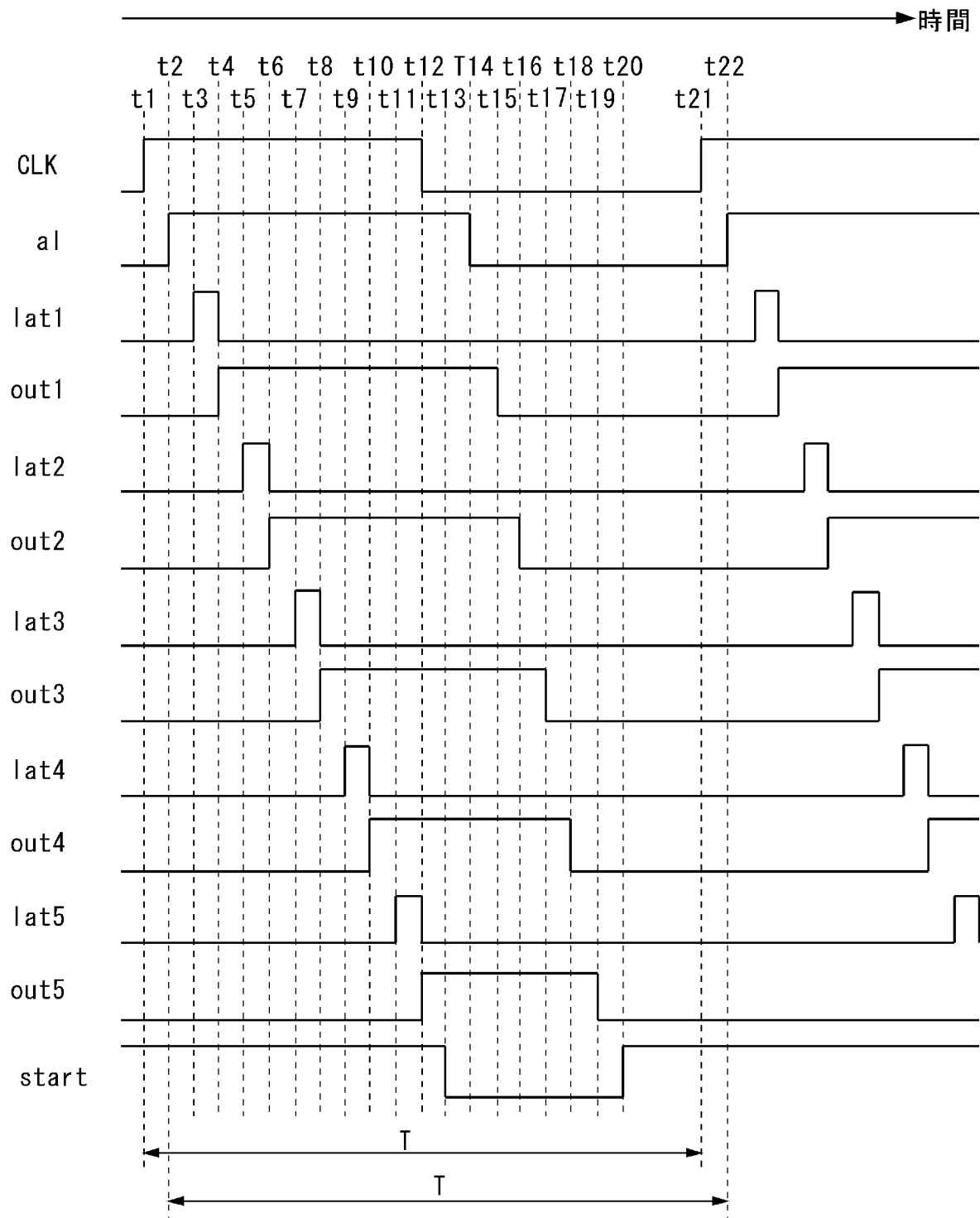
Timing diagram for a 3-bit ripple-carry adder. The diagram shows the propagation of a carry signal 'end' through three full adders (out1, out2, out3) over time. The clock signal 'CLK' is shown as a periodic square wave. The output signals 'a1', 'out2', and 'out3' are shown as square waves. The time axis is labeled '時間' (Time) and has markers for t1 through t21. The period of the clock is labeled 'T'.

[図11]

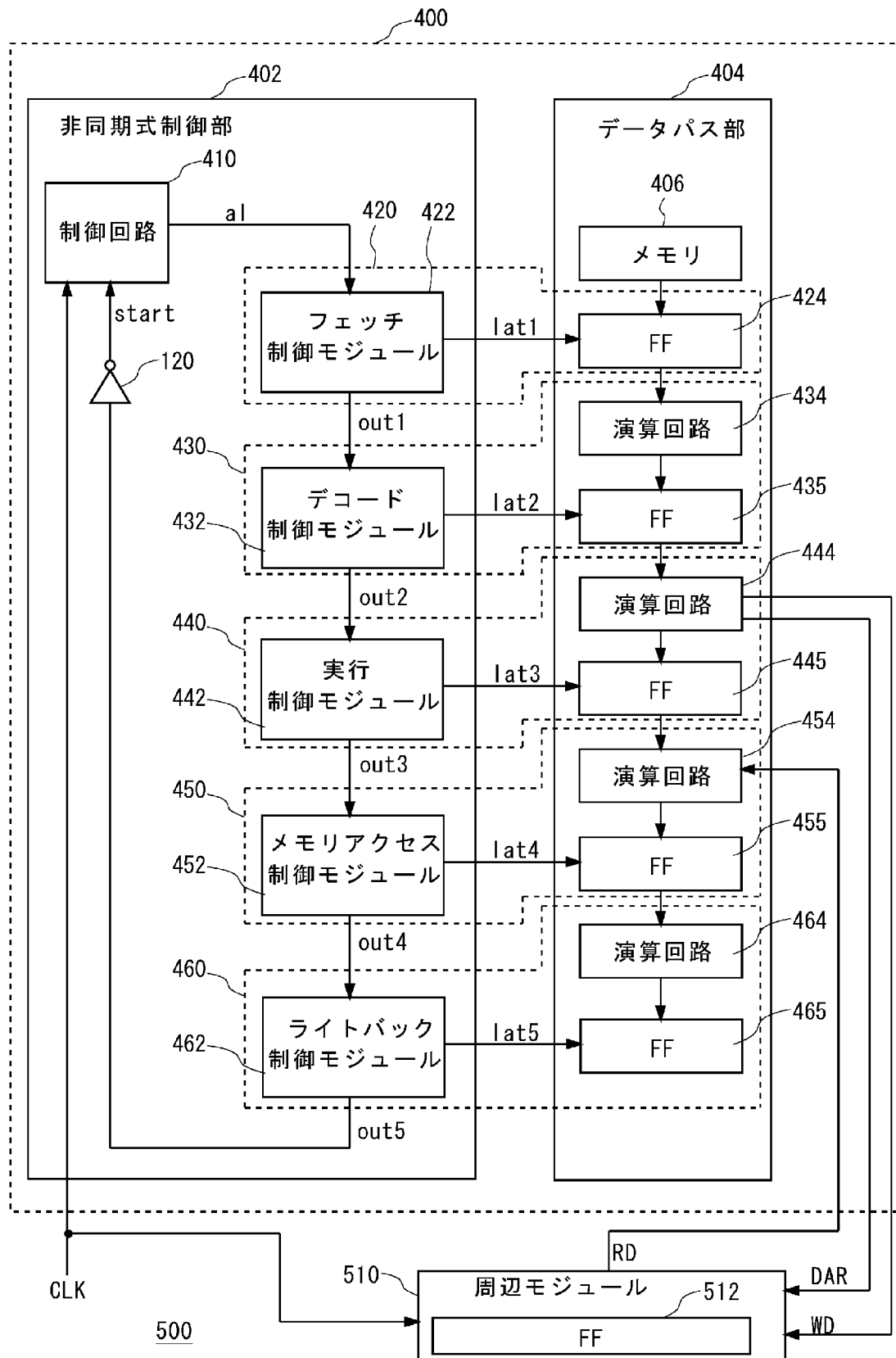


400

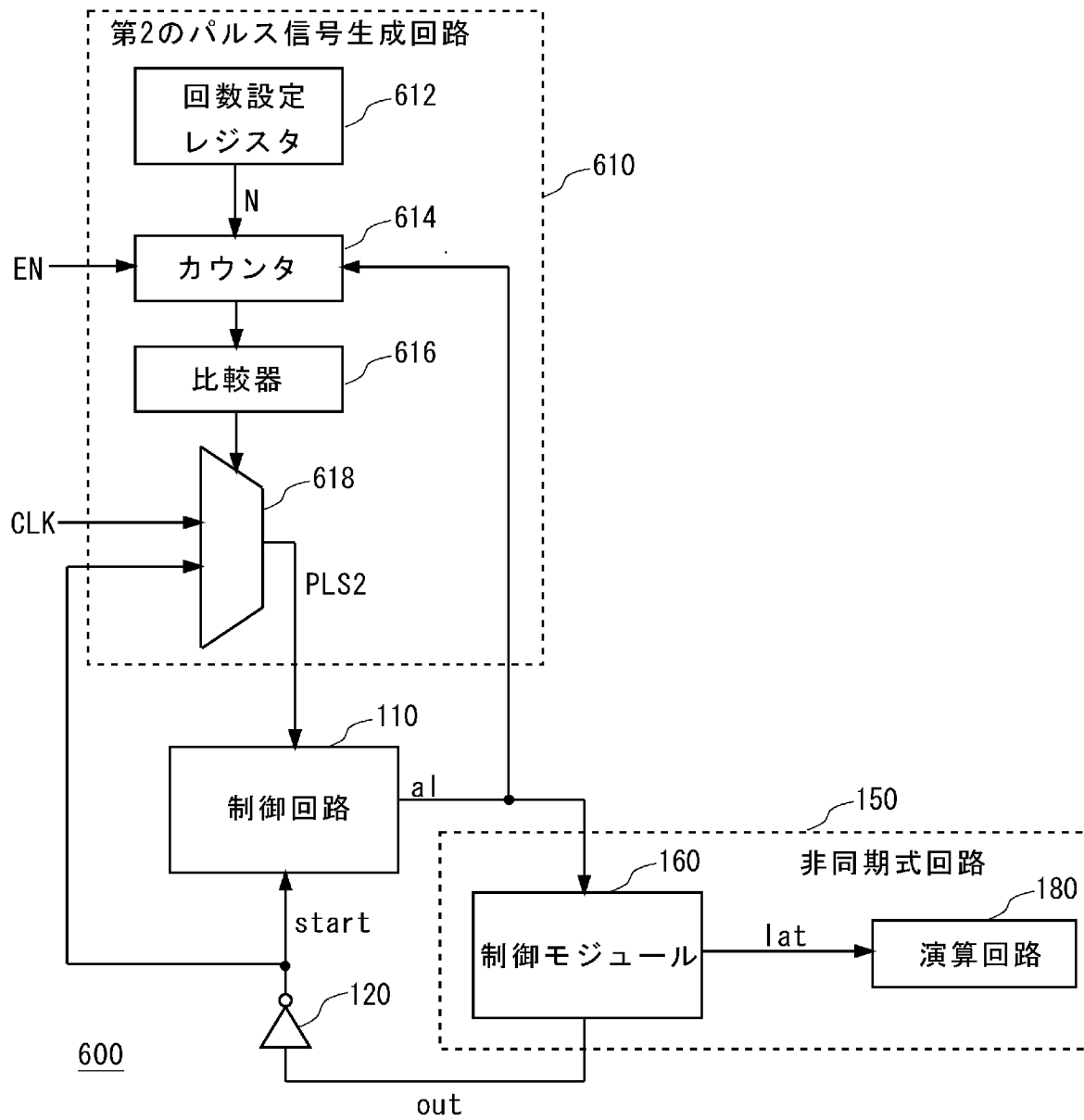
[図12]



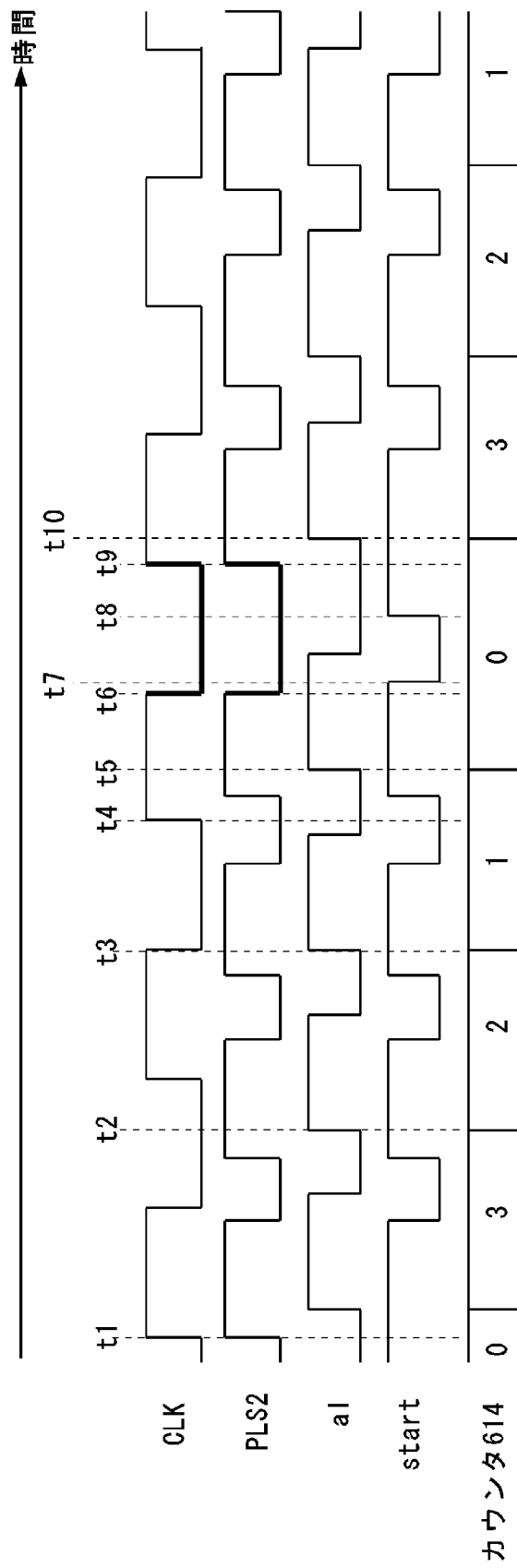
[図13]



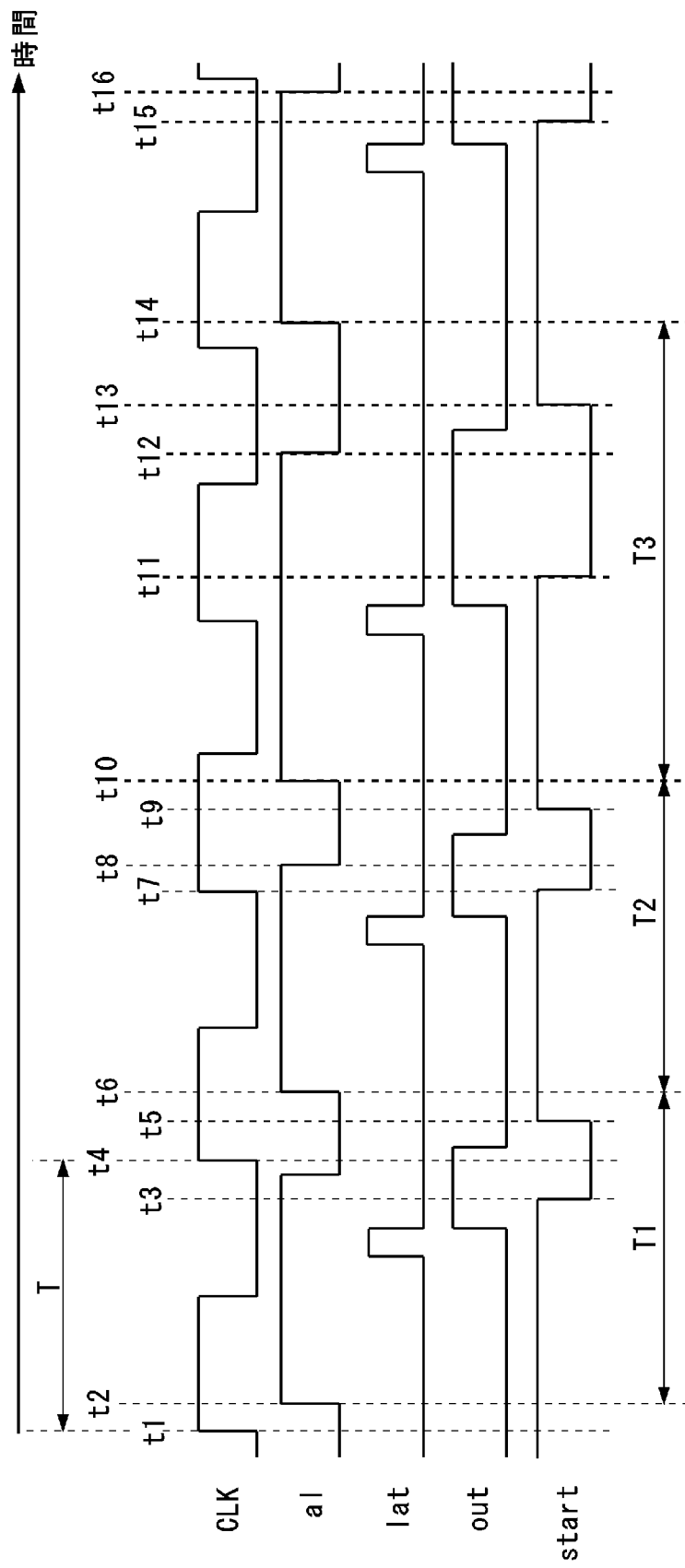
[図14]



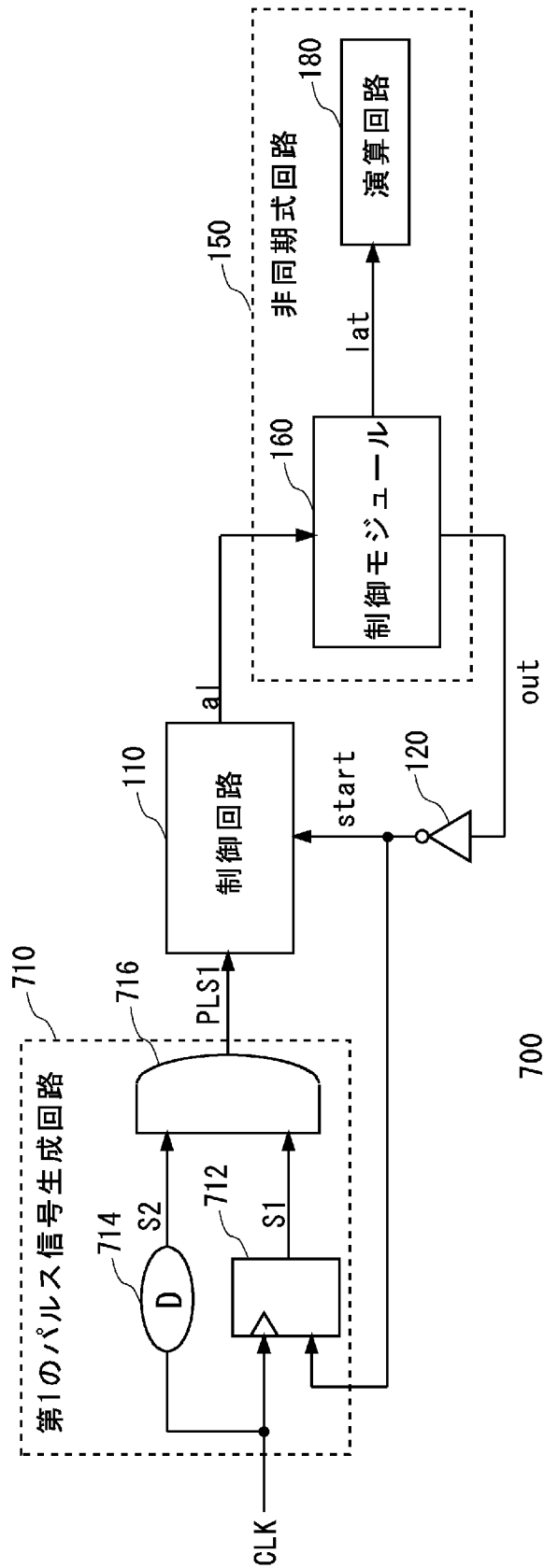
[図15]



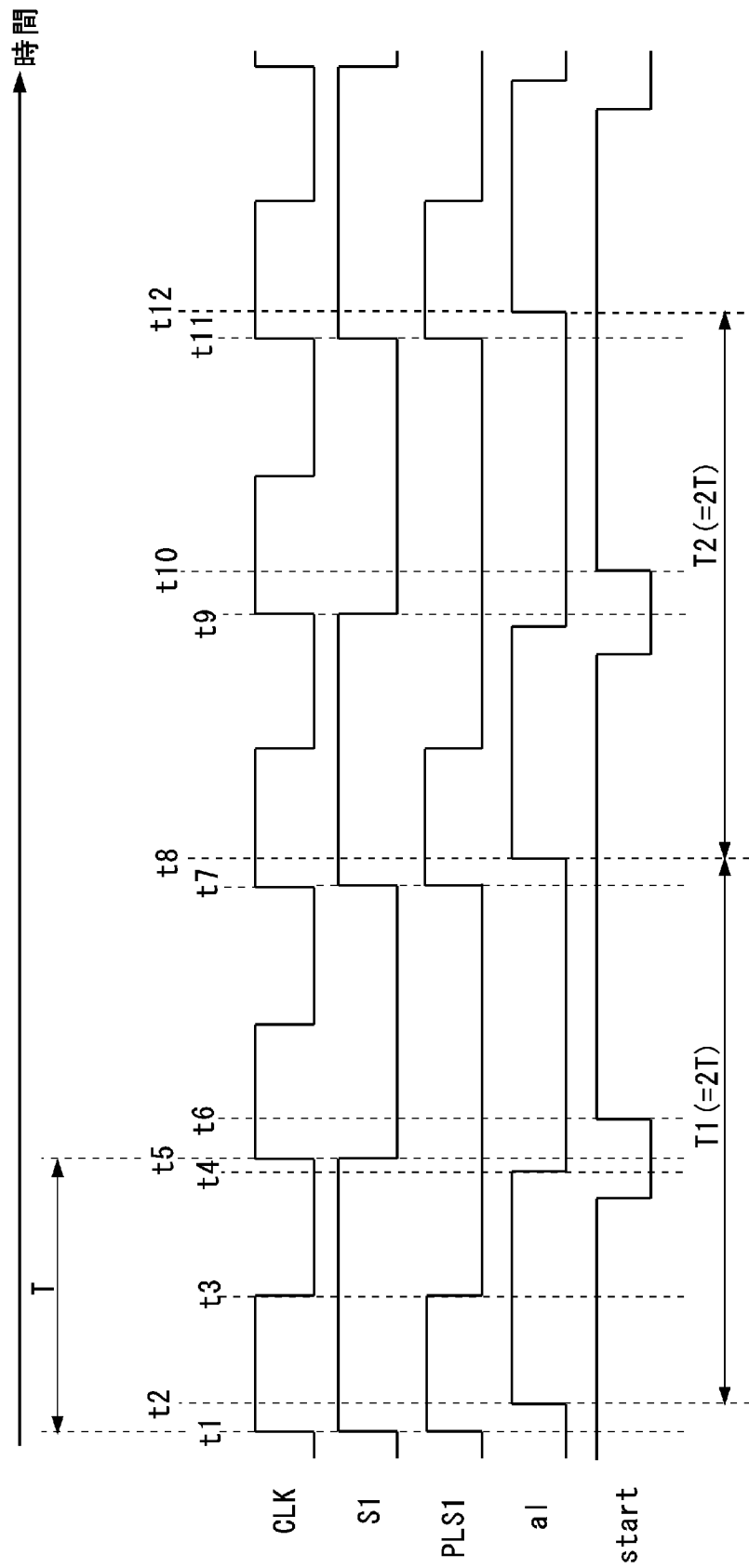
[図16]



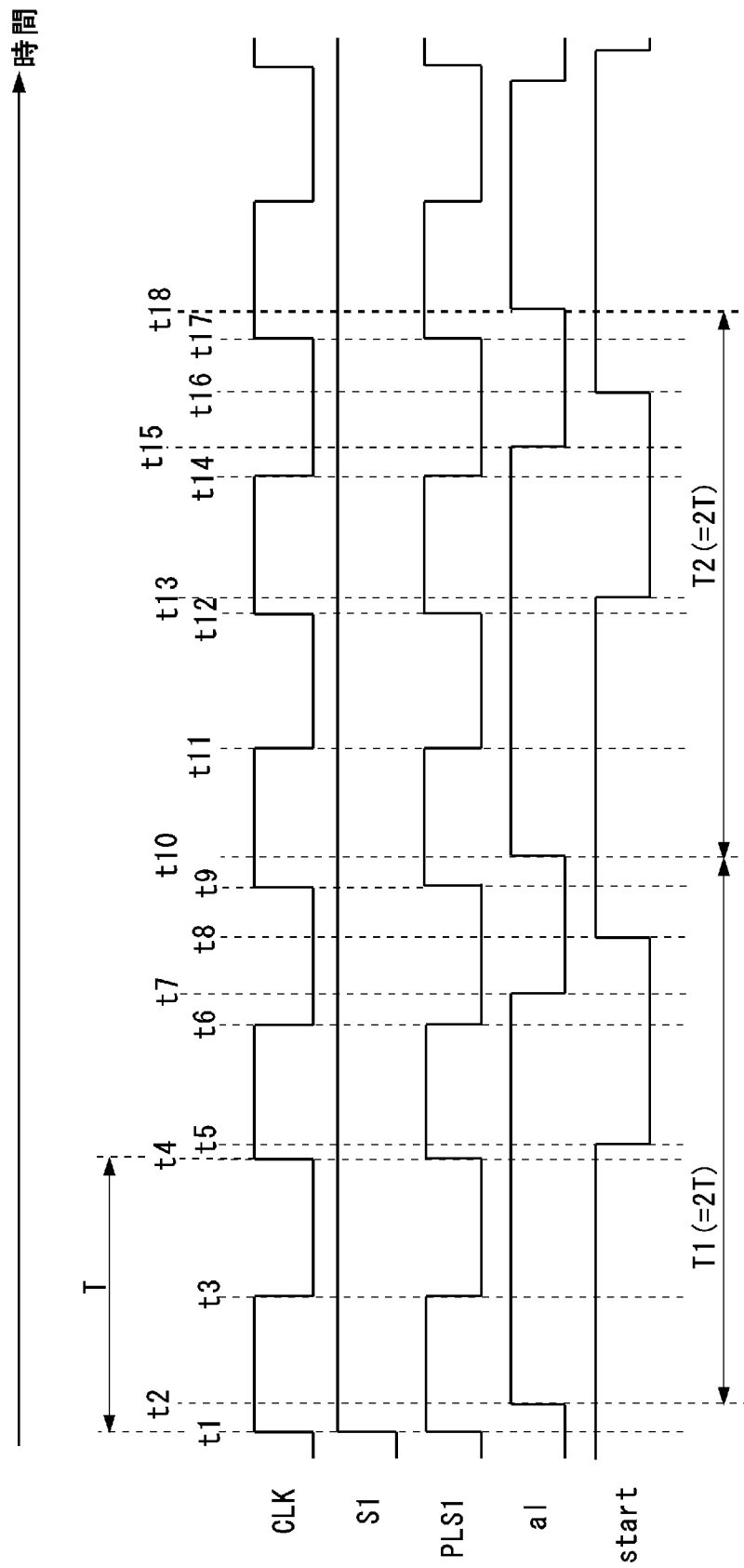
[図17]



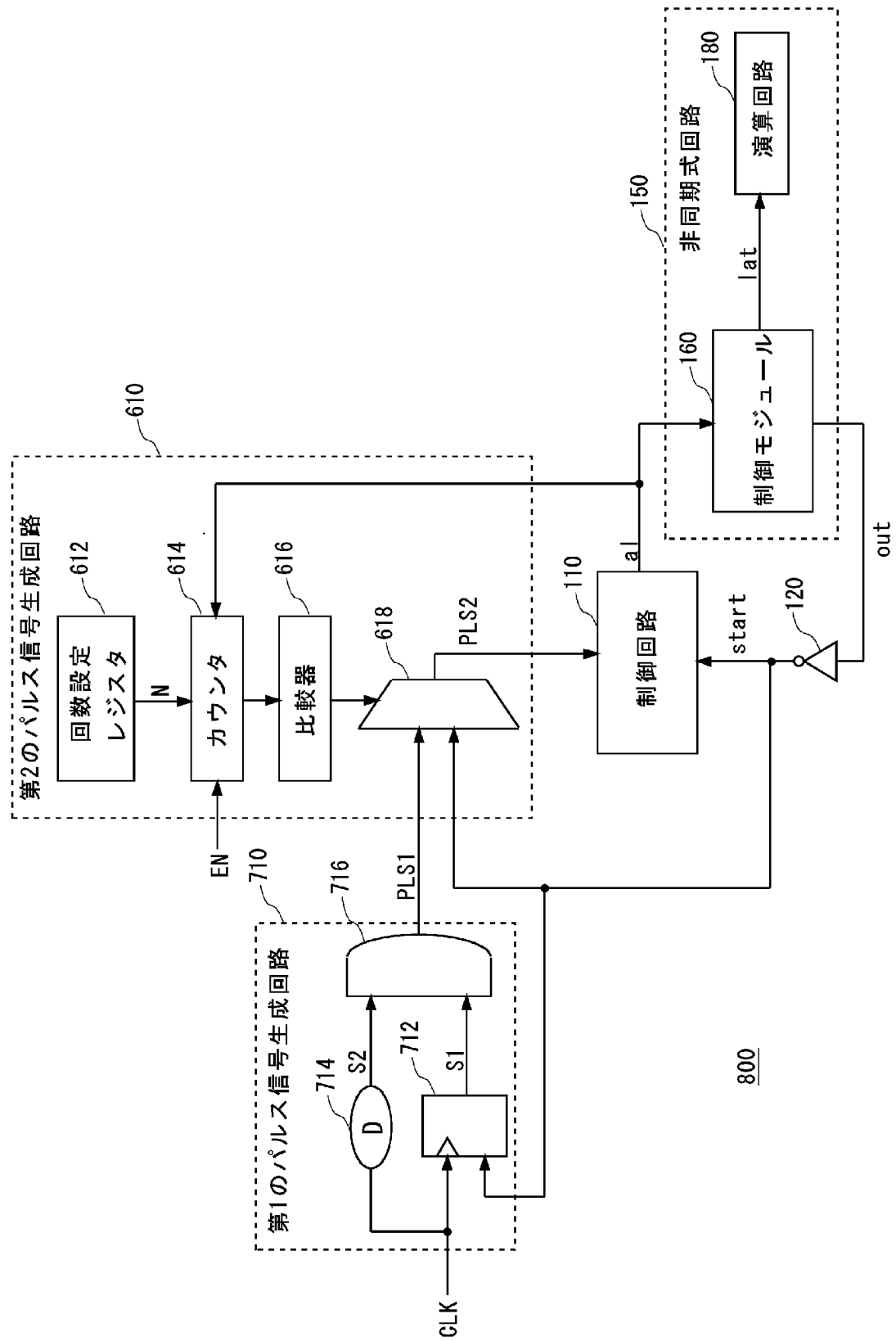
[図18]



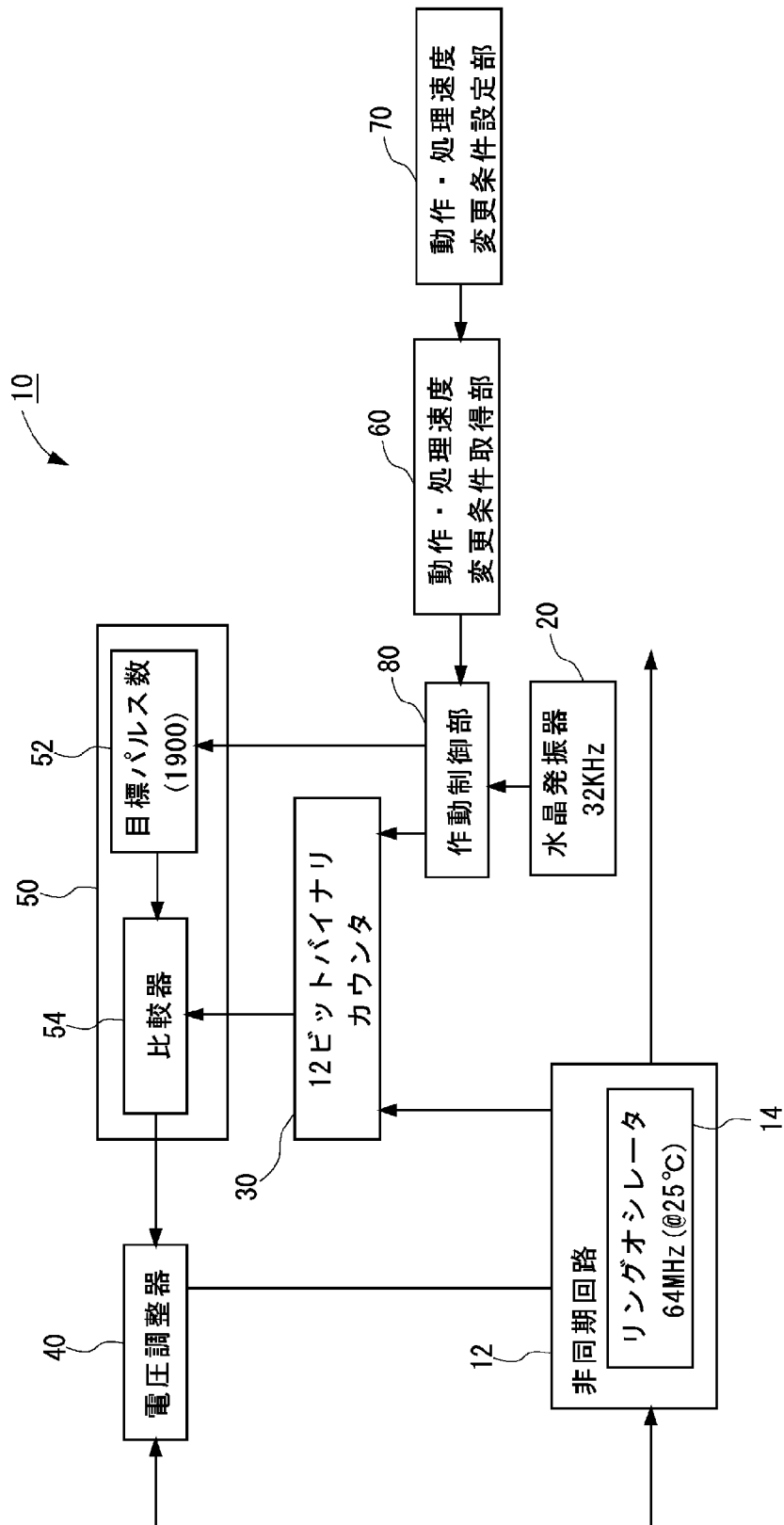
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/000247

A. CLASSIFICATION OF SUBJECT MATTER

H03K19/0175 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K19/0175

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-188538 A (Hyundai Microelectronics Co., Ltd.), 04 July 2000 (04.07.2000), paragraphs [0001] to [0021]; fig. 11 & US 6211704 B1 & DE 19929600 A1 & KR 10-2000-0018326 A & TW 419891 B	1-11
A	JP 2002-366596 A (Sharp Corp.), 20 December 2002 (20.12.2002), all pages; fig. 1 to 18 & US 6832363 B2 & US 2002/0188923 A1 & EP 1267287 A2 & DE 60221462 D & DE 60221462 T	1-11

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
08 March, 2012 (08.03.12)

Date of mailing of the international search report
19 March, 2012 (19.03.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H03K19/0175 (2006. 01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H03K19/0175

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2000-188538 A (ヒュンダイ マイクロエレクトロニクス カンパニー リミテッド) 2000. 07. 04, 【0 0 0 1】 - 【0 0 2 1】, 図 1 1 & US 6211704 B1 & DE 19929600 A1 & KR 10-2000-0018326 A & TW 419891 B	1 - 1 1
A	JP 2002-366596 A (シャープ株式会社) 2002. 12. 20, 全頁, 図 1 - 1 8 & US 6832363 B2 & US 2002/0188923 A1 & EP 1267287 A2 & DE 60221462 D & DE 60221462 T	1 - 1 1

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 8 . 0 3 . 2 0 1 2

国際調査報告の発送日

1 9 . 0 3 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

宮島 郁美

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6

5 X

8 5 2 3