

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-133836

(P2012-133836A)

(43) 公開日 平成24年7月12日(2012.7.12)

(51) Int.Cl.
G11C 13/00 (2006.01)

F I
G11C 13/00 A

テーマコード (参考)

審査請求 未請求 請求項の数 5 O L (全 24 頁)

(21) 出願番号 特願2010-283204 (P2010-283204)
(22) 出願日 平成22年12月20日 (2010.12.20)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100108855
弁理士 蔵田 昌俊
(74) 代理人 100091351
弁理士 河野 哲
(74) 代理人 100088683
弁理士 中村 誠
(74) 代理人 100109830
弁理士 福原 淑弘
(74) 代理人 100075672
弁理士 峰 隆司
(74) 代理人 100095441
弁理士 白根 俊郎

最終頁に続く

(54) 【発明の名称】 抵抗変化型メモリ

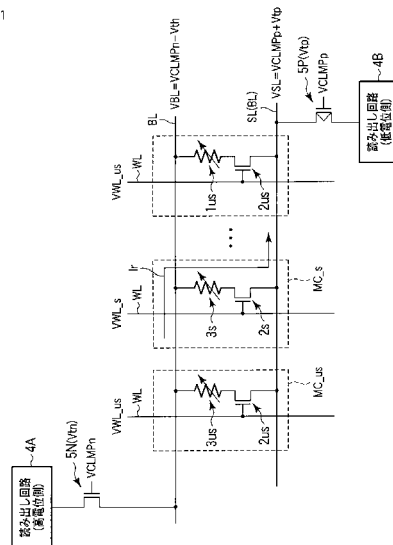
(57) 【要約】

【課題】データの読み出し精度の向上を図る。

【解決手段】本実施形態の抵抗変化型メモリは、抵抗変化型メモリ素子3とワード線WLに接続されるゲートとを有するセルトランジスタ2とをそれぞれ含み、ビット線BLとソース線SLとの間に接続される複数のメモリセルMC_s、MC_us、制御電圧CLMP_nが印加される第1のゲートとビット線BLに接続される電流経路とを有するnチャンネル型電界効果トランジスタ5_Nと、制御電圧CLMP_pが印加される第2のゲートとソース線SLに接続される電流経路とを有するpチャンネル型電界効果トランジスタ5_Pと、を具備する。データの読み出し時、ビット線電位VBLはソース線電位VSLより大きく、選択セルMC_sのワード線電位VWL_sは、ビット線電位VBLより大きく、非選択セルMC_usのワード線電位VWL_usは、ソース線電位VSLより小さい。

【選択図】 図1

図1



【特許請求の範囲】**【請求項 1】**

ビット線及びソース線と、
複数のワード線と、
抵抗変化型メモリ素子と前記ワード線に接続されるゲートを有するセルトランジスタとをそれぞれ含み、前記ビット線と前記ソース線との間に接続される複数のメモリセルと、
第 1 の制御電圧が印加される第 1 のゲートと、前記ビット線に接続される第 1 の電流経路とを有する n チャンネル型の第 1 の電界効果トランジスタと、
第 2 の制御電圧が印加される第 2 のゲートと、前記ソース線に接続される第 2 の電流経路とを有する p チャンネル型の第 2 の電界効果トランジスタと、
を具備し、
選択されたメモリセルに対するデータの読み出し時、
前記ビット線の電位は前記第 1 の制御電圧によって制御され、前記ソース線の電位は前記第 2 の制御電圧によって制御され、
前記ビット線の電位は、前記ソース線の電位より大きく、
前記選択されたメモリセルが接続されたワード線の電位は、前記ビット線の電位より大きく、
非選択のメモリセルが接続されたワード線の電位は、前記ソース線の電位より小さい、
ことを特徴とする抵抗変化型メモリ。

10

【請求項 2】

前記第 1 の電界効果トランジスタを介して前記ビット線に第 1 の入力端子が接続されるセンスアンプと、
前記第 2 の電界効果トランジスタを介して前記ソース線に接続されるシンク回路と、をさらに具備することを特徴とする請求項 1 に記載の抵抗変化型メモリ。

20

【請求項 3】

前記第 1 の電界効果トランジスタを介して前記ビット線に接続されるソース回路と、
前記第 2 の電界効果トランジスタを介して前記ソース線に第 1 の入力端子が接続されるセンスアンプと、をさらに具備することを特徴とする請求項 1 に記載の抵抗変化型メモリ。

【請求項 4】

抵抗素子とセルトランジスタとを含み、前記センスアンプの第 2 の入力端子に接続される参照セルを、さらに具備し、
前記データの読み出し時、オン状態の前記参照セルを流れる電流が、前記選択されたメモリセル内の抵抗変化型メモリ素子の抵抗状態を検出するための基準電流として、前記センスアンプに供給される、ことを特徴とする請求項 2 又は 3 に記載の抵抗変化型メモリ。

30

【請求項 5】

前記メモリセルは第 1 のメモリセルアレイ内に設けられ、前記参照セルは前記第 1 のメモリセルと異なる第 2 のメモリセルアレイ内に設けられることを特徴とする請求項 4 に記載の抵抗変化型メモリ。

【発明の詳細な説明】

40

【技術分野】**【0001】**

本発明の実施形態は、抵抗変化型メモリに関する。

【背景技術】**【0002】**

近年、次世代半導体メモリとして、M R A M (Magnetoresistive RAM)、R e R A M (Resistive RAM)、及び、P C R A M (Phase change RAM) などの抵抗変化型メモリが注目を集めている。

【0003】

抵抗変化型メモリのセルアレイにおいて、複数のメモリセルが 2 次元に配列されている

50

。複数のメモリセルが、共通の配線及び回路に接続されている。

【0004】

例えば、データの読み出し時、データの読み出し対象として選択されたメモリセルは、非選択のメモリセルと共通の配線及び回路に接続される。

【0005】

このため、非選択のメモリセルが、選択されたメモリセルの動作に対して影響を及ぼす場合がある。

【先行技術文献】

【特許文献】

【0006】

10

【特許文献1】特開2004-103202号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

データ読み出しの精度の向上を図る。

【課題を解決するための手段】

【0008】

本実施形態の抵抗変化型メモリは、ビット線及びソース線と、複数のワード線と、抵抗変化型メモリ素子と前記ワード線に接続されるゲートを有するセルトランジスタとをそれぞれ含み、前記ビット線と前記ソース線との間に接続される複数のメモリセルと、第1の制御電圧が印加される第1のゲートと、前記ビット線に接続される第1の電流経路とを有するnチャンネル型の第1の電界効果トランジスタと、第2の制御電圧が印加される第2のゲートと、前記ソース線に接続される第2の電流経路とを有するpチャンネル型の第2の電界効果トランジスタと、を具備し、選択されたメモリセルに対するデータの読み出し時、前記ビット線の電位は前記第1の制御電圧によって制御され、前記ソース線の電位は前記第2の制御電圧によって制御され、前記ビット線の電位は、前記ソース線の電位より大きく、前記選択されたメモリセルが接続されたワード線の電位は、前記ビット線の電位より大きく、非選択のメモリセルが接続されたワード線の電位は、前記ソース線の電位より小さい。

20

【図面の簡単な説明】

30

【0009】

【図1】実施形態の抵抗変化型メモリの基本構成を示す図。

【図2】第1の実施形態の抵抗変化型メモリの回路構成を説明するための図。

【図3】セルアレイの内部構成を説明するための図。

【図4】抵抗変化型メモリ素子の構造を示す図。

【図5】抵抗変化型メモリ素子の構造を示す図。

【図6】第1の実施形態の抵抗変化型メモリの回路構成を説明するための図。

【図7】第2の実施形態の抵抗変化型メモリの回路構成を説明するための図。

【図8】第2の実施形態の抵抗変化型メモリの回路構成を説明するための図。

【図9】抵抗変化型メモリ素子の構造を示す図。

40

【図10】抵抗変化型メモリ素子の構造を示す図。

【発明を実施するための形態】

【0010】

[実施形態]

以下、図面を参照しながら、本実施形態について詳細に説明する。以下の説明において、同一の機能及び構成を有する要素については、同一符号を付し、重複する説明は必要に応じて行う。

【0011】

(1) 基本構成

図1を参照して、本実施形態の抵抗変化型メモリの基本構成について、説明する。

50

【 0 0 1 2 】

図 1 は、本実施形態の抵抗変化型メモリの読み出し動作時における各構成要素の接続関係が示されている。

【 0 0 1 3 】

図 1 に示されるように、ビット線（第 1 の配線、制御線） B_L 及びソース線（第 2 の配線、制御線） S_L 間に、複数のメモリセル MC_{-s} , MC_{-u} が接続されている。以下では、各メモリセル MC_{-s} , MC_{-u} を区別しない場合には、単に、メモリセル MC と表記する。また、本実施形態において、説明の明確化のため、ビット線 B_L と対を形成する配線のことをソース線とよぶが、このソース線のことにもビット線とよばれる場合もある。

10

【 0 0 1 4 】

各メモリセル MC_{-s} , MC_{-u} は、抵抗変化型メモリ素子 3_s , 3_u と、選択素子としての電界効果トランジスタ 2_s , 2_u とを含んでいる。以下では、各抵抗変化型メモリ素子 3_s , 3_u を区別しない場合には、単に、抵抗変化型メモリ素子 3 と表記する。また、各電界効果トランジスタ 2_s , 2_u を区別しない場合には、単に、電界効果トランジスタ 2 と表記する。

【 0 0 1 5 】

抵抗変化型メモリ素子 3 の一端は、ビット線 B_L に接続され、抵抗変化型メモリ素子 3 の他端は、電界効果トランジスタ 2 の電流経路の一端に接続され、電界効果トランジスタ 2 の電流経路の他端は、ソース線 S_L に接続されている。各電界効果トランジスタ 2 のゲートは、ワード線（制御線） W_L にそれぞれ接続されている。以下では、メモリセル MC 内の電界効果トランジスタ 2 のことを、セルトランジスタ 2 とよぶ。

20

【 0 0 1 6 】

抵抗変化型メモリ素子 3 は、供給された電流 / 電圧の極性、大きさ或いは供給期間に応じて、メモリ素子 3 の抵抗状態（抵抗値）が変化する。その可変な抵抗状態と記憶すべきデータとが対応づけられることによって、抵抗変化型メモリ素子 3 はデータを記憶する。

【 0 0 1 7 】

セルトランジスタ 2 は、そのオン / オフが制御されることによって、メモリセル MC とビット線 / ソース線 B_L , S_L との接続状態を切り替える。セルトランジスタ 2 は、例えば、 n チャネル型の電界効果トランジスタである。

30

【 0 0 1 8 】

読み出し回路 4_A , 4_B は、ビット線 B_L 及びソース線 S_L に接続されている。読み出し回路 4_A , 4_B は、センスアンプ、読み出し電流を生成するためのソース / シンク回路（定電流源又は定電圧源）、基準電流を生成するためのソース / シンク回路などを含んでいる。

メモリセルに対するデータの読み出し時、相対的な電位の関係において、例えば、読み出し回路 4_A はメモリセル MC に対して高電位側となり、読み出し回路 4_B はメモリセル MC に対して低電位側となる。

【 0 0 1 9 】

高電位側の読み出し回路 4_A は、電界効果トランジスタ 5_N を介して、ビット線 B_L に接続され、低電位側の読み出し回路 4_B は、電界効果トランジスタ 5_P を介して、ソース線 S_L に接続される。

40

【 0 0 2 0 】

電界効果トランジスタ 5_N の電流経路の一端は、ビット線 B_L に接続され、電界効果トランジスタ 5_N の電流経路の他端は、読み出し回路 4_A に接続される。電界効果トランジスタ 5_N を駆動させるとき、電界効果トランジスタ 5_N のゲートには、制御電位 V_{CLMPn} が印加される。

【 0 0 2 1 】

電界効果トランジスタ 5_P の電流経路の一端は、ソース線 S_L に接続され、電界効果トランジスタ 5_P の電流経路の他端は、読み出し回路 4_B に接続される。電界効果トランジ

50

スタ 5 P を駆動させるとき、電界効果トランジスタ 5 P のゲートには、制御電位 V_{CLMP} が印加される。

【0022】

電界効果トランジスタ 5 N は、n チャンネル型の電界効果トランジスタ 5 N である。電界効果トランジスタ 5 P は、p チャンネル型の電界効果トランジスタ 5 P である。ここで、n チャンネル型の電界効果トランジスタ 5 N のしきい値電圧を " V_{tn} " と示し、p チャンネル型の電界効果トランジスタ 5 P のしきい値電圧を " V_{tp} " と示す。電界効果トランジスタ 5 N, 5 P は、ソースフォロワとして動作する。

【0023】

抵抗変化型メモリの読み出し動作時、選択されたメモリセル（ここでは、メモリセル MC_{s} ）に接続されたワード線 WL に、選択電位 V_{WL_s} が印加され、その選択セル MC_{s} 内の電界効果トランジスタ 2_s がオン状態になる。一方、非選択のメモリセル MC_{u} に接続されたワード線 WL に、非選択電位 V_{WL_u} が印加される。非選択電位 V_{WL_u} は、非選択セル MC_{u} 内の電界効果トランジスタ 2_u がオンしない大きさの電位であって、例えば、0 V である。以下では、選択セルが接続されたワード線のことを、選択ワード線とよび、非選択セルが接続されたワード線のことを、非選択ワード線とよぶ。選択ワード線に印加される選択電位 V_{WL_s} のことを、選択ワード線電位 V_{WL_s} とよび、非選択ワード線に印加される非選択電位 V_{WL_u} のことを、非選択ワード線電位 V_{WL_u} とよぶ。

【0024】

制御電位 V_{CLMPn} , V_{CLMPp} の印加によって、電界効果トランジスタ 5 N, 5 P がオンし、読み出し回路 4 A, 4 B が、ビット線 BL 及びソース線 SL を介して選択セル MC_{s} に電氣的に接続される。

【0025】

そして、n チャンネル型の電界効果トランジスタ 5 N は、制御電位 V_{CLMPn} によってビット線 BL の電位を、所定の電位 V_{BL} にクランプし、p チャンネル型の電界効果トランジスタ 5 P は、制御電位 V_{CLMPp} によってソース線 SL の電位を、所定の電位 V_{SL} にクランプする。

読み出し動作時において、ビット線 BL の電位（以下、ビット線電位とよぶ） V_{BL} は、" $V_{CLMPn} - V_{tn}$ " 程度の大きさに制御され、ソース線 SL の電位（以下、ソース線電位とよぶ） V_{SL} は、" $V_{CLMPp} + V_{tp}$ " 程度の大きさに制御される。ビット線電位 V_{BL} ($= V_{CLMPn} - V_{tn}$) は、ソース線電位 V_{SL} ($= V_{CLMPp} + V_{tp}$) より大きい。

【0026】

選択ワード線電位 V_{WL_s} は、ビット線電位 V_{BL} 及びソース線電位 V_{SL} より大きい。非選択ワード線電位 V_{WL_u} は、ビット線電位 V_{BL} 及びソース線電位 V_{SL} より小さい。

【0027】

これによって、読み出し電流 I_r が、選択セル MC_{s} を経由して、高電位側の読み出し回路 4 A から低電位側の読み出し回路 4 B に向かって、流れる。読み出し回路（例えば、センスアンプ）4 A, 4 B は、例えば、基準電流（又は基準電位）と読み出し電流（又は読み出し電流に起因する電位変動）とを比較し、選択セル MC_{s} 内の抵抗変化型メモリ素子 3_s の抵抗状態（抵抗値）を検出する。これによって、選択セル MC_{s} において、抵抗変化型メモリ素子 3_s の抵抗状態に対応するデータが、読み出される。例えば、読み出し回路 4 A, 4 B 内に設けられた定電流源又は定電圧源（図示せず）の出力電流が、基準電流（基準電位）として、読み出し回路 4 A, 4 B 内のセンスアンプに直接供給される。

【0028】

ここで、非選択セル MC_{u} 内のセルトランジスタ 2_u において、そのセルトランジスタ 2_u のゲートには、0 V の非選択ワード線電位 V_{WL_u} が印加され、そのト

10

20

30

40

50

ランジスタ 2 u s のソースには、ソース線電位 V S L が印加される。

【 0 0 2 9 】

それゆえ、セルトランジスタ 2 u s のソース電圧が、セルトランジスタ 2 u s のゲート電圧より大きくなる。非選択セル M C _ u s の n チャンネル型のセルトランジスタ 2 u s において、ソースとしての n 型拡散層及びチャンネルとしての p 型半導体領域に対して逆バイアスが印加される。

【 0 0 3 0 】

本実施形態の抵抗変化メモリにおいて、上記のような非選択セル M C _ u s 内のセルトランジスタ 2 u s のゲート - ソース間の電位の関係によって、非選択セル M C _ u s 内のセルトランジスタ 2 u s から生じるリーク電流が抑制される。

10

【 0 0 3 1 】

このように、本実施形態の抵抗変化型メモリは、読み出し電流が流れる電流経路において、高電位側の配線の電位をクランプする n チャンネル型電界効果トランジスタが、複数のメモリセルが接続されたビット線に接続され、低電位側の配線の電位をクランプする p チャンネル型電界効果トランジスタが、ビット線と対になるソース線に接続されている。そして、ソース線の電位が、非選択のメモリセルが接続されたワード線の電位より高く設定される。

【 0 0 3 2 】

したがって、本実施形態の抵抗変化型メモリによれば、データの読み出しの精度を向上できる。

20

【 0 0 3 3 】

(2) 第 1 の実施形態

図 2 乃至図 6 を参照して、第 1 の実施形態の抵抗変化型メモリについて説明する。

【 0 0 3 4 】

(a) 回路構成

図 2 乃至図 6 を用いて、第 1 の実施形態の抵抗変化型メモリの回路構成について説明する。

【 0 0 3 5 】

図 2 は、第 1 の実施形態の抵抗変化型メモリの構成例を示すブロック図である。本実施形態において、抵抗変化型メモリとして、M R A M (Magnetoresistive RAM) を例示する。

30

【 0 0 3 6 】

図 2 に示されるように、本実施形態の M R A M は、例えば、2 個のセルアレイ 1 - 1 , 1 - 2 を含んでいる。又、本実施形態の M R A M は、読み出し回路を含んでいる。セルアレイ 1 - 1 , 1 - 2 は、読み出し回路に接続されている。

【 0 0 3 7 】

本実施形態において、各読み出し回路は、1 つのセンスアンプ 4 0 A - 1 , 4 0 A - 2 及び 1 つのシンク回路 (例えば、電流シンク) 4 0 B - 1 , 4 0 B - 2 から形成される。

【 0 0 3 8 】

2 つのセルアレイ 1 - 1 , 1 - 2 は、x 方向に隣接している。

40

【 0 0 3 9 】

2 つのロウデコーダ 8 - 1 , 8 - 2 は、2 つのセルアレイ 1 - 1 , 1 - 2 間に設けられている。セルアレイ 1 - 1 はロウデコーダ 8 - 1 に接続され、セルアレイ 1 - 2 はロウデコーダ 8 - 2 に接続されている。

【 0 0 4 0 】

カラムデコーダ 7 A - 1 , 7 B - 1 , 7 A - 2 , 7 B - 2 は、y 方向におけるセルアレイ 1 - 1 , 1 - 2 の両端に、それぞれ設けられている。

【 0 0 4 1 】

カラムデコーダ 7 B - 1 は、センスアンプ 4 0 A - 1 側において、セルアレイ 1 - 1 に接続され、カラムデコーダ 7 A - 1 は、電流シンク 4 0 B - 1 側において、セルアレイ 1

50

- 1 に接続される。

【 0 0 4 2 】

カラムデコーダ 7 B - 2 は、センスアンプ 4 0 A - 2 側において、セルアレイ 1 - 2 に接続され、カラムデコーダ 7 A - 2 は、電流シンク 4 0 B - 2 側において、セルアレイ 1 - 2 に接続される。

【 0 0 4 3 】

セルアレイ 1 - 1 , 1 - 2 内には、メモリセル領域 1 0 - 1 , 1 0 - 2 と参照セル領域 1 1 - 1 , 1 1 - 2 とがそれぞれ設けられている。

【 0 0 4 4 】

各メモリセル領域 1 0 - 1 , 1 0 - 2 内には、複数のメモリセルが、マトリクス状に配列されている。各参照セル領域 1 1 - 1 , 1 1 - 2 内には、複数の参照セル R C が、配列されている。

10

【 0 0 4 5 】

2 つのセンスアンプ 4 0 A - 1 , 4 0 A - 2 が、2 つのセルアレイ 1 - 1 , 1 - 2 に対して、設けられている。

【 0 0 4 6 】

各センスアンプ 4 0 A - 1 , 4 0 A - 2 は、2 つの入力端子を有している。センスアンプ 4 0 A - 1 , 4 0 A - 2 の入力端子のそれぞれは、4 本のデータ線 D L 1 のうち 1 本のデータ線に接続されている。

【 0 0 4 7 】

センスアンプ 4 0 A - 1 の一方の入力端子は、1 本のデータ線 D L 1 を介して、セルアレイ 1 - 1 に接続され、センスアンプ 4 0 A - 1 の他方の入力端子は、1 本のデータ線 D L 1 を介して、セルアレイ 1 - 2 に接続されている。センスアンプ 4 0 A - 2 の一方の入力端子は、1 本のデータ線 D L 1 を介してセルアレイ 1 - 1 に接続され、センスアンプ 4 0 A - 2 の他方の入力端子は、1 本のデータ線 D L 1 を介して、セルアレイ 1 - 2 に接続される。

20

【 0 0 4 8 】

2 つのセルアレイ 1 - 1 , 1 - 2 に対して、2 つの電流シンク (シンク回路) 4 0 B - 1 , 4 0 B - 2 が設けられている。

【 0 0 4 9 】

各電流シンク 4 0 B - 1 , 4 0 B - 2 は 2 つの入力端子を有し、電流シンク 4 0 B - 1 , 4 0 B - 2 の入力端子のそれぞれは、4 本のデータ線 D L 2 のうち 1 本のデータ線 D L 2 に接続されている。

30

【 0 0 5 0 】

電流シンク 4 0 B - 1 の一方の入力端子は、1 本のデータ線 D L 2 を介して、セルアレイ 1 - 1 に接続され、電流シンク 4 0 B - 1 の他方の入力端子は、1 本のデータ線を介して、セルアレイ 1 - 2 に接続されている。電流シンク 4 0 B - 2 の一方の入力端子は、1 本のデータ線 D L 2 を介して、セルアレイ 1 - 1 に接続され、電流シンク 4 0 B - 2 の他方の入力端子は、1 本のデータ線 D L 2 を介して、セルアレイ 1 - 2 に接続される。

【 0 0 5 1 】

図 3 は、1 個のセルアレイ 1 とその周辺回路の構成を示す回路図である。

40

【 0 0 5 2 】

図 2 のセルアレイ 1 - 1 , 1 - 2 は、例えば、図 3 の構成をそれぞれ有している。

セルアレイ 1 には、カラム方向に延在する複数のビット線 B L 、カラム方向に延在する複数のソース線 S L 、ロウ方向に延在する複数のワード線 W L 、及びロウ方向に延在する複数の参照ワード線 R W L が、配設されている。

【 0 0 5 3 】

図 3 には、8 本のビット線 B L < 0 > ~ B L < 7 > 、8 本のソース線 S L < 0 > ~ S L < 7 > 、4 本のワード線 W L < 0 > ~ W L < 3 > 、2 本の参照ワード線 R W L < 0 > ~ R W L < 1 > が、例示されているが、これらの本数に限定されない。

50

【 0 0 5 4 】

上述したように、セルアレイ 1 内には、メモリセル領域 1 1 及び参照セル領域 1 2 が設けられている。メモリセル領域 1 1 は、複数のメモリセル MC がマトリクス状に配列されている。参照セル領域 1 2 は、複数の参照セル RC が配列されている。

【 0 0 5 5 】

メモリセル MC は、1 個の抵抗変化型メモリ素子 3 と少なくとも 1 つのセルトランジスタ 2 とを含んでいる。セルトランジスタ 2 として、例えば、 n チャネル型 MOS (Metal Oxide Semiconductor) トランジスタが用いられる。抵抗変化型メモリ素子 3 の一端はビット線 $BL < m >$ に接続され、抵抗変化型メモリ素子 3 の他端はセルトランジスタ 2 の電流経路の一端に接続される。セルトランジスタ 2 の電流経路の他端はソース線 $SL < m >$ に接続され、セルトランジスタ 2 のゲートはワード線 $WL < n >$ に接続される。 m は、0 ~ 7 のうち任意の整数である。 n は、0 ~ 3 のうち任意の整数である。

10

【 0 0 5 6 】

抵抗変化型メモリ素子 3 としては、例えば、磁気抵抗効果素子 (例えば、MTJ 素子) が用いられる。図 4 は、MTJ 素子 3 の構成を示す断面図である。MTJ 素子 3 は、下部電極 3 8、参照層 (固定層ともよばれる) 3 1、非磁性層 (トンネルバリア層ともよばれる) 3 2、記録層 (記憶層、自由層ともよばれる) 3 3、上部電極 3 9 が、積層されて形成されている。尚、各層の積層順序は逆転していても構わない。

【 0 0 5 7 】

参照層 3 1 及び記録層 3 3 のそれぞれは、強磁性材料から形成される。参照層 3 1 及び記録層 3 3 は、膜面に対して垂直な方向において磁気異方性を有し、それらの容易磁化方向は膜面に対して垂直である。尚、参照層 3 1 及び記録層 3 3 の磁化方向は、膜面に対して平行であってもよい。

20

【 0 0 5 8 】

参照層 3 1 は、磁化 (或いはスピン) の向きが不変である (固定されている)。記録層 3 3 は、磁化 (或いはスピン) の向きが可変である (反転する)。

参照層 3 1 は、記録層 3 3 よりも十分大きな垂直磁気異方性エネルギーを持つように形成される。磁性層 3 1、3 3 の磁気異方性の設定は、材料構成や膜厚を調整することで可能である。MTJ 素子 3 において、記録層 3 3 の磁化反転しきい値が小さくされ、参照層 3 1 の磁化反転しきい値を記録層 3 3 の磁化反転しきい値よりも大きくされる。これによって、磁化方向が不変な参照層 3 1 と磁化方向が可変な記録層 3 3 とを有する MTJ 素子 2 1 を形成できる。

30

【 0 0 5 9 】

図 5 は、MTJ 素子 3 の磁化状態を説明する模式図である。本実施形態では、MTJ 素子 3 に書き込み電流 I_w を流し、この書き込み電流 I_w によって MTJ 素子 3 の磁化状態を制御するスピン注入書き込み方式が、用いられる。書き込み電流 I_w の大きさは、記録層 3 3 の磁化反転しきい値以上の電流値を有し、参照層 3 1 の磁化反転しきい値未満の電流値を有するように、制御される。

【 0 0 6 0 】

MTJ 素子 3 は、参照層 3 1 と記録層 3 3 との磁化の相対関係が平行か反平行かによって、高抵抗状態と低抵抗状態との 2 つの状態のいずれかをとることができる。

40

【 0 0 6 1 】

図 5 に示すように、磁化配列が反平行状態の MTJ 素子 3 に対して、記録層 3 3 から参照層 3 1 へ向かう書き込み電流 I_w を流すと、参照層 3 1 の磁化配列と同じ向きのスピンを有する電子が、非磁性層 3 2 を介して記録層 3 3 に供給される電子として支配的になる。

【 0 0 6 2 】

非磁性層 3 2 を通過した (トンネリングした) 電子のスピントルクによって、記録層 3 3 の磁化の向きが、参照層 3 3 の磁化の向きと同じになるように、変化する (反転する)。これによって、参照層 3 1 と記録層 3 3 との磁化の相対関係が平行になる。

50

【 0 0 6 3 】

参照層 3 1 及び記録層 3 3 の磁化配列が平行状態である場合、M T J 素子 3 の抵抗値は最も低くなる、すなわち、M T J 素子 3 は低抵抗状態になる。M T J 素子 2 1 の低抵抗状態は、例えば、データ “ 0 ” と設定される。

【 0 0 6 4 】

磁化配列が平行状態の M T J 素子 3 に対して、参照層 3 3 から記録層 3 1 へ向かう書き込み電流 I_w を流すと、参照層 3 1 の磁化配列及び磁化が反転する前の記録層 3 3 の磁化配列と同じ向きのスピンを有する電子は、非磁性層 3 2 を介して参照層 3 1 に移動する。その一方で、参照層 3 1 の磁化配列と反対の向きのスピンを有する電子は、非磁性層 3 2 或いは参照層 3 1 によって反射される。反射された電子のスピントルクによって、記憶層 3 3 の磁化の向きが、参照層 4 1 の磁化配列と反対になるように、変化する。これによって、記録層 3 2 と参照層 3 3 との磁化の相対関係が反平行になる。

10

【 0 0 6 5 】

参照層 3 1 及び記録層 3 3 の磁化配列が平行状態である場合、M T J 素子 3 の抵抗値は最も高くなる、すなわち、M T J 素子 3 は高抵抗状態になる。M T J 素子 3 の高抵抗状態を、例えば、データ “ 1 ” と設定される。

【 0 0 6 6 】

これにより、M T J 素子 3 が 1 ビットデータ (2 値データ) を記憶可能な記憶素子として使用される。書き込み電流 I_w は、書き込みデータに応じて、選択セルを經由してビット線側からソース線側へ、選択セルを經由してソース線側からソース線側へ流れるように、選択セル内の M T J 素子に 3 供給される。書き込み電流 I_w は、電流源又は電圧源を有する書き込み回路 (図示せず) によって、生成される。

20

【 0 0 6 7 】

参照セル R C は、例えば、メモリセル M C と同じ回路構成を有し、1 個の抵抗素子 2 3 と 1 個のセルトランジスタ 2 4 とを含んでいる。抵抗素子 2 3 の一端は、ビット線 $B L < m >$ に接続され、抵抗素子 2 3 の他端はセルトランジスタ 2 4 の電流経路の一端に接続され、セルトランジスタ 2 4 の電流経路の他端はソース線 $S L < m >$ に接続される。セルトランジスタ 2 4 のゲートは、参照ワード線 R W L に接続される。このように、参照セル R C は、メモリセル M C と共通のビット線 $B L < m >$ 及びソース線 $S L < m >$ に接続されている。

30

【 0 0 6 8 】

抵抗素子 2 3 は、選択セルからのデータ読み出し時、メモリセル M C のデータを判定する基準となる参照電流を生成するために使用され、その抵抗値は固定される。抵抗素子 2 3 は、例えば、M T J 素子 3 と同様の積層構造を有する。ただし、参照セル R C の抵抗素子 2 3 は、データの書き込み対象として選択されず、抵抗値が変化されないように参照セル R C に対する動作が制御される。あるいは、参照セル R C の抵抗素子 2 3 の記録層 3 の磁化が、参照層 3 4 と同様に固定されるように、形成されてもよい。

【 0 0 6 9 】

各ビット線 $B L < m >$ は、カラム選択セルトランジスタ 2 7 を介して 4 本のデータ線 D L 1 のうちの 1 本に接続される。カラム選択トランジスタ 2 7 は、例えば、n チャネル型 M O S トランジスタである。カラム選択トランジスタ 2 7 のゲートは、カラム選択線 C S L D 1 に接続される。

40

【 0 0 7 0 】

カラムデコーダ 7 A は、バッファ (2 個のインバータ) を介してカラム選択線 C S L D 1 に接続される。カラムデコーダ 7 A は、カラム選択線 C S L D 1 を介してカラム選択トランジスタ 2 8 のオン / オフを制御する。カラム選択トランジスタ 2 7 がオンされることによって、選択されたビット線 $B L < m >$ が、データ線 D L 1 に接続される。

【 0 0 7 1 】

各ビット線 $B L < m >$ には、電界効果トランジスタ 2 8 が接続される。トランジスタ 2 8 は、例えば、n チャネル型 M O S トランジスタである。電界効果トランジスタ 2 8 のド

50

レインはビット線 $BL < m >$ に接続され、電界効果トランジスタ 28 のゲートは制御線 $bCSLD1$ に接続され、電界効果トランジスタ 28 のソースは接地されている（電源 V_{SS} に接続される）。

【0072】

制御線 $bCSLD1$ は、1 個のインバータを介して、コラムデコーダ 7A に接続され、制御線 $bCSLD1$ には、コラム選択線 $CSLD1$ の反転信号が供給される。トランジスタ 28 は、非選択ビット線 BL を接地電圧 V_{SS} に設定する。これにより、選択ビット線 BL に隣接するビット線は接地電圧 V_{SS} に設定されるため、安定した読み出し動作を実現できる。

【0073】

各ソース線 $SL < m >$ は、コラム選択トランジスタ 25 を介して 4 本のデータ線 $DL2$ のうちの 1 本に接続される。コラム選択トランジスタ 25 のゲートは、コラム選択線 $CSLD2$ に接続される。

【0074】

コラムデコーダ 7B は、バッファ（2 個のインバータ）を介してコラム選択線 $CSLD2$ に接続される。コラムデコーダ 7B は、コラム選択線 $CSLD2$ を介してコラム選択トランジスタ 27 のオン/オフを制御する。コラム選択トランジスタ 25 がオンされることによって、選択されたソース線 $SL < m >$ が、データ線 $DL2$ に接続される。

【0075】

各ソース線 $SL < m >$ には、電界効果トランジスタ 28 が接続される。電界効果トランジスタ 28 のドレインはソース線 SL に接続され、電界効果トランジスタ 28 のゲートは制御線 $bCSLD2$ に接続され、電界効果トランジスタ 28 のソースは接地されている。制御線 $bCSLD2$ は、1 個のインバータを介してコラムデコーダ 7B に接続される。制御線 $bCSLD2$ には、コラム選択線 $CSLD2$ の反転信号が供給される。電界効果トランジスタ 28 は、非選択ソース線 SL を接地電圧 V_{SS} に設定する。これにより、選択ソース線 SL に隣接するソース線は接地電圧 V_{SS} に設定されるため、安定した読み出し動作を実現できる。

【0076】

図 6 を用いて、読み出し動作時における各セル MC 、 RC 、センスアンプ 40A 及び電流シンク 40B の接続関係について、説明する。

図 6 は、あるビット線 BL とあるソース線 SL とに接続されたメモリセル MC に対して読み出し動作が実行された場合における各構成の接続関係が模式的に示されている。

【0077】

図 6 に示される例では、メモリセル（選択セル） MC_s が選択され、他のメモリセルは非選択である。選択セル MC_s が接続されたビット線 BL 及びソース線 SL のことを、選択ビット線及び選択ソース線 SL とそれぞれよぶ。

【0078】

読み出し動作時、選択ビット線 BL には、 n チャネル型電界効果トランジスタ（例えば、 n チャネル型 MOS トランジスタ） $5N-1$ の電流経路の一端が接続される。 n チャネル型 MOS トランジスタ $5N-1$ の電流経路の他端は、センスアンプ 40A の一方の入力端子に接続される。 n チャネル型 MOS トランジスタ $5N-1$ のゲートには、制御電圧 V_{CLMPn} が印加される。この制御電圧 V_{CLMPn} が印加されることによって、 n チャネル型 MOS トランジスタ $5N-1$ は、読み出し動作時において、ビット線 BL の電位 V_{BL} をクランプ（実質的に一定に）する。

【0079】

n チャネル型 MOS トランジスタ $5N-1$ のしきい値電圧 V_{tn} は、例えば、 $0.2V$ （絶対値）程度である。

【0080】

読み出し動作時、選択ソース線 SL には、 p チャネル型電界効果トランジスタ（例えば、 p チャネル型 MOS トランジスタ） $5P-1$ の電流経路の一端が接続される。 p チャネ

10

20

30

40

50

ル型 MOS トランジスタ 5 P - 1 の電流経路の他端は、電流シンク 4 0 B の一方の入力端子に接続される。p チャネル型 MOS トランジスタ 5 P - 1 のゲートには、制御電圧 V_{CLMPp} が印加される。この制御電圧 V_{CLMPp} が印加されることによって、p チャネル型 MOS トランジスタ 5 P - 1 は、読み出し動作時において、ソース線 S_L の電位 V_{SL} をクランプする。

【0081】

p チャネル型 MOS トランジスタ 5 P - 1 のしきい値電圧 V_{tp} は、例えば、0.2 V (絶対値) 程度である。

【0082】

以下では、クランプ用の電界効果トランジスタ 5 N - 1, 5 P - 1 のことを、クランプトランジスタ 5 N - 1, 5 P - 1 とよぶ。また、制御電圧 V_{CLMPn} , V_{CLMPp} のことを、クランプ電圧 V_{CLMPn} , V_{CLMPp} とよぶ。

10

【0083】

このように、本実施形態の MRAM は、読み出し電流 I_r が流れる電流経路において、ビット線 B_L の電位をクランプする n チャネル型クランプトランジスタ 5 N - 1 が、複数のメモリセルが接続されたビット線 B_L に接続され、ソース線 S_L の電位をクランプする p チャネル型クランプトランジスタ 5 P - 1 が、ビット線 B_L と対になるソース線 S_L に接続されている。そして、ソース線 S_L の電位は、非選択のメモリセルが接続されたワード線 W_L の電位 V_{WL_us} より高く設定される。

【0084】

20

図 6 において、図示の簡略化のために、n チャネル型 / p チャネル型クランプトランジスタ 5 N - 1, 5 P - 1 が、ビット線 B_L 及びソース線 S_L にそれぞれ直接接続されている。しかし、クランプトランジスタ 5 N - 1, 5 P - 1 は、その電流経路 (チャネル) が読み出し回路 (センスアンプ及び電流シンク) とビット線 / ソース線との間に直列になるように接続され、かつ、ビット線 / ソース線の電位をクランプできるように形成されていれば、データ線 DL_1 , DL_2 や他の構成要素を介して、読み出し回路及びビット線 / ソース線にそれぞれ接続されていてもよい。

【0085】

参照セルを用いたデータ読み出し方式が用いられる場合、参照セル RC は、電界効果トランジスタ 5 N - 2, 5 P - 2 を介して、読み出し回路 (センスアンプ及び電流シンク) に電氣的に接続される。

30

【0086】

参照セル RC が接続されたビット線 B_L' には、n チャネル型 MOS トランジスタ 5 N - 2 の電流経路の一端が接続されている。n チャネル型 MOS トランジスタ 5 N - 2 の電流経路の他端は、センスアンプ 4 0 A の他方の入力端子に接続される。

参照セル RC が接続されたソース線 S_L' には、p チャネル型 MOS トランジスタ 5 P - 2 の電流経路の一端が接続されている。p チャネル型 MOS トランジスタ 5 P - 2 の電流経路の他端は、電流シンク 4 0 B に接続される。

【0087】

以下では、説明の明確化のため、参照セル RC が接続されたビット線 B_L' のことを、参照ビット線 B_L' とよび、参照セル RC が接続されたソース線 S_L' のことを、参照ソース線 S_L' とよぶ。尚、MOS トランジスタ 5 N - 2, 5 P - 2 も、データ線 DL_1 , DL_2 のような他の構成要素を介して、読み出し回路 4 0 A, 4 0 B 及び参照ビット線 B_L' / 参照ソース線 S_L' にそれぞれ接続されてもよい。また、図 3 に示されるように、参照ビット線 B_L' 及び参照ソース線 S_L' 間にメモリセルが接続されているのは、もちろんである。

40

【0088】

n チャネル型 MOS トランジスタ 5 N - 2 のゲートには、制御信号 V_{REFn} が印加される。この制御信号 V_{REFn} が印加されることによって、n チャネル型 MOS トランジスタ 5 N - 2 は、参照ビット線 B_L' の電位 $V_{BL'}$ をクランプする。n チャネル型 MO

50

Sトランジスタ5N-2のしきい値電圧は、例えば、nチャンネル型クランプトランジスタ5N-1のしきい値電圧 V_{tn} と同じ大きさである。

【0089】

pチャンネル型MOSトランジスタ5P-2のゲートには、制御電圧 V_{REFp} が印加される。この制御電圧 V_{REFp} が印加されることによって、pチャンネル型MOSトランジスタ5P-2は、参照ソース線 SL' の電位 V_{SL}' をクランプする。pチャンネル型MOSトランジスタ5P-2のしきい値電圧は、例えば、pチャンネル型クランプトランジスタ5P-1のしきい値電圧 V_{tp} と同じ大きさである。

【0090】

参照ビット線 BL' 及び参照ソース線 SL' に接続されたトランジスタ5N-2, 5P-2は、クランプトランジスタ5N-1, 5P-1と実質的に同様の機能を有し、参照ビット線 BL' 及び参照ソース線 SL' の電位 V_{BL}' , V_{SL}' を、読み出し動作時において、クランプする。

10

【0091】

参照ビット線 BL' 及び参照ソース線 SL' に対する制御電圧 V_{REFn} , V_{REFp} の大きさは、例えば、クランプ電圧 V_{CLMPn} , V_{CLMPp} の大きさと異なる。参照ビット線 BL' 及び参照ソース線 SL' にそれぞれ接続されたMOSトランジスタ5N-2, 5P-2は、クランプ電圧 V_{CLMPn} , V_{CLMPp} と異なる大きさの制御電圧 V_{REFn} , V_{REFp} が印加されることによって、参照ビット線 BL' 及び参照ソース線 SL' の電位をそれぞれ制御する。

20

【0092】

尚、読み出し動作時、参照セルRCを経由して参照電流をセンスアンプ40Aに供給せずに、定電流源(又は定電圧源)が生成する一定の電流値を有する電流が、センスアンプ40Aに直接供給されてもよい。この場合、センスアンプ40Aの他方の入力端子は、参照セルに接続されずに、定電流源に接続される。

【0093】

データ読み出し時、選択ワード線WLに、例えば、1.2V程度の選択ワード線電位 V_{WL_s} が印加される。選択ワード電位 V_{WL_s} が、選択セル MC_s 内のセルトランジスタ $2s$ のゲートに印加され、セルトランジスタ $2s$ がオンする。

一方、非選択ワード線には、例えば、0Vの電位が、非選択ワード線電位 V_{WL_us} として印加される。非選択セル MC_us 内のセルトランジスタ $2us$ は、オフ状態が維持される。

30

【0094】

尚、非選択セル MC_us 内のセルトランジスタ $2us$ がオフ状態であれば、非選択ワード線電位 V_{WL_us} は0Vより大きくともよい。但し、本実施形態において、非選択ワード線電位 V_{WL_us} は、ソース線電位 V_{SL} よりも小さいことが必要である。

【0095】

データ読み出し時、選択ビット線BLの電位 V_{BL} は、クランプトランジスタ5N-1による電位制御によって、“ $V_{CLMPn} - V_{tn}$ ”程度に設定され、選択ソース線SLの電位 V_{SL} は、クランプトランジスタ5P-1による電位制御によって、“ $V_{CLMPp} + V_{tp}$ ”程度に設定される。

40

【0096】

選択ビット線BLの電位 V_{BL} が、選択ソース線SLの電位 V_{SL} より高くなるように、クランプ電圧 V_{CLMPn} , V_{CLMPp} の大きさがそれぞれ調整されている。例えば、選択ビット線BLに対するクランプ電圧 V_{CLMPn} は、0.85V程度に設定され、選択ソース線SLに対するクランプ電圧 V_{CLMPp} は、例えば、0.35V程度に設定される。この場合、ビット線電位 V_{BL} は0.65V程度になり、ソース線電位 V_{SL} は0.55V程度になる。

それゆえ、読み出し電流 I_r は、選択セル MC_s を経由して、選択ビット線側から選択ソース線側に流れる。尚、クランプ電圧 V_{CLMPn} , V_{CLMPp} の大きさは、上述

50

の値に限定されない。また、上述のしきい値電圧 V_{tn} 、 V_{tp} の大きさは、上述の値に限定されない。

【0097】

また、データ読み出し時、参照ワード線 RWL に、例えば、1.2V程度の選択ワード線電位 VWL_{-r} が印加される。選択ワード電位 VWL_{-r} が、参照セル RC 内のセルトランジスタ24のゲートに印加され、セルトランジスタ24がオンされる。

【0098】

参照ビット線 BL' 及び参照ソース線 SL' に接続されたメモリセルにおいて、それらのメモリセル内のセルトランジスタがオフされる。即ち、参照ビット線 BL' 及び参照ソース線 SL' に接続されたメモリセルに対して、0Vのワード線電位が、セルトランジスタのゲートに印加される。

10

【0099】

参照ビット線 BL' の電位 V_{BL}' は、電界効果トランジスタ $5N-2$ による電位制御によって、“ $V_{REFn} - V_{tn}$ ”程度に設定される。参照ソース線 SL' の電位 V_{SL}' は、電界効果トランジスタ $5P-2$ による電位制御によって、“ $V_{REFp} + V_{tp}$ ”程度に設定される。参照ビット線 BL' の電位 V_{BL}' は、参照ソース線 SL' の電位 V_{SL}' より大きくなる。それゆえ、参照セル RC を流れる基準電流（参照電流） I_{ref} は、参照ビット線側から参照ソース線側に流れる。

【0100】

尚、参照電流 I_{ref} の電流値は、 MTJ 素子が高抵抗状態のときに流れる読み出し電流の大きさと MTJ 素子が低抵抗状態のときに流れる読み出し電流の大きさとの間になるように、制御電圧 V_{REFn} 、 V_{REFp} とによって、調整される。

20

【0101】

読み出し時において、読み出し電流 I_r は、選択セル MC_{-s} を経由して、センスアンプ40Aから電流シンク40Bに向かって流れる。また、参照電流 I_{ref} は、参照セル RC を経由して、センスアンプ40Aから電流シンク40Bに向かって流れる。

【0102】

電流シンク40Bは、読み出し電流 I_r 及び参照電流 I_{ref} を引き込む。

【0103】

センスアンプ40Aは、読み出し電流 I_r の大きさと参照電流 I_{ref} の大きさとを比較することによって、選択セル MC_{-s} 内の MTJ 素子3sの抵抗状態（抵抗値）を検出する。検出された MTJ 素子3sの抵抗状態に基づいて、 MTJ 素子3sが記憶しているデータが、判別される。

30

【0104】

参照セル RC を流れる電流 I_{ref} がデータ読み出し時における抵抗状態の検出（データ判別）のための基準電流として用いられることによって、動作に対する配線遅延の影響を緩和でき、データの読み出しが一定の電流（又は電位）を基準電流として実行される場合に比較して、読み出し動作の高速化が可能になる。

【0105】

このように、読み出し動作時、選択セル MC_{-s} のセルトランジスタ2sがオン状態になり、選択セル MC_{-s} 内を、読み出し電流 I_r が流れる。このとき、非選択セル MC_{-us} のセルトランジスタ2 $_{-us}$ はオフ状態であり、非選択ワード線 WL の電位 VWL_{-us} よりも、ソース線電位 V_{SL} が高くなっている。

40

【0106】

すなわち、本実施形態の $MRAM$ において、選択セル MC_{-s} に対するデータ読み出し時、非選択セル MC_{-us} 内のセルトランジスタ2 $_{-us}$ のゲート電圧よりも、非選択セル MC_{-us} 内のセルトランジスタ2 $_{-us}$ のソース電圧の方が高くなっている。この場合、 n チャンネル型のセルトランジスタ2 $_{-us}$ のチャンネル（ p 型半導体層）-ソース（ n 型半導体層）間には、逆バイアスが印加される。

【0107】

50

それゆえ、非選択セルMC₁内のセルトランジスタ2₁からのリーク電流は、低減される。セルトランジスタのリーク電流は、例えば、短チャネル効果のような、素子の微細化の悪影響に起因する。

【0108】

また、参照ビット線BL'及び参照ソース線SL'に接続されたメモリセル（非選択セル）においても、セルトランジスタのゲート電圧（ワード線電位）がソース電圧よりも高い。それゆえ、参照ビット線BL'及び参照ソース線SL'間の複数のメモリセルにおいても、メモリセルからのリーク電流は低減する。

【0109】

したがって、第1の実施形態の抵抗変化型メモリは、データ読み出し時における非選択セルからのリーク電流を低減でき、そのリーク電流がデータ読み出しに対して大きなノイズとなるのを抑制できる。

10

【0110】

以上のように、第1の実施形態によれば、データの読み出しの精度を向上できる。

【0111】

(b) 動作

図2及び図6を用いて、第1の実施形態の抵抗変化型メモリ（例えば、MRAM）の動作について、説明する。ここでは、本実施形態のMRAMの読み出し動作について説明する。

【0112】

データ読み出し時、外部からMRAMチップ内に、読み出しコマンド及び読み出し対象のアドレスが入力される。

20

【0113】

図2のロウデコーダ8-1, 8-2は、入力されたアドレス信号に基づいて、複数のワード線の中から1本のワード線を選択する。図2のカラムデコーダ7A-1, 7A-2, 7B-1, 7B-3は、入力されたアドレスに基づいて、カラム選択トランジスタ25, 27のオン/オフを制御する。そして、カラムデコーダ7A-1, 7A-2, 7B-1, 7B-3は、複数のビット線の中から1本のビット線を選択し、複数のソース線の中から1つのソース線を選択する。

【0114】

参照セルRCを用いたデータ読み出し方式において、読み出し時には、セルアレイ1-1のメモリセルMCが選択されると、セルアレイ1-2の参照セルRCが選択される。これとは反対に、セルアレイ1-2内のメモリセルMCが選択されると、セルアレイ1-1内の参照セルRCが選択される。

30

【0115】

例えば、図2に示されるように、セルアレイ1-1内において、同じ選択ワード線に接続された2つのメモリセルMC₁, MC₂から同時にデータを読み出すこともできる。

メモリセルMC₁, MC₂は、異なるカラムに属し、互いに異なるビット線BL及びソース線SLに接続されている。セルアレイ1-1内のメモリセルMC₁, MC₂が同時に選択された場合、セルアレイ1-2内の2つの参照セルRC₁, RC₂が同時に選択される。メモリセルMC₁及びメモリセルMC₂は、共通のワード線WLに選択されている。2つの参照セルRC₁, RC₂は、異なるカラムに属し、互いに異なるビット線BL及びソース線SLに接続されている。2つの参照セルRC₁, RC₂は、共通の参照ワード線RWLに接続されている。

40

【0116】

センスアンプ40A-1が、データ線DL₁を介してメモリセルMC₁及び参照セルRC₁に接続され、電流シンク40B-1が、データ線DL₂を介してメモリセルMC₁及び参照セルRC₁に接続される。センスアンプ40A-2が、データ線DL₁を介してメモリセルMC₂及び参照セルRC₂に接続され、電流シンク40B-2が、データ線DL₂を介してメモリセルMC₂及び参照セルRC₂に接続される。

50

【0117】

センスアンプ40A-1は、メモリセルMC1を經由して電流シンク40B-1に流れる読み出し電流の大きさを、センスアンプ40A-1から参照セルRC1を經由して、電流シンク40B-1に流れる参照電流の大きさを比較し、メモリセルMC1内の抵抗変化型メモリ素子(MTJ素子)の抵抗状態を検出する。検出された抵抗状態に基づいて、MTJ素子が記憶するデータが判別される。メモリセルMC1に対するデータの読み出しと同じ動作サイクルにおいて、センスアンプ40A-2が、メモリセルMC2からの読み出し電流と参照セルRC2からの参照電流とを比較することによって、メモリセルMC2のデータが判別される。

【0118】

このように、本実施形態のMRAMは、2つのメモリセルMC1, MC2から同時にデータを読み出すことができる。

【0119】

図6を用いて、選択セルに対するデータ読み出し時におけるビット線及びソース線の電位の関係について、説明する。

【0120】

図6に示されるように、選択ワード線WLには、選択セルMC_s内のセルトランジスタ2_sがオンするように、1.2V程度の選択ワード線電位VWL_sが印加される。非選択ワード線には、例えば、0V程度の非選択ワード線電位VWL_uが印加される。

【0121】

データ読み出し時において、クランプトランジスタ5N-1は、選択ビット線BLの電位VBLを制御する。クランプトランジスタ5N-1のゲートにクランプ電圧VCLMP_nが印加される。選択ビット線BLの電位VBLは、クランプ電圧VCLMP_nの大きさに応じて、nチャンネル型クランプトランジスタ5N-1によってクランプされる。nチャンネル型クランプトランジスタ5N-1のしきい値電圧が“V_{tn}”で示される場合、選択ビット線BLの電位VBLは、“VCLMP_n - V_{tn}”で示される。

【0122】

クランプトランジスタ5P-1は、選択ソース線SLの電位VSLを制御する。クランプトランジスタ5P-1のゲートにクランプ電圧VCLMP_pが印加される。選択ソース線SLの電位VSLは、クランプ電圧VCLMP_pの大きさに応じて、pチャンネル型クランプトランジスタ5P-1によってクランプされる。pチャンネル型クランプトランジスタ5P-1のしきい値電圧が“V_{tp}”で示される場合、選択ソース線SLの電位VSLは、“VCLMP_p + V_{tp}”で示される。

【0123】

ここで、クランプ電圧VCLMP_nが0.85V程度、しきい値電圧V_{tn}が0.2V程度である場合、選択ビット線電位VBLは、0.65V程度になる。また、クランプ電圧VCLMP_pが0.35V程度、しきい値電圧V_{tp}が0.2V程度である場合、選択ソース線電位VSLは、0.55V程度になる。尚、クランプ電圧VCLMP_n, VCLMP_pの大きさは、この値に限定されない。また、クランプトランジスタ5N, 5Pのしきい値電圧V_{tn}, V_{tp}は、形成されるトランジスタ5N, 5Pの特性に応じる。

【0124】

参照セルRCが接続された参照ワード線RWLに、参照セルRC内のセルトランジスタ2₄がオンするように、例えば、1.2V程度の電位VWL_rが印加される。参照ビット線BL'及び参照ソース線SL'間に接続されたメモリセルにおいて、それらのメモリセル内のセルトランジスタのゲートには、0Vのワード線電位(非選択ワード線電位)が印加される。それゆえ、参照ビット線及び参照ソース線間のメモリセル内のセルトランジスタは、オフしている。

【0125】

参照セルRCが接続された参照ビット線BL'の電位VBL'は、nチャンネル型MOSトランジスタ5N-2によって、制御される。nチャンネル型MOSトランジスタ5N-2

10

20

30

40

50

のゲートに、制御電圧 V_{REFn} が印加され、制御電圧 V_{REFn} の大きさに応じ、参照ビット線 BL' の電位 V_{BL}' がクランプされる。参照セル RC が接続された参照ソース線 SL' の電位 V_{SL}' は、 p チャネル型 MOS トランジスタ $5P-2$ によって制御される。 p チャネル型 MOS トランジスタ $5P-2$ のゲートに、制御電圧 V_{REFp} が印加され、制御電圧 V_{REFp} の大きさに応じて、参照ソース線 SL' の電位 V_{SL}' がクランプされる。

【0126】

n チャネル型 MOS トランジスタ $5N-2$ のしきい値電圧が " V_{tn} " で示される場合、参照ビット線 BL の電位 V_{BL}' は、例えば、" $V_{REFn} - V_{tn}$ " で示される。 p チャネル型 MOS トランジスタ $5P-2$ のしきい値電圧が " V_{tp} " で示される場合、参照ソース線 BL の電位 V_{SL}' は、例えば、" $V_{REFp} + V_{tp}$ " で示される。尚、制御電圧 V_{REFn} 、 V_{REFp} の大きさは、クランプ電圧 V_{CLMPn} 、 V_{CLMPp} の大きさと同じでもよいし、異なる大きさであってもよい。但し、参照ビット線 BL' の電位 V_{BL}' が、参照ソース線 SL' の電位 V_{SL}' より大きくなるように調整される。

10

【0127】

尚、参照電流 I_{ref} の電流値は、 MTJ 素子が高抵抗状態のときに流れる読み出し電流の大きさと MTJ 素子が低抵抗状態のときに流れる読み出し電流の大きさとの間になるように、制御電圧 V_{REFn} 、 V_{REFp} とによって、調整される。

【0128】

選択ビット線 BL と選択ソース線 SL との間の電位差は、 $0.1V$ 程度である。この電位差によって、読み出し電流 I_r が、オン状態のセルトランジスタ $2s$ を経由して、選択セル MC_s 内の MTJ 素子 $3s$ を流れる。また、参照ビット線 BL' と参照ソース線 SL' との電位差によって、参照電流 I_{ref} が、オン状態のセルトランジスタ 24 を経由して、参照セル RC 内の抵抗素子 23 を流れる。

20

【0129】

上述のように、センスアンプ $40A$ は、読み出し電流 I_r と参照電流 I_{ref} とを比較する。これによって、選択セル MC_s 内の MTJ 素子 $3s$ の抵抗状態（抵抗値）が検出され、 MTJ 素子 $3s$ が記憶しているデータが読み出される。

【0130】

ここで、上述の非選択ワード線 VWL_us 及び選択ソース線 VSL との電位の関係により、非選択セル MC_us 内のセルトランジスタ $2us$ において、そのセルトランジスタ $2us$ のゲートには $0V$ が印加され、セルトランジスタ $2us$ のソースには、 $0.55V$ が印加される。つまり、 n チャネル型のセルトランジスタ $2us$ において、チャンネル-ソース間（ pn 接合）に逆バイアスが印加される。このため、非選択セル $2us$ のリーク電流は低減され、読み出し時のノイズが低減する。

30

【0131】

また、参照ビット線 BL' 及び参照ソース線 SL' 間に接続されたメモリセルのセルトランジスタに対しても、参照ソース線 SL' の電位 V_{SL}' が、ワード線電位（非選択ワード線電位）よりも高くなっている。それゆえ、参照ビット線 BL' 及び参照ソース線 SL' 間のメモリセル内のセルトランジスタのリーク電流も、低減する。

40

【0132】

尚、本実施形態において、参照セル RC を流れる電流 I_{ref} が、基準電流として、センスアンプ $40A$ に供給される。しかし、読み出し動作時、センスアンプ $40A$ に参照セル RC が接続されずに、定電流源（又は定電圧源）からの一定の電流が基準電流として、センスアンプ $40A$ に直接供給されてもよい。

【0133】

以上のように、第1の実施形態の抵抗変化型メモリの動作によれば、データの読み出しの精度を向上した抵抗変化型メモリを提供できる。

【0134】

(2) 第2の実施形態

50

図7及び図8を参照して、第2の実施形態の抵抗変化型メモリについて、説明する。尚、以下では、第2の実施形態と第1の実施形態のとの相違点について、主に説明し、重複する説明については、必要に応じて行う。

【0135】

図7及び図8を用いて、第2の実施形態の抵抗変化型メモリ（例えば、MRAM）の回路構成について説明する。

【0136】

図7に示されるように、読み出し回路として、電流ソース41A-1, 41A-2とセンスアンプ41B-1, 41B-2とが用いられてもよい。

【0137】

電流ソース41A-1, 41A-2は、データ線DL1に接続される。電流ソース41A-1, 41A-2は、データ線DL1及びビット線BLに対して、電流を出力する。

【0138】

センスアンプ41B-1, 41B-2は、データ線DL2に接続される。センスアンプ41B-1, 41B-2は、選択セルを流れた読み出し電流Irと基準電流とを比較する。

【0139】

データ読み出し時、例えば、電流ソース41A-1は、データ線DL1を介して、セルアレイ1-1内のメモリセルMC1とセルアレイ1-2内の参照セルRC1に接続される。電流ソース41A-2は、データ線DL1を介して、セルアレイ1-1内のメモリセルMC2とセルアレイ1-2内の参照セルRC2に接続される。

【0140】

センスアンプ41B-1は、データ線DL2を介して、セルアレイ1-1内のメモリセルMC1とセルアレイ1-2内の参照セルRC1とに接続される。センスアンプ41B-2は、データ線DL2を介して、セルアレイ1-1内のメモリセルMC2とセルアレイ1-2内の参照セルRC2とに接続される。

【0141】

これによって、第1の実施形態と同様に、1回のデータ読み出しの動作サイクルにおいて、2個のメモリセルMC1, MC2から同時にデータを読み出すことができる。

【0142】

尚、電流ソース/センスアンプ41A-1, 41A-2, 41B-1, 41B-2とセルアレイ1-1, 1-2内のメモリセル/参照セルとの接続関係は、入力されたコマンド及びアドレスに応じたカラムデコーダ7A-1, 7A-2, 7B-1, 7B-2の制御によって、変更可能である。

【0143】

第2の実施形態のMRAMにおいて、電流ソース41A-1, 41A-2が高電位側の読み出し回路として機能し、センスアンプ41B-1, 41B-2が低電位側の読み出し回路として機能する。

【0144】

本実施形態において、第1の実施形態と同様に、読み出し動作時に、選択ビット線及び選択ソース線の電位をクランプするトランジスタ5N, 5Pが、設けられている。

【0145】

図8に示されるように、nチャネル型クランプトランジスタ5N-1の電流経路の一端は、電流ソース41Aに接続され、nチャネル型クランプトランジスタ5N-1の電流経路の一端は、ビット線BLに接続されている。pチャネル型クランプトランジスタ5P-1の電流経路の一端は、センスアンプ41Bの一方の入力端子に接続され、pチャネル型クランプトランジスタ5P-1の電流経路の他端は、ソース線SLに接続されている。

【0146】

このように、第2の実施形態においても、読み出し電流Irが流れる電流経路において、ビット線BLの電位をクランプするnチャネル型クランプトランジスタ5N-1の電流

10

20

30

40

50

経路（チャンネル）が、複数のメモリセルが接続されたビット線 $B L$ に直列に接続され、ソース線 $S L$ の電位をクランプする p チャンネル型クランプトランジスタ $5 P - 1$ の電流経路（チャンネル）が、ビット線 $B L$ と対になるソース線 $S L$ に接続されている。

【0147】

n チャンネル型トランジスタ $5 N - 2$ の電流経路の一端は、電流ソース $4 1 A$ に接続され、 n チャンネル型トランジスタ $5 N - 2$ の電流経路の他端は、参照ビット線 $B L'$ に接続されている。 p チャンネル型 $M O S$ トランジスタ $5 P - 2$ の電流経路の一端は、センスアンプ $4 1 B$ の他方の入力端子に接続され、 p チャンネル型 $M O S$ トランジスタ $5 P - 2$ の電流経路の他端は、参照ソース線 $S L'$ に接続される。

【0148】

読み出し時において、読み出し電流 $I r$ は、選択セル $M C_s$ を経由して、電流ソース $4 1 A$ からセンスアンプ $4 1 B$ に向かって流れる。参照電流 $I r e f$ は参照セル $R C$ を経由して、電流ソース $4 1 A$ からセンスアンプ $4 1 B$ に向かって流れる。

【0149】

そして、センスアンプ $4 1 B$ は、供給された読み出し電流 $I r$ と参照電流 $I r e f$ とを比較する。これによって、選択セル $M C_s$ 内の $M T J$ 素子 $3 s$ の抵抗状態が検出され、 $M T J$ 素子 $3 s$ が記憶しているデータが判別される。

【0150】

第2の実施形態の $M R A M$ においても、第1の実施形態と同様に、クランプ電圧 $V C L M P n$ 、 $V C L M P p$ によって、選択ビット線電位 $V B L$ は、選択ソース線電位 $V S L$ より高くなるように、制御される。

【0151】

選択ワード線電位 $V W L_s$ は、選択ビット線電位 $V B L$ より大きく、選択ソース線電位 $V S L$ より大きい。また、選択ソース線電位 $V S L$ は、非選択ワード線電位 $V W L_u$ より大きい。

【0152】

それゆえ、本実施形態においても、非選択セル $M C_u$ 内のセルトランジスタ 2_u のゲート電圧は、そのセルトランジスタ 2_u のソース電圧より小さい。それゆえ、セルトランジスタ 2_u のチャンネル - ソース ($p n$ 接合) 間に、逆バイアスが印加され、非選択セル $M C_u$ からのリーク電流は低減される。この結果として、読み出し時に、リーク電流に起因するノイズが低減する。

【0153】

したがって、第2の実施形態の抵抗変化型メモリは、第1の実施形態の抵抗変化型メモリと同様に、データの読み出しの精度を向上できる。

【0154】

(3) 変形例

図9及び図10を参照して、第1及び第2の実施形態に係る抵抗変化メモリの変形例について、説明する。

【0155】

第1及び第2の実施形態において、 $M R A M$ が抵抗変化型メモリの一例として例示されている。但し、抵抗変化型メモリは、例えば、 $R e R A M$ (Resistive RAM) や $P C R A M$ (Phase Change RAM) のような、 $M R A M$ 以外の抵抗変化型メモリでもよいのもちろんである。

【0156】

例えば、 $R e R A M$ において、メモリ素子に、可変抵抗素子が用いられる。 $R e R A M$ に用いられるメモリ素子は、電圧、電流又は熱などのエネルギーによって、素子の抵抗値が可逆的に変化し、抵抗値が変化した状態を不揮発に保持する。

【0157】

図9は、 $R e R A M$ に用いられる抵抗変化型メモリ素子 (可変抵抗素子) 3 の構造例を示している。

10

20

30

40

50

【0158】

抵抗変化型メモリ素子3としての可変抵抗素子3は、下部電極38、上部電極39、及びこれらに挟まれた抵抗変化膜（記録層）34を備えている。

【0159】

抵抗変化膜34は、ペロブスカイト型金属酸化物、或いは二元系金属酸化物などの遷移金属酸化物から形成される。ペロブスカイト型金属酸化物としては、 $\text{PCMO}(\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3)$ 、Nb添加 $\text{SrTi}(\text{Zr})\text{O}_3$ 、Cr添加 $\text{SrTi}(\text{Zr})\text{O}_3$ などが挙げられる。二元系金属酸化物としては、 NiO 、 TiO_2 、 Cu_2O などが挙げられる。

【0160】

抵抗変化膜34は、例えば、その内部における微細な電流経路（フィラメント）の生成又は消失、その膜34の構成イオンの移動によって、抵抗状態が変化する。

【0161】

可変抵抗素子3は、バイポーラ型と呼ばれる動作モードの素子とユニポーラ型と呼ばれる動作モードの素子が存在する。

バイポーラ型の素子3は、それに印加される電圧の極性を変えることで抵抗値が変化する。ユニポーラ型の素子3は、それに印加される電圧の絶対値又は電圧のパルス幅又はそれらの両方を変えることで、抵抗値が変化する。このように、抵抗変化型メモリ素子としての可変抵抗素子3は、印加電圧を制御することで低抵抗状態と高抵抗状態とに設定される。尚、可変抵抗素子3がバイポーラ型であるかユニポーラ型であるかは、抵抗変化膜34の材料や抵抗変化膜34と電極38、39の材料の組み合わせによって異なる場合がある。

【0162】

可変抵抗素子3の低抵抗状態及び高抵抗状態を“0”データ及び“1”データにそれぞれ対応させることで、抵抗変化型記憶素子としての可変抵抗素子3が1ビットデータを記憶することができる。

【0163】

抵抗変化型メモリ素子3としての可変抵抗素子3に対する書き込み動作、つまり、可変抵抗素子3の抵抗状態を変化させる動作は、リセット動作/セット動作とよばれる。

可変抵抗素子3が高抵抗状態にされる場合、素子3にリセット電圧が印加され、可変抵抗素子3を低抵抗状態にされる場合、素子3にセット電圧が印加される。

【0164】

データの読み出しは、セット電圧及びリセット電圧よりも十分小さな読み出し電圧を抵抗変化型記憶素子3に印加し、この時に可変抵抗素子3を流れる電流を検出することでデータが読み出される。

【0165】

PCRAMは、抵抗変化型メモリ素子3に相変化素子が用いられる。相変化素子3は、外部から与えられたエネルギーによって、結晶相が結晶状態から非晶質状態へ、または、非晶質状態から結晶状態へ可逆的に変化する。その結晶相の状態変化の結果として、相変化素子の抵抗値（インピーダンス）が変化する。相変化素子の結晶相が変化した状態は、結晶相の変化に必要なエネルギーが与えられるまで、不揮発に保持される。

【0166】

図10は、PCRAMに用いられるメモリ素子（相変化素子）の構造例を示している。

【0167】

抵抗変化型メモリ素子としての相変化素子3は、下部電極38、ヒータ層35、相変化膜（記録層）36、上部電極38が積層されて構成されている。

【0168】

相変化膜36は相変化材料から構成され、書き込み時に発生する熱により結晶状態又は非晶質状態に変化される。相変化膜36の材料としては、 Ge-Sb-Te 、 In-Sb-Te 、 Ag-In-Sb-Te 、 Ge-Sn-Te などのカルコゲン化合物を挙げるこ

10

20

30

40

50

とができる。これらの材料は、高速スイッチング性、繰返し記録安定性、高信頼性を確保する上で望ましい。

【0169】

ヒータ層35は、相変化膜36の底面に接している。ヒータ層35が相変化膜36に接する面積は、相変化膜36の底面の面積より小さいことが望ましい。これは、ヒータ層35と相変化膜36との接触部分を小さくすることで加熱部分を小さくし、書き込み電流又は電圧を低減するためである。ヒータ層35は、導電性材料からなり、例えば、TiN、TiAlN、TiBN、TiSiN、Ta₂N、TaAlN、TaBN、TaSiN、WN、WAlN、WBN、WSiN、ZrN、ZrAlN、ZrBN、ZrSiN、MoN、Al、Al-Cu、Al-Cu-Si、WSi、Ti、Ti-W、及びCuから選択される1つからなることが望ましい。また、ヒータ層35は、下部電極38と同じ材料であってもよい。

10

【0170】

下部電極38の面積は、ヒータ層35の面積より大きい。上部電極39は、例えば、相変化膜36の平面形状と同じである。下部電極38及び上部電極39の材料としては、Ta、Mo、Wなどの高融点金属が挙げられる。

【0171】

相変化膜36は、それに印加される電流パルスの大きさ及び電流パルスの幅を制御することで加熱温度が変化し、結晶状態又は非晶質状態に変化する。

【0172】

抵抗変化型メモリ素子としての可変抵抗素子3に対する書き込み動作は、相変化膜36の結晶状態を変化させることによって、実行される。

20

書き込み動作時、下部電極38と上部電極39との間に電圧又は電流が印加され、上部電極38から相変化膜36及びヒータ層35を介して、下部電極39に電流が流れる。相変化膜36が融点付近まで加熱されると、相変化膜36は非晶質相（高抵抗相）に変化し、電圧又は電流の印加が停止されても非晶質状態を維持する。一方、下部電極38と上部電極39との間に電圧又は電流が印加され、相変化膜36が結晶化に適した温度付近まで加熱されると、相変化膜36は結晶相（低抵抗相）に変化し、電圧又は電流の印加が停止されても結晶状態を維持する。相変化膜36を結晶状態に変化させる場合、例えば、非晶質状態に変化させる場合と比べて、相変化膜36に印加する電流パルスの大きさは小さく、かつ電流パルスの幅は大きく設定される。

30

【0173】

相変化膜36が結晶相であるか非晶質相であるかは、下部電極38と上部電極39との間に相変化膜36が結晶化も非晶質化も生じない程度の低電圧又は低電流が印加され、素子3を流れる電流が読み取られることによって、判別される。

【0174】

このように、相変化素子3の低抵抗状態（結晶状態）及び高抵抗状態（非晶質状態）を“0”データ及び“1”データにそれぞれ対応させることで、PCRAMの抵抗変化型メモリ素子3から1ビットデータを読み出すことができる。

【0175】

以上のように、本実施形態の抵抗変化メモリにおいて、磁気抵抗効果素子（MTJ素子）3の代わりに、可変抵抗素子又は相変化素子が、抵抗変化型メモリ素子3として用いられてもよい。

40

【0176】

磁気抵抗効果素子（MTJ素子）以外の抵抗変化型メモリ素子によって、メモリセルが形成される場合であっても、第1及び第2の実施形態で述べたように、抵抗変化型メモリのデータの読み出しの精度を、向上できる。

【0177】

[その他]

本実施形態の抵抗変化型メモリにおいて、メモリセルは、1つの抵抗変化型メモリ素子

50

に対して1つのセルトランジスタが接続されている。これに限定されず、トランジスタの電流経路がビット線及びソース線間に直列に接続されるように、2以上のセルトランジスタがメモリセル内に設けられてもよい。これに伴って、2本のソース線がメモリセルに接続され、ソース線が2つのセルトランジスタの電流経路のそれぞれに1本ずつ接続されてもよい。

【0178】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

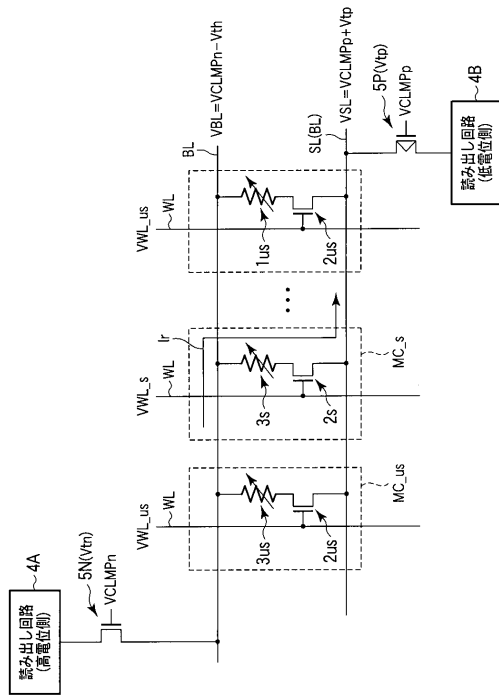
【符号の説明】

【0179】

1：メモリセルアレイ、MC：メモリセル、RC：参照セル、2：セルトランジスタ、3：抵抗変化型メモリ素子、5N、5P：クランプトランジスタ、40A、41B：センスアンプ、40B：シンク回路、41A：ソース回路。

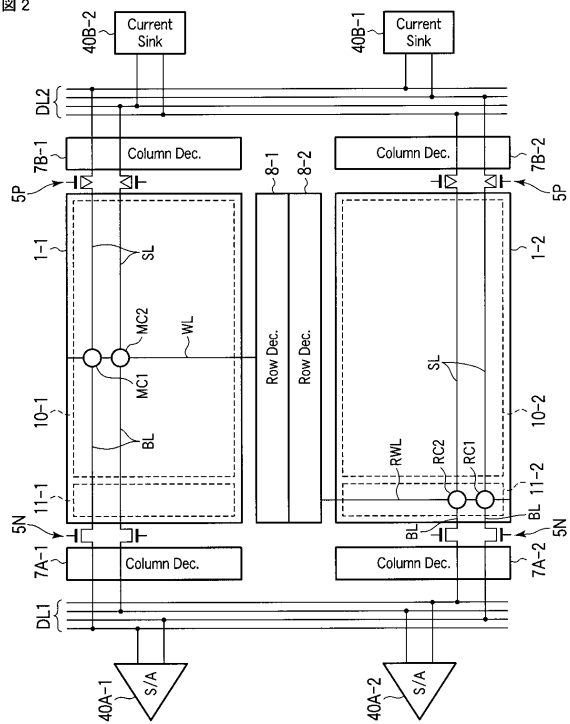
【図1】

図1

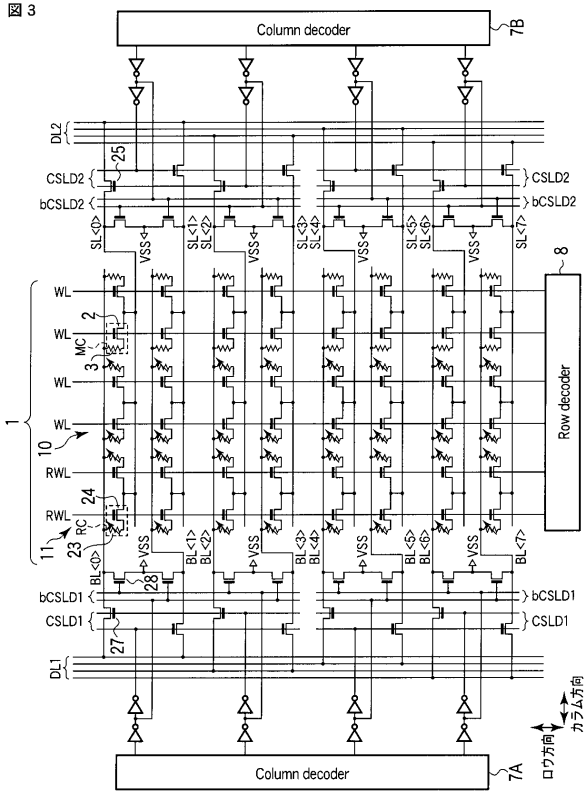


【図2】

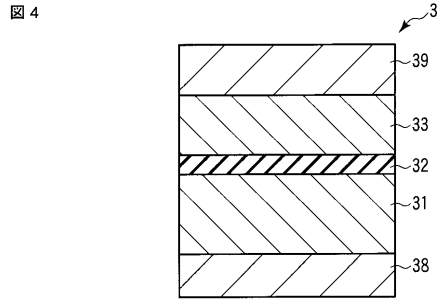
図2



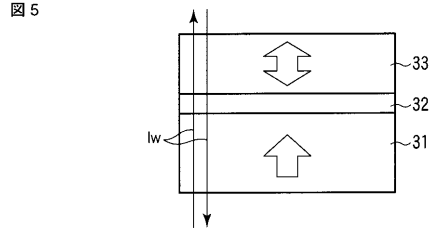
【 図 3 】



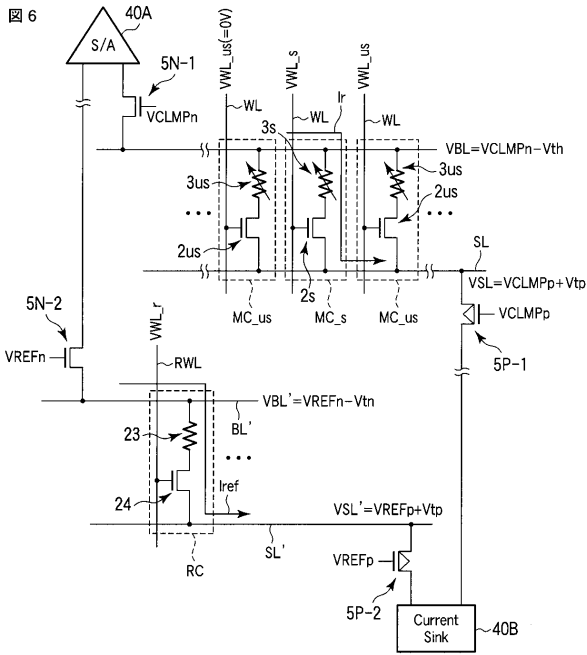
【 図 4 】



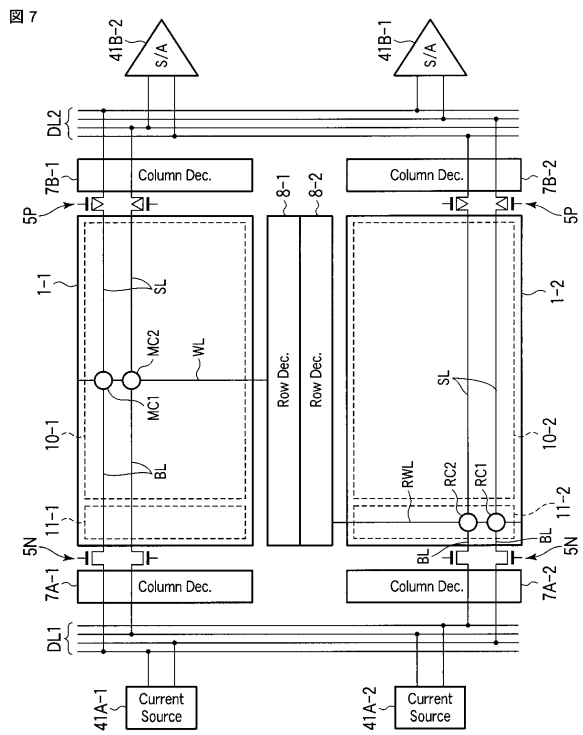
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100101812
弁理士 勝村 紘
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (74)代理人 100127144
弁理士 市原 卓三
- (74)代理人 100141933
弁理士 山下 元
- (72)発明者 上田 善寛
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 土田 賢二
東京都港区芝浦一丁目1番1号 株式会社東芝内