



SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

---

the electric potential of the first signal and a first set electric potential and a magnitude relationship between the electric potential of the second signal and a second set electric potential.

(57) 要約: 本発明は、電位生成回路に関する。電位生成回路は、第1信号を出力する第1出力回路と、第2信号を出力する第2出力回路と、第1信号の電位と第1設定電位の大小関係、及び第2信号の電位と第2設定電位の大小関係の組合せに応じて第1出力回路及び第2出力回路のうちいずれか一方から信号を出力させるように第1出力回路及び第2出力回路を制御する制御回路とを備える。

## 明 細 書

発明の名称：電位生成回路、逆流防止回路、及び電位生成回路の  
制御方法

規則 26,  
28.03.2023

### 技術分野

[0001] 本発明は電位生成回路、逆流防止回路、及び電位生成回路の制御方法に関する。

### 背景技術

[0002] 従来から、複数の出力電位を生成できる電位生成回路が知られている。

[0003] これに関し、米国特許第7432614号明細書には、複数の出力ノードと、複数の出力ノードのうち対応する出力ノードに接続される複数のスイッチと、当該スイッチのオン・オフを制御することによって、各出力ノードから電位を出力するタイミングを制御する制御回路とを備える電気回路が開示されている。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：米国特許第7432614号明細書

### 発明の概要

#### 発明が解決しようとする課題

[0005] しかしながら、米国特許第7432614号明細書に記載の技術では、複数の出力ノードに接続される負荷に差がある場合において、大きな負荷が接続されている出力ノードほど出力ノードの電位が設定電位に到達するまで時間がかかり、さらに出力ノードの電位が下がり易くなるという問題があった。さらに、米国特許第7432614号明細書に記載の技術では、複数の電位を生成する過程において、出力側から回路の内部側に電流が逆流してしまう可能性があった。

[0006] 本発明はこのような問題に鑑みてなされたものであり、その目的は、短時間で所定の設定電位を生成できる電位生成回路、電位生成回路の制御方法を提供することにある。

### 課題を解決するための手段

[0007] 上記課題を解決するために、第一の本発明に係る電位生成回路は、第1信号を出力する第1出力回路と、前記第1信号とは異なる第2信号を出力する第2出力回路と、前記第1信号の電位と第1設定電位の間的大小関係、及び、前記第2信号の電位と第2設定電位の間的大小関係の組み合わせに応じて、前記第1出力回路及び前記第2出力回路のうちいずれか一方から信号を出力させるように前記第1出力回路及び前記第2出力回路を制御する制御回路と、を備える。

[0008] また、第二の本発明に係る電位生成回路では、前記制御回路は、前記第1信号の電位が前記第1設定電位以上でありかつ前記第2信号の電位が前記第2設定電位未満である場合、出力モードを固定出力モードに設定するとともに、前記第2出力回路から前記第2信号を出力させ、前記第2信号の電位が前記第2設定電位以上でありかつ前記第1信号の電位が前記第1設定電位未満である場合、前記出力モードを前記固定出力モードに設定するとともに、前記第1出力回路から前記第1信号を出力させる。

[0009] また、第三の本発明に係る電位生成回路では、前記制御回路は、前記第1信号の電位が前記第1設定電位未満でありかつ前記第2信号の電位が前記第2設定電位未満である場合、前記出力モードを交互出力モードに設定するとともに、前記第1出力回路による前記第1信号の出力及び前記第2出力回路による前記第2信号の出力を一定期間毎に交互に切り替える。

[0010] また、第四の本発明に係る電位生成回路では、前記制御回路は、前記出力モードが前記交互出力モードである場合、前記第1信号の電位が前記第1設定電位以上になるか、又は前記第2信号の電位が前記第2設定電位以上になった場合、前記第1出力回路及び前記第2出力回路の出力を切り替えるタイミン

グで前記出力モードを前記交互出力モードから前記固定出力モードに切り替える。

[0011] また、第五の本発明に係る電位生成回路の制御方法は、第1出力回路及び第2出力回路を有する電位生成回路の制御方法であって、前記電位生成回路が第1信号の電位と第1設定電位の間の大小関係、及び第2信号の電位と第2設定電位の間の大小関係の組み合わせが所定の条件を満たすか否かを判定することと、当該判定が肯定判定である場合、前記電位生成回路が前記第1出力回路及び前記第2出力回路のうちいずれか一方から信号を出力させるように前記第1出力回路及び前記第2出力回路を制御することと、当該判定が否定判定である場合、前記電位生成回路が前記第1出力回路による前記第1信号の出力及び前記第2出力回路による前記第2信号の出力を一定期間毎に交互に切り替えることと、を含む。

[0012] また、第六の本発明に係る逆流防止回路は、ソース端子、ドレイン端子、ゲート端子及びバックゲート端子を有し、第1電位が前記ソース端子に供給される第1状態、及び前記第1電位より高い第2電位が前記ソース端子に供給される第2状態で動作し、前記ゲート端子の電位に基づいて前記ソース端子に供給される電位を前記ドレイン端子から出力する出力回路と、前記ゲート端子、前記ソース端子及び前記バックゲート端子に接続されており、前記第1状態において、前記出力回路が前記出力を停止するように前記ゲート端子の電位を制御し、前記ドレイン端子と同じ電位になるように前記バックゲート端子の電位を制御し、前記第2状態において、前記ソース端子と同じ電位になるように前記バックゲート端子の電位を制御する制御回路と、を備える。

[0013] また、第七の本発明に係る逆流防止回路では、前記出力回路は、前記第1状態において両端が短絡し、前記第2状態において前記両端が開放し、一端が前記バックゲート端子に接続され、他端が前記ドレイン端子に接続される第1短絡制御回路と、前記第1状態において前記両端が開放し、前記第2状態において前記両端が短絡し、一端が前記バックゲート端子に接続され、他端が前記ソース端子に接続される第2短絡制御回路とを有する。

## 発明の効果

[0014] 第一の本発明～第五の本発明によれば、短時間で所定の設定電位を生成できる。第六～第八の本発明によれば、出力回路の電流の逆流を防止できる。

## 図面の簡単な説明

[0015] [図1]電源回路の一例を示す図である。

[図2]電位生成回路の一例を示す図である。

[図3]出力回路の構成の一例を電位生成回路における他の回路とともに示す図である。

[図4]定電圧回路の一例を示す図である。

[図5A]電位生成回路の第1モードにおける動作の一例を示す図である。

[図5B]電位生成回路の第2モードにおける動作の一例を示す図である。

[図5C]電位生成回路の第3モードにおける動作の一例を示す図である。

[図5D]電位生成回路の第4モードにおける動作の一例を示す図である。

[図5E]電位生成回路の第5モードにおける動作の一例を示す図である。

[図6A]電位生成回路の出力の状態を示すタイミングチャートの第一例である。

[図6B]電位生成回路の出力の状態を示すタイミングチャートの第二例である。

[図7]電位生成回路における各信号の遷移を示すタイミングチャートの第一例である。

[図8]電位生成回路における各信号の遷移を示すタイミングチャートの第二例である。

[図9]電位生成回路の一連の処理の流れを示すフローチャートの一例である。

## 発明を実施するための形態

[0016] 以下、添付図面を参照しながら本発明の実施形態（以下、「本実施形態」という。）について説明する。説明の理解を容易にするため、各図面において同一の構成要素及びステップに対しては可能な限り同一の符号を付して、重複する説明は省略する。

[0017] <構成>

図1は、本実施形態に係る電源回路1の一例を示す図である。電源回路1は、例えば、バッテリーの搭載が可能であり、かつ外部から電力供給が可能なアクティブ静電方式のスタイラスなどの電子機器に搭載されており、スタイラスが有する電気回路に電位を供給する。

[0018] 具体的には、電源回路1は、乾電池などの1次電池、及びリチウムイオン電池など2次電池のバッテリーから供給される電力、並びにAC (alternating current) アダプタやUSB (Universal Serial Bus) など外部の電力供給経路からの供給される電力をデジタル回路、アナログ回路、及びLC発振回路に応じた電力にそれぞれ変換する。そして、電源回路1は、変換した電力をデジタル回路、アナログ回路、及びLC発振回路に供給する。また、電源回路1は、外部から供給された電力を搭載しているリチウムイオン電池などの充電が可能な2次電池に充電する。電源回路1は、例えば、電位生成回路10と、昇圧回路20と、定電圧回路30、60、70及び80と、充電回路40と、バンドギャップ回路50とを含んで構成される。なお、電源回路1が搭載される機器はスタイラスに限られるものではなく、電気回路を有する装置であれば何であっても良い。

[0019] 定電圧回路30は、例えば、LDO (Low Dropout) 回路であり、供給される電位を例えば4.0Vの一定の電位に変換して出力する。具体的には、定電圧回路30は、バンドギャップ回路50から供給される基準電位VREFに基づいて、USBなど外部の電力供給経路から供給される電位VINを所定の電位VDD33に変換する。定電圧回路30は、スイッチSW1を介して、変換した電位VDD33を電源線W\_VDD33に供給する。

[0020] スイッチSW1は、例えば、トランジスタや機械式スイッチなどであり、定電圧回路30の動作に基づいて、定電圧回路30及び電源線W\_VDD33の間を短絡又は開放する。具体的には、スイッチSW1は、定電圧回路30が電源線W\_VDD33に電位VDD33を供給している場合、定電圧回路30及び電源線W\_VDD33の間を短絡する。また、スイッチSW1は、定電圧

回路30が電源線W\_VDD33への電位VDD33の供給を停止している場合、定電圧回路30及び電源線W\_VDD33の間を開放する。

[0021] 充電回路40は、電源回路1が搭載されている機器のバッテリーとしてリチウムイオン電池が使用されている場合に、リチウムイオン電池に電位を供給し充電するための回路である。具体的には、充電回路40は、バンドギャップ回路50から供給される基準電位VREFに基づいて、定電圧回路30から電源線W\_VDD33を介して供給される電位VDD33をリチウムイオン電池に充電可能な電位に変換する。充電回路40は、変換した電位を図示しない経路を介してリチウムイオン電池に供給することによって、リチウムイオン電池を充電する。

[0022] 昇圧回路20は、例えば、昇圧DC-DCコンバータであり、供給される電位を昇圧して出力するか、又は供給される電位をそのまま出力する。具体的には、昇圧回路20は、電源回路1が搭載されている機器のバッテリーとして乾電池が使用されている場合、バンドギャップ回路50から供給される基準電位VREFに基づいて、乾電池から供給される約0.95V~約1.60Vの電位VBATを約2.1Vまで昇圧し、昇圧した電位を電位VDD33として電源線W\_VDD33に供給する。また、昇圧回路20は、電源回路1が搭載されている機器のバッテリーとしてリチウムイオン電池が使用されている場合、リチウムイオン電池から供給される約2.80V~約4.40Vの電位VBATを昇圧せずにそのまま電位VDD33として電源線W\_VDD33に供給する。

[0023] バンドギャップ回路50は、電源回路1に設けられている各回路が動作するための基準であり、温度や電源電圧、製造プロセス特性などに依存せず常に一定の電位となる基準電位VREFを生成し、生成した基準電位VREFを各回路に供給する。具体的には、バンドギャップ回路50は、定電圧回路30又は昇圧回路20から電源線W\_VDD33を介して供給される電位VDD33を電力源として、基準電位VREFを生成し、生成した基準電位VREFを各回路に供給する。

- [0024] 電位生成回路10は、複数の電位を生成可能なDC-DCコンバータであり、バンドギャップ回路50から出力される基準電位VREFに基づいて、電源線W\_VDD33から供給される電位VDD33から約1.4Vの電位VDDと、約2.1Vの電位VDD2と、電位VDD2に基づく電位VR1とを生成する。電位生成回路10は、生成した電位VDDを電源回路1における各デジタル回路に供給する。また、電位生成回路10は、生成した電位VDD2を定電圧回路70及び80に供給する。また、電位生成回路10は、生成した電位VR1を定電圧回路60に供給する。
- [0025] 定電圧回路60は、例えば、LDO回路であり、供給される電位を所定の電位に変換して出力する。具体的には、定電圧回路60は、バンドギャップ回路50から供給される基準電位VREFと、電位生成回路10から供給される電位VR1との大きさを比較する。定電圧回路60は、基準電位VREFの電位が電位VR1の電位以上である場合、電源線W\_VDD33を介して供給される電位VDD33から1.35V~1.40Vの電位VDDを生成する。続いて、定電圧回路30は、生成した電位VDDを電源回路1における各デジタル回路に供給する。また、定電圧回路60は、基準電位VREFの電位が電位VR1の電位よりも小さい場合、電位VDDの生成及び出力を停止する。
- [0026] 定電圧回路70及び80は、例えば、LDO回路であり、供給される電位を所定の電位に変換して出力する。具体的には、定電圧回路70は、バンドギャップ回路50から供給される基準電位VREFに基づいて、電位生成回路10から供給される電位VDD2を約1.85Vの電位VDDAに変換する。定電圧回路70は、変換した電位VDDAを電源回路1における各アナログ回路に供給する。また、定電圧回路80は、バンドギャップ回路50から供給される基準電位VREFに基づいて、電位生成回路10から供給される電位VDD2を約1.74V~2.055Vの電位VDDL Cに変換する。定電圧回路80は、変換した電位VDDL Cを電源回路1における各LC発振回路に供給する。

[0027] 以上、電源回路1における各回路の動作について説明した。続いて、電位生成回路10の構成について説明する。図2は、電位生成回路10の一例を示す図である。図2に示すように、電位生成回路10は、制御回路11と、出力回路12～14と、増幅回路AMP1～AMP4と、緩衝回路BUF1及びBUF2と、トランジスタTR1～TR3と、可変抵抗R1～R4と、定電圧源V1と、定電流源I1とを含んで構成される。また、電位生成回路10の端子pA及びpBの間には、信号線を介して22 $\mu$ Hほどのインダクタンスを有する誘導素子L1が接続される。なお、電位生成回路10の端子p01には、後段に接続される電気回路や電気素子などの負荷容量として負荷容量C1が接続されている。また、電位生成回路10の端子p02には、後段に接続される電気回路や電気素子などの負荷容量として負荷容量C2が接続されている。

[0028] 増幅回路AMP1及びAMP2は、例えば、コンパレータであり、非反転入力端子+に入力される電位が反転入力端子-に入力される電位以上であるか否かを判定し、当該判定結果を制御回路11に送信する。具体的には、増幅回路AMP1は、制御回路11の制御の下、バンドギャップ回路50から端子pi2を介して非反転入力端子+に入力される基準電位VREFが反転入力端子-に入力される可変抵抗R3及びR4の分圧電位である電位VR2以上であるか否かを判定する。増幅回路AMP1は、当該判定結果を制御回路11に送信する。また、増幅回路AMP2は、制御回路11の制御の下、バンドギャップ回路50から端子pi2を介して非反転入力端子+に入力される基準電位VREFが反転入力端子-に入力される可変抵抗R1及びR2の分圧電位である電位VR1以上であるか否かを判定する。増幅回路AMP2は、当該判定結果を制御回路11に送信する。

[0029] 制御回路11は、緩衝回路BUF1及びBUF2に信号を送信し、緩衝回路BUF1及びBUF2並びにトランジスタTR1及びTR2によって形成されるDC-DCコンバータによって電位VAを出力させるか、又は電位VAの出力を停止させる。

[0030] また、制御回路11は、電源回路1を第1モード～第5モードのいずれかの動作モードで動作させる。制御回路11は、第4モードにおいて、出力回路12から出力される第1信号SDDの電位と予め定められている第1設定電位との間の大小関係、及び、出力回路13から出力される第2信号SDD2の電位と予め定められている第2設定電位との間の大小関係の組み合わせに応じて、出力回路12及び13のうちいずれか一方から信号を出力させるように出力回路12及び13を制御する。制御回路11は、第1信号SDD及び第1設定電位との間の大小関係を増幅回路AMP1からの出力の状態によって判定する。また、制御回路11は、第2信号SDD2及び第2設定電位との間の大小関係を増幅回路AMP2からの出力の状態によって判定する。なお、各動作モードにおける電位生成回路10の動作については、追って図5A～図5Eを参照しつつ説明するため、ここではその説明を省略する。

[0031] 緩衝回路BUF1及びBUF2は、例えばMOS-FET (metal-oxide-semiconductor field-effect transistor) を含んで構成されるバッファ回路であり、入力される緩衝回路BUF1に対する信号に対して、論理を維持したまま信号増強を行い、信号増強を行った信号を出力する。具体的には、緩衝回路BUF1は、制御回路11から入力される信号に対して論理を維持したまま信号増強を行い、信号増強を行った信号をトランジスタTR1のゲート端子に出力する。また、緩衝回路BUF2は、制御回路11から入力される緩衝回路BUF2に対する信号に対して論理を維持したまま信号増強を行い、信号増強を行った信号をトランジスタTR2のゲート端子に出力する。

[0032] トランジスタTR1及びTR3は、例えばP型MOS-FETである。トランジスタTR1及びTR3は、ゲート端子に入力される信号に従って、ソース端子に供給される電位をドレイン端子に供給するか又は該供給を停止する。具体的には、トランジスタTR1及びTR3は、ゲート端子に入力される信号の状態がロウ状態の場合、ソース端子に供給される電位をドレイン端子に供給する一方で、ゲート端子に入力される信号の電位がハイ状態の場合、該供給を停止する。

- [0033] トランジスタTR1は、ゲート端子が緩衝回路BUF1の出力端子に接続され、ソース端子が端子pi1を介して電源線W\_VDD33に接続され、ドレイン端子がノードno及び端子pAを介して誘導素子L1の一端に接続される。
- [0034] トランジスタTR3は、ゲート端子が制御回路11のトランジスタTR3のための出力端子に接続され、ソース端子が端子pi1を介して電源線W\_VDD33に接続され、ドレイン端子が定電流源I1の正極端子及び増幅回路AMP4の反転入力端子-に接続される。
- [0035] トランジスタTR2は、例えばN型MOS-FETである。トランジスタTR2は、ゲート端子に入力される信号に従って、ドレイン端子からソース端子に向かって電荷を引き抜くか又は該引き抜きを停止する。具体的には、トランジスタTR2は、ゲート端子に入力される信号の状態がハイ状態の場合、ドレイン端子からソース端子に向かって電荷を引き抜く一方で、ゲート端子に入力される信号の状態がロウ状態の場合、該引き抜きを停止する。トランジスタTR2は、ゲート端子が緩衝回路BUF2の出力端子に接続され、ソース端子が接地線W\_GNDに接続され、ドレイン端子がノードno及び端子pAを介して誘導素子L1の一端に接続される。
- [0036] なお、緩衝回路BUF1及びBUF2、並びにトランジスタTR1及びTR2は、DC-DCコンバータとして機能する。当該DC-DCコンバータは、制御回路11の制御の下、トランジスタTR1及びTR2のドレイン端子及びソース端子間の導通及び非導通を交互に切り替えることによって電位VAを生成し、生成した電位VAをノードnoに供給する。具体的には、当該DC-DCコンバータは、トランジスタTR1のドレイン端子及びソース端子の間が導通しており、かつトランジスタTR2のドレイン端子及びソース端子の間が非導通である間、電源線W\_VDD33からトランジスタTR1を介してノードnoに電位VDD33を供給する。また、当該DC-DCコンバータは、トランジスタTR1のドレイン端子及びソース端子の間が非導通であり、かつトラ

ンジスタTR2のドレイン端子及びソース端子の間が導通している間、ノードnoからトランジスタTR2を介して接地線W\_GNDに電位を引き抜く。

- [0037] 定電圧源V1は、正極端子及び負極端子の間の電位差が所定の直流電圧となるように電圧を生成し、生成した直流電圧を供給する電圧源である。定電圧源V1は、正極端子が増幅回路AMP3の非反転入力端子+に接続され、負極端子がノードnoに接続される。
- [0038] 定電流源I1は、制御回路11の制御の下、正極端子から負極端子に所定の直流電流が流れるように当該直流電流を生成し、生成した直流電流を供給する電流源である。定電流源I1は、正極端子が増幅回路AMP4の反転入力端子-及びトランジスタTR3のドレイン端子に接続され、負極端子が接地線W\_GNDに接続される。
- [0039] 増幅回路AMP3は、例えば、コンパレータであり、非反転入力端子+に入力される電位が反転入力端子-に入力される接地電位GNDを上回るか又は下回るタイミングを検出するゼロクロス検出を行う。具体的には、増幅回路AMP3は、制御回路11の制御の下、定電圧源V1から非反転入力端子+に入力される電位が反転入力端子-に入力される接地線W\_GNDの接地電位GND以上であるか否かを判定する。増幅回路AMP3は、当該判定結果を制御回路11に送信する。
- [0040] 増幅回路AMP4は、例えば、コンパレータであり、非反転入力端子+に接続されている電流経路に流れる電流が反転入力端子-に接続されている電流経路に流れる所定の電流以上となるタイミングを検出するピーク電流検出を行う。具体的には、増幅回路AMP4は、制御回路11の制御の下、トランジスタTR1及びTR2のドレイン端子から非反転入力端子+に入力される電位VAが反転入力端子-に入力されるトランジスタTR3のドレイン端子及び定電流源I1の正極端子の電位以上であるか否かを判定する。増幅回路AMP4は、当該判定結果を制御回路11に送信する。
- [0041] 出力回路12は、制御回路11の制御に基づいて、端子pBから供給される電位VBを第1信号SDDDとして出力するか又は当該出力を停止する。な

お、出力回路12は、LDOモード、DC-DCモード及び待機モードのうちいずれかの動作モードで動作する。出力回路12の各動作モードにおける動作の詳細については、追って図5A~5Eを参照しつつ説明するため、ここではその説明を省略する。

[0042] 出力回路13は、制御回路11の制御に基づいて、端子pBから供給される電位VBを第2信号SDD2として出力するか又は当該出力を停止する。出力回路13の動作の詳細については、追って図5A~5Eを参照しつつ説明するため、ここではその説明を省略する。

[0043] 出力回路14は、制御回路11の制御に基づいて、電源線W\_VDD33から供給される電位VDD33を第2信号SDD2として出力するか又は当該出力を停止する。なお、出力回路14は、電流制限モード、スルーモード、DC-DCモード及び待機モードのうちいずれかの動作モードで動作する。出力回路14の各動作モードにおける動作の詳細については、追って図5A~5Eを参照しつつ説明するため、ここではその説明を省略する。

[0044] 可変抵抗R1~R4は、両端の抵抗値が変更可能な抵抗素子である。可変抵抗R1~R4は、制御回路11の制御の下、抵抗値が変更される。

[0045] 可変抵抗R1及びR2は、分圧回路として機能する。可変抵抗R1及びR2は、出力回路12から出力される電位VDDを可変抵抗R1及びR2の抵抗値によって分圧し、分圧した電位VR1を増幅回路AMP2の反転入力端子-に出力するとともに、端子p03を介して電位VR1を定電圧回路60に出力する。可変抵抗R1は、一端が出力回路12の出力端子及び端子p01に接続され、他端が可変抵抗R2の一端、増幅回路AMP2の反転入力端子-及び端子p03に接続される。可変抵抗R2は、一端が可変抵抗R1の他端、増幅回路AMP2の反転入力端子-、及び端子p03に接続され、他端が接地線W\_GNDに接続される。

[0046] 可変抵抗R3及びR4は、分圧回路として機能する。可変抵抗R3及びR4は、出力回路13又は14から出力される電位VDD2を可変抵抗R3及びR4の抵抗値によって分圧し、分圧した電位VR2を増幅回路AMP1の反転入

力端子-に出力する。可変抵抗R3は、一端が出力回路13の出力端子、出力回路14の出力端子及び端子p o 2に接続され、他端が可変抵抗R4の一端及び増幅回路AMP1の反転入力端子-に接続される。可変抵抗R4は、一端が可変抵抗R3の他端、増幅回路AMP1の反転入力端子-に接続され、他端が接地線W\_GNDに接続される。

[0047] 続いて、電位生成回路10における出力回路12~14の構成について説明する。図3は、出力回路12~14の構成の一例を電位生成回路10における他の回路とともに示す図である。図3に示すように、制御回路11は、例えば、出力制御回路111と、電圧制御回路112とを含んで構成される。

[0048] 出力制御回路111は、出力回路12~14及びスイッチSW10の制御を行う。具体的には、出力制御回路111は、制御信号CT121、CT122、CT124及びCT126を出力回路12に送信し、出力回路12の動作を制御する。また、出力制御回路111は、制御信号CT131及びCT132を出力回路13に送信し、出力回路13の動作を制御する。また、出力制御回路111は、制御信号CT142~CT144を出力回路14に送信し、出力回路14の動作を制御する。また、出力制御回路111は、電圧制御回路112に電位VAを出力するか又は当該出力を停止するように指示を伝達する。

[0049] 電圧制御回路112は、出力制御回路111から伝達される指示に従って、緩衝回路BUF1及びBUF2並びにトランジスタTR1及びTR2によって形成されるDC-DCコンバータが電位VAを出力するか又は当該出力を停止するように、当該DC-DCコンバータの緩衝回路BUF1及びBUF2に信号を送信する。

[0050] 出力回路12は、例えば、トランジスタTR121~127と、緩衝回路BUF121とを含んで構成される。また、出力回路12は、制御回路11と合わせて逆流防止回路15を形成する。

[0051] 緩衝回路BUF121は、例えばMOS-FETを含んで構成されるバッファ回路であり、入力される信号に対して論理を維持したまま信号増強を行

い、信号増強を行った信号を出力する。具体的には、緩衝回路B U F 1 2 1は、出力制御回路1 1 1から送信される制御信号C T 1 2 1に対して論理を維持したまま信号増強を行い、信号増強を行った信号をトランジスタT R 1 2 1のゲート端子及びトランジスタT R 1 2 2のソース端子に出力する。

[0052] トランジスタT R 1 2 1～T R 1 2 7、T R 1 3 1～T R 1 3 3、T R 1 4 1～T R 1 4 3、T R 1 4 5及びT R 1 4 6は、例えばP型MOS-FETである。トランジスタT R 1 2 1～T R 1 2 7、T R 1 3 1～T R 1 3 3、T R 1 4 1～T R 1 4 3、T R 1 4 5及びT R 1 4 6は、ゲート端子に入力される信号に従って、ソース端子に供給される電位をドレイン端子に供給するか又は該供給を停止する。具体的には、トランジスタT R 1 2 1～T R 1 2 7、T R 1 3 1～T R 1 3 3、T R 1 4 1～T R 1 4 3、T R 1 4 5及びT R 1 4 6は、ゲート端子に入力される信号の状態がロウ状態の場合、ソース端子に供給される電位をドレイン端子に供給する一方で、ゲート端子に入力される信号の電位がハイ状態の場合、該供給を停止する。なお、トランジスタT R 1 2 1を除くトランジスタT R 1 2 2～T R 1 2 7、T R 1 3 1～T R 1 3 3、T R 1 4 1～T R 1 4 3、T R 1 4 5及びT R 1 4 6は、バックゲート端子がソース端子に接続される。

[0053] トランジスタT R 1 2 1は、ゲート端子が緩衝回路B U F 1 2 1の出力端子及びトランジスタT R 1 2 2のソース端子に接続され、ソース端子が端子p Bを介して誘導素子L 1の他端に接続されるとともにトランジスタT R 1 2 4のソース端子、トランジスタT R 1 3 1のドレイン端子、並びにスイッチS W 1 0の一端に接続される。また、トランジスタT R 1 2 1は、ドレイン端子が端子p o 1を介して負荷容量C 1の一端に接続されるとともにトランジスタT R 1 2 3及びT R 1 2 7のソース端子に接続され、バックゲート端子がトランジスタT R 1 2 4及びT R 1 2 6のソース端子に接続される。

[0054] トランジスタT R 1 2 2は、ゲート端子に出力制御回路1 1 1から送信される制御信号C T 1 2 2が入力される。また、トランジスタT R 1 2 2は、ソース端子がトランジスタT R 1 2 1のゲート端子、及び緩衝回路B U F 1 2 1の

出力端子に接続され、ドレイン端子がトランジスタTR123のドレイン端子に接続される。

[0055] トランジスタTR123は、ゲート端子に出力制御回路111から送信される制御信号CT122が入力される。また、トランジスタTR123は、ソース端子が端子p01を介して負荷容量C1の一端に接続されるとともにトランジスタTR121のドレイン端子及びトランジスタTR127のソース端子に接続され、ドレイン端子がトランジスタTR122のドレイン端子に接続される。

[0056] トランジスタTR124は、ゲート端子に出力制御回路111から送信される制御信号CT124が入力される。また、トランジスタTR124は、ソース端子が端子pBを介して誘導素子L1の他端に接続されるとともにトランジスタTR121のソース端子、トランジスタTR131のドレイン端子、並びにスイッチSW10の一端に接続される。また、トランジスタTR124は、ドレイン端子がトランジスタTR125のドレイン端子に接続される。なお、トランジスタTR124は、トランジスタTR125と合わせて第1短絡制御回路を形成する。

[0057] トランジスタTR125は、ゲート端子に出力制御回路111から送信される制御信号CT124が入力される。また、トランジスタTR125は、ソース端子がトランジスタTR121のバックゲート端子、及びトランジスタTR126のソース端子に接続され、ドレイン端子がトランジスタTR124のドレイン端子に接続される。なお、トランジスタTR125は、トランジスタTR124と合わせて第1短絡制御回路を形成する。

[0058] トランジスタTR126は、ゲート端子に出力制御回路111から送信される制御信号CT126が入力される。また、トランジスタTR126は、ソース端子がトランジスタTR121のバックゲート端子、及びトランジスタTR125のソース端子に接続され、ドレイン端子がトランジスタTR127のドレイン端子に接続される。なお、トランジスタTR126は、トランジスタTR127と合わせて第2短絡制御回路を形成する。

- [0059] トランジスタTR127は、ゲート端子に出力制御回路111から送信される制御信号CT126が入力される。また、トランジスタTR127は、ソース端子が端子p01を介して負荷容量C1の一端に接続されるとともにトランジスタTR121のドレイン端子及びトランジスタTR123のソース端子に接続され、ドレイン端子がトランジスタTR126のドレイン端子に接続される。なお、トランジスタTR127は、トランジスタTR126と合わせて第2短絡制御回路を形成する。
- [0060] 出力回路13は、例えば、トランジスタTR131~133と、緩衝回路BUF131とを含んで構成される。
- [0061] 緩衝回路BUF131は、例えばMOS-FETを含んで構成されるバッファ回路であり、入力される信号に対して論理を維持したまま信号増強を行い、信号増強を行った信号を出力する。具体的には、緩衝回路BUF131は、出力制御回路111から送信される制御信号CT131に対して論理を維持したまま信号増強を行い、信号増強を行った信号をトランジスタTR131のゲート端子及びトランジスタTR132のソース端子に出力する。
- [0062] トランジスタTR131は、ゲート端子が緩衝回路BUF131の出力端子及びトランジスタTR132のソース端子に接続される。また、トランジスタTR131は、ソース端子が、端子p02を介して負荷容量C2の一端に接続されるとともに、トランジスタTR133、TR141及びTR146のソース端子に接続される。また、トランジスタTR131は、ドレイン端子が、端子pBを介して誘導素子L1の他端に接続されるとともに、トランジスタTR121及びTR124のソース端子、並びにスイッチSW10の一端に接続される。
- [0063] トランジスタTR132は、ゲート端子に出力制御回路111から送信される制御信号CT132が入力される。また、トランジスタTR132は、ソース端子が緩衝回路BUF131の出力端子及びトランジスタTR131のゲート端子に接続される。また、トランジスタTR132は、ドレイン端子がトランジスタTR133のドレイン端子に接続される。

- [0064] トランジスタTR133は、ゲート端子に出力制御回路111から送信される制御信号CT132が入力される。また、トランジスタTR133は、ソース端子が端子p02を介して負荷容量C2の一端に接続されるとともに、トランジスタTR131、TR141及びTR146のソース端子に接続される。また、トランジスタTR133は、ドレイン端子がトランジスタTR132のドレイン端子に接続される。
- [0065] 出力回路14は、例えば、トランジスタTR141～146を含んで構成される。
- [0066] トランジスタTR141は、ゲート端子がトランジスタTR144及びTR145のソース端子に接続される。また、トランジスタTR141は、ソース端子が、端子p02を介して負荷容量C2の一端に接続されるとともに、トランジスタTR131、TR133及びTR146のソース端子に接続される。また、トランジスタTR141は、ドレイン端子がトランジスタTR142及びTR143のドレイン端子に接続される。
- [0067] トランジスタTR142は、ゲート端子に出力制御回路111から送信される制御信号CT142が入力される。また、トランジスタTR142は、ソース端子が、端子pi1を介して電源線W\_VDD33に接続されるとともに、トランジスタTR1及びTR143のソース端子に接続される。また、トランジスタTR142は、ドレイン端子がトランジスタTR141及びTR143のドレイン端子に接続される。
- [0068] トランジスタTR143は、ゲート端子に出力制御回路111から送信される制御信号CT143が入力される。また、トランジスタTR143は、ソース端子が、端子pi1を介して電源線W\_VDD33に接続されるとともに、トランジスタTR1及びTR142のソース端子に接続される。また、トランジスタTR143は、ドレイン端子がトランジスタTR141及びTR142のドレイン端子に接続される。
- [0069] トランジスタTR144は、例えばN型MOS-FETである。トランジスタTR144は、ゲート端子に入力される信号に従って、ドレイン端子が

らソース端子に向かって電荷を引き抜くか又は該引き抜きを停止する。具体的には、トランジスタTR144は、ゲート端子に入力される信号の状態がハイ状態の場合、ドレイン端子からソース端子に向かって電荷を引き抜く一方で、ゲート端子に入力される信号の状態がロウ状態の場合、該引き抜きを停止する。具体的には、トランジスタTR144は、ゲート端子に出力制御回路111から送信される制御信号CT144が入力される。また、トランジスタTR144は、ソース端子がトランジスタTR145のソース端子及びTR141のゲート端子に接続される。また、トランジスタTR144は、ドレイン端子が接地線W\_GNDに接続される。

[0070] トランジスタTR145は、ゲート端子に出力制御回路111から送信される制御信号CT144が入力される。また、トランジスタTR145は、ソース端子がトランジスタTR144のソース端子及びTR141のゲート端子に接続される。また、トランジスタTR145は、ドレイン端子がトランジスタTR146のドレイン端子に接続される。

[0071] トランジスタTR146は、ゲート端子に出力制御回路111から送信される制御信号CT144が入力される。また、トランジスタTR146は、ソース端子が端子p02を介して負荷容量C2の一端に接続されるとともに、トランジスタTR131、TR133及びTR144のソース端子に接続される。また、トランジスタTR146は、ドレイン端子がトランジスタTR145のドレイン端子に接続される。

[0072] 続いて、定電圧回路60の構成について説明する。図4は、定電圧回路60の一例を示す図である。図4に示すように、定電圧回路60は、例えば、増幅回路AMP60と、トランジスタTR60とを含んで構成される。

[0073] 増幅回路AMP60は、例えば、コンパレータであり、非反転入力端子+に入力される電位が反転入力端子-に入力される電位以上であるか否かを判定し、当該判定結果をトランジスタTR60に出力する。具体的には、増幅回路AMP60は、電位生成回路10から非反転入力端子+に入力される電位VR1がバンドギャップ回路50から反転入力端子-に入力される基準電位VRE

F以上であるか否かを判定する。増幅回路AMP60は、当該判定結果が肯定判定である場合、ハイ状態の信号をトランジスタTR60のゲート端子に出力する。また、増幅回路AMP60は、当該判定結果が否定判定である場合、ロウ状態の信号をトランジスタTR60のゲート端子に出力する。

[0074] トランジスタTR60は、例えばP型MOS-FETである。トランジスタTR60は、ゲート端子に入力される電位に従って、ソース端子及びドレイン端子間を導通させるか又は非導通の状態にする。具体的には、トランジスタTR60は、ゲート端子に入力される信号の状態がロウ状態の場合、ソース端子及びドレイン端子の間を導通させる一方で、ゲート端子に入力される信号の電位がハイ状態の場合、ソース端子及びドレイン端子の間を非導通の状態にする。なお、トランジスタTR60は、ソース端子及びドレイン端子の間が導通している場合、ソース端子に供給される電位に対してソースドレイン間抵抗に従う電位差だけ電圧降下させた電位をドレイン端子から供給する。

[0075] トランジスタTR60は、ゲート端子が増幅回路AMP60の出力端子に接続され、ソース端子が電源線W\_VDD33に接続され、ドレイン端子が電源線W\_VDDDに接続される。

[0076] <一連の動作の流れ>

以上、電源回路1の構成について説明した。次に、電源回路1の各モードにおける動作について詳しく説明する。電源回路1における出力回路12は、LDOモード、DC-DCモード、及び待機モードのうちいずれかの動作モードで動作する。また、電源回路1における出力回路14は、電流制限モード、スルーモード、DC-DCモード及び待機モードのうちいずれかの動作モードで動作する。

[0077] さらに、電源回路1は、電源回路1が搭載されている機器にバッテリーとして乾電池が搭載されているか、又はリチウムイオン電池が搭載されているかによって動作を切り替える。電源回路1が搭載されている機器に乾電池モードが搭載されている場合について説明する。電源回路1は、電源回路1の起動後に出力回路12をまずLDOモードで動作させ、続いてDC-DCモードで動作

させる。また、電源回路 1 は、電源回路 1 の起動後に、出力回路 1 4 をまず電流制限モードで動作させ、続いてスルーモードで動作させる。また、電源回路 1 は、電源回路 1 が搭載されている機器がスリープ状態などの場合、出力回路 1 2 ~ 1 4 を待機モードで動作させる。

[0078] 電源回路 1 が搭載されている機器にバッテリーとしてリチウムイオン電池が搭載されている場合について説明する。電源回路 1 は、電源回路 1 の起動後に、出力回路 1 2 をまず L D O モードで動作させ、続いて D C - D C モードで動作させる。また、電源回路 1 は、電源回路 1 の起動後に、出力回路 1 4 をまず所定時間電流制限モードで動作させた後に、出力回路 1 2 が L D O モードで動作している間スルーモードで動作させる。さらに、電源回路 1 は、出力回路 1 2 が L D O モードから D C - D C モードに動作モードを切り替えた際に、出力回路 1 4 の動作モードをスルーモードから D C - D C モードに切り替え、出力回路 1 4 を D C - D C モードで動作させる。また、電源回路 1 は、電源回路 1 が搭載されている機器がスリープ状態などの場合、出力回路 1 2 ~ 1 4 を待機モードで動作させる。

[0079] 電源回路 1 が搭載されている機器にバッテリーとして乾電池が搭載されており、かつ出力回路 1 2 が L D O モードで動作する第 1 モードで電源回路 1 が動作している場合の電源回路 1 における各回路の操作について説明する。図 5 A は、電位生成回路 1 0 の第 1 モードにおける動作の一例を示す図である。なお、本実施形態では、トランジスタのソース端子及びドレイン端子の間が導通している状態をオン状態とよび、トランジスタのソース端子及びドレイン端子の間が非導通である状態をオフ状態とよぶ。第 1 モードにおいて、制御回路 1 1 における電圧制御回路 1 1 2 は、電位 V A の生成を停止するように、トランジスタ T R 1 及び T R 2、並びに緩衝回路 B U F 1 及び B U F 2 によって形成される D C - D C コンバータの動作を制御する。また、出力制御回路 1 1 1 は、スイッチ S W 1 0 を短絡制御することによって、端子 p B の電位を接地電位 G N D に遷移させる。

- [0080] 第1モードにおいて、制御回路11における出力制御回路111は、緩衝回路BUF121から出力される信号の状態がハイインピーダンス状態となるように、緩衝回路BUF121に制御信号CT121を送信する。また、出力制御回路111は、ロウ状態の制御信号CT122をトランジスタTR122及びTR123のゲート端子に送信し、トランジスタTR122及びTR123をオン状態に設定する。また、出力制御回路111は、ロウ状態の制御信号CT126をトランジスタTR126及びTR127のゲート端子に送信し、トランジスタTR126及びTR127をオン状態に設定する。また、出力制御回路111は、ハイ状態の制御信号CT124をトランジスタTR124及びTR125のゲート端子に送信し、トランジスタTR124及びTR125をオフ状態に設定する。
- [0081] 第1モードにおいて、トランジスタTR122～TR127に設定される状態に伴って、トランジスタTR121は、ゲート端子に、オン状態のトランジスタTR122及びTR123並びに端子p01を介して定電圧回路60から電位VDDDが供給される。また、第1モードにおいて、トランジスタTR121は、ソース端子に、スイッチSW10を介して接地電位GNDが供給される。また、第1モードにおいて、トランジスタTR121は、ドレイン端子に、端子p01を介して定電圧回路60から電位VDDDが供給される。さらに、トランジスタTR121は、バックゲート端子に、オン状態のトランジスタTR126及びTR127並びに端子p01を介して定電圧回路60から電位VDDDが供給される。
- [0082] 第1モードにおいて、トランジスタTR121は、トランジスタTR122～TR127の状態に伴ってオフ状態となる。また、第1モードにおいて、トランジスタTR121は、バックゲート端子がトランジスタTR126及びTR127を介してドレイン端子に接続されることによって、ソース端子からバックゲート端子を介してドレイン端子に向かう寄生ダイオードが形成される。第1モードにおいて、トランジスタTR121は、ソース端子からドレイ

ン端子側に向かう方向に対して導通する一方で、ドレイン端子からソース端子に向かう方向に対しては非導通となる。

[0083] これによって、第1モードにおいて、出力回路12及び制御回路11を含む逆流防止回路15は、ソース端子に接地電位GNDが供給される第1状態となる。

[0084] 第1状態において、逆流防止回路15は、出力回路12における入力側から出力側に向かう方向に対して寄生ダイオードが導通しているものの、入力側である端子pBの電位よりも出力側である端子pO1の電位の方が高いため、出力回路12の入力側から出力側に電流が流れることを防止する。また、第1状態において、逆流防止回路15は、出力回路12における出力側から入力側に向かう方向に対して寄生ダイオードが非導通であるため、出力側から入力側に電流が逆流することを防止する。

[0085] 第1モードにおいて、制御回路11における出力制御回路111は、緩衝回路BUF131から出力される信号の状態がハイインピーダンス状態となるように、緩衝回路BUF131に制御信号CT131を送信する。また、出力制御回路111は、ロウ状態の制御信号CT132をトランジスタTR132及びTR133のゲート端子に送信し、トランジスタTR132及びTR133をオン状態に設定する。

[0086] 第1モードにおいて、トランジスタTR131は、ゲート端子に、オン状態のトランジスタTR132及びTR133を介して出力回路14から電位VDD2が供給される。また、第1モードにおいて、トランジスタTR131は、ソース端子に、出力回路14から電位VDD2が供給される。また、第1モードにおいて、トランジスタTR131は、ドレイン端子に、スイッチSW10を介して接地電位GNDが供給される。

[0087] 第1モードにおいて、トランジスタTR131は、トランジスタTR132及びTR133の状態に伴ってオフ状態となる。また、トランジスタTR131は、バックゲート端子がソース端子に接続されているため、ドレイン端子からバックゲート端子を介してソース端子に向かう寄生ダイオードが形成され

る。トランジスタTR131は、ドレイン端子からソース端子に向かう方向に対して導通する一方で、ソース端子からドレイン端子に向かう方向に対しては非導通となる。

[0088] これによって、第1モードにおいて、出力回路13は、入力側から出力側に向かう方向に寄生ダイオードが導通しているものの、入力側である端子pBの電位よりも出力側である端子pO2の電位の方が高いため、出力回路13の入力側から出力側に電流が流れることを防止する。また、第1モードにおいて、出力回路13は、出力側から入力側に向かう方向に対して寄生ダイオードが非導通であるため、出力側から入力側に電流が逆流することを防止する。

[0089] 第1モードにおいて、制御回路11における出力制御回路111は、ハイ状態の制御信号CT144をトランジスタTR144～TR146のゲート端子に送信し、トランジスタTR144をオン状態に設定するとともに、トランジスタTR145及びTR146をオフ状態に設定する。第1モードにおいて、トランジスタTR144～TR146に設定される状態に伴って、トランジスタTR141は、ゲート端子に、オン状態のトランジスタTR144から接地線W\_GNDを介して接地電位GNDが供給され、オン状態となる。なお、トランジスタTR146は、バックゲート端子がソース端子に接続されていることによって、第1モードにおいて、ソース端子からドレイン端子に向かう方向に電流が流れることを防止する。

[0090] また、出力制御回路111は、電源回路1が第1モードかつ出力回路14が電流制限モードである場合、ハイ状態の制御信号CT142をトランジスタTR142のゲート端子に送信し、トランジスタTR142をオフ状態に設定する。また、出力制御回路111は、電源回路1が第1モードかつ出力回路14が電流制限モードである場合、ロウ状態の制御信号CT143をトランジスタTR143のゲート端子に送信し、トランジスタTR143をオン状態に設定する。

[0091] これに伴って、出力回路14は、電源回路1が第1モードかつ出力回路14が電流制限モードである場合、電源線W\_VDD33からオン状態のトランジ

スタTR143及びTR141を介して、電源線W\_VDD33の電位VDD33とほぼ同じになるように電位VDD2を出力する。出力回路14は、トランジスタTR143のオン抵抗がトランジスタTR142のオン抵抗よりも大きいため、電流制限モードにおいて、スルーモードで動作している場合よりも出力電流が少なくなるように端子p02に電位VDD2を出力する。

[0092] また、出力制御回路111は、電源回路1が第1モードかつ出力回路14がスルーモードである場合、ロウ状態の制御信号CT142をトランジスタTR142のゲート端子に送信し、トランジスタTR142をオン状態に設定する。また、出力制御回路111は、電源回路1が第1モードかつ出力回路14がスルーモードである場合、ハイ状態の制御信号CT143をトランジスタTR143のゲート端子に送信し、トランジスタTR143をオフ状態に設定する。

[0093] これに伴って、出力回路14は、電源回路1が第1モードかつ出力回路14がスルーモードである場合、電源線W\_VDD33からオン状態のトランジスタTR142及びTR141を介して、電源線W\_VDD33の電位VDD33とほぼ同じになるように電位VDD2を出力する。出力回路14は、トランジスタTR142のオン抵抗がトランジスタTR143のオン抵抗よりも小さいため、スルーモードにおいて、電流制限モードで動作している場合よりも出力電流が多くなるように端子p02に電位VDD2を出力する。

[0094] 電源回路1が搭載されている機器にバッテリーとして乾電池が搭載されており、かつ出力回路12がDC-DCモードで動作する第2モードで電源回路1が動作している場合の電源回路1における各回路の操作について説明する。図5Bは、電位生成回路10の第2モードにおける動作の一例を示す図である。第2モードにおいて、制御回路11における電圧制御回路112は、電位VAを生成するように、トランジスタTR1及びTR2、並びに緩衝回路BUF1及びBUF2によって形成されるDC-DCコンバータの動作を制御する。また、出力制御回路111は、スイッチSW10を開放制御することによって、端子pBが接地線W\_GNDに接続されないようにする。

[0095] 第2モードにおいて、制御回路11における出力制御回路111は、緩衝回路BUF121から出力される信号の状態がロウ状態となるように、緩衝回路BUF121に制御信号CT121を送信する。また、出力制御回路111は、ハイ状態の制御信号CT122をトランジスタTR122及びTR123のゲート端子に送信し、トランジスタTR122及びTR123をオフ状態に設定する。また、出力制御回路111は、ハイ状態の制御信号CT126をトランジスタTR126及びTR127のゲート端子に送信し、トランジスタTR126及びTR127をオフ状態に設定する。また、出力制御回路111は、ロウ状態の制御信号CT124をトランジスタTR124及びTR125のゲート端子に送信し、トランジスタTR124及びTR125をオン状態に設定する。

[0096] 第2モードにおいて、トランジスタTR122～TR127に設定される状態に伴って、トランジスタTR121は、ゲート端子に、緩衝回路BUF121からロウ状態の信号が入力され、オン状態となる。また、第2モードにおいて、出力回路12は、トランジスタTR121のソース端子に端子pBを介して電位VBが供給され、トランジスタTR121のドレイン端子から電位VDDが第1設定電位（例えば、1.4V）になるように第1信号SDDを出力する。これにより、第2モードにおいて、制御回路11及び出力回路12を含む逆流防止回路15は、ソース端子に電位VBが供給される第2状態となる。第2状態において、逆流防止回路15は、トランジスタTR121のバックゲート端子がトランジスタTR124及びTR125を介してソース端子に接続されることによって、トランジスタTR121におけるドレイン端子からバックゲート端子を介してソース端子に向かう寄生ダイオードが形成される。

[0097] 第2モードにおいて、制御回路11における出力制御回路111は、緩衝回路BUF131から出力される信号の状態がハイ状態となるように、緩衝回路BUF131に制御信号CT131を送信する。また、出力制御回路111は、ハイ状態の制御信号CT132をトランジスタTR132及びTR133

のゲート端子に送信し、トランジスタTR132及びTR133をオフ状態に設定する。

[0098] 第2モードにおいて、トランジスタTR131は、ゲート端子に緩衝回路BUF131からハイ状態の信号が入力される。また、第2モードにおいて、トランジスタTR131は、ソース端子に出力回路14から電位VDD2が供給される。また、第2モードにおいて、トランジスタTR131は、ドレイン端子に端子pBの電位VBが供給される。

[0099] 第2モードにおいて、トランジスタTR131は、トランジスタTR132及びTR133の状態に伴ってオフ状態となる。また、トランジスタTR131は、バックゲート端子がソース端子に接続されているため、ドレイン端子からバックゲート端子を介してソース端子に向かう寄生ダイオードが形成される。トランジスタTR131は、ドレイン端子からソース端子に向かう方向に対して導通する一方で、ソース端子からドレイン端子に向かう方向に対しては非導通となる。

[0100] これによって、第2モードにおいて、出力回路13は、入力側から出力側に向かう方向に寄生ダイオードが導通しているものの、入力側である端子pBの電位よりも出力側である端子pO2の電位の方が高いため、出力回路13の入力側から出力側に電流が流れることを防止する。また、第2モードにおいて、出力回路13は、出力側から入力側に向かう方向に対して寄生ダイオードが非導通であるため、出力側から入力側に電流が逆流することを防止する。

[0101] 第2モードにおいて、制御回路11における出力制御回路111は、ハイ状態の制御信号CT144をトランジスタTR144～TR146のゲート端子に送信し、トランジスタTR144をオン状態に設定するとともに、トランジスタTR145及びTR146をオフ状態に設定する。また、出力制御回路111は、ロウ状態の制御信号CT142をトランジスタTR142のゲート端子に送信し、トランジスタTR142をオン状態に設定する。また、出力制御回路111は、ハイ状態の制御信号CT143をトランジスタTR143のゲート端子に送信し、トランジスタTR143をオフ状態に設定する。これに

伴って、出力回路14は、第2モードにおいて、電源線W\_VDD33からオン状態のトランジスタTR142及びTR141を介して、電位VDD2が電源線W\_VDD33の電位VDD33とほぼ同じになるように第2信号SDD2を出力する。なお、トランジスタTR146は、バックゲート端子がソース端子に接続されていることによって、第2モードにおいて、ソース端子からドレイン端子に向かう方向に電流が流れることを防止する。

[0102] 電源回路1が搭載されている機器にバッテリーとしてリチウムイオン電池が搭載されており、かつ出力回路12がLDOモードで動作する第3モードで電源回路1が動作している場合の電源回路1における各回路の操作について説明する。図5Cは、電位生成回路10の第3モードにおける動作の一例を示す図である。第3モードにおいて、制御回路11における電圧制御回路112は、電位VAを生成するように、トランジスタTR1及びTR2、並びに緩衝回路BUF1及びBUF2によって形成されるDC-DCコンバータの動作を制御する。また、出力制御回路111は、スイッチSW10を開放制御することによって、端子pBが接地線W\_GNDに接続されないようにする。

[0103] 第3モードにおいて、制御回路11における出力制御回路111は、緩衝回路BUF121から出力される信号の状態がハイ状態となるように、緩衝回路BUF121に制御信号CT121を送信する。また、出力制御回路111は、ハイ状態の制御信号CT122をトランジスタTR122及びTR123のゲート端子に送信し、トランジスタTR122及びTR123をオフ状態に設定する。また、出力制御回路111は、ハイ状態の制御信号CT126をトランジスタTR126及びTR127のゲート端子に送信し、トランジスタTR126及びTR127をオフ状態に設定する。また、出力制御回路111は、ロウ状態の制御信号CT124をトランジスタTR124及びTR125のゲート端子に送信し、トランジスタTR124及びTR125をオン状態に設定する。

[0104] 第3モードにおいて、トランジスタTR122~TR127に設定される状態に伴って、トランジスタTR121は、ゲート端子に緩衝回路BUF12

1からハイ状態の信号が入力される。また、第3モードにおいて、トランジスタTR121は、ソース端子に、端子pBを介して電位VBが供給される。また、第3モードにおいて、トランジスタTR121は、ドレイン端子に、端子p01を介して定電圧回路60から電位VDDDが供給される。さらに、トランジスタTR121は、バックゲート端子に、オン状態のトランジスタTR124及びTR125並びに端子pBを介して電位VBが供給される。

[0105] 第3モードにおいて、トランジスタTR121は、トランジスタTR122～TR127の状態に伴ってオフ状態となる。また、第3モードにおいて、トランジスタTR121は、バックゲート端子がトランジスタTR124及びTR125を介してソース端子に接続されることによって、ドレイン端子からバックゲート端子を介してソース端子に向かう寄生ダイオードが形成される。第3モードにおいて、トランジスタTR121は、ドレイン端子からソース端子側に向かう方向に対して導通する一方で、ソース端子からドレイン端子に向かう方向に対しては非導通となる。

[0106] これによって、第3モードにおいて、制御回路11及び出力回路12を含む逆流防止回路15は、ソース端子に電位VBが供給される第2状態となる。第3モードにおける第2状態において、逆流防止回路15は、出力回路12における出力側から入力側に向かう方向に寄生ダイオードが導通しているものの、出力側である端子p01の電位よりも入力側である端子pBの電位の方が高いため、出力回路12の出力側から入力側に電流が流れることを防止する。また、第3モードにおける第2の状態において、逆流防止回路15は、出力回路12における入力側から出力側に向かう方向に寄生ダイオードが非導通であるため、入力側から出力側に電流が逆流することを防止する。

[0107] 第3モードにおいて、制御回路11における出力制御回路111は、緩衝回路BUF131から出力される信号の状態がハイ状態となるように、緩衝回路BUF131に制御信号CT131を送信する。また、出力制御回路111は、ハイ状態の制御信号CT132をトランジスタTR132及びTR133のゲート端子に送信し、トランジスタTR132及びTR133をオフ状態

に設定する。なお、第3モードにおける出力回路13の動作については、第2モードと同じであるため、その説明を省略する。

[0108] 第3モードにおいて、制御回路11における出力制御回路111は、ハイ状態の制御信号CT144をトランジスタTR144~TR146のゲート端子に送信し、トランジスタTR144をオン状態に設定するとともに、トランジスタTR145及びTR146をオフ状態に設定する。

[0109] また、出力制御回路111は、電源回路1が第3モードかつ出力回路14が電流制限モードである場合、ハイ状態の制御信号CT142をトランジスタTR142のゲート端子に送信し、トランジスタTR142をオフ状態に設定する。また、出力制御回路111は、電源回路1が第3モードかつ出力回路14が電流制限モードである場合、ロウ状態の制御信号CT143をトランジスタTR143のゲート端子に送信し、トランジスタTR143をオン状態に設定する。

[0110] また、出力制御回路111は、電源回路1が第3モードかつ出力回路14がスルーモードである場合、ロウ状態の制御信号CT142をトランジスタTR142のゲート端子に送信し、トランジスタTR142をオン状態に設定する。また、出力制御回路111は、電源回路1が第3モードかつ出力回路14がスルーモードである場合、ロウ状態の制御信号CT143をトランジスタTR143のゲート端子に送信し、トランジスタTR143をオフ状態に設定する。なお、トランジスタTR146は、バックゲート端子がソース端子に接続されていることによって、第1モードにおいて、ソース端子からドレイン端子に向かう方向に電流が流れることを防止する。また、第3モードにおける出力回路14の動作については、第1モードと同様であるため、その説明を省略する。

[0111] 電源回路1が搭載されている機器にバッテリーとしてリチウムイオン電池が搭載されており、かつ出力回路12がDC-DCモードで動作する第4モードで電源回路1が動作している場合の電源回路1における各回路の操作について説明する。図5Dは、電位生成回路10の第4モードにおける動作の一例を示

す図である。第4モードにおいて、制御回路11における電圧制御回路112は、電位VAを生成するように、トランジスタTR1及びTR2、並びに緩衝回路BUF1及びBUF2によって形成されるDC-DCコンバータの動作を制御する。また、出力制御回路111は、スイッチSW10を開放制御することによって、端子pBが接地線W\_GNDに接続されないようにする。

[0112] 第4モードにおいて、制御回路11における出力制御回路111は、緩衝回路BUF121から出力される信号の状態がロウ状態となるように、緩衝回路BUF121に制御信号CT121を送信する。また、出力制御回路111は、ハイ状態の制御信号CT122をトランジスタTR122及びTR123のゲート端子に送信し、トランジスタTR122及びTR123をオフ状態に設定する。また、出力制御回路111は、ハイ状態の制御信号CT126をトランジスタTR126及びTR127のゲート端子に送信し、トランジスタTR126及びTR127をオフ状態に設定する。また、出力制御回路111は、ロウ状態の制御信号CT124をトランジスタTR124及びTR125のゲート端子に送信し、トランジスタTR124及びTR125をオン状態に設定する。なお、第4モードにおけるトランジスタTR121、出力回路12及び逆流防止回路15の状態については、第2モードと同じであるため、その説明を省略する。

[0113] 第4モードにおいて、制御回路11における出力制御回路111は、緩衝回路BUF131から出力される信号の状態がロウ状態となるように、緩衝回路BUF131に制御信号CT131を送信する。また、出力制御回路111は、ハイ状態の制御信号CT132をトランジスタTR132及びTR133のゲート端子に送信し、トランジスタTR132及びTR133をオフ状態に設定する。

[0114] 第4モードにおいて、トランジスタTR131は、ゲート端子に緩衝回路BUF131からロウ状態の信号が入力され、オン状態となる。また、第4モードにおいて、出力回路13は、トランジスタTR131のドレイン端子に端子

p Bの電位 $V_B$ が供給され、トランジスタTR 1 3 1のソース端子から端子p o 2を介して電位が電位 $V_{DD2}$ の第2信号SDD 2を出力する。

[0115] 第4モードにおいて、制御回路11における出力制御回路111は、ロウ状態の制御信号CT 1 4 4をトランジスタTR 1 4 4~TR 1 4 6のゲート端子に送信し、トランジスタTR 1 4 4をオフ状態に設定するとともに、トランジスタTR 1 4 5及びTR 1 4 6をオン状態に設定する。また、出力制御回路111は、ハイ状態の制御信号CT 1 4 2をトランジスタTR 1 4 2のゲート端子に送信し、トランジスタTR 1 4 2をオフ状態に設定する。また、出力制御回路111は、ハイ状態の制御信号CT 1 4 3をトランジスタTR 1 4 3のゲート端子に送信し、トランジスタTR 1 4 3をオフ状態に設定する。なお、トランジスタTR 1 4 2~TR 1 4 4は、バックゲート端子がソース端子に接続されていることによって、第4モードにおいて、ソース端子からドレイン端子に向かう方向に電流が流れることを防止する。

[0116] 第4モードにおいて、トランジスタTR 1 4 1は、ゲート端子に、端子p o 2からオン状態のトランジスタTR 1 4 5及びTR 1 4 6を介して電位 $V_{DD}$ が供給される。第4モードにおいて、トランジスタTR 1 4 1は、電位 $V_{DD2}$ の電位がトランジスタTR 1 4 1のドレイン端子の電位よりも低い場合、オン状態となる。第4モードかつトランジスタTR 1 4 1がオン状態である場合において、トランジスタTR 1 4 2及びTR 1 4 3は、寄生ダイオードの導通方向がドレイン端子からソース端子に向かう方向であるため、電源線 $W\_V_{DD33}$ からオン状態のトランジスタTR 1 4 1を介して端子p o 2に向かって電流が流れることを防止する。

[0117] また、第4モードにおいて、トランジスタTR 1 4 1は、電位 $V_{DD2}$ の電位がトランジスタTR 1 4 1のドレイン端子の電位よりも高い場合、オフ状態となる。第4モードかつトランジスタTR 1 4 1がオフ状態である場合において、トランジスタTR 1 4 1は、寄生ダイオードの導通方向がドレイン端子からソース端子に向かう方向であるため、端子p o 2からトランジスタTR 1 4

2及びTR143の寄生ダイオードを介して電源線W\_VDD33に向かって電流が流れることを防止する。

[0118] 電源回路1における出力回路12～14が待機モードで動作する第5モードで電源回路1が動作している場合の電源回路1における各回路の操作について説明する。図5Eは、電位生成回路10の第5モードにおける動作の一例を示す図である。第5モードにおいて、制御回路11における電圧制御回路112は、電位VAの生成を停止するように、トランジスタTR1及びTR2、並びに緩衝回路BUF1及びBUF2によって形成されるDC-DCコンバータの動作を制御する。また、出力制御回路111は、スイッチSW10を短絡制御することによって、端子pBの電位を接地線W\_GNDの電位である接地電位GNDに遷移させる。

[0119] 第5モードにおいて、制御回路11における出力制御回路111は、緩衝回路BUF121から出力される信号の状態がハイインピーダンス状態となるように、緩衝回路BUF121に制御信号CT121を送信する。また、出力制御回路111は、ロウ状態の制御信号CT122をトランジスタTR122及びTR123のゲート端子に送信し、トランジスタTR122及びTR123をオン状態に設定する。また、出力制御回路111は、ロウ状態の制御信号CT126をトランジスタTR126及びTR127のゲート端子に送信し、トランジスタTR126及びTR127をオン状態に設定する。また、出力制御回路111は、ハイ状態の制御信号CT124をトランジスタTR124及びTR125のゲート端子に送信し、トランジスタTR124及びTR125をオフ状態に設定する。

[0120] 第5モードにおいて、トランジスタTR122～TR127に設定される状態に伴って、トランジスタTR121は、ゲート端子に、オン状態のトランジスタTR122及びTR123並びに端子p01を介して定電圧回路60から電位VDDDが供給される。また、第5モードにおいて、トランジスタTR121は、ソース端子に、スイッチSW10を介して接地電位GNDが供給される。また、第5モードにおいて、トランジスタTR121は、ドレイン端子

に、端子p o 1を介して定電圧回路60から電位V D D Dが供給される。さらに、トランジスタT R 1 2 1は、バックゲート端子に、オン状態のトランジスタT R 1 2 6及びT R 1 2 7並びに端子p o 1を介して電位V D D Dが供給される。なお、第5モードにおけるトランジスタT R 1 2 1及び逆流防止回路15の状態については、第1モードと同じであるため、その説明を省略する。

[0121] 第5モードにおいて、制御回路11における出力制御回路111は、緩衝回路B U F 1 3 1から出力される信号の状態がハイインピーダンス状態となるように、緩衝回路B U F 1 3 1に制御信号C T 1 3 1を送信する。また、出力制御回路111は、ロウ状態の制御信号C T 1 3 2をトランジスタT R 1 3 2及びT R 1 3 3のゲート端子に送信し、トランジスタT R 1 3 2及びT R 1 3 3をオフ状態に設定する。

[0122] 第5モードにおいて、トランジスタT R 1 3 1は、ゲート端子に、オン状態のトランジスタT R 1 3 2及びT R 1 3 3を介して出力回路14から電位V D D 2が供給される。また、第5モードにおいて、トランジスタT R 1 3 1は、ソース端子に、端子p o 2から電位V D D 2が供給される。また、第5モードにおいて、トランジスタT R 1 3 1は、ドレイン端子に、スイッチS W 1 0を介して接地電位G N Dが供給される。なお、第5モードにおける出力回路13の動作については、第1モードと同じであるため、その説明を省略する。

[0123] 第5モードにおいて、制御回路11における出力制御回路111は、ロウ状態の制御信号C T 1 4 4をトランジスタT R 1 4 4～T R 1 4 6のゲート端子に送信し、トランジスタT R 1 4 4をオフ状態に設定するとともに、トランジスタT R 1 4 5及びT R 1 4 6をオン状態に設定する。また、出力制御回路111は、ハイ状態の制御信号C T 1 4 2をトランジスタT R 1 4 2のゲート端子に送信し、トランジスタT R 1 4 2をオフ状態に設定する。また、出力制御回路111は、ハイ状態の制御信号C T 1 4 3をトランジスタT R 1 4 3のゲート端子に送信し、トランジスタT R 1 4 3をオフ状態に設定する。

[0124] トランジスタT R 1 4 2～T R 1 4 4は、バックゲート端子がソース端子に接続されていることによって、第5モードにおいて、ソース端子からドレイン

端子に向かう方向に電流が流れることを防止する。また、第5モードにおける出力回路14の動作は、第4モードと同様であるため、その説明を省略する。

[0125] <一連の動作の流れ>

[0126] 以上、各動作モードにおける電位生成回路10の動作について説明した。

続いて、電位生成回路10における各信号の電位の遷移について詳しく説明する。図6Aは、電位生成回路10の出力の状態を示すタイミングチャートの第一例である。また、図6Bは、電位生成回路10の出力の状態を示すタイミングチャートの第二例である。図6A及び図6Bにおいて、制御回路11は、電源回路1の動作モードを第4モードに設定し、第1設定電位を1.4Vに設定し、第2設定電位を2.1Vに設定している。図6Aにおいて、制御回路11は、電源回路1の動作モードを第4モードに設定し、第1設定電位を1.4Vに設定し、第2設定電位を2.1Vに設定している。

[0127] 図6Aに示すように、制御回路11は、第4モードにおいて、出力回路12が出力する電位VDDが第1設定電位未満であり、かつ出力回路13が出力する電位VDD2が第2設定電位未満である場合、出力回路12及び13が一定期間毎に交互に出力するように制御信号CT121及びCT131の状態を制御する。

[0128] 図6Bに示すように、制御回路11は、第4モードにおいて、出力回路12が出力する電位VDDが第1設定電位未満であり、かつ出力回路13が出力する電位VDD2が第2設定電位以上である場合、出力回路13による出力を停止するとともに、出力回路12から出力を行うように制御信号CT121及びCT131の状態を制御する。

[0129] なお、図示されていないが、制御回路11は、第4モードにおいて、出力回路12が出力する電位VDDが第1設定電位以上であり、かつ出力回路13が出力する電位VDD2が第2設定電位未満である場合、出力回路12による出力を停止するとともに、出力回路13から出力を行うように制御信号CT121及びCT131の状態を制御する。また、制御回路11は、電位VDD

Dが第1設定電位以上であり、かつ電位VDD2が第2設定電位以上である場合、出力回路12及び14のいずれかのみから出力を行うように制御信号CT121及びCT131の状態を制御する。

[0130] 図7は、電位生成回路10における各信号の遷移を示すタイミングチャートの第一例である。図7において、電源回路1が搭載されている機器にはバッテリーとして乾電池が搭載されており、電源回路1は、第1モード、第2モード及び第5モードを切り替えながら動作する。なお、図7において、第1設定電位は、1.4Vに設定されている。また、図7において、第2設定電位は、2.1Vに設定されている。

[0131] 時刻t70で、制御回路11は、電源回路1の動作モードを第1モードに設定し、出力回路14を電流制限モードに設定する。具体的には、制御回路11は、制御信号CT121及びCT131の状態をハイインピーダンス状態に設定する。また、制御回路11は、制御信号CT122、CT126、CT132、CT142及びCT144の状態をハイ状態に設定する。また、制御回路11は、制御信号CT124及びCT143の状態をロウ状態に設定する。制御回路11は、状態を設定した各制御信号を出力する。

[0132] 時刻t70で、出力回路12は、LDOモードで動作し、電位VDDDの出力を停止する。端子p01は、定電圧回路60によって電位が供給され、電位VDDDが第1設定電位である1.4Vに遷移を開始する。

[0133] 時刻t70で、出力回路13は、電位VDD2の出力を停止する。また、出力回路14は、電流制限モードで動作し、突入電流を抑制しつつ電源線W\_VDD33の電位を端子p02に出力する。端子p02の電位VDD2は、第2設定電位である2.1Vに遷移を開始する。

[0134] 時刻t71で、制御回路11は、出力回路14をスルーモードに設定する。具体的には、制御信号CT132及びCT142の状態をロウ状態に遷移させる。また、制御回路11は、制御信号CT143の状態をハイ状態に遷移させる。

- [0135] 時刻  $t_{71}$  で、出力回路 12 は、LDO モードで動作し、電位  $V_{DDD}$  の出力を停止している。端子  $p_{o1}$  は、定電圧回路 60 によって電位が供給されており、電位  $V_{DDD}$  が第 1 設定電位である  $1.4\text{ V}$  に到達している。
- [0136] 時刻  $t_{71}$  で、出力回路 13 は、電位  $V_{DD2}$  の出力を停止している。また、出力回路 14 は、スルーモードで動作し、電流を多く流せる状態で電源線  $W_{VDD33}$  の電位を端子  $p_{o2}$  に出力する。端子  $p_{o2}$  の電位  $V_{DD2}$  は、第 2 設定電位である  $2.1\text{ V}$  に到達している。
- [0137] 時刻  $t_{72}$  で、制御回路 11 は、電源回路 1 の動作モードを第 2 モードに設定する。具体的には、制御回路 11 は、制御信号  $CT_{121}$ 、 $CT_{122}$  及び  $CT_{142}$  の状態をロウ状態に設定する。また、制御回路 11 は、制御信号  $CT_{131}$ 、 $CT_{132}$ 、 $CT_{124}$ 、 $CT_{143}$  及び  $CT_{144}$  の状態をハイ状態に設定する。制御回路 11 は、状態を設定した各制御信号を出力する。
- [0138] 時刻  $t_{72}$  で、出力回路 12 は、DC-DC モードで動作し、電位  $V_{DDD}$  を出力する。端子  $p_{o1}$  は、出力回路 12 によって電位が供給され、電位  $V_{DD}$  が第 1 設定電位である  $1.4\text{ V}$  を維持する。
- [0139] 時刻  $t_{72}$  で、出力回路 13 は、電位  $V_{DD2}$  の出力を停止している。また、出力回路 14 は、スルーモードで動作し、電流を多く流せる状態で電源線  $W_{VDD33}$  の電位を端子  $p_{o2}$  に出力する。端子  $p_{o2}$  の電位  $V_{DD2}$  は、第 2 設定電位である  $2.1\text{ V}$  を維持する。
- [0140] 時刻  $t_{73}$  で、制御回路 11 は、電源回路 1 の動作モードを第 5 モードに設定する。具体的には、制御回路 11 は、制御信号  $CT_{121}$  及び  $CT_{131}$  の状態をハイインピーダンス状態に設定する。また、制御回路 11 は、制御信号  $CT_{122}$ 、 $CT_{142}$  及び  $CT_{143}$  の状態をハイ状態に設定する。また、制御回路 11 は、制御信号  $CT_{124}$ 、 $CT_{132}$  及び  $CT_{144}$  の状態をロウ状態に設定する。制御回路 11 は、状態を設定した各制御信号を出力する。

- [0141] 時刻 t 7 3 で、出力回路 1 2 は、待機モードで動作し、電位 V D D D の出力を停止する。端子 p o 1 は、出力回路 1 2 及び定電圧回路 6 0 からの電位の供給が遮断され、徐々に電位が低下する。
- [0142] 時刻 t 7 3 で、出力回路 1 3 は、電位 V D D 2 の出力を停止している。また、出力回路 1 4 は、待機モードで動作し、端子 p o 2 への電位 V D D 2 の出力を停止する。端子 p o 2 の電位 V D D 2 は、電位の供給が遮断され、徐々に電位が低下する。
- [0143] 時刻 t 7 4 で、制御回路 1 1 は、電源回路 1 の動作モードを第 1 モードに設定し、出力回路 1 4 をスルーモードに設定する。時刻 t 7 4 における制御回路 1 1 の動作は、時刻 t 7 1 と同様であるため、その説明を省略する。
- [0144] 時刻 t 7 4 で、出力回路 1 2 は、L D O モードで動作し、電位 V D D D の出力を停止している。端子 p o 1 は、定電圧回路 6 0 によって電位が供給されており、電位 V D D D が第 1 設定電位である 1 . 4 V への遷移を開始する。
- [0145] 時刻 t 7 4 で、出力回路 1 3 は、電位 V D D 2 の出力を停止している。また、出力回路 1 4 は、スルーモードで動作し、電流を多く流せる状態で電源線 W \_ V D D 3 3 の電位を端子 p o 2 に出力する。端子 p o 2 の電位 V D D 2 は、第 2 設定電位である 2 . 1 V に遷移を開始する。
- [0146] 時刻 t 7 5 で、制御回路 1 1 は、電源回路 1 の動作モードを第 2 モードに設定する。時刻 t 7 5 における制御回路 1 1 、出力回路 1 2 ~ 1 4 の動作は、時刻 t 7 2 と同様であるため、その説明を省略する。
- [0147] 図 8 は、電位生成回路 1 0 における各信号の遷移を示すタイミングチャートの第二例である。図 8 において、電源回路 1 が搭載されている機器にはバッテリーとしてリチウムイオン電池が搭載されており、電源回路 1 は、第 3 モード、第 4 モード及び第 5 モードを切り替えながら動作する。なお、図 8 において、第 1 設定電位は、1 . 4 V に設定されている。また、図 8 において、第 2 設定電位は、2 . 1 V に設定されている。
- [0148] 時刻 t 8 0 で、制御回路 1 1 は、電源回路 1 の動作モードを第 3 モードに設定し、出力回路 1 4 を電流制限モードに設定する。具体的には、制御回路 1

1 は、制御信号CT121、CT122、CT126、CT131、CT132、CT142及びCT144の状態をハイ状態に設定する。また、制御回路11は、制御信号CT124及びCT143の状態をロウ状態に設定する。制御回路11は、状態を設定した各制御信号を出力する。

[0149] 時刻t80で、出力回路12は、LDOモードで動作し、電位VDDDの出力を停止する。端子p01は、定電圧回路60によって電位が供給され、電位VDDDが第1設定電位である1.4Vに遷移を開始する。

[0150] 時刻t80で、出力回路13は、電位VDD2の出力を停止する。また、出力回路14は、電流制限モードで動作し、突入電流を抑制しつつ電源線W\_VDD33の電位を端子p02に出力する。端子p02の電位VDD2は、第2設定電位である2.1Vに遷移を開始する。

[0151] 時刻t81で、制御回路11は、出力回路14をスルーモードに設定する。具体的には、制御回路11は、制御信号CT142の状態をロウ状態に遷移させる。また、制御回路11は、制御信号CT143の状態をハイ状態に遷移させる。

[0152] 時刻t81で、出力回路12は、LDOモードで動作し、電位VDDDの出力を停止している。端子p01は、定電圧回路60によって電位が供給されており、電位VDDDが第1設定電位である1.4Vに到達している。

[0153] 時刻t81で、出力回路13は、電位VDD2の出力を停止している。また、出力回路14は、スルーモードで動作し、電流を多く流せる状態で電源線W\_VDD33の電位を端子p02に出力する。端子p02の電位VDD2は、第2設定電位である4.2Vに到達している。

[0154] 時刻t82で、制御回路11は、電源回路1の動作モードを第4モードに設定する。具体的には、制御回路11は、端子p01の電位VDDDが第1設定電位以上であるか否かと、端子p02の電位VDD2が第2設定電位以上であるか否かを判定する。制御回路11は、端子p01の電位VDDDが第1設定電位以上であり、かつ端子p02の電位VDD2が第2設定電位未満であると判定する。制御回路11は、制御信号CT121及びCT124の状態をロウ

状態に設定し、制御信号CT142の状態をハイ状態に設定する。制御回路11は、状態を設定した各制御信号を出力する。

[0155] 時刻t82で、出力回路12は、DC-DCモードで動作し、電位VDDDを出力する。端子p01は、出力回路12によって電位が供給され、電位VDDが第1設定電位である1.4Vを維持する。

[0156] 時刻t82で、出力回路13は、端子p02への電位VDD2の出力を停止している。また、出力回路14は、DC-DCモードで動作し、端子p02への電位の出力を停止する。端子p02の電位VDD2は、出力回路13及び14からの電位の供給が遮断され、徐々に電位が低下する。

[0157] 時刻t83で、制御回路11は、電源回路1の動作モードを第5モードに設定する。具体的には、制御回路11は、制御信号CT121及びCT131の状態をハイインピーダンス状態に設定する。また、制御回路11は、制御信号CT124の状態をハイ状態に設定する。また、制御回路11は、制御信号CT122、CT126及びCT132の状態をロウ状態に設定する。制御回路11は、状態を設定した各制御信号を出力する。

[0158] 時刻t83で、出力回路12は、待機モードで動作し、電位VDDDの出力を停止する。端子p01は、出力回路12及び定電圧回路60からの電位の供給が遮断され、徐々に電位が低下する。

[0159] 時刻t83で、出力回路13は、電位VDD2の出力を停止している。また、出力回路14は、待機モードで動作し、端子p02への電位VDD2の出力を停止している。端子p02の電位VDD2は、電位の供給が遮断され、徐々に電位が低下する。

[0160] 時刻t84で、制御回路11は、電源回路1の動作モードを第3モードに設定し、出力回路14をスルーモードに設定する。時刻t78における制御回路11の動作は、時刻t81と同様であるため、その説明を省略する。

[0161] 時刻t84で、出力回路12は、LDOモードで動作し、電位VDDDの出力を停止している。端子p01は、定電圧回路60によって電位が供給されており、電位VDDDが第1設定電位である1.4Vへの遷移を開始する。

- [0162] 時刻  $t_{84}$  で、出力回路 13 は、電位  $V_{DD2}$  の出力を停止している。また、出力回路 14 は、スルーモードで動作し、電流を多く流せる状態で電源線  $W_{V_{DD33}}$  の電位を端子  $p_{o2}$  に出力する。端子  $p_{o2}$  の電位  $V_{DD2}$  は、第 2 設定電位である  $2.1V$  に遷移を開始する。
- [0163] 時刻  $t_{85}$  で、制御回路 11 は、電源回路 1 の動作モードを第 4 モードに設定する。具体的には、制御回路 11 は、端子  $p_{o1}$  の電位  $V_{DDD}$  が第 1 設定電位以上であるか否かと、端子  $p_{o2}$  の電位  $V_{DD2}$  が第 2 設定電位以上であるか否かを判定する。制御回路 11 は、端子  $p_{o1}$  の電位  $V_{DDD}$  が第 1 設定電位以上であり、かつ端子  $p_{o2}$  の電位  $V_{DD2}$  が第 2 設定電位未満である場合、制御信号  $CT_{121}$  の状態をハイ状態に設定し、制御信号  $CT_{131}$  の状態をロウ状態に設定する。また、制御回路 11 は、端子  $p_{o1}$  の電位  $V_{DDD}$  が第 1 設定電位未満であり、かつ端子  $p_{o2}$  の電位  $V_{DD2}$  が第 2 設定電位以上である場合、制御信号  $CT_{121}$  の状態をロウ状態に設定して、制御信号  $CT_{131}$  の状態をハイ状態に設定する。時刻  $t_{85}$  で、制御回路 11 は、状態を設定した各制御信号を出力する。なお時刻  $t_{85}$  以降において、端子  $p_{o1}$  の電位  $V_{DDD}$  が第 1 設定電位付近であり、端子  $p_{o2}$  の電位  $V_{DD2}$  の電位  $V_{DD2}$  が第 2 設定電位付近であるため、制御信号  $CT_{121}$  及び  $CT_{131}$  は、互いに交番することとなる。
- [0164] 時刻  $t_{85}$  で、出力回路 12 は、DC-DC モードで動作し、制御信号  $CT_{121}$  の状態に従って、電位  $V_{DDD}$  を出力する。端子  $p_{o1}$  は、出力回路 12 によって電位が供給され、電位  $V_{DDD}$  が第 1 設定電位である  $1.4V$  を維持する。
- [0165] 時刻  $t_{85}$  で、出力回路 13 は、制御信号  $CT_{131}$  の状態に従って、電位  $V_{DD2}$  を出力する。また、出力回路 14 は、DC-DC モードで動作し、端子  $p_{o2}$  への電位の出力を停止する。端子  $p_{o2}$  の電位  $V_{DD2}$  は、出力回路 13 によって電位が供給され電位  $V_{DD2}$  が第 2 設定電位である  $2.1V$  を維持する。

[0166] 以上、電位生成回路10における各信号の電位の遷移について説明した。次に、電位生成回路10の一連の処理の流れについて詳しく説明する。図9は、電位生成回路10の一連の処理の流れを示すフローチャートの一例である。図9において、電源回路1が搭載されている機器にはバッテリーとしてリチウムイオン電池が搭載されており、電源回路1は、第4モードで動作している。

[0167] (ステップSP10)

電位生成回路10は、端子p01及びp02の出力電位を取得する。具体的には、電位生成回路10は、端子p01の電位VDDを可変抵抗R1及びR2によって分圧し、分圧した電位VR1を取得する。また、電位生成回路10は、端子p02の電位VDD2を可変抵抗R3及びR4によって分圧し、分圧した電位VR2を取得する。そして、処理は、ステップSP12の処理に移行する。

[0168] (ステップSP12)

電位生成回路10は、電位VDDと第1設定電位の間的大小関係、及び電位VDD2と第2設定電位の間的大小関係の組み合わせが所定の条件を満たすか否かを判定する。具体的には、電位生成回路10は、端子p01の電位VDDが第1設定電位(例えば1.4V)以上であり、かつ端子p02の電位VDD2が第2設定電位(例えば2.1V)未満であるか、又は、端子p01の電位VDDが第1設定電位未満であり、かつ端子p02の電位VDD2が第2設定電位以上であるかを判定する。そして、当該判定が肯定判定である場合、処理は、ステップSP14の処理に移行し、当該判定が否定判定である場合、処理は、ステップSP16の処理に移行する。

[0169] (ステップSP14)

電位生成回路10は、設定電位未満の電位を出力する出力回路のみから電位を出力するように、出力モードを固定出力モードに切り替える。具体的には、電位生成回路10は、固定出力モードにおいて、端子p01の電位VDDが第1設定電位未満であり、かつ端子p02の電位VDD2が第2設定電位以上である場合、出力回路12から電位VDDを出力し、出力回路13から

の電位VDD2の出力を停止する。また、電位生成回路10は、固定出力モードにおいて、端子p01の電位VDDDが第1設定電位以上であり、かつ端子p02の電位VDD2が第2設定電位未満である場合、出力回路12からの電位VDDDの出力を停止し、出力回路13から電位VDD2を出力する。なお、電位生成回路10は、電位VDDDが第1設定電位以上になるか、又は電位VDD2が第2設定電位以上になった場合、出力回路12及び13の出力を切り替えるタイミングで出力モードを交互出力モードから固定出力モードに切り替える。そして、処理は、ステップSP18の処理に移行する。

[0170] (ステップSP16)

電位生成回路10は、一定期間毎に交互に出力回路12及び13から電位を出力するように、出力モードを交互出力モードに切り替える。具体的には、電位生成回路10は、交互出力モードにおいて、出力回路12からの電位VDDの出力と、出力回路13からの電位VDD2の出力とを一定期間毎に交互に行う。そして、処理は、ステップSP18の処理に移行する。

[0171] (ステップSP18)

電位生成回路10は、出力モードに基づいて、出力回路から電位を出力する。具体的には、電位生成回路10は、固定出力モードにおいて、出力回路12及び13のうち一方から電位を出力し、他方からの電位の出力を停止する。また、電位生成回路10は、交互出力モードにおいて、出力回路12及び13の出力を一定期間毎に交互に切替えながら、出力回路12及び13のうちいずれか一方から電位を出力する。そして、図9に示す一連の処理の流れは、終了する。

[0172] <効果>

[0173] 以上、本実施形態では、電位生成回路10は、第1信号SDDDを出力する出力回路12（第1出力回路）と、第1信号SDDDとは異なる第2信号SDD2を出力する出力回路13（第2出力回路）と、第1信号SDDDの電位VDDDと第1設定電位の間的大小関係、及び、第2信号SDD2の電位VDD2と第2設定電位の間的大小関係の組み合わせに応じて、出力回路12及び1

3のうちいずれか一方から信号を出力させるように出力回路12及び13を制御する制御回路11とを備える。

[0174] この構成によれば、電位生成回路10は、出力回路12及び13による出力の切り替えを信号の電位の大小関係によって決定するため、短時間で所定の設定電位を生成できる。

[0175] また、本実施形態では、制御回路11は、第1信号S D D Dの電位V D D Dが第1設定電位以上でありかつ第2信号S D D 2の電位V D D 2が第2設定電位未満である場合、出力モードを固定出力モードに設定するとともに、出力回路13から第2信号S D D 2を出力させ、第2信号S D D 2の電位V D D 2が第2設定電位以上でありかつ第1信号S D D Dの電位V D D Dが第1設定電位未満である場合、出力モードを前記固定出力モードに設定するとともに、出力回路12から第1信号S D D Dを出力させる。

[0176] この構成によれば、電位生成回路10は、設定電位に到達していない出力回路から優先的に信号を出力させるため、低消費電力かつ高効率（例えば70.0%以上の電力変換効率）で所定の設定電位を生成できる。

[0177] また、本実施形態では、制御回路11は、第1信号S D D Dの電位V D D Dが第1設定電位未満でありかつ第2信号S D D 2の電位V D D 2が第2設定電位未満である場合、出力モードを交互出力モードに設定するとともに、出力回路12による第1信号S D D Dの出力及び出力回路13による第2信号S D D 2の出力を一定期間毎に交互に切り替える。

[0178] この構成によれば、電位生成回路10は、出力回路12及び13から出力される信号がいずれも設定電位に到達していない場合に、出力回路12及び13から交互に出力させるため、偏りを抑制しつつ均等に複数の信号の電位を所定の設定電位に向けて遷移できる。

[0179] また、本実施形態では、制御回路11は、出力モードが交互出力モードである場合、第1信号S D D Dの電位V D D Dが第1設定電位以上になるか、又は第2信号S D D 2の電位V D D 2が第2設定電位以上になった場合、出力回路

12及び13の出力を切り替えるタイミングで出力モードを交互出力モードから固定出力モードに切り替える。

[0180] この構成によれば、電位生成回路10は、出力回路12及び13の出力を切り替えるタイミングで出力モードを切り替えるため、出力モードの切り替えに伴う過電流の発生を抑制できる。

[0181] また、本実施形態では、逆流防止回路15は、ソース端子、ドレイン端子、ゲート端子及びバックゲート端子を有し、接地電位GND（第1電位）がソース端子に供給される第1状態、及び接地電位GNDより高い電位VB（第2電位）がソース端子に供給される第2状態で動作し、ゲート端子の電位に基づいてソース端子に供給される電位をドレイン端子から出力する出力回路12と、ゲート端子、ソース端子及びバックゲート端子に接続されており、第1状態において、出力回路12が出力を停止するようにゲート端子の電位を制御し、ドレイン端子と同じ電位になるようにバックゲート端子の電位を制御し、第2状態において、ソース端子と同じ電位になるようにバックゲート端子の電位を制御する制御回路11と、を備える。

[0182] この構成によれば、逆流防止回路15は、ソース端子の電位が低い場合にバックゲート端子がドレイン端子に接続され、ソース端子の電位が高くなり得る場合にバックゲート端子がソース端子に接続されるため、出力回路における電流の逆流を防止できる。

[0183] また、本実施形態では、出力回路12は、第1状態において両端が短絡し、第2状態において両端が開放し、一端がバックゲート端子に接続され、他端がドレイン端子に接続される第1短絡制御回路と、第1状態において両端が開放し、第2状態において両端が短絡し、一端がバックゲート端子に接続され、他端がソース端子に接続される第2短絡制御回路とを有する。

[0184] この構成によれば、逆流防止回路15は、短絡制御回路の状態によって出力回路12のバックゲート端子の接続先を制御するため、容易に出力回路12における電流の逆流防止を制御できる。

[0185] ———変形例———

なお、本発明は上記の実施形態に限定されるものではない。すなわち、上記の実施形態に、当業者が適宜設計変更を加えたものも、本発明の特徴を備えている限り、本発明の範囲に包含される。また、上記実施形態及び後述する変形例が備える各要素は、技術的に可能な限りにおいて組み合わせることができ、これらを組み合わせたものも本発明の特徴を含む限り本発明の範囲に包含される。

[0186] 例えば、上記実施形態では、出力回路14は、トランジスタTR145及びTR146によって、トランジスタTR142のゲート端子及び端子p02の間の導通及び非導通を制御するがこれに限られるものでなく、トランジスタTR145を除いたトランジスタTR146のみによってトランジスタTR142のゲート端子及び端子p02の間の導通及び非導通を制御しても良い。

[0187] この構成によれば、出力回路14が少ない部品点数で動作できるため、電位生成回路10は、低コストかつ短時間で所定の設定電位を生成できる。

[0188] また、上記実施形態では、電位生成回路10は、2つの出力回路12及び13によって、2つの電位VDD1及びVDD2を生成するがこれに限られるものではない。電位生成回路10は、3つ以上の出力回路によって、3つ以上の電位を生成しても良い。電位生成回路10は、3つ以上の電位を生成するにあたって、各電位に予め定められている設定電位に到達していない電位を出力する出力回路から信号を出力させるように、各出力回路を制御する。電位生成回路10は、信号を出力させる出力回路が複数ある場合、当該出力回路同士で一定期間毎に交互に信号を出力させる。

[0189] この構成によれば、電位生成回路10は、短時間で3つ以上の所定の設定電位を生成できる。

## 符号の説明

[0190] 10…電位生成回路、11…制御回路、12…出力回路（第1出力回路）、13…出力回路（第2出力回路）、15…逆流防止回路

## 請求の範囲

- [請求項1] 第1信号を出力する第1出力回路と、  
前記第1信号とは異なる第2信号を出力する第2出力回路と、  
前記第1信号の電位と第1設定電位間の大小関係、及び、前記第2信号の電位と第2設定電位間の大小関係の組み合わせに応じて、前記第1出力回路及び前記第2出力回路のうちいずれか一方から信号を出力させるように前記第1出力回路及び前記第2出力回路を制御する制御回路と、  
を備える電位生成回路。
- [請求項2] 前記制御回路は、  
前記第1信号の電位が前記第1設定電位以上でありかつ前記第2信号の電位が前記第2設定電位未満である場合、出力モードを固定出力モードに設定するとともに、前記第2出力回路から前記第2信号を出力させ、  
前記第2信号の電位が前記第2設定電位以上でありかつ前記第1信号の電位が前記第1設定電位未満である場合、前記出力モードを前記固定出力モードに設定するとともに、前記第1出力回路から前記第1信号を出力させる、  
請求項1に記載の電位生成回路。
- [請求項3] 前記制御回路は、前記第1信号の電位が前記第1設定電位未満でありかつ前記第2信号の電位が前記第2設定電位未満である場合、前記出力モードを交互出力モードに設定するとともに、前記第1出力回路による前記第1信号の出力及び前記第2出力回路による前記第2信号の出力を一定期間毎に交互に切り替える、  
請求項2に記載の電位生成回路。
- [請求項4] 前記制御回路は、前記出力モードが前記交互出力モードである場合、前記第1信号の電位が前記第1設定電位以上になるか、又は前記第2信号の電位が前記第2設定電位以上になった場合、前記第1

出力回路及び前記第2出力回路の出力を切り替えるタイミングで前記出力モードを前記交互出力モードから前記固定出力モードに切り替える、

請求項3に記載の電位生成回路。

[請求項5]

第1出力回路及び第2出力回路を有する電位生成回路の制御方法であって、

前記電位生成回路が第1信号の電位と第1設定電位の間的大小関係、及び第2信号の電位と第2設定電位の間的大小関係の組み合わせが所定の条件を満たすか否かを判定することと、

当該判定が肯定判定である場合、前記電位生成回路が前記第1出力回路及び前記第2出力回路のうちいずれか一方から信号を出力させるように前記第1出力回路及び前記第2出力回路を制御することと、

当該判定が否定判定である場合、前記電位生成回路が前記第1出力回路による前記第1信号の出力及び前記第2出力回路による前記第2信号の出力を一定期間毎に交互に切り替えることと、

を含む電位生成回路の制御方法。

[請求項6]

ソース端子、ドレイン端子、ゲート端子及びバックゲート端子を有し、第1電位が前記ソース端子に供給される第1状態、及び前記第1電位より高い第2電位が前記ソース端子に供給される第2状態で動作し、前記ゲート端子の電位に基づいて前記ソース端子に供給される電位を前記ドレイン端子から出力する出力回路と、

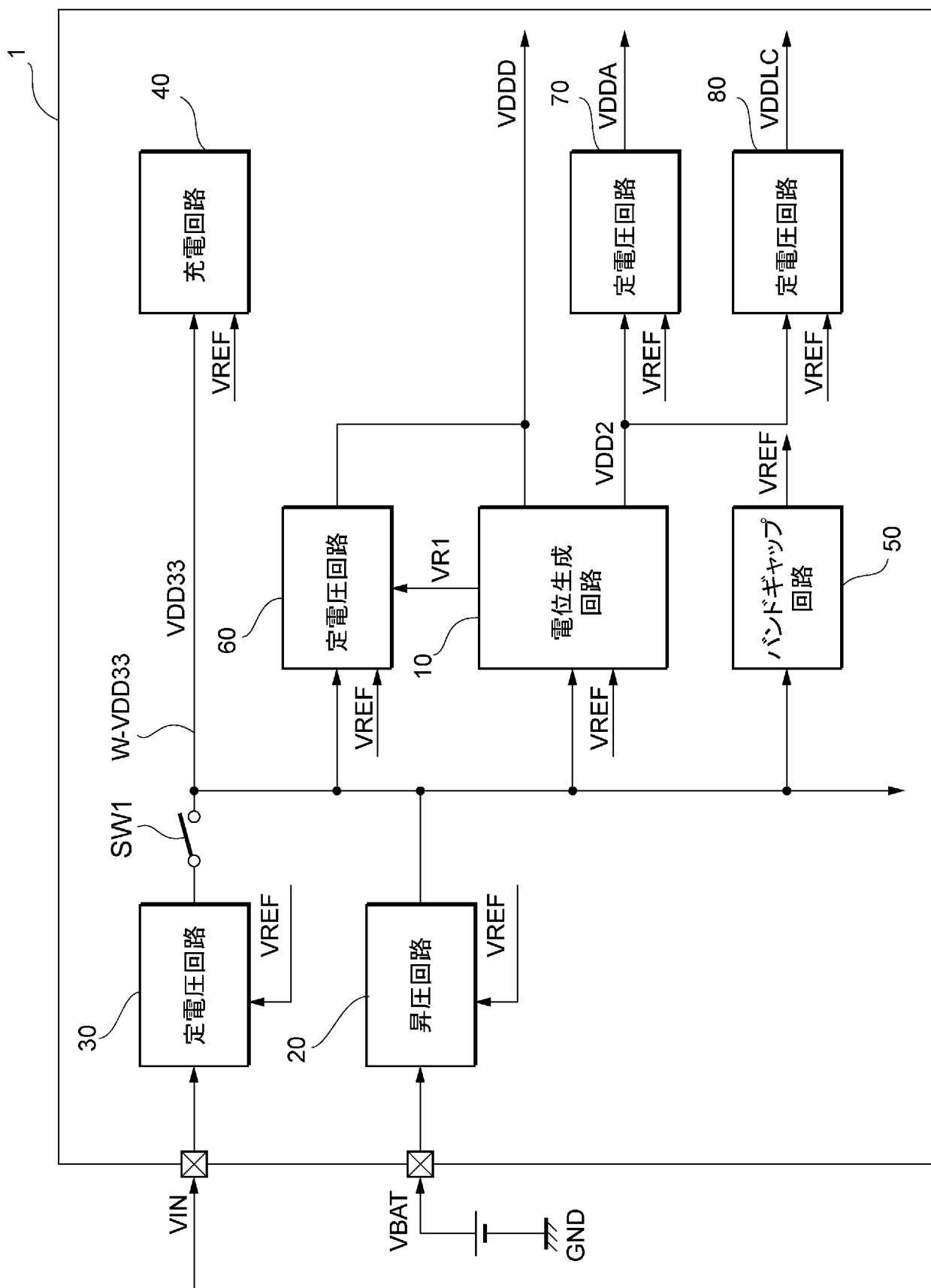
前記ゲート端子、前記ソース端子及び前記バックゲート端子に接続されており、前記第1状態において、前記出力回路が前記出力を停止するように前記ゲート端子の電位を制御し、前記ドレイン端子と同じ電位になるように前記バックゲート端子の電位を制御し、前記第2状態において、前記ソース端子と同じ電位になるように前記バックゲート端子の電位を制御する制御回路と、

を備える逆流防止回路。

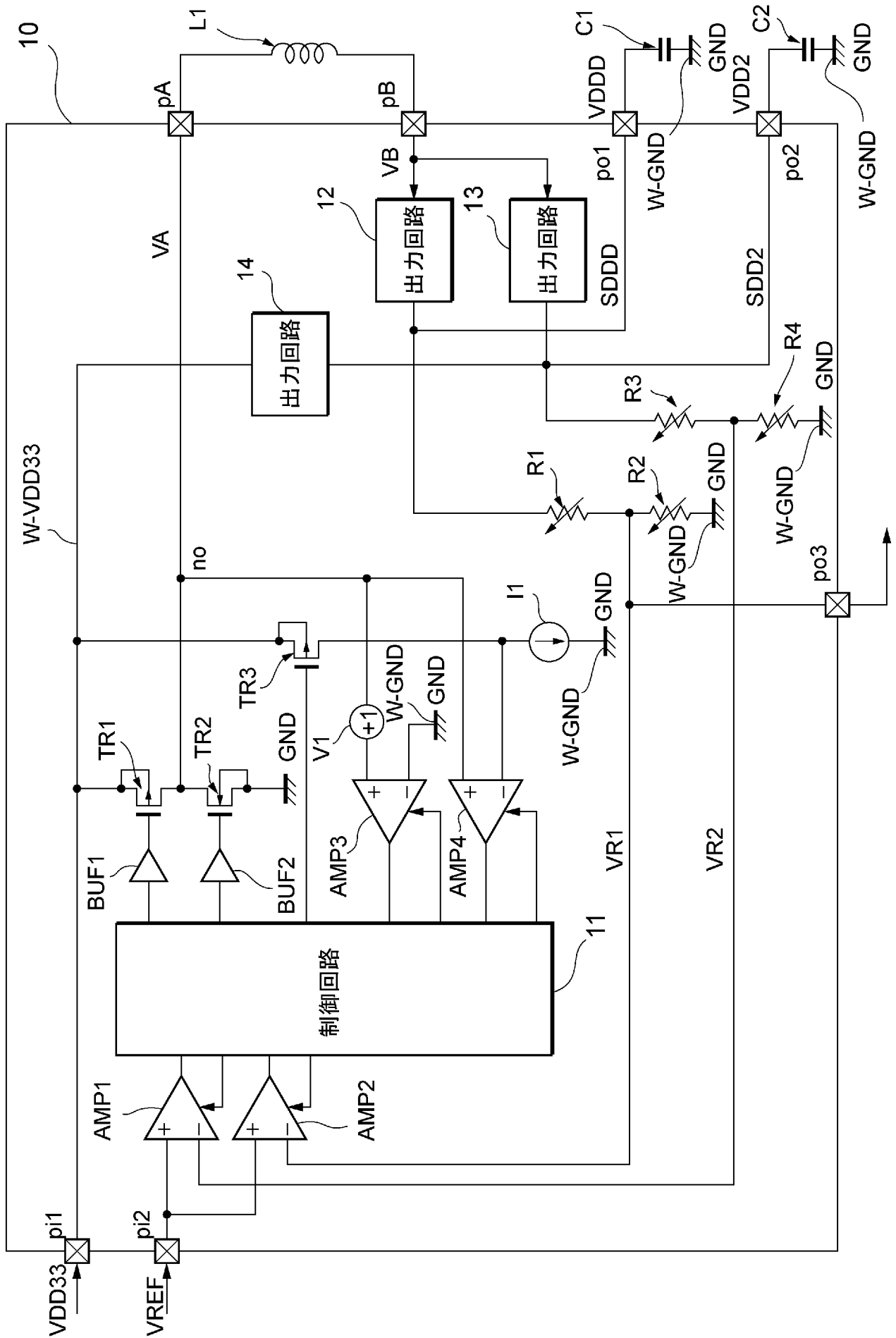
[請求項7]

前記出力回路は、前記第1状態において両端が短絡し、前記第2状態において前記両端が開放し、一端が前記バックゲート端子に接続され、他端が前記ドレイン端子に接続される第1短絡制御回路と、前記第1状態において前記両端が開放し、前記第2状態において前記両端が短絡し、一端が前記バックゲート端子に接続され、他端が前記ソース端子に接続される第2短絡制御回路とを有する、請求項6に記載の逆流防止回路。

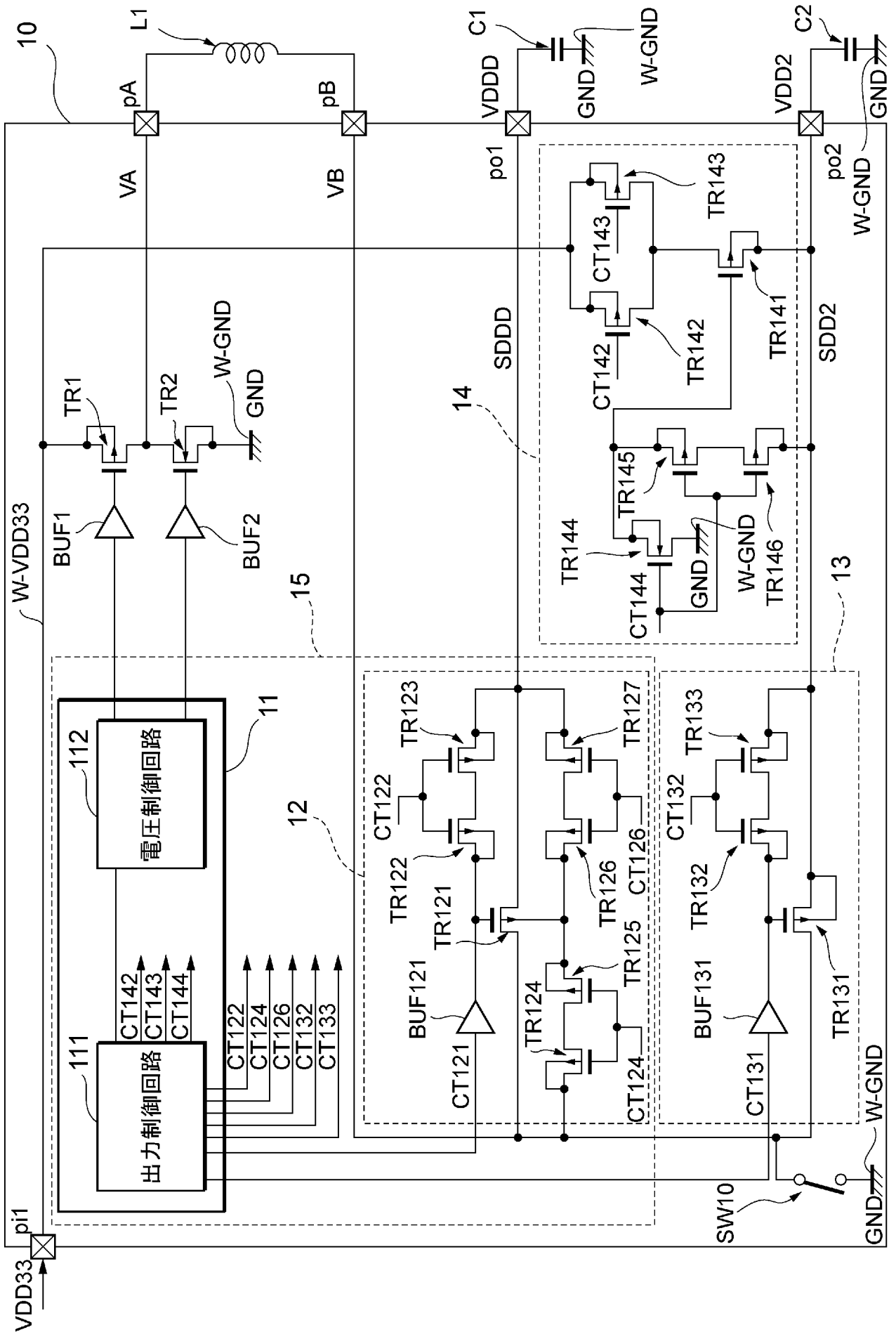
[ 図 1 ]



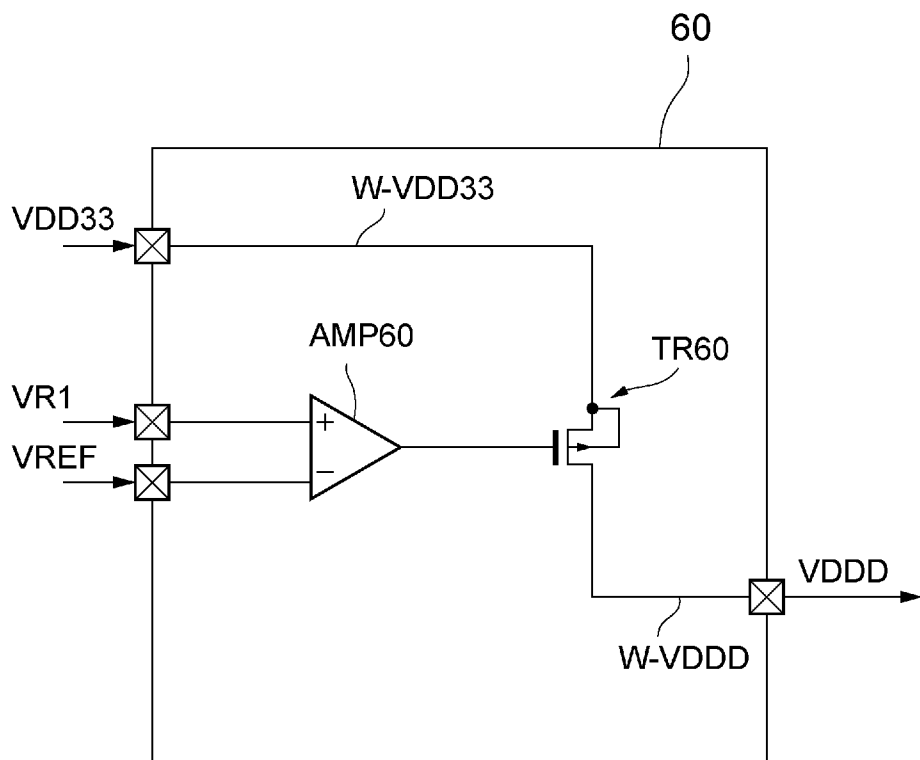
[ 2 ]



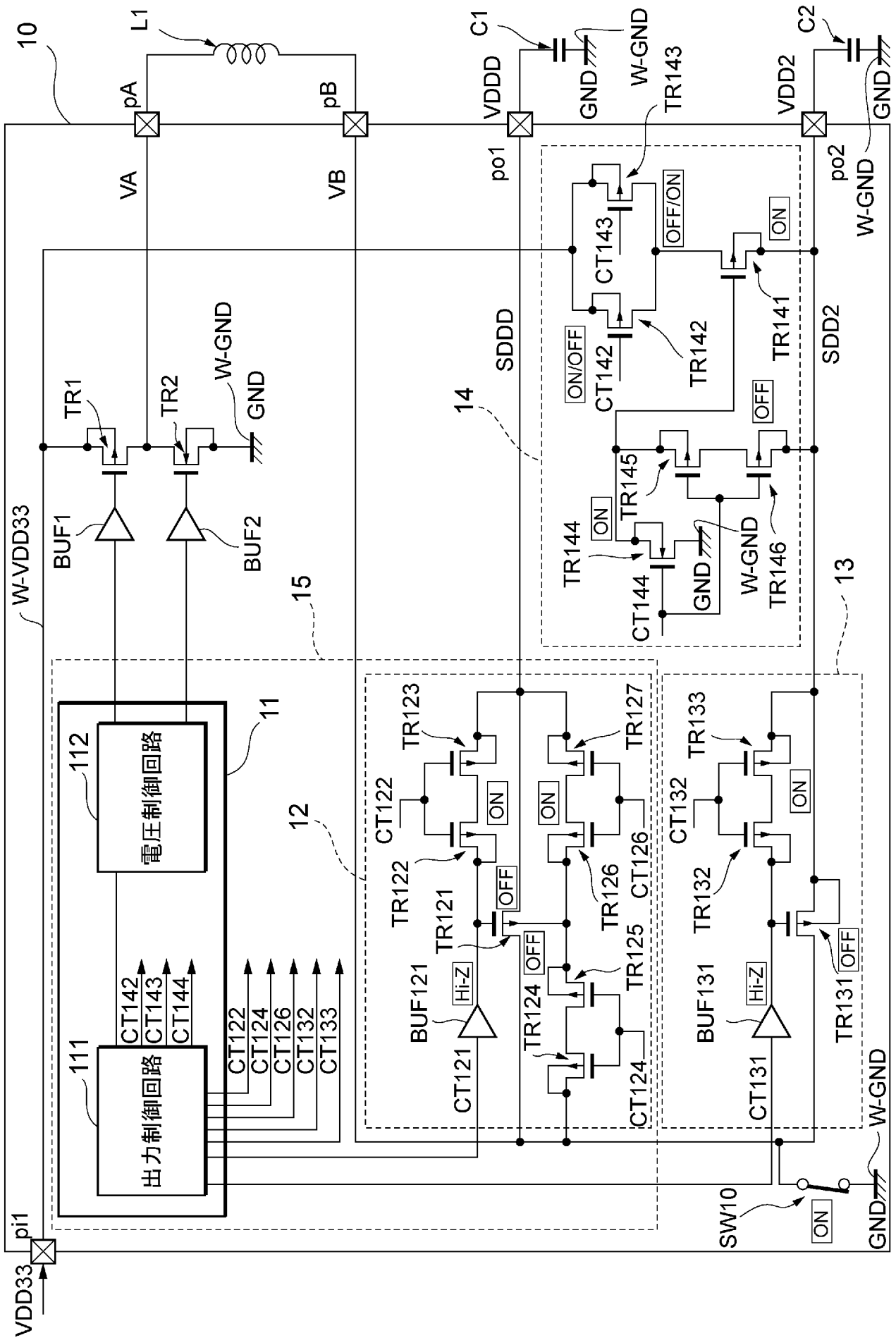
[ 図 3 ]



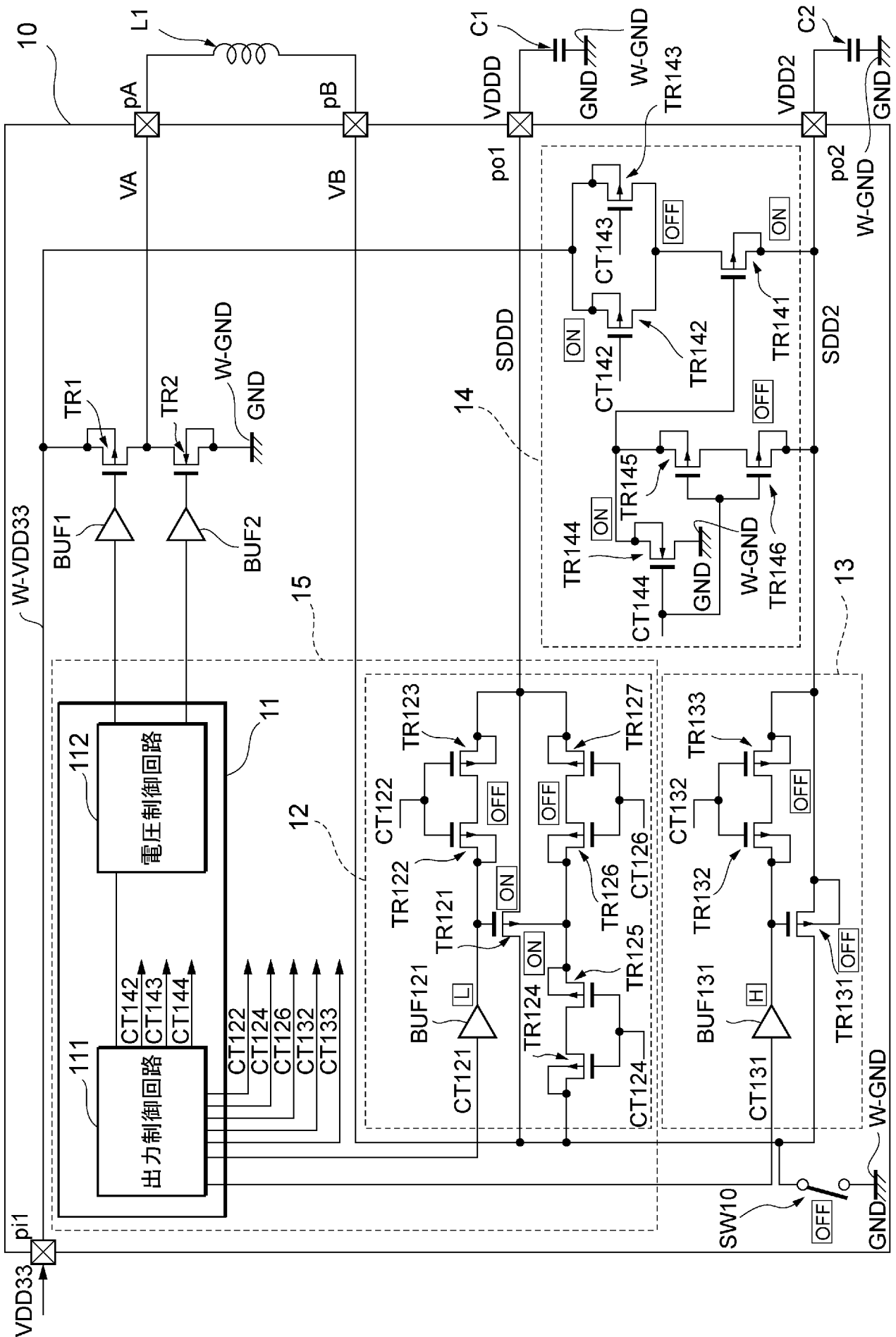
[ 4 ]



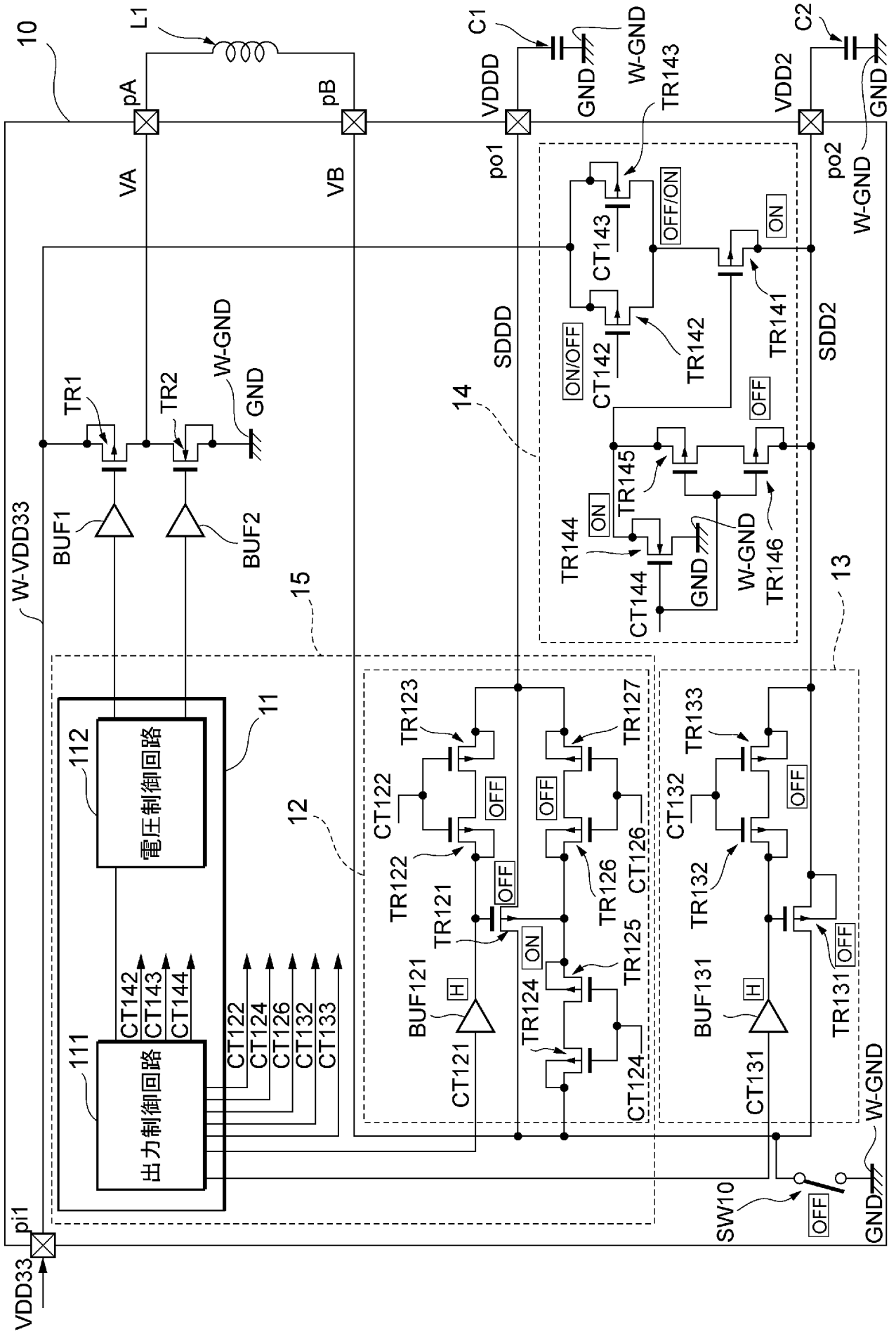
[ 5A ]



[ 5B ]



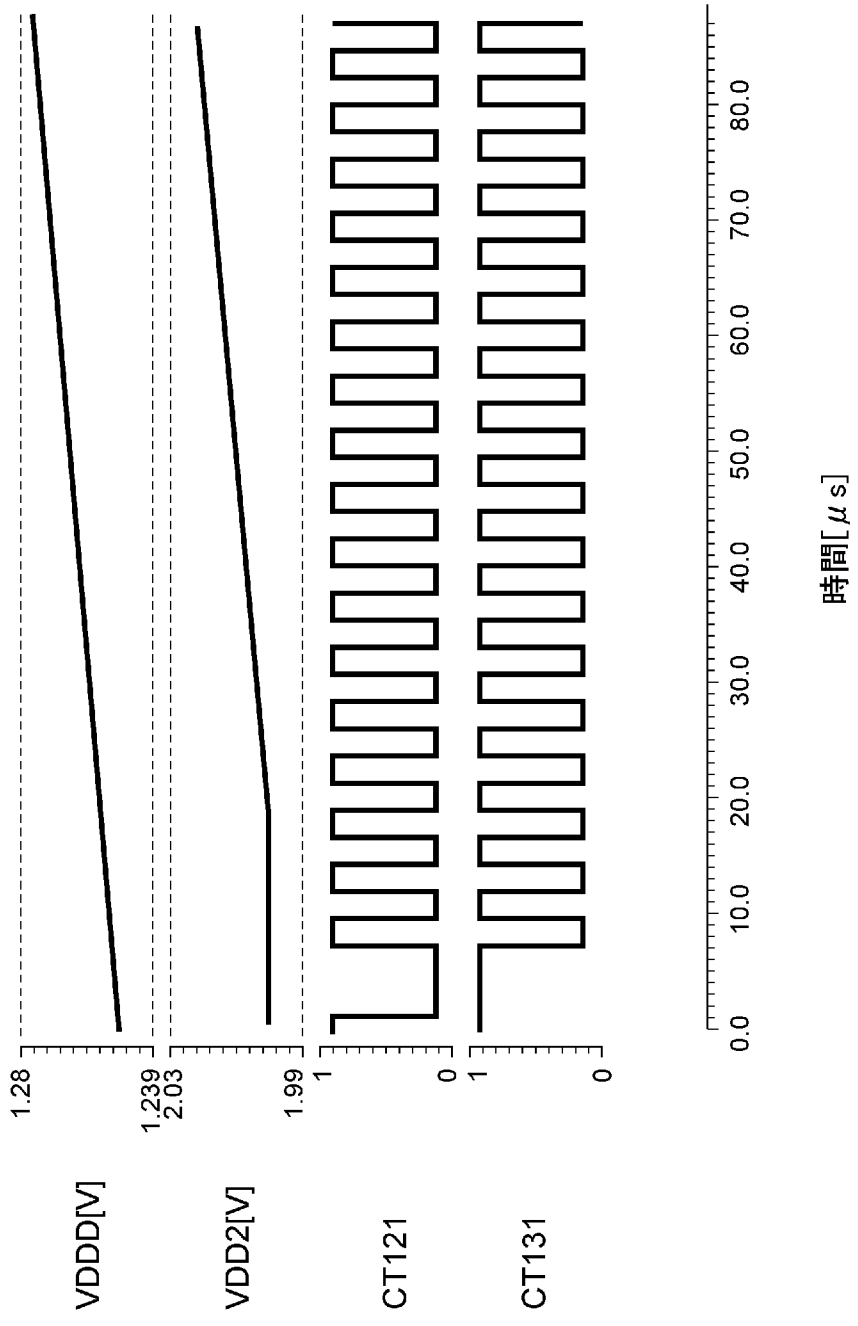
[ 5C ]



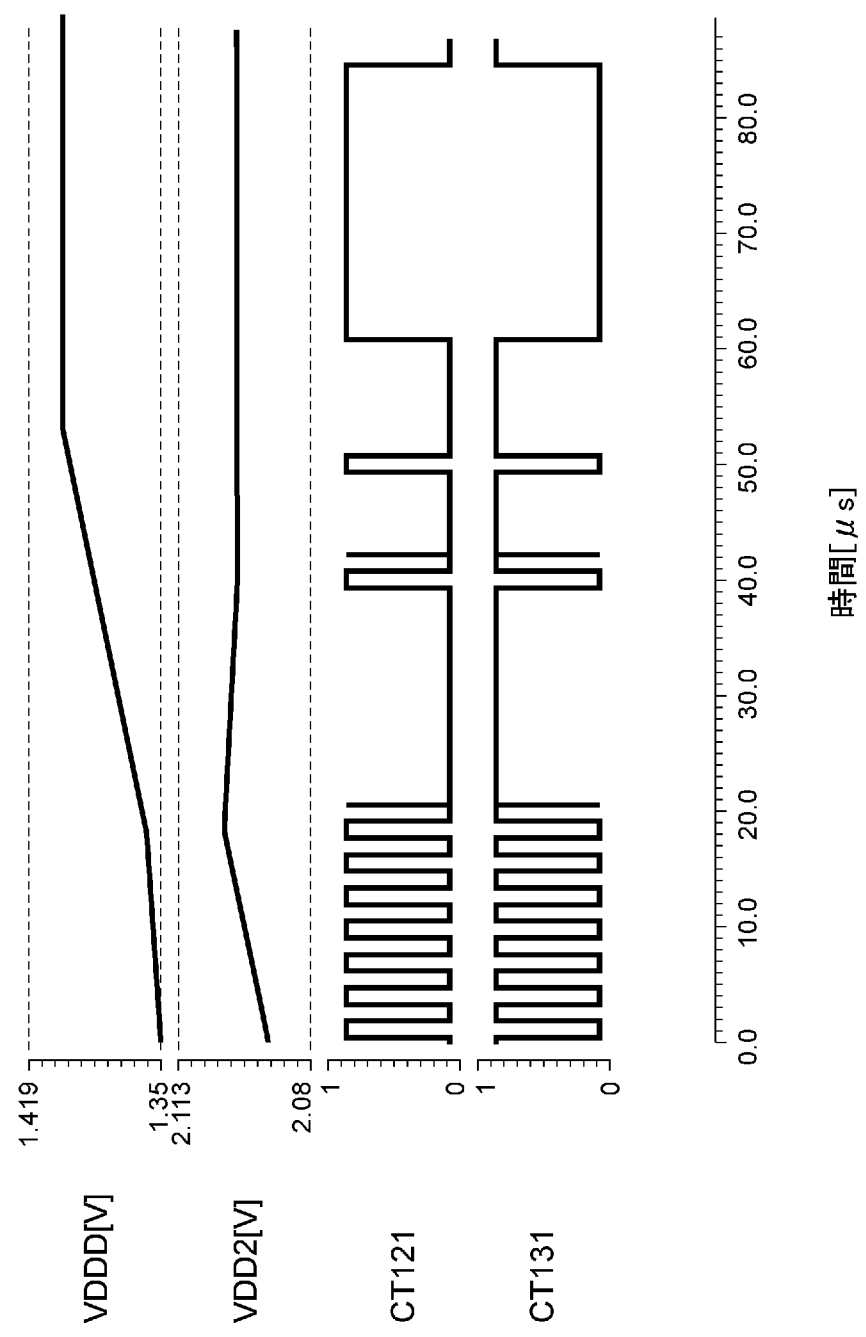




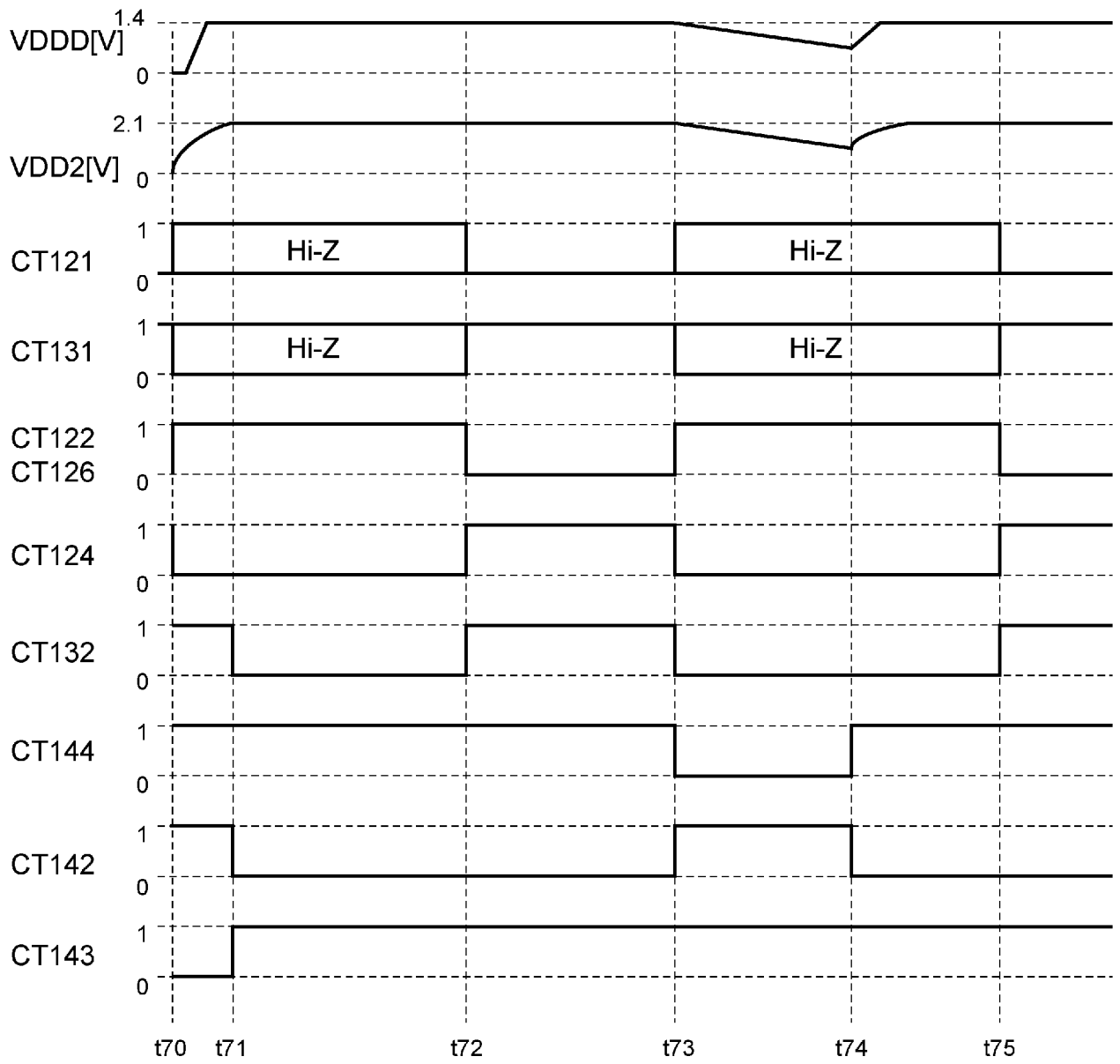
[ 6A ]



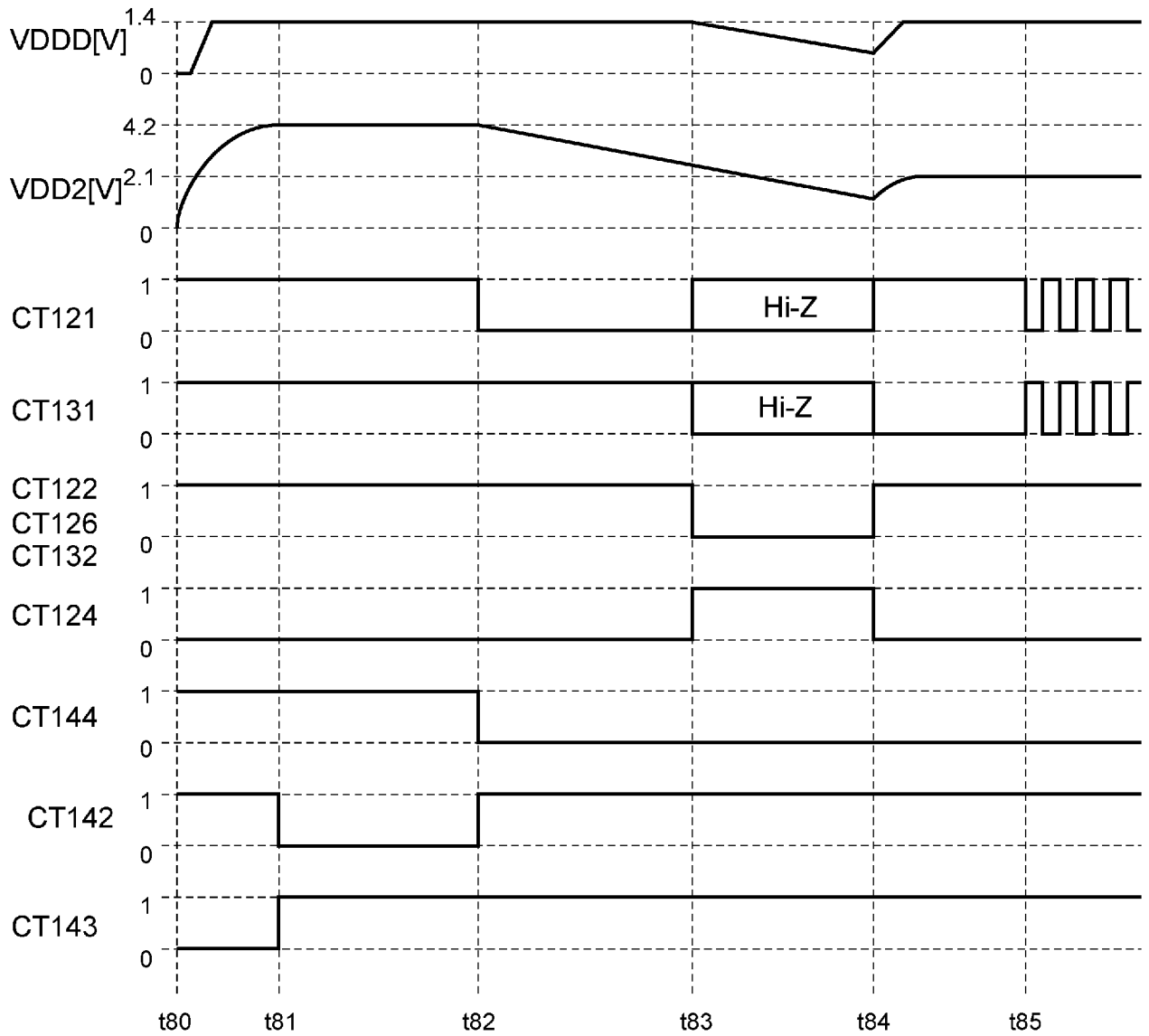
[ 6B ]



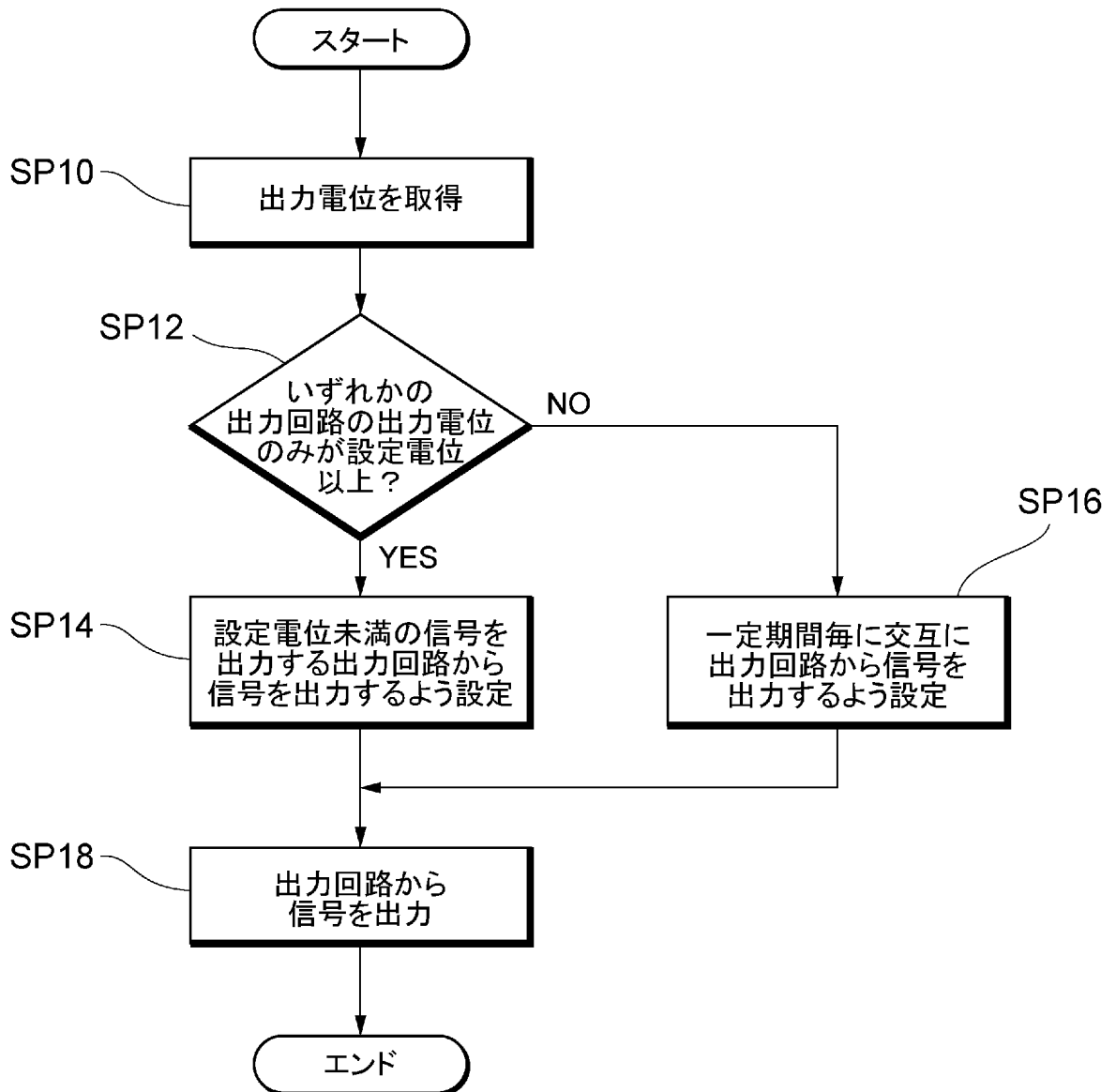
[ 7 ]



[ 8 ]



[ 図 9 ]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/006451

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>H02J 1/00</i> (2006.01)i FI: H02J1/00 306D; H02J1/00 309P		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H02J1/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-164805 A (FUJITSU LIMITED) 16 June 2000 (2000-06-16) paragraphs [0032]-[0050], fig. 1-2	1-5
A	JP 5-341885 A (RICOH COMPANY, LTD.) 24 December 1993 (1993-12-24) paragraphs [0011]-[0020], fig. 1-9	1-5
X	JP 2009-301209 A (MITSUMI ELECTRIC CO., LTD.) 24 December 2009 (2009-12-24) paragraphs [0021], [0031]-[0041], fig. 1-2	6-7
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p>		
Date of the actual completion of the international search <b>09 May 2023</b>		Date of mailing of the international search report <b>16 May 2023</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2023/006451**

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2000-164805 A	16 June 2000	(Family: none)	
JP 5-341885 A	24 December 1993	(Family: none)	
JP 2009-301209 A	24 December 2009	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02J 1/00(2006.01)i FI: H02J1/00 306D; H02J1/00 309P		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H02J1/00 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2000-164805 A（富士通株式会社）16.06.2000（2000-06-16） 段落[0032]-[0050], 図1-2	1-5
A	JP 5-341885 A（株式会社リコー）24.12.1993（1993-12-24） 段落[0011]-[0020], 図1-9	1-5
X	JP 2009-301209 A（ミツミ電機株式会社）24.12.2009（2009-12-24） 段落[0021], [0031]-[0041], 図1-2	6-7
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	09.05.2023	国際調査報告の発送日 16.05.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官）  高野 誠治 5T 1978  電話番号 03-3581-1101 内線 3526	

国際調査報告  
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/006451

引用文献	公表日	パテントファミリー文献	公表日
JP 2000-164805 A	16.06.2000	(ファミリーなし)	
JP 5-341885 A	24.12.1993	(ファミリーなし)	
JP 2009-301209 A	24.12.2009	(ファミリーなし)	