

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 5 月 5 日 (05.05.2022)



(10) 国际公布号
WO 2022/089085 A1

- (51) 国际专利分类号:
H03L 7/099 (2006.01)
- (21) 国际申请号: PCT/CN2021/118858
- (22) 国际申请日: 2021 年 9 月 16 日 (16.09.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202011173760.4 2020 年 10 月 28 日 (28.10.2020) CN
- (71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。
- (72) 发明人: 汪玉霞 (WANG, Yuxia); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。 田凯 (TIAN, Kai); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。
- (74) 代理人: 上海晨皓知识产权代理事务所 (普通合伙) (SHANGHAI CHENHAO INTELLECTUAL PROPERTY LAW FIRM GENERAL PARTNERSHIP); 中国上海市黄浦区制造局路 787 号二幢 202B 室, Shanghai 200011 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,

BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第 21 条 (3))。

(54) Title: OSCILLATOR AND CLOCK GENERATION CIRCUIT

(54) 发明名称: 振荡器及时钟产生电路

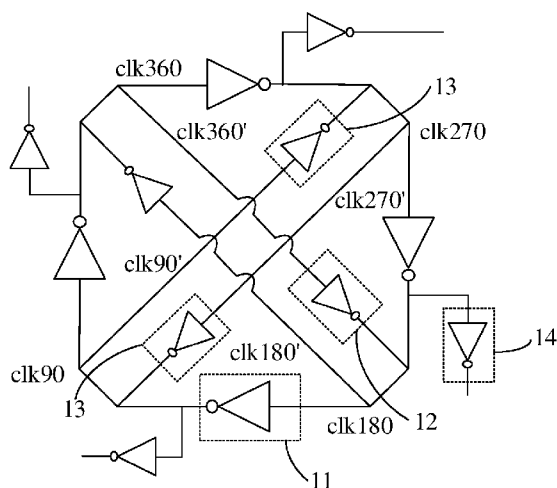


图 2

(57) Abstract: Provided are an oscillator and a clock generation circuit. The oscillator comprises: a first ring-shaped topological structure, wherein a plurality of first inverters (11) are connected in an end-to-end mode, so as to propagate an oscillation signal at a first transmission speed; and a second ring-shaped topological structure, wherein a plurality of second inverters (12) are connected in an end-to-end mode, so as to propagate the oscillation signal at a second transmission speed. The first ring-shaped topological structure is electrically connected to the second ring-shaped topological structure, and the second transmission speed is less than the first transmission speed.

(57) 摘要: 提供一种振荡器及时钟产生电路, 振荡器包括: 第一环形拓扑结构, 由多个第一反相器 (11) 首尾相连, 以第一传输速度传播振荡信号; 第二环形拓扑结构, 由多个第二反相器 (12) 首尾相连, 以第二传输速度传播申请振荡信号; 其中, 第一环形拓扑结构与第二环形拓扑结构电连接, 第二传输速度小于第一传输速度。

WO 2022/089085 A1

振荡器及时钟产生电路

交叉引用

[0001] 本申请要求于2020年10月28日递交的名称为“振荡器及时钟产生电路”、
5 申请号为202011173760.4的中国专利申请的优先权，其通过引用被全部并入本申请。

技术领域

[0002] 本申请实施例涉及但不限于一种振荡器及时钟产生电路。

背景技术

10 [0003] 动态随机存取存储器（Dynamic Random Access Memory, DRAM）是计算机中常用的半导体存储器件，由许多重复的存储单元组成。在DRAM I/O电路中，需要一个特定频率的高速时钟信号进行读写及时钟校准。

[0004] 可以通过环形振荡器（ring oscillator）在DRAM内部产生一个高速时钟信号，以满足上述需求。但是当前的环形振荡器所产生的振荡信号频率较低，
15 难以满足高速需求；此外，当前环形振荡器所产生的振荡信号的频率和占空比容易受到工艺、电源电压、温度、时钟负载等的影响，从而使得时钟频率和占空比产生偏差。

申请内容

[0005] 本申请实施例提供一种振荡器，包括：第一环形拓扑结构，由多个第一
20 反相器首尾相连，以第一传输速度传播振荡信号；第二环形拓扑结构，由多个第二反相器首尾相连，以第二传输速度传播所述振荡信号；其中，所述第一环形拓扑结构与所述第二环形拓扑结构电连接，所述第二传输速度小于所述第一传输速度。

[0006] 本申请实施例还提供一种时钟产生电路，包括：上述任一项所述的振荡
25 器；频率调节模块，与所述振荡器连接，用于调节所述振荡器的频率。

附图说明

[0007] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些

示例性说明并不构成对实施例的限定，附图中具有相同参考数字标号的元件表示为类似的元件，除非有特别申明，附图中的图不构成比例限制。

[0008] 图 1 为本申请实施例提供的振荡器的一电路结构示意图；

[0009] 图 2 为本申请实施例提供的振荡器的另一电路结构示意图；

5 [0010] 图 3 为图 2 所示振荡器中缓冲反相器的结构示意图；

[0011] 图 4 为图 2 所示振荡器中第一反相器的一结构示意图；

[0012] 图 5 为图 2 所示振荡器中第二反相器的一结构示意图；

[0013] 图 6 为图 2 所示振荡器中第一反相器的又一结构示意图；

[0014] 图 7 为图 2 所述振荡器中第二反相器的又一结构示意图；

10 [0015] 图 8 为本申请实施例提供的时钟产生电路的结构示意图。

具体实施方式

[0016] 为使本申请实施例的目的、技术方案和优点更加清楚，下面将结合附图对本申请的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本申请各实施例中，为了使读者更好地理解本申请而提出了许多技术细节。

15 但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本申请所要求保护的技术方案。

[0017] 图 1 为本申请实施例提供的振荡器的一电路结构示意图。

[0018] 参考图 1，振荡器包括：第一环形拓扑结构，由多个第一反相器 11 首尾相连，以第一传输速度传播振荡信号；第二环形拓扑结构，由多个第二反相器
20 12 首尾相连，以第二传输速度传播振荡信号；其中，第一环形拓扑结构与第二环形拓扑结构电连接，第二传输速度小于第一传输速度。

[0019] 其中，传输速度指的是振荡信号从高电平到低电平的时间或者从低电平到高电平的时间。传输速度越慢，传输时间越长，振荡信号翻转的越慢，振荡信号的周期就越长，频率就越低。传输速度越快，传输时间越短，振荡信号翻
25 转的越快，振荡信号的周期就越短，频率就越高。第二传输速度小于第一传输速度意味着振荡信号经过第二反相器 12 的传输时间比振荡信号经过第一反相器 11 的传输时间短。

[0020] 在一些实施例中,第一反相器 11 的个数为 N 个, N 为大于等于 4 的整数;相应地,第二反相器 12 的个数为 M 个, M 为大于等于 2 的整数。

[0021] 记每一个第一反相器 11 的输入端为一个第一节点,第一环形拓扑结构具有 N 个第一节点,例如第一节点为图 1 中的 clk360、clk270、clk180、clk90;记
5 每一个第二反相器 12 的输入端为一个第二节点,第二环形拓扑结构具有 M 个第二节点,例如第二节点为图 1 中的 clk360'、clk180';至少有两个第二节点与对应个数的第一节点电连接,例如图 1 中的 clk360'与 clk360 相连、clk180'与 clk180 相连。

[0022] 其中,在第一环形拓扑结构的振荡路径上,每一第一节点具有不同的相位,以 4 个第一反相器 11 的数量为例,振荡路径上四个第一节点分别具有第一
10 相位 clk90、第二相位 clk180、第三相位 clk270 以及第四相位 clk360,四个第一节点构成一个 360 度的振荡循环,即每一第一节点对应 90 度的相位位移;相应地,第二环形拓扑结构具有两个第二节点,一第二节点 clk180'与具有第二相位 clk180 的第一节点电连接,另一第二节点 clk360'与具有第四相位 clk360 的第一
15 节点电连接。

[0023] 在一些实施例中,第二传输速度小于第一传输速度,且第二传输速度大于等于 0.5 倍的第一传输速度。传输速度可以理解为与反相器的传输延迟成反比。例如,假设振荡信号经过第一反相器 11 的传输速度为 100,那么振荡信号
20 经过第二反相器 12 的传输速度则为大于等于 50 且小于 100。再例如,假设振荡信号经过第一反相器 11 的传输延迟为 100ps (皮秒),那么振荡信号经过第二反相器 12 的传输延迟则大于 100ps 且小于等于 200ps。如此设置,可以提高振荡器的稳定性和振荡信号的质量。

[0024] 在一些实施例中,参考图 2,振荡器还可以包括:第三环形拓扑结构,由多个第三反相器 13 首尾相连,以第三传输速度传输振荡信号,第一环形拓扑结
25 构与第三环形拓扑结构电连接,第三传输速度小于第一传输速度。

[0025] 其中,第一环形拓扑结构作为外圈拓扑结构,第二环形拓扑结构和第三环形拓扑结构作为内圈拓扑结构。不同环形拓扑结构的反相器数量可具体如下:第一反相器 11 的个数为 U 个, U 为大于等于 4 的整数;第二反相器 12 的个数为 V 个, V 为大于等于 2 的整数;第三反相器 13 的个数为 W 个, W 为大于等

于 2 的整数。

[0026] 记每一个第一反相器 11 的输入端为一个第一节点，第一环形拓扑结构具有 U 个第一节点，例如第一节点为图 2 中的 clk360、clk270、clk180、clk90；记每一个第二反相器 12 的输入端为一个第二节点，第二环形拓扑结构具有 V 个第二节点，例如第二节点为图 2 中的 clk360'、clk180'；记每一个第三反相器 13 的输入端为一个第三节点，第三环形拓扑结构具有 W 个第三节点，例如第二节点为图 2 中的 clk270'、clk90'；至少有两个第二节点与对应个数的第一节点电连接，至少有两个第三节点与对应个数的第一节点电连接，例如图 2 中的 clk360' 与 clk360 相连、clk270' 与 clk270 相连、clk180' 与 clk180 相连、clk90' 与 clk90 相连。如此，有利于使得不同第一节点的振荡信号在单位时间内均具有更多的翻转次数，进而提升传播的振荡信号的频率，从而提升振荡信号的传输速度。

[0027] 在一些实施例中，第二传输速度小于第一传输速度，且第二传输速度大于等于 0.5 倍的第一传输速度，第三传输速度等于第二传输速度。传输速度可以理解为与反相器的传输延迟成反比。例如，假设振荡信号经过第一反相器 11 的传输速度为 100，那么振荡信号经过第二反相器 12 的传输速度则为大于等于 50 且小于 100。再例如，假设振荡信号经过第一反相器 11 的传输延迟为 100ps（皮秒），那么振荡信号经过第二反相器 12 的传输延迟则大于 100ps 且小于等于 200ps。如此设置，可以提高振荡器的稳定性和振荡信号的质量。

[0028] 在一些实施例中，振荡器还包括缓冲反相器 14，缓冲反相器 14 的输入端接收振荡信号，缓冲反相器 14 的输出端输出时钟信号。缓冲反相器 14 用于隔绝振荡器的后端电路（例如占空比校准电路）作为负载对振荡信号频率造成的影响，使振荡器保持较高的复用率。

[0029] 在一些实施例中，缓冲反相器 14 的传输速度可调。示例性地，通过调节缓冲反相器 14 的上拉能力和/或下拉能力来实现缓冲反相器 14 的传输速度可调。

[0030] 其中，当缓冲反相器 14 的上拉能力增强时，缓冲反相器 14 的下拉能力减弱；当缓冲反相器 14 的上拉能力减弱时，缓冲反相器 14 的下拉能力增强。

[0031] 上拉能力指的是将低电平信号充电到高电平信号的能力，下拉能力指的是将高电平信号放电到低电平信号的能力。当上拉能力增强而下拉能力减弱时，缓冲反相器 14 输出的时钟信号的占空比增大；当上拉能力减弱而下拉能力增强

时，缓冲反相器 14 输出的时钟信号的占空比减小。也就是说，可通过控制缓冲反相器 14 的上拉能力和下拉能力朝不同的趋势变化，实现时钟信号占空比的可调，进而使得时钟信号的占空比满足预设要求。需要说明的是，每一第一节点都可以连接一缓冲反相器 14，或者说每一第一节点与后端电路之间都可以串接一缓冲反相器 14，以避免后端电路对振荡信号频率造成的影响，以保证振荡器的每一级第一反相器 11 具有较高的负载匹配度，进而使得振荡器的振荡信号频率更为稳定。例如图 2 中，clk360、clk270、clk180、clk90 均连接一缓冲反相器 14。

[0032] 示例性地，参考图 3，缓冲反相器 14 包括：第一 PMOS 组 141，包括 H 个 PMOS (MPH1、MPH2...MPHn)，H 个 PMOS 的源极均连接于电源端 Vcc；第一 NMOS 组 142，包括 H 个 NMOS (MNH1、MNH2...MNHn)，H 个 NMOS 的源极连接于接地端 Vss；第零 PMOS MPH0，其源极连接 H 个 PMOS 的漏极；第零 NMOS MNH0，其源极连接 H 个 NMOS 的漏极；第零 PMOS MPH0 的漏极与第零 NMOS MNH0 的漏极连接，作为缓冲反相器 14 的输出端 clkout；第零 PMOS MPH0 的栅极与第零 NMOS MNH0 的栅极连接，作为缓冲反相器 14 的输入端 clkin；H 个 PMOS 的栅极和 H 个 NMOS 的栅极均由一占空比调节编码组 (Dcc1、Dcc2...Dccn) 控制。

[0033] 其中，占空比调节编码组可由占空比调节模块 (未图示) 发出，PMOS 以及 PMOS 管均为 PMOS 晶体管。

[0034] 在一些实施例中，可通过控制占空比调节编码组的参数控制第一 PMOS 组 141 中 PMOS 管的导通数量和/或第一 NMOS 组 142 中 NMOS 管的导通数量，从而调整缓冲反相器 14 的上拉能力和/或下拉能力。

[0035] 需要说明的是，PMOS 管和 NMOS 管的开启电压不同。示例性地，当占空比调节编码组中第一调节编码 Dcc1 为高电平时，第一 NMOS 管 MNH1 导通而第一 PMOS 管 MPH1 关断；当第一调节编码 Dcc1 为低电平时，第一 NMOS 管 MNH1 关断而第一 PMOS 管 MPH1 导通。

[0036] 由于一占空比调节编码同时控制第一 PMOS 组 141 和第一 NMOS 组 142，因此，第一 PMOS 组 141 中 PMOS 管的导通数量越多，第一 NMOS 组 142 中 NMOS 管的导通数量就越少。而第一 PMOS 组 141 中 PMOS 管的导通数量越多，

第一 PMOS 组 141 的负载值较越小, 缓冲反相器 14 的充电速率就越快, 缓冲反相器 14 的上拉能力就越强; 相应地, 第一 NMOS 组 142 中 NMOS 管的导通数量越少, 第一 NMOS 组 142 的负载值就越大, 缓冲反相器 14 的放电速率就越慢, 缓冲反相器 14 的下拉能力就越弱。如此, 当 PMOS 管的导通数量较多而 NMOS 管的导通数量较少时, 缓冲反相器 14 输出的时钟信号的占空比增大。

[0037] 相应地, 当 PMOS 管的导通数量较少而 NMOS 管的导通数量较多时, 缓冲反相器 14 的上拉能力减弱而下拉能力增强, 缓冲反相器 14 输出的时钟信号的占空比减小。

[0038] 为保证第零 PMOS MPH0 以及第零 NMOS MNH0 正常工作, 还设置有初始 PMOS 管 MPHs 以及初始 NMOS 管 MNHs, 初始 PMOS 管 MPHs 的源极连接电源端 Vcc, 漏极连接第零 PMOS MPH0 源极, 栅极连接接地端 Vss, 即初始 PMOS 管 MPHs 处于导通状态; 初始 NMOS 管 MNHs 的源极连接接地端 Vss, 漏极连接第零 NMOS MNH0 源极, 栅极连接电源端 Vcc, 即初始 NMOS 管 MNHs 处于导通状态。

[0039] 在一些实施例中, 第一反相器 11 的第一传输速度可调。其中, 通过调节第一反相器 11 的上拉能力和/或下拉能力来实现第一反相器 11 的第一传输速度可调。

[0040] 其中, 当第一反相器 11 的上拉能力增强时, 第一反相器 11 的下拉能力增强; 当第一反相器 11 的上拉能力减弱时, 第一反相器 11 的下拉能力减弱。如此, 可对振荡器输出的振荡信号的频率进行调整, 以获取满足预设频率要求的振荡信号。

[0041] 示例性地, 参考图 4, 第一反相器 11 包括: 第三 PMOS 组 111, 包括 I 个 PMOS (MPI1、MPI2...MPI_n), I 个 PMOS 的源极均连接于电源端 Vcc; 第三 NMOS 组 112, 包括 I 个 NMOS (MNI1、MNI2...MNI_n), I 个 NMOS 的源极连接于接地端 Vss; 第二 PMOS MPI0, 其源极连接 I 个 PMOS 的漏极; 第二 NMOS MNI0, 其源极连接 I 个 NMOS 的漏极; 第二 PMOS MPI0 的漏极与第二 NMOS MNI0 的漏极连接, 作为第一反相器 11 的输出端; 第二 PMOS MPI0 的栅极与第二 NMOS MNI0 的栅极连接, 作为第一反相器 11 的输入端; I 个 PMOS 管的栅极由第一反调节编码组 (enb11、enb12...enb1_n) 控制, I 个 NMOS 的栅极由

第一正调节编码组 (en11、en12...en1n) 控制; 通过改变第一反调节编码组和/或第一正调节编码组实现第一传输速度可调。

[0042] 在一些实施例中, 可通过控制第一反调节编码组的参数控制第三 PMOS 组 111 中 PMOS 管的导通数量, 从而调整第一反相器 11 的上拉能力; 和/或, 通过控制第一正调节编码组的参数控制第三 NMOS 组 112 中 NMOS 管的导通数量, 从而调整第一反相器 11 的下拉能力。

[0043] 需要说明的是, 第一反调节编码组与第一正调节编码组的电位相反, 即反相。当第一正调节编码 en11 为高电平时, 第一反调节编码 enb11 为低电平, 此时第三 PMOS 组 111 中第一 PMOS 管 MPI1 导通, 第三 NMOS 组 112 中第一 NMOS 管 MNI1 导通; 相应地, 当第一正调节编码 en11 为低电平时, 第一反调节编码 enb11 为高电平, 此时第三 PMOS 组 111 中第一 PMOS 管 MPI1 关断, 第三 NMOS 组 112 中第一 NMOS 管 MNI1 关断。

[0044] 也就是说, 第三 PMOS 组 111 中 PMOS 管的导通数量越多, 第三 NMOS 组 112 中 NMOS 管的导通数量就越多, 第一反相器 11 的上拉能力增强且下拉能力增强, 第一反相器 11 输出的振荡信号的频率增大; 相应地, 第三 PMOS 组 111 中 PMOS 管的导通数量越少, 第三 NMOS 组 112 中 NMOS 管的导通数量就减少, 第一反相器 11 的上拉能力减弱且下拉能力减弱, 第一反相器 11 输出的振荡信号的频率减小。

[0045] 此外, 第一反相器 11 具有用于保证第二 PMOS MPI0 处于工作状态的初始 PMOS 管 MPIs, 以及用于保证第二 NMOS MNIO 处于工作状态的初始 NMOS 管 MNIs。

[0046] 在一些实施例中, 第二反相器 12 的第一传输速度可调。其中, 通过调节第二反相器 12 的上拉能力和/或下拉能力来实现第二反相器 12 的第一传输速度可调。

[0047] 其中, 当第二反相器 12 的上拉能力增强时第二反相器 12 的下拉能力增强; 当第二反相器 12 的上拉能力减弱时, 第二反相器 12 的下拉能力减弱。

[0048] 示例性地, 参考图 5, 第二反相器 12 包括: 第五 PMOS 组 121, 包括 L 个 PMOS (MPL1、MPL2...MPLn), L 个 PMOS 的源极均连接于电源端 Vcc; 第五 NMOS 组 122, 包括 L 个 NMOS (MNL1、MNL2...MNLn), L 个 NMOS

的源极连接于接地端 V_{ss} ；第四 PMOSMPL0，其源极连接 L 个 PMOS 的漏极；第四 NMOSMNL0，其源极连接 L 个 NMOS 的漏极；第四 PMOS MPL0 的漏极与第四 NMOS MNL0 的漏极连接，作为第二反相器 12 的输出端；第四 PMOS MPL0 的栅极与第四 NMOS MNL0 的栅极连接，作为第二反相器 12 的输入端；
5 L 个 PMOS 管的栅极由第二反调节编码组（enb21、enb22...enb2n）控制，L 个 NMOS 的栅极由第二正调节编码组（en21、en22...en2n）控制；通过改变第二反调节编码组和/或第二正调节编码组实现第一传输速度可调。

[0049] 在一些实施例中，可通过控制第二反调节编码组的参数控制第五 PMOS 组 121 中 PMOS 管的导通数量，从而调整第二反相器 12 的上拉能力；和/或，
10 通过控制第二正调节编码组的参数控制第五 NMOS 组 122 中 NMOS 管的导通数量，从而调整第二反相器 12 的下拉能力。

[0050] 需要说明的是，第二反调节编码组与第二正调节编码组的电位相反。当第二正调节编码 en21 为高电平时，第二反调节编码 enb21 为低电平，此时第五 PMOS 组 121 中第一 PMOS 管 MPL1 导通，第五 NMOS 组 122 中第一 NMOS
15 管 MNL1 导通；相应地，当第二正调节编码 en21 为低电平时，第二反调节编码 enb21 为高电平，此时第五 PMOS 组 121 中第一 PMOS 管 MPL1 关断，第五 NMOS 组 122 中第一 NMOS 管 MNL1 关断。

[0051] 也就是说，第五 PMOS 组 121 中 PMOS 管的导通数量越多，第五 NMOS 组 122 中 NMOS 管的导通数量就越多，第二反相器 12 的上拉能力增强且下拉能力增强，第二反相器 12 输出的振荡信号的频率增大；相应地，第五 PMOS 组
20 121 中 PMOS 管的导通数量越少，第五 NMOS 组 122 中 NMOS 管的导通数量就越少，第二反相器 12 的上拉能力减弱且下拉能力减弱，第二反相器 12 输出的振荡信号的频率减小。

[0052] 此外，第二反相器 12 具有用于保证第四 PMOS MPL0 处于工作状态的初始 PMOS 管 MPLs，以及用于保证第四 NMOS MNL0 处于工作状态的初始 NMOS
25 管 MNLs。

[0053] 在一些实施例中，参考图 6，第一反相器 11 包括多个第一子反相器 113，多个第一子反相器 113 的输入端均电连接，多个第一子反相器 113 的输出端均电连接。如此，有利于控制振荡器版图设计中其他元件与第一子反相器 113 之

间的连线长度相近或相等，使得振荡器版图具有较好地对称平衡性，从而使得版图中振荡器的每个关键节点有较高的负载匹配度，进而使得每一级反相器的延迟相等；此外，还有利于使得其他元件与第一子反相器 113 之间的连线长度较短，从而减小连线的寄生电阻和寄生电容，使得振荡器具有良好性能。

- 5 [0054] 其中，第一子反相器 113 的数量是偶数，如此，有利于更好地进行版图的对称平衡设计。

[0055] 在一些实施例中，参考图 7，第二反相器 12 包括多个第二子反相器 123，多个第二子反相器 123 的输入端均电连接，多个第二子反相器 123 的输出端均电连接。如此，有利于提高振荡器版图的对称平衡性。

- 10 [0056] 其中，第二子反相器 123 的数量与第一子反相器 113 的数量相等。如此，有利于提高振荡器版图的对称平衡性，进而获得性能更好的振荡器。

[0057] 参考图 4、图 5、图 6 和图 7，第一反相器 11 和第二反相器 12 可以设置成相同结构和尺寸，然后通过第一反调节编码组和/或第二正调节编码组、第二反调节编码组和/或第二正调节编码组实现传输速率的不同。

- 15 [0058] 在一些实施例中，相对于仅通过第一环形拓扑结构传播振荡信号，第二环形拓扑结构的设置可增加电连接节点的振荡信号在单位时间内的反相次数，从而获取高速振荡信号。

- [0059] 相应地，本申请实施例还提供一种时钟产生电路，包括上述任一实施例提供的振荡器。图 8 为本申请实施例提供的时钟产生电路的结构示意图。以下
20 将结合附图对时钟产生电路进行详细说明，与前述实施例相同或者相应的部分，可参考前述实施例的描述，以下将不做赘述。

[0060] 参考图 8，时钟产生电路包括：振荡器 20；频率调节模块 21，与振荡器 20 连接，用于调节振荡器 20 的频率。

- [0061] 其中，频率调节模块 21 通过调节第一传输速度和/或第二传输速度来调节
25 振荡器 20 的振荡信号的频率。

[0062] 可以理解的是，频率调节模块 21 可通过调节第一传输速度和第二传输速度来调节振荡器 20 的振荡信号的频率。频率调节模块 21 调节第一反相器 11 的第一传输速度以及第二反相器 12 的第二传输速度来调节振荡器 20 的振荡信号

的频率，或者，频率调节模块 21 也可通过调节第一传输速度或者第二传输速度中的一者来调节振荡器的振荡信号的频率，相应的，频率调节模块 21 调节第一反相器 11 的第一传输速度来调节振荡器 20 的振荡信号的频率，或者，频率调节模块 21 调节第二反相器 12 的第二传输速度来调节振荡器 20 的振荡信号的频率。

[0063] 在一些实施例中，以频率调节模块 21 既调节第一传输速度又调节第二传输速度作为示例。其中，频率调节模块 21 与第一反相器 11 和第二反相器 12 连接，频率调节模块 21 可通过调整第一反调节编码组改变第一反相器 11 的上拉能力，以及通过调整第一正调节编码组改变第一反相器 11 的下拉能力，从而调节第一反相器 11 的第一传输速度，进而调节振荡器 20 振荡信号的频率。相应地，频率调节模块 21 可通过调整第二反调节编码组改变第二反相器 12 的上拉能力，以及通过调整第二正调节编码组改变第二反相器 12 的下拉能力，从而调节第二反相器 12 的第二传输速度，进而调节振荡器 20 振荡信号的频率。

[0064] 在其他实施例中，频率调节模块可与第一反相器或第二反相器连接，且可仅改变第一反相器的上拉能力或下拉能力，或者，仅改变第二反相器的上拉能力或下拉能力。

[0065] 在一些实施例中，时钟产生电路还包括占空比调节模块 22，与振荡器 20 连接，用于调节振荡信号的占空比。其中，振荡器 20 包括缓冲反相器 14，缓冲反相器 14 用于接收振荡信号并输出时钟信号，占空比调节模块 22 与缓冲反相器 14 连接，占空比调节模块 22 通过调节占空比调节编码组的参数调节缓冲反相器 14 的上拉能力和下拉能力，使得缓冲反相器 14 的上拉能力和下拉能力朝不同的区域变动，从而实现调节时钟信号占空比的效果。

[0066] 在其他实施例中，占空比调节模块还可以与第一反相器和/或第二反相器连接，调节第一反相器和/或第二反相器输出的振荡信号的占空比，从而使得振荡器输出的振荡信号具有满足预设占空比要求。

[0067] 在一些实施例中，时钟产生电路能够降低时钟负载对高速时钟信号的频率和占空比的影响，从而输出满足预设频率要求和预设占空比要求的时钟信号。

[0068] 本领域的普通技术人员可以理解，上述各实施方式是实现本申请的具体实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离

本申请的精神和范围。任何本领域技术人员，在不脱离本申请的精神和范围内，均可作各自更动与修改，因此本申请的保护范围应当以权利要求限定的范围为准。

权 利 要 求 书

1. 一种振荡器，包括：

第一环形拓扑结构，由多个第一反相器首尾相连，以第一传输速度传播振荡信号；

5 第二环形拓扑结构，由多个第二反相器首尾相连，以第二传输速度传播所述振荡信号；

其中，所述第一环形拓扑结构与所述第二环形拓扑结构电连接，所述第二传输速度小于所述第一传输速度。

10 2. 如权利要求 1 所述的振荡器，其中，所述第一反相器的个数为 N 个，所述 N 为大于等于 4 的整数。3. 如权利要求 2 所述的振荡器，其中，所述第二反相器的个数为 M 个，所述 M 为大于等于 2 的整数。15 4. 如权利要求 3 所述的振荡器，其中，记每一个所述第一反相器的输入端为一个第一节点，所述第一环形拓扑结构具有 N 个所述第一节点；记每一个所述第二反相器的输入端为一个第二节点，所述第二环形拓扑结构具有 M 个所述第二节点；至少有两个所述第二节点与对应个数的所述第一节点电连接。

5. 如权利要求 4 所述的振荡器，其中，所述第二传输速度大于等于 0.5 倍的所述第一传输速度。

6. 如权利要求 1 所述的振荡器，还包括：

20 第三环形拓扑结构，由多个第三反相器首尾相连，以第三传输速度传输所述振荡信号，所述第一环形拓扑结构与所述第三环形拓扑结构电连接，所述第三传输速度小于等于所述第一传输速度。

25 7. 如权利要求 6 所述的振荡器，其中，所述第一反相器的个数为 U 个，所述 U 为大于等于 4 的整数；所述第二反相器的个数为 V 个，所述 V 为大于等于 2 的整数；所述第三反相器的个数为 W 个，所述 W 为大于等于 2 的整数。8. 如权利要求 7 所述的振荡器，其中，记每一个所述第一反相器的输入端为一个第一节点，所述第一环形拓扑结构具有 U 个所述第一节点；记每一个所述

第二反相器的输入端为一个第二节点，所述第二环形拓扑结构具有 V 个所述第二节点；记每一个所述第三反相器的输入端为一个第三节点，所述第三环形拓扑结构具有 W 个所述第三节点；至少有两个所述第二节点与对应个数的所述第一节点电连接，至少有两个所述第三节点与对应个数的所述第一节点电连接。

9. 如权利要求 8 所述的振荡器，其中，所述第二传输速度小于所述第一传输速度，且所述第二传输速度大于等于 0.5 倍的所述第一传输速度；所述第三传输速度等于所述第二传输速度。

10. 如权利要求 1 所述的振荡器，还包括：

缓冲反相器，所述缓冲反相器的输入端接收所述振荡信号，所述缓冲反相器的输出端输出时钟信号。

11. 如权利要求 10 所述的振荡器，其中，所述缓冲反相器的传输速度可调。

12. 如权利要求 11 所述的振荡器，其中，通过调节所述缓冲反相器的上拉能力和/或下拉能力来实现所述缓冲反相器的传输速度可调。

13. 如权利要求 12 所述的振荡器，其中，当所述缓冲反相器的上拉能力增强时，所述缓冲反相器的下拉能力减弱；当所述缓冲反相器的上拉能力减弱时，所述缓冲反相器的下拉能力增强。

14. 如权利要求 12 所述的振荡器，其中，所述缓冲反相器包括：

第一 PMOS 组，包括 H 个 PMOS，所述 H 个 PMOS 的源极均连接于电源端；

第一 NMOS 组，包括 H 个 NMOS，所述 H 个 NMOS 的源极均连接于接地端；

第零 PMOS，其源极连接所述 H 个 PMOS 的漏极；

第零 NMOS，其源极连接所述 H 个 NMOS 的漏极；

所述第零 PMOS 的漏极与所述第零 NMOS 的漏极连接，作为所述缓冲反相器的输出端；

所述第零 PMOS 的栅极与所述第零 NMOS 的栅极连接，作为所述缓冲反相器的输入端；

所述 H 个 PMOS 的栅极和所述 H 个 NMOS 的栅极均由一占空比调节编码组

控制。

15.如权利要求 1 所述的振荡器，其中，所述第一传输速度可调。

16.如权利要求 15 所述的振荡器，其中，通过调节所述第一反相器的上拉能力和/或下拉能力来实现所述第一传输速度可调。

5 17.如权利要求 15 所述的振荡器，其中，当所述第一反相器的上拉能力增强时，所述第一反相器的下拉能力增强；当所述第一反相器的上拉能力减弱时，所述第一反相器的下拉能力减弱。

18.如权利要求 17 所述的振荡器，其中，所述第一反相器包括：

第三 PMOS 组，包括 I 个 PMOS，所述 I 个 PMOS 的源极均连接于电源端；

10 第三 NMOS 组，包括 I 个 NMOS，所述 I 个 NMOS 的源极均连接于接地端；

第二 PMOS，其源极连接所述 I 个 PMOS 的源极；

第二 NMOS，其源极连接所述 I 个 NMOS 的漏极；

所述第二 PMOS 的漏极与所述第二 NMOS 的漏极连接，作为所述第一反相器的输出端；

15 所述第二 PMOS 的栅极与所述第二 NMOS 的栅极连接，作为所述第一反相器的输入端；

所述 I 个 PMOS 管的栅极由第一反调节编码组控制，所述 I 个 NMOS 的栅极由第一正调节编码组控制；

20 通过改变所述第一反调节编码组和/或所述第一正调节编码组实现所述第一传输速度可调。

19.如权利要求 1 所述的振荡器，其中，所述第二传输速度可调。

20.如权利要求 19 所述的振荡器，其中，通过调节所述第二反相器的上拉能力和/或下拉能力来实现所述第二传输速度可调。

25 21.如权利要求 20 所述的振荡器，其中，当所述第二反相器的上拉能力增强时，所述第二反相器的下拉能力增强；当所述第二反相器的上拉能力减弱时，所述第二反相器的下拉能力减弱。

22.如权利要求 21 所述的振荡器,其中,所述第二反相器包括:

第五 PMOS 组,包括 L 个 PMOS,所述 L 个 PMOS 的源极均连接于电源端;

第五 NMOS 组,包括 L 个 NMOS,所述 L 个 NMOS 的源极均连接于接地端;

第四 PMOS,其源极连接所述 L 个 PMOS 的漏极;

5 第四 NMOS,其源极连接所述 L 个 NMOS 的漏极;

所述第四 PMOS 的漏极与所述第四 NMOS 的漏极连接,作为所述第二反相器的输出端;

所述第四 PMOS 的栅极与所述第四 NMOS 的栅极连接,作为所述第二反相器的输入端;

10 所述 L 个 PMOS 的栅极由第二反调节编码组控制,所述 L 个 NMOS 的栅极由第二正调节编码组控制;

通过改变所述第二反调节编码组和/或所述第二正调节编码组实现所述第二传输速度可调。

23.如权利要求 1 所述的振荡器,其中,所述第一反相器包括多个第一子反相器,

15 多个所述第一子反相器的输入端均电连接,多个所述第一子反相器的输出端均电连接。

24.如权利要求 1 所述的振荡器,其中,所述第二反相器包括多个第二子反相器,

多个所述第二子反相器的输入端均电连接,多个所述第二子反相器的输出端均电连接。

20 25.一种时钟产生电路,包括:

如权利要求 1 至 24 中任一项所述的振荡器;

频率调节模块,与所述振荡器连接,用于调节所述振荡器的频率。

26.如权利要求 25 所述的时钟产生电路,其中,所述频率调节模块通过调节所述第一传输速度和/或所述第二传输速度来调节所述振荡器的振荡信号的频率。

25 27.如权利要求 25 所述的时钟产生电路,其中,所述频率调节模块调节所述第一反相器的所述第一传输速度和/或所述第二反相器的所述第二传输速度来调节所述振荡器的振荡信号的频率。

- 28.如权利要求 25 所述的时钟产生电路,还包括: 占空比调节模块,与所述振荡器连接,用于调节所述振荡信号的占空比。

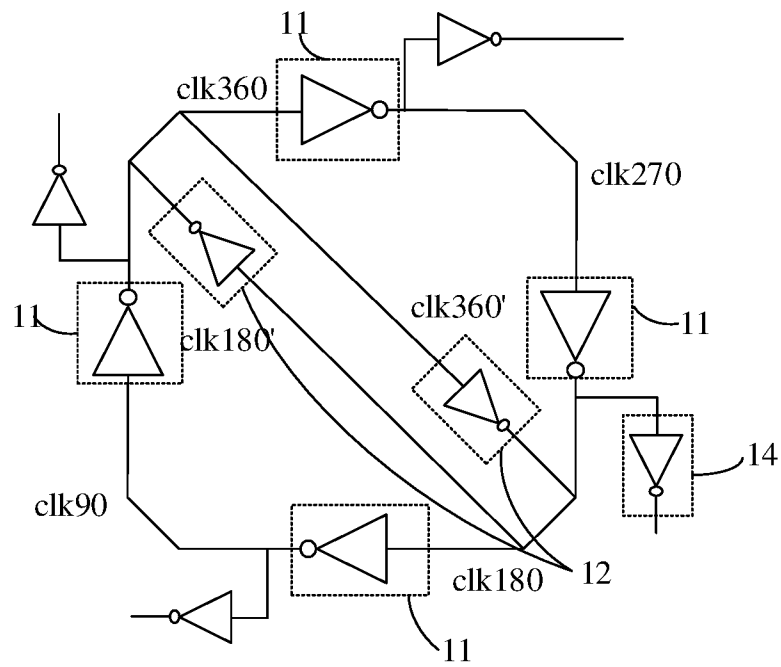


图 1

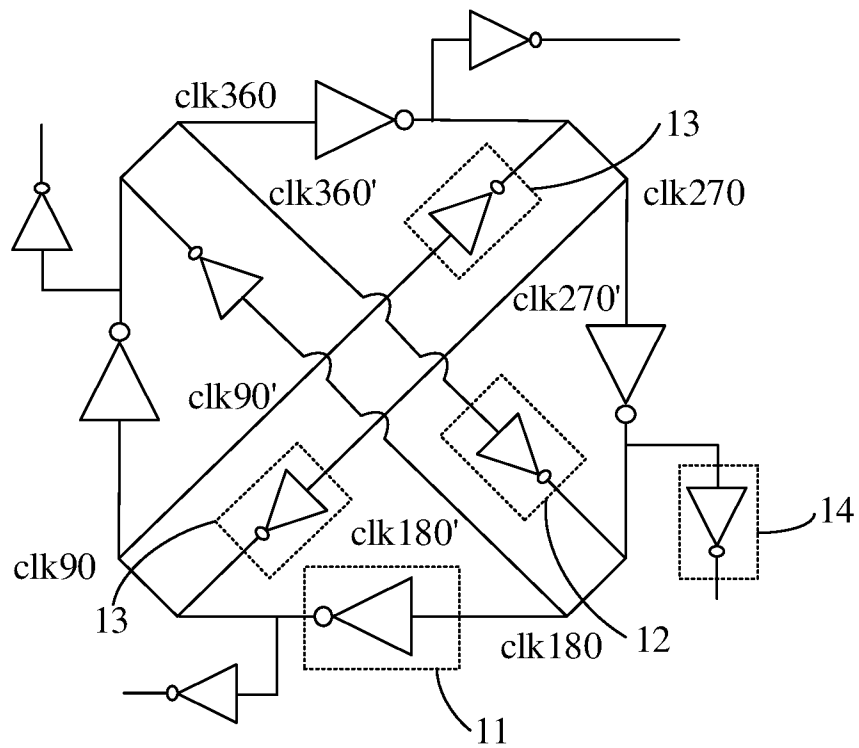


图 2

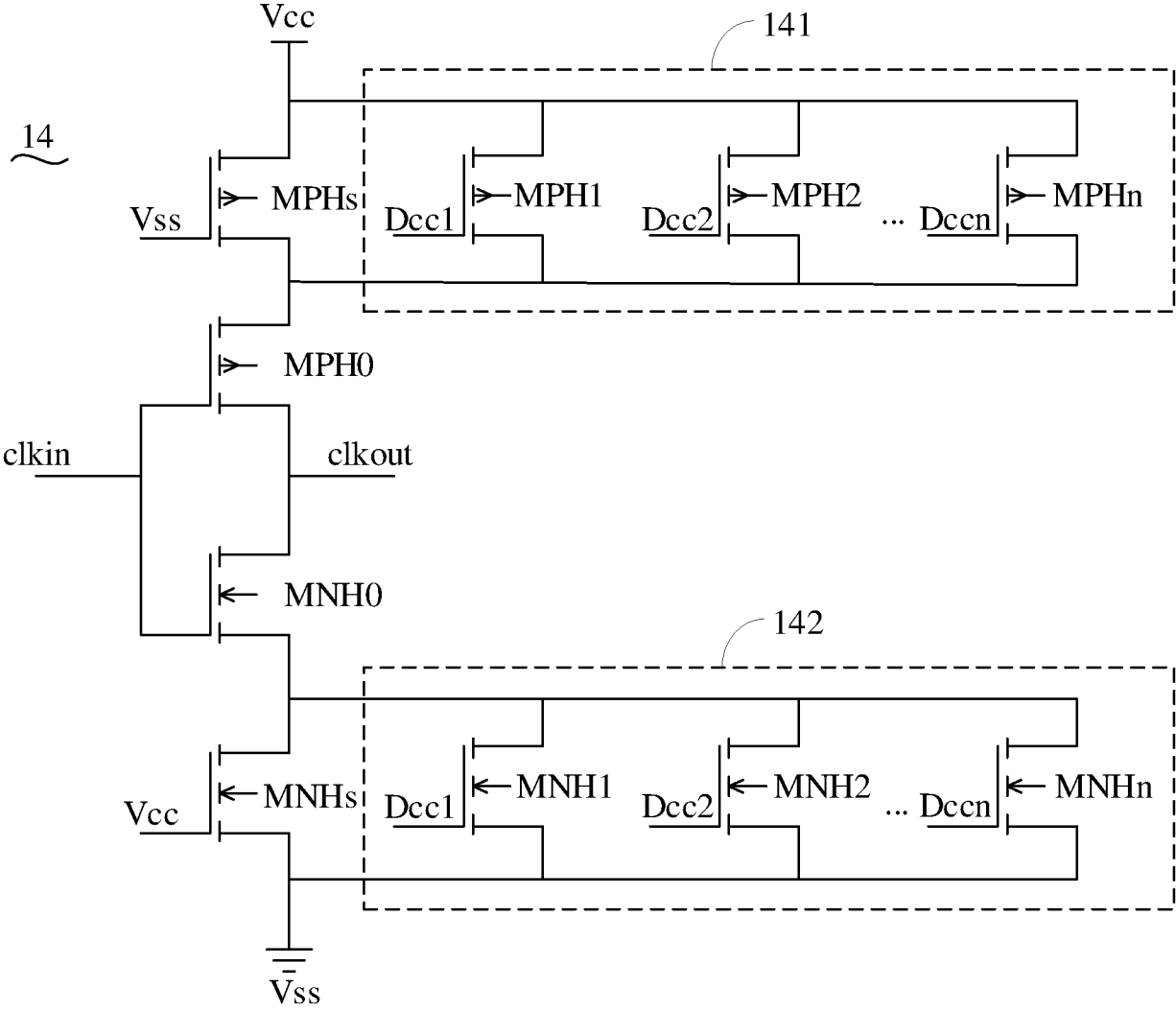


图 3

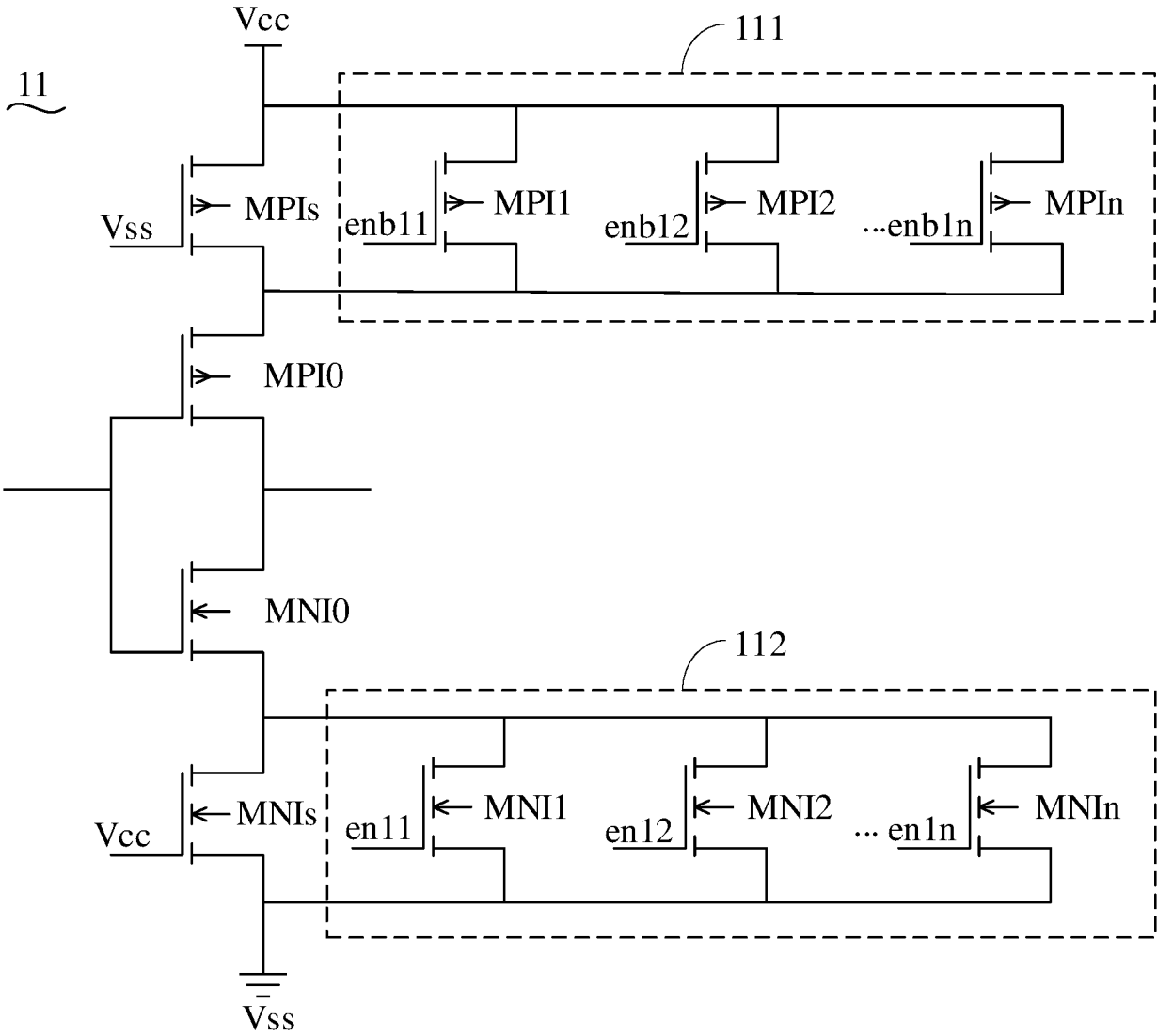


图 4

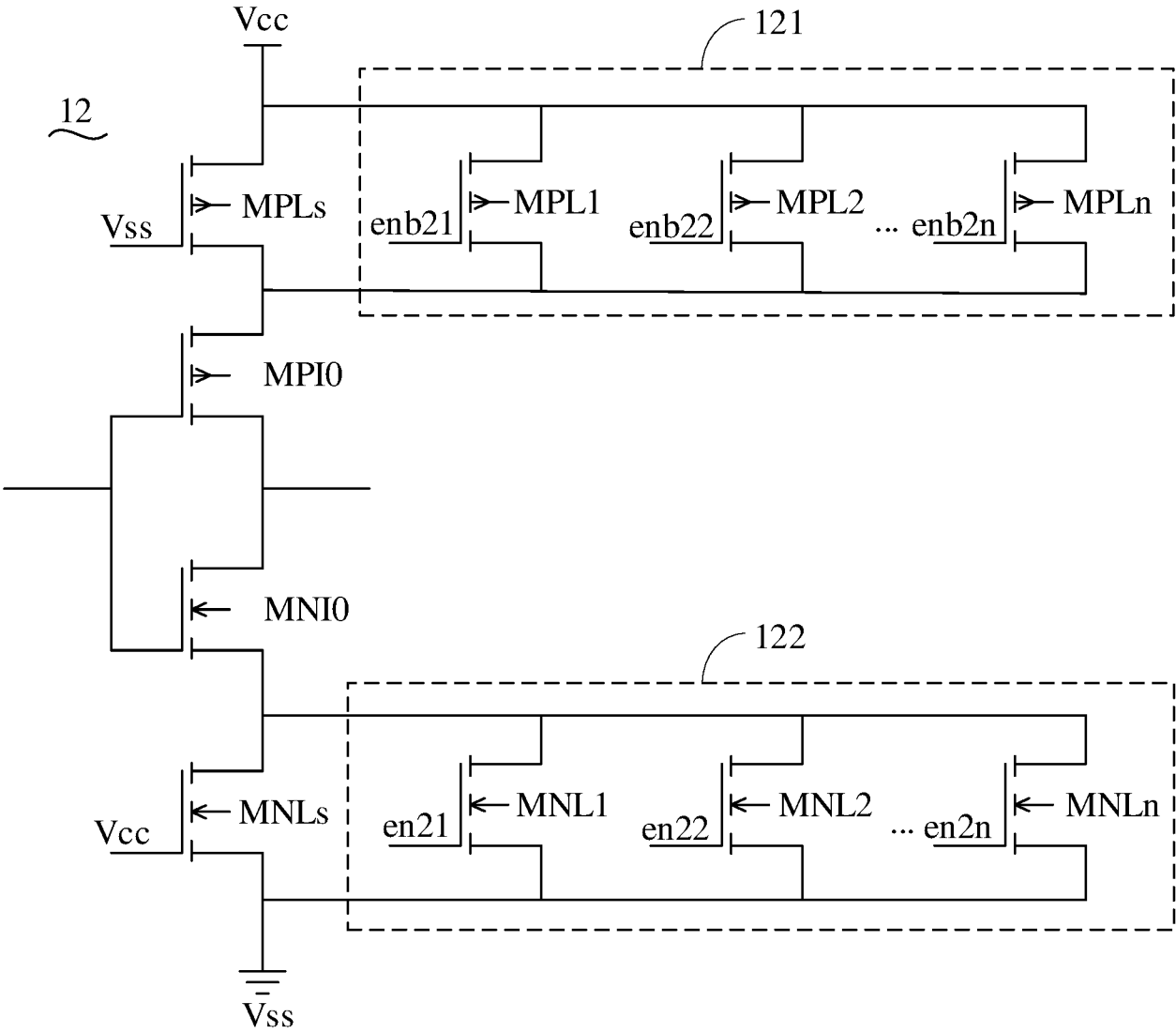


图 5

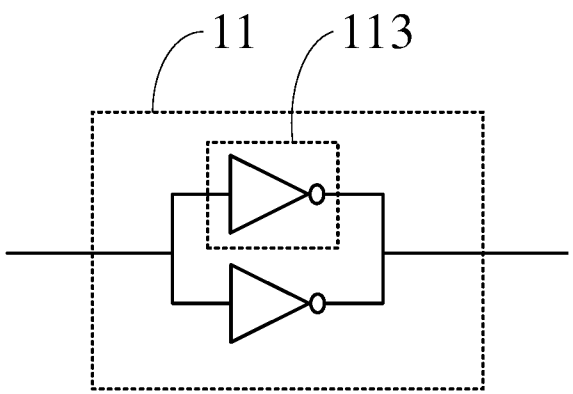


图 6

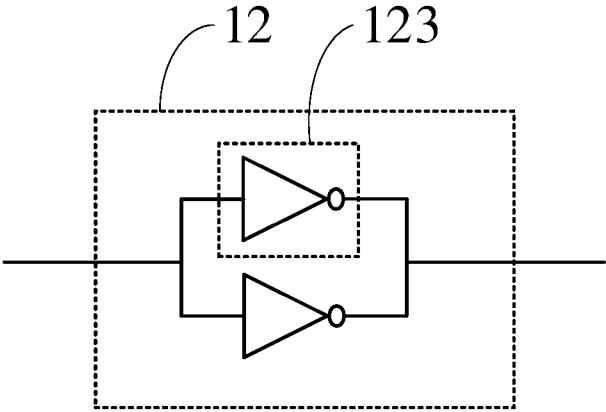


图 7

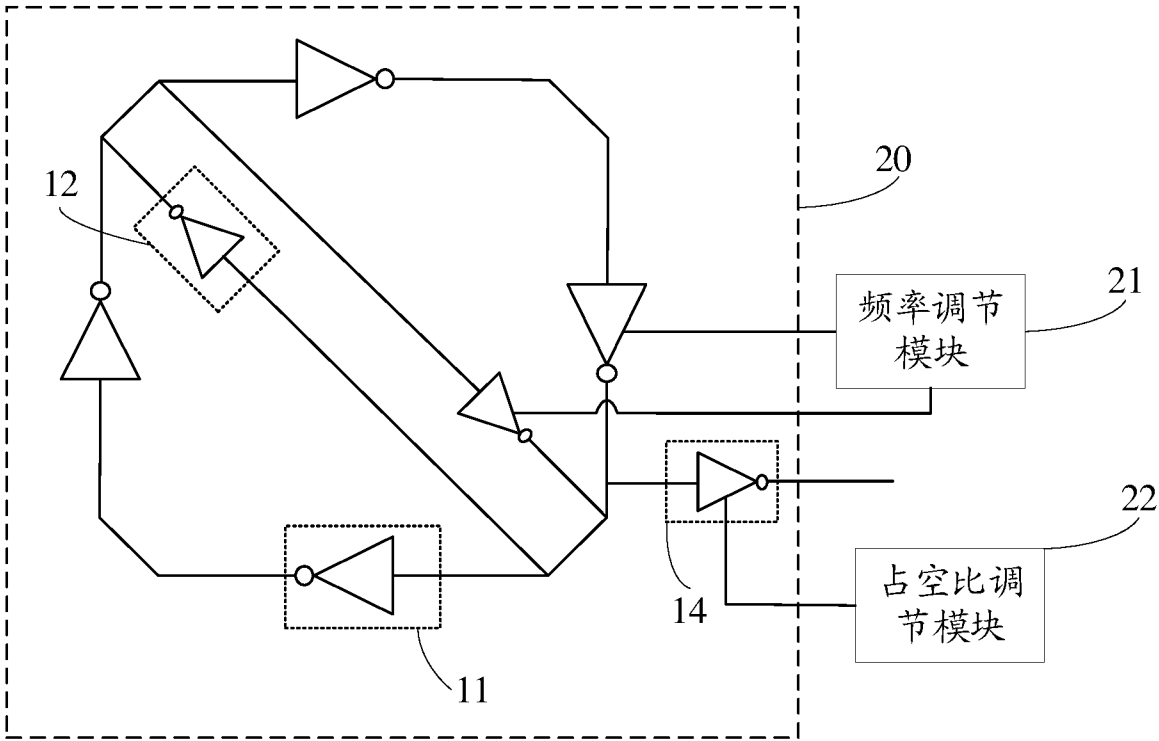


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/118858

A. CLASSIFICATION OF SUBJECT MATTER

H03L 7/099(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; SIPOABS; DWPI; CNKI; IEEE; 环形; 震荡器; 振荡器; 反相器; 频率; 周期; ring; loop; oscillator; inverter; frequency; period

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 1956329 A (SAMSUNG ELECTRONICS CO., LTD.) 02 May 2007 (2007-05-02) description page 8 line 1n- page 12 line 16, figures 5A-6B	1-13, 15-17, 19-21, 23-28
Y	CN 1956329 A (SAMSUNG ELECTRONICS CO., LTD.) 02 May 2007 (2007-05-02) description page 8 line 1 - page 12 line 16, figures 5A-6B	14, 18, 22
X	US 2012075025 A1 (SONY CORP.) 29 March 2012 (2012-03-29) description paragraphs 71-163, figures 1, 12	1-13, 15-17, 19-21, 23-28
Y	US 2012075025 A1 (SONY CORP.) 29 March 2012 (2012-03-29) description paragraphs 71-163, figures 1, 12	14, 18, 22
X	CN 205385473 U (SHENZHEN UNIVERSITY) 13 July 2016 (2016-07-13) description paragraphs 30-47, figure 3	1-13, 15-17, 19-21, 23-28
Y	CN 205385473 U (SHENZHEN UNIVERSITY) 13 July 2016 (2016-07-13) description paragraphs 30-47, figure 3	14, 18, 22
Y	周生明 (ZHOU, Shengming). "《基于ZENI的集成电路设计与实现技术》("Design and Implementation of Integrated Circuit Based on ZENI")" 西安电子科技大学出版社 (Xidian University Press), 31 October 2013 (2013-10-31), p. 169, and figures 8-50	14, 18, 22



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

08 November 2021

Date of mailing of the international search report

02 December 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/118858

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2007018737 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION et al.) 25 January 2007 (2007-01-25) entire document	1-28

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/118858

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	1956329	A	02 May 2007	KR	20070045049	A	02 May 2007
				US	2007090867	A1	26 April 2007
				KR	100714892	B1	04 May 2007
				TW	200733567	A	01 September 2007
				DE	102006051292	A1	06 June 2007
				JP	2007124660	A	17 May 2007
US	2012075025	A1	29 March 2012	JP	2007274431	A	18 October 2007
				US	2007241826	A1	18 October 2007
				KR	20070098612	A	05 October 2007
				US	8154352	B2	10 April 2012
CN	205385473	U	13 July 2016	None			
US	2007018737	A1	25 January 2007	US	7321269	B2	22 January 2008
				US	2008024233	A1	31 January 2008

国际检索报告

国际申请号

PCT/CN2021/118858

A. 主题的分类

H03L 7/099 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

H03L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNABS; CNTXT; SIPOABS; DWPI; CNKI; IEEE; 环形; 震荡器; 振荡器; 反相器; 频率; 周期; ring; loop; oscillator; inverter; frequency; period

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 1956329 A (三星电子株式会社) 2007年 5月 2日 (2007 - 05 - 02) 说明书第8页第1行-第12页第16行, 图5A-6B	1-13、15-17、 19-21、23-28
Y	CN 1956329 A (三星电子株式会社) 2007年 5月 2日 (2007 - 05 - 02) 说明书第8页第1行-第12页第16行, 图5A-6B	14、18、22
X	US 2012075025 A1 (SONY CORP) 2012年 3月 29日 (2012 - 03 - 29) 说明书第71-163段, 图1、12	1-13、15-17、 19-21、23-28
Y	US 2012075025 A1 (SONY CORP) 2012年 3月 29日 (2012 - 03 - 29) 说明书第71-163段, 图1、12	14、18、22
X	CN 205385473 U (深圳大学) 2016年 7月 13日 (2016 - 07 - 13) 说明书第30-47段, 图3	1-13、15-17、 19-21、23-28
Y	CN 205385473 U (深圳大学) 2016年 7月 13日 (2016 - 07 - 13) 说明书第30-47段, 图3	14、18、22
Y	周生明. "《基于ZENI的集成电路设计与实现技术》" 西安电子科技大学出版社, 2013年 10月 31日 (2013 - 10 - 31), 第169页, 图8-50	14、18、22

☒ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年 11月 8日

国际检索报告邮寄日期

2021年 12月 2日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国 北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

刘飞

电话号码 (86-27) 59371850

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2007018737 A1 (IBM CORP ET-AL) 2007年 1月 25日 (2007 - 01 - 25) 全文	1-28

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/118858

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	1956329	A	2007年 5月 2日	KR	20070045049	A	2007年 5月 2日
				US	2007090867	A1	2007年 4月 26日
				KR	100714892	B1	2007年 5月 4日
				TW	200733567	A	2007年 9月 1日
				DE	102006051292	A1	2007年 6月 6日
				JP	2007124660	A	2007年 5月 17日
US	2012075025	A1	2012年 3月 29日	JP	2007274431	A	2007年 10月 18日
				US	2007241826	A1	2007年 10月 18日
				KR	20070098612	A	2007年 10月 5日
				US	8154352	B2	2012年 4月 10日
CN	205385473	U	2016年 7月 13日	无			
US	2007018737	A1	2007年 1月 25日	US	7321269	B2	2008年 1月 22日
				US	2008024233	A1	2008年 1月 31日