



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

242049

(11)

(B1)

[22] Přihlášeno 21 12 84
[21] [PV 10 248-84]

[40] Zveřejněno 22 08 85

[45] Vydáno 15 09 87

[51] Int. Cl.⁴
G 06 F 13/14

[75]

Autor vynálezu

GOLAN PETR ing. CSc.; KVASILOVÁ HELENA ing.;
PARKANOVÁ MARIE ing.; ŠMILAUER BOHDAN ing., PRAHA

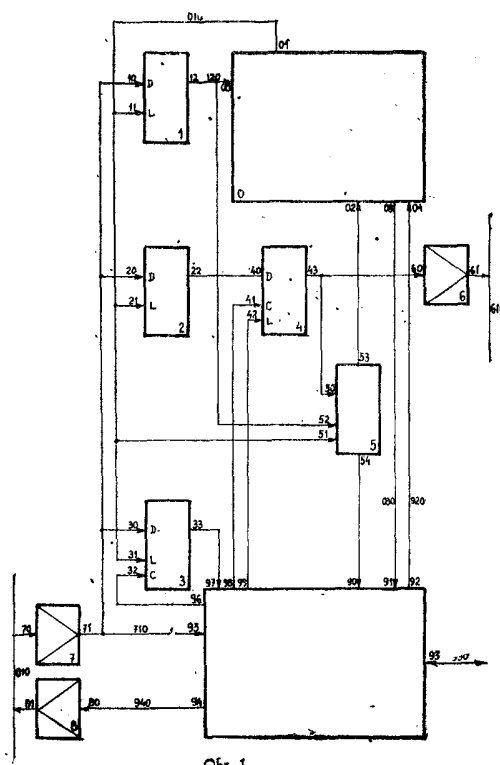
(54) Zapojení externích registrů řídicího slova kanálu pro ovládání bloku přenosu dat

1

Zapojení externích registrů, které ovládají průběh přenosu dat mezi přídatnými zařízeními a počítačem. Zapojení je uspořádáno tak, že se při čtení části řídicího slova kanálu během řetězení příkazů registr příkazu a příznaků, registr adresy hlavní paměti a čítací registr počtu dat plní nezávisle na nahrávání těchto údajů do pracovního zápisníku bloku mikroprogramového řízení. Obsah registru příkazu a příznaků, formát a sekvence řídicích slov kanálu jsou přímo testovatelné mikroprogramem.

Zapojení může být uplatněno především v počítačích, které mají specializované procesory pro připojování rychlých přídatných zařízení, jako například selektorový nebo blokmultiplexní kanál pro univerzální připojování rychlých přídatných zařízení nebo specializovaný procesor pro připojení magnetických diskových pamětí.

2



Vynález se týká zapojení externích registrů pro pamatování řídicího slova kanálu, které ovládají průběh přenosu dat mezi počítačem a přidavnými zařízeními, a to zejména u počítačů, které mají zvláštní procesor pro přenos dat mezi přidavnými zařízeními a hlavní pamětí počítače. Vynález je vhodný zejména pro takové procesory přenosu dat, které obsluhují rychlá přidavná zařízení, jako například magnetické diskové paměti, kde vysoká rychlost toku dat vyžaduje hardwarový blok pro přenos dat s přímým přístupem do hlavní paměti počítače. Rychlost přenosu dat je totiž tak velká, že na zpracování dalšího řídicího slova kanálu při takzvaném řetězení příkazů v mezeře mezi dvěma záznamy na magnetickém disku zbývá velmi málo času na provedení všech kontrol a ostatních akcí souvisejících s přebíráním řídicího slova kanálu.

Dosud používaná zapojení procesorů pro přenos dat mezi hlavní pamětí a přidavnými zařízeními, které vyžadují vysokou rychlost řetězení příkazů, byla řešena vysokou rychlostí mikroprogramového řízení přenosového procesoru tak, aby následující řetězení řídicí slovo kanálu bylo rychle přečteno z hlavní paměti počítače a mikroprogramem zkontrolováno, dekodováno a jeho adresová a čítačová část přenesena do ovládacích registrů hardwarového bloku přenosu dat. Pro magnetické diskové paměti, které přenášejí data rychlostí 806 KB/s a více, je v mezeře mezi záznamy nejvýše 40 mikrosekund času na mikroprogramové zpracování řídicího slova kanálu. Cyklus mikroinstrukce musí být proto kratší než 250 nanosekund. Konstrukce takových procesorů přenosu dat je materiálově a výkonově náročná. Pokud se nepoužije takto rychlý procesor, dochází při náhodném střetu více požadavků na přístup do hlavní paměti, kdy se musí na čtení řetězeného řídicího slova kanálu a hlavní paměti déle čekat, k opožděnému vyslání povelu pro práci nad následujícím záznamem, dojde k podběhu magnetického média a celý řetěz příkazů se musí opakovat znovu. Tím dojde k podstatnému zdržování práce s magnetickými diskovými pamětmi a tudíž k degradaci výkonu celého počítače.

Uvedené nedostatky odstraňuje zapojení externích registrů řídicího slova kanálu pro ovládání bloku přenosu dat podle vynálezu, jehož podstata spočívá v tom, že datová sběrnice mezimodulového styku počítače je připojena k výstupu bloku vysílačů datové sběrnice a ke vstupu bloku přijímačů datové sběrnice a ke vstupu bloku přijímačů datové sběrnice, k němuž je připojen datový vstup registru příkazů a příznaků, datový vstup registru adresy hlavní paměti a vstup dat z hlavní paměti bloku přenosu dat, přičemž registr adresy hlavní paměti je připojen k čítačimu registru adresy hlavní paměti, k němuž je připojen blok vysílačů adresové sběrnice a dekodér, který je připojen

k bloku přenosu dat a k bloku mikroprogramového řízení, přičemž povelový výstup bloku přenosu dat a stavový výstup bloku přenosu dat je připojen k třetímu testovatelnému vstupu bloku mikroprogramového řízení, přičemž blok mikroprogramového řízení je připojen k registru příkazu a příznaků, k registru adresy hlavní paměti a k registru počtu dat.

Zapojení podle vynálezu může být uspořádáno i tak, že datový vstup registru počtu dat je připojen k výstupu bloku přijímačů datové sběrnice.

V jiné variantě zapojení podle vynálezu je datový vstup registru počtu dat připojen k datovému výstupu bloku mikroprogramového řízení.

Zapojení podle vynálezu přináší tu výhodu, že se při čtení části řídicího slova kanálu během řetězení příkazů registr příkazu a příznaků, registr adresy hlavní paměti a čítač registr počtu dat plní nezávisle na nahrávání těchto údajů do pracovního zápisníku bloku mikroprogramového řízení, takže se uspoří čas pro přesun informací ze zásobníku do těchto registrů. Obsah registru příkazu a příznaků, formát a sekvence řídicích slov kanálu jsou přímo testovatelné mikroprogramu, což zrychluje dekodování řídicích slov do kanálu. To vše přispívá k urychlení činnosti mikroprogramu při přenosu dat, čímž se eliminuje nebezpečí vzniku střetů na systémových sběrnicích a tím i nebezpečí podběhu magnetického média, který vyžaduje opakování celého řetězu příkazů.

Na připojeném výkresu, obr. 1, je nakreslen příklad zapojení podle vynálezu, v němž datový vstup **30** čítačím registru **3** počtu dat je připojen k výstupu **71** bloku **7** přijímačů datové sběrnice, na připojeném druhém výkresu, obr. 2, je nakreslen jiný příklad zapojení podle vynálezu, kde datový vstup **30** registru **3** počtu dat je připojen k datovému výstupu **05** bloku **0** mikroprogramového řízení.

Datová sběrnice **810** mezimodulového styku počítače je připojena k výstupu **81** bloku **8** vysílačů datové sběrnice **810** a paralelně k vstupu **70** bloku **7** přijímačů datové sběrnice **810**, jehož výstup **71** je připojen k datovému vstupu **10** registru **1** příkazu a příznaků a paralelně k datovému vstupu **20** registru **2** adresy hlavní paměti a k vstupu **95** dat z hlavní paměti bloku **9** přenosu dat. Výstup **94** dat do hlavní paměti bloku **9** přenosu dat je připojen ke vstupu **80** bloku **8** vysílačů datové sběrnice **810**. Výstup **01** vkládacích impulsů bloku **0** mikroprogramového řízení je připojen skupinovým vodičem **010** vkládacích impulsů k vkládacímu vstupu **11** registru **1** příkazu a příznaků a paralelně k vkládacímu vstupu **21** registru **2** adresy hlavní paměti a k prvnímu řídicímu vstupu **51** dekodéru **5** a k vkládacímu vstupu **31** čítačím registru **3** počtu dat. Čítač

vstup 32 čítacího registru 3 počtu dat je připojen k prvnímu čítacímu výstupu 96 bloku 9 přenosu dat. Druhý čítací výstup 98 výstup 61 je připojen k adresové sběrnici 98 bloku 9 přenosu dat je připojen k čítacímu vstupu 41 čítacího registru 4 adresy hlavní paměti. Vkládací vstup 42 registru 4 adresy hlavní paměti je připojen k prvnímu vkládacímu výstupu 99 bloku 9 přenosu dat.

První testovatelný vstup 00 bloku 0 mikroprogramového řízení je připojen k výstupu 12 registru 1 příkazu a příznaků a paralelně k druhému řídicímu vstupu 52 dekodéru 5. Výstup 22 registru 2 adresy hlavní paměti je připojen k datovému vstupu 40 čítacího registru 4 adresy hlavní paměti. Výstup 33 čítacího registru 3 počtu dat je připojen k prvnímu stavovému vstupu 97 bloku 9 přenosu dat. Výstup 43 čítacího registru 4 adresy hlavní paměti je připojen ke vstupu 50 dekodéru 5 a paralelně ke vstupu 60 bloku 6 vysílačů adresové sběrnice, jehož výstup 61 je připojen k adresové sběrnici 610. První výstup 53 dekodéru 5 je připojen k druhému testovatelnému vstupu 02 bloku 0 mikroprogramového řízení. Druhý výstup 54 dekodéru 5 je připojen k druhému stavovému vstupu 90 bloku 9 přenosu dat. K povelovému vstupu 91 bloku 9 přenosu dat je připojen k povelovému výstupu 03 bloku 0 mikroprogramového řízení. K třetímu testovatelnému vstupu 04 bloku 0 mikroprogramového řízení je připojen stavový výstup 92 bloku 9 přenosu dat, jenž je připojen bránou 93 k datové řídicí sběrnici 930 přídatného zařízení.

Funkce zapojení podle vynálezu je následující. Při čtení jednotlivých částí řídicího slova kanálu z hlavní paměti se informace zapisovaná do zápisníku bloku 0 mikroprogramového řízení současně ukládá do externích registrů. Nejprve se čte operační znak a příznaky řídicího slova kanálu. Informace se přes blok 7 přijímačů datové sběrnice dostává na datový vstup 10 registru 1 příkazu a příznaků a vkládacím impulsem generovaným v bloku 0 mikroprogramového řízení se zapíše do registru 1 příkazu a příznaků. Výstup 12 registru 1 příkazu a příznaků je pak přiveden na testovatelný vstup 00 bloku 0 mikroprogramového řízení a druhý řídicí vstup 52 dekodéru 5. V bloku 0 mikroprogramového řízení se testuje správnost přijatého příkazu a příznak nepřímé adresace dat, podle kterého dochází k větvení mikroprogramu.

Při bezchybném příkazu se pokračuje načtením další části řídicího slova kanálu, kterou tvoří adresa hlavní paměti. Adresa hlavní paměti se přes blok 7 přijímačů datové sběrnice dostává na datový vstup 20 registru 2 adresy hlavní paměti a vkládacím impulsem generovaným v bloku 0 mikroprogramového řízení se zapíše do registru 2 adresy hlavní paměti. Zápisový puls se současně vede na první řídicí vstup 51 dekodéru 5, kde se při příznaku nepřímé adre-

sace dat uloženém v registru 1 příkazu a příznaků vyhodnotí, zda jde o přenos adresy. Pokud nebyl příznak nepřímé adresy nebo šlo o první přenos adresy při nahozeném příznaku nepřímé adresace dat, vyšle blok 9 přenosu dat vkládací impuls na vstup 42 čítacího registru 4 adresy hlavní paměti, kterým se adresa přesune z registru 2 adresy hlavní paměti. Pokud byl příznak nepřímé adresy a nejednalo se o přenos první adresy, vkládací impuls se z bloku 9 přenosu dat na vstup 42 čítacího registru 4 adresy hlavní paměti nevyšle a k přesunu adresy do čítacího registru 4 adresy hlavní paměti nedojde.

Následuje přenos poslední části řídicího slova kanálu, kterou tvoří údaj o počtu dat přenášených mezi hlavní pamětí a přídatným zařízením. Údaj o počtu přenášených dat se přes blok 7 přijímačů datové sběrnice dostává na vstup 30 čítacího registru 3 počtu dat a vkládacím impulsem generovaným v bloku 0 mikroprogramového řízení se zapíše do čítacího registru 3 počtu dat.

Tím jsou vytvořeny nezbytné předpoklady pro zahájení přenosu dat. Tento přenos je spuštěn povelom vyslaným do bloku 9 přenosu dat z bloku 0 mikroprogramového řízení. Vlastní přenos dat mezi hlavní pamětí a přídatným zařízením je pak již ovládnut blokem 9 přenosu dat. Tento blok vyhodnocuje stav čítacího registru 3 a dekrementuje jeho stav a každou přenesenou slabikou tím, že na čítací vstup 32 čítacího registru 3 vysílá čítací impulsy.

Současně blok 9 přenosu dat vyhodnocuje pomocí dekodéru 5 stav čítacího registru 4 adresy hlavní paměti a v souladu s daty vysílanými na datovou sběrnici 810 mezimodulového styku inkrementuje stav tohoto registru, jehož obsah je vysílán na adresovou sběrnici 610.

Při nahozeném příznaku nepřímé adresace dat v registru 1 příkazu a příznaků připraví blok 0 mikroprogramového řízení adresu nové stránky dat do registru 2 adresy hlavní paměti na základě informace z dekodéru 5 na druhém testovatelném vstupu 02 bloku 0 mikroprogramového řízení. Při dočítání čítacího registru 4 adresy hlavní paměti na konec stránky je tento stav rozpoznán dekodérem 5 a ohlášen do bloku 9 přenosu dat, který vysláním vkládacího impulsu na vstup 42 čítacího registru 4 adresy hlavní paměti zajistí přesun adresy nové stránky z registru 2 adresy hlavní paměti, takže přenos dat může plynule pokračovat.

Přenos dat je ukončen blokem 9 přenosu dat v okamžiku, kdy byl přenesen požadovaný počet slabik, to znamená tehdy, když čítací registr 3 počtu dat dočítá do samých nul. O skončení přenosu se z bloku 9 přenosu dat vyšle ze stavového výstupu 92 hlá-

šení do bloku 0 mikroprogramového řízení 0.

Zapojení podle vynálezu lze použít i v modifikované verzi, kdy do čítecího registru 3 počtu dat se nekládá informace z datové sběrnice 810, ale z datového výstupu 05 bloku 0 mikroprogramového řízení.

Zapojení podle vynálezu je vhodné pře-

devším v počítačích, které mají specializované procesory pro připojování rychlých přídavných zařízení, jako například selektorový nebo blokmultiplexní kanál pro univerzální připojování rychlých přídavných zařízení nebo například specializovaný procesor pro připojení magnetických diskových pamětí.

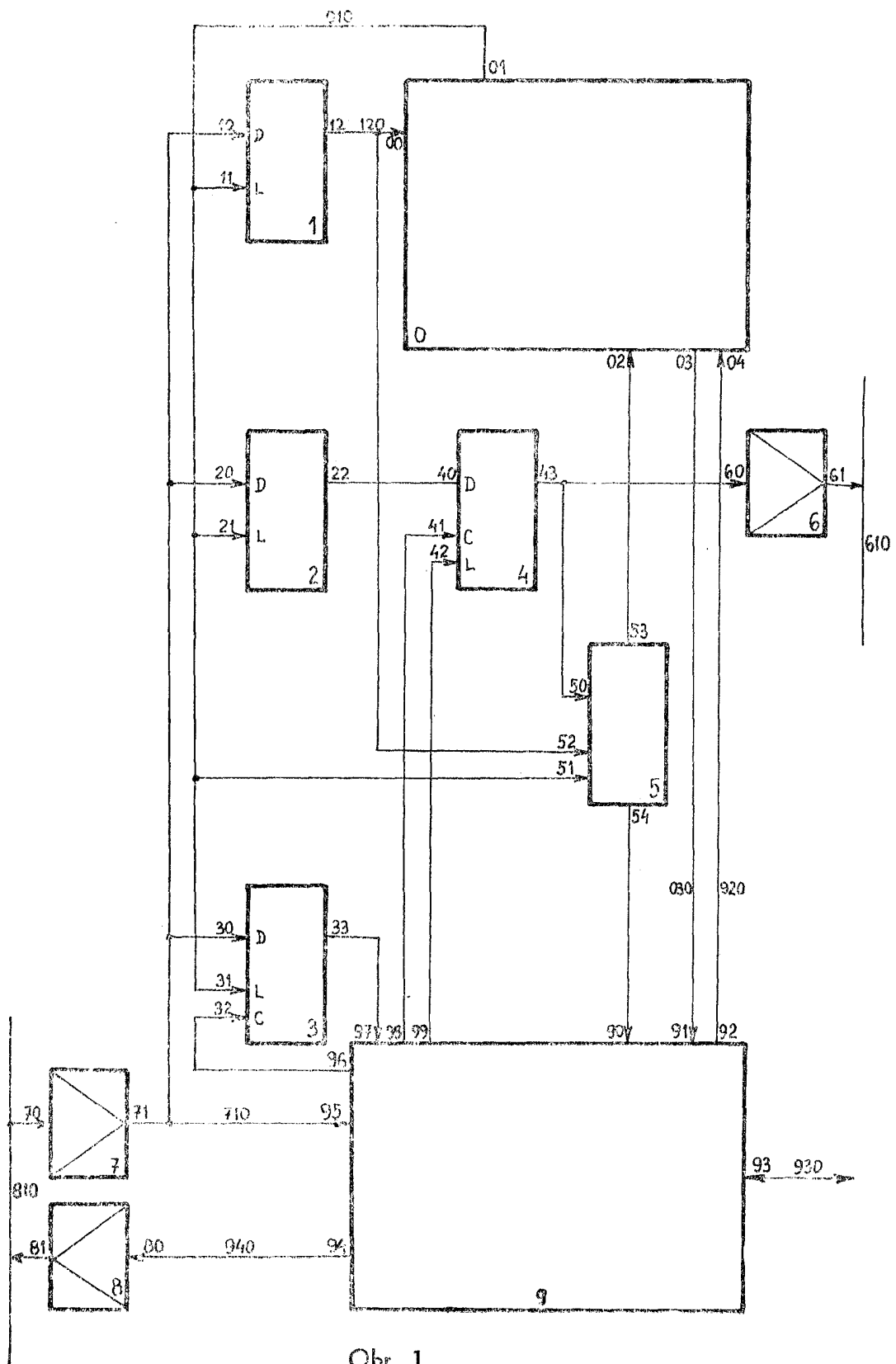
PŘEDMĚT VYNÁLEZU

1. Zapojení externích registrů řídicího slova kanálu pro ovládání bloku přenosu dat, vyznačující se tím, že datová sběrnice (810) mezimodulového styku počítače je připojena k výstupu (81) bloku (8) vysílačů datové sběrnice (810) a ke vstupu (70) bloku (7) přijímačů datové sběrnice (810), k němuž je připojen datový vstup (10) registru (1) příkazu a příznaků, datový vstup (20) registru (2) adresy hlavní paměti a vstup (95) dat z hlavní paměti bloku (9) přenosu dat, přičemž registr (2) adresy hlavní paměti je připojen k čítecímu registru (4) adresy hlavní paměti, k němuž je připojen blok (6) vysílačů adresové sběrnice a dekódér (5), který je připojen k bloku (9) přenosu dat a k bloku (0) mikroprogramového řízení, přičemž povelový výstup (03) bloku (0) mikroprogramového řízení je při-

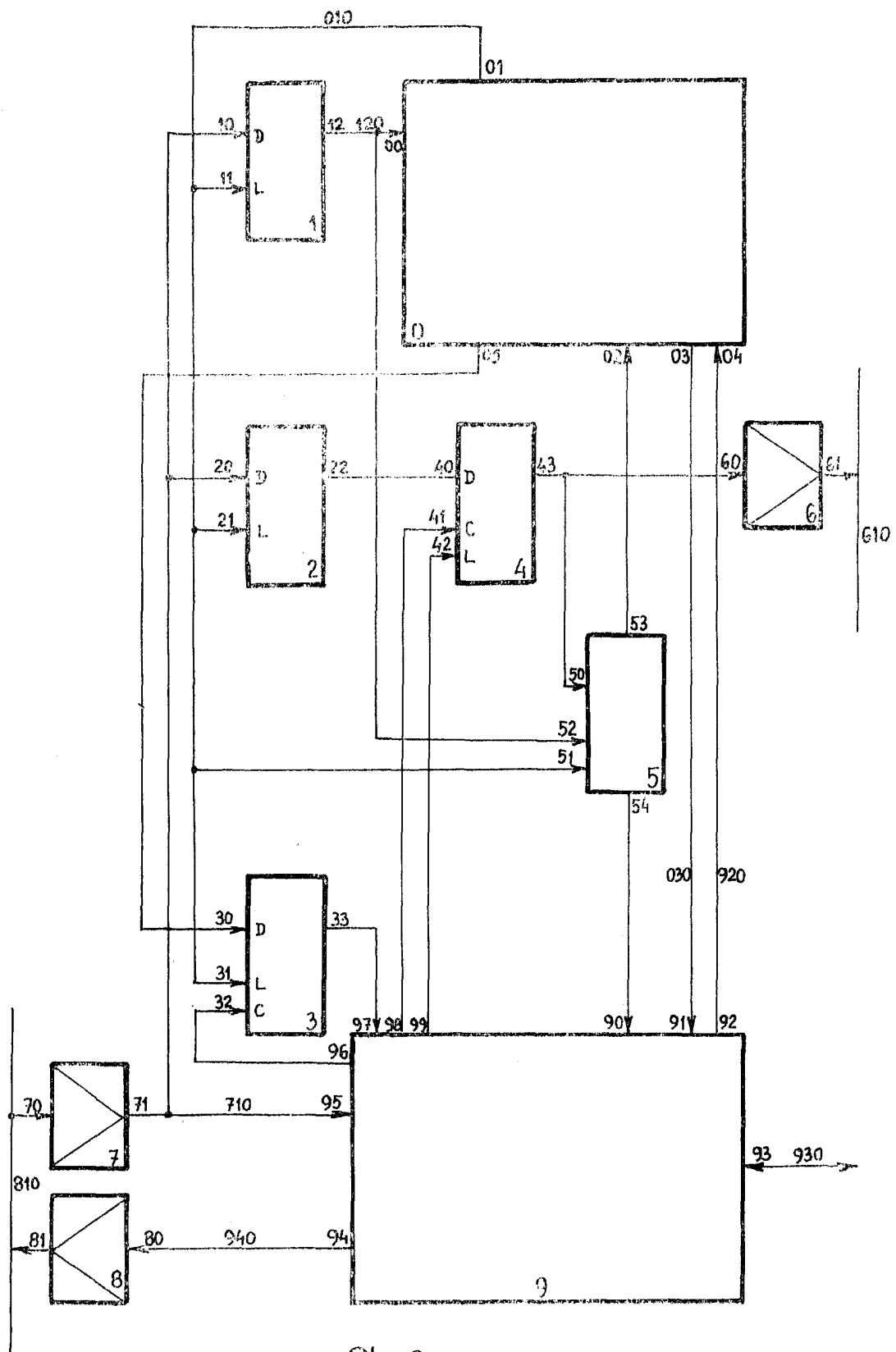
pojen k povelovému vstupu (91) bloku (9) přenosu dat a stavový výstup (92) bloku (9) přenosu dat je připojen k třetímu testovatelnému vstupu (04) bloku (0) mikroprogramového řízení, přičemž blok (0) mikroprogramového řízení je připojen k registru (1) příkazu a příznaků, k registru (2) adresy hlavní paměti a k registru (3) počtu dat.

2. Zapojení externích registrů podle bodu 1, vyznačující se tím, že datový vstup (30) registru (3) počtu dat je připojen k výstupu (71) bloku (7) přijímačů datové sběrnice (810).

3. Zapojení externích registrů podle bodu 1, vyznačující se tím, že datový vstup (30) registru (3) počtu dat je připojen k datovému výstupu (05) bloku (0) mikroprogramového řízení.



Obr. 1



Obr. 2