

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-515240

(P2008-515240A)

(43) 公表日 平成20年5月8日(2008.5.8)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 3 O 1 G	4 M 1 O 4
H O 1 L 29/423 (2006.01)	H O 1 L 29/58 G	5 F 1 4 O
H O 1 L 29/49 (2006.01)	H O 1 L 21/28 B	
H O 1 L 21/28 (2006.01)	H O 1 L 21/28 3 O 1 A	

審査請求 未請求 予備審査請求 未請求 (全 12 頁)

(21) 出願番号	特願2007-534850 (P2007-534850)	(71) 出願人	390009531
(86) (22) 出願日	平成17年9月30日 (2005. 9. 30)		インターナショナル・ビジネス・マシーンズ・コーポレーション
(85) 翻訳文提出日	平成19年5月25日 (2007. 5. 25)		INTERNATIONAL BUSINESS MACHINES CORPORATION
(86) 国際出願番号	PCT/US2005/035455		アメリカ合衆国10504, ニューヨーク州 アーモンク (番地なし)
(87) 国際公開番号	W02006/039632	(74) 代理人	100108501
(87) 国際公開日	平成18年4月13日 (2006. 4. 13)		弁理士 上野 剛史
(31) 優先権主張番号	10/711, 742	(74) 代理人	100112690
(32) 優先日	平成16年10月1日 (2004. 10. 1)		弁理士 太佐 種一
(33) 優先権主張国	米国 (US)	(74) 代理人	100091568
			弁理士 市位 嘉宏

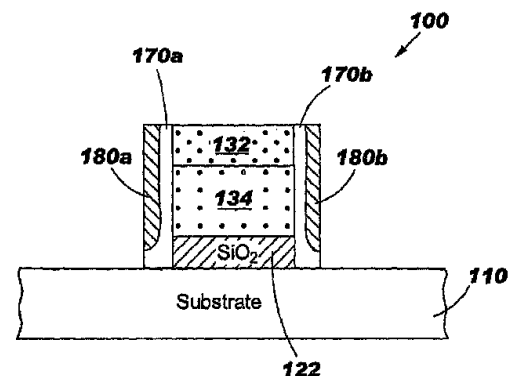
最終頁に続く

(54) 【発明の名称】 ゲート・スタック

(57) 【要約】

【課題】 上部領域が破損しにくいゲート・スタックを提供する。

【解決手段】 半導体基板(110)においてソース/ドレイン領域を定めるのに用いられるゲート・スタック構造体及びその製造方法である。本方法は、(a)基板(110)の上にゲート誘電体層(120)を形成し、(b)ゲート誘電体層(120)の上にゲート・ポリシリコン層(130)を形成し、(c)ゲート・ポリシリコン層(130)の上部層(130a)にn型ドーパントを注入し、(d)基板(110)の上にゲート・スタック(132、134、122)を形成するように、ゲート・ポリシリコン層(130)及びゲート誘電体層(120)の一部をエッチングによって除去し、(e)窒素運搬ガスの存在下でゲート・スタック(132、134、122)の側壁を熱酸化することを含む。結果として、拡散バリア層(170)が、ドーパント濃度に関わらずゲート・スタック(132、134、122)のポリシリコン材料内の同じ深さのところに形成される。したがって、ゲート・スタックのn型ドーパント領域(132)は



**【特許請求の範囲】****【請求項 1】**

半導体構造体を形成する方法であって、  
半導体領域を準備するステップと、  
前記半導体領域の上にゲート・スタックを形成するステップであって、前記ゲート・スタックは、

(1) 前記半導体領域の上のゲート誘導体領域と、  
(2) 前記ゲート誘導体領域の上の第1のゲート・ポリシリコン領域と、  
(3) 前記第1のゲート・ポリシリコン領域の上の、1つのタイプのドーパントでドーパされた第2のゲート・ポリシリコン領域と、  
を含む、ステップと、

前記ゲート・スタックの側壁の上に、拡散バリア領域及びスペーサ酸化物領域を形成するステップと、  
を含み、

前記拡散バリア領域は、前記ゲート・スタックと前記スペーサ酸化物領域の間に挟まれ、

前記拡散バリア領域は、前記第1のゲート・ポリシリコン領域及び前記第2のゲート・ポリシリコン領域の両方と物理的に直接接触している、  
方法。

**【請求項 2】**

前記第2のゲート・ポリシリコン領域はn型ドーパントでドーパされている、請求項1に記載の方法。

**【請求項 3】**

前記ゲート・スタックを形成する前記ステップは、  
前記半導体領域の上にゲート誘電体層を形成するステップと、  
前記ゲート誘電体層の上にゲート・ポリシリコン層を形成するステップと、  
前記タイプのドーパントを前記ゲート・ポリシリコン層の上部層に注入するステップと

、  
エッチング・ステップ後の前記ゲート・ポリシリコン層の残りが前記第1のゲート・ポリシリコン領域及び前記第2のゲート・ポリシリコン領域を含み、エッチング・ステップ後の前記ゲート誘電体層の残りが前記ゲート誘電体領域を含むように、前記ゲート・ポリシリコン層及び前記ゲート誘電体層の一部をエッチングによって除去するステップと、  
を含む、請求項1に記載の方法。

**【請求項 4】**

前記拡散バリア領域は酸化シリコンを含む、請求項1に記載の方法。

**【請求項 5】**

前記拡散バリア領域及び前記スペーサ酸化物領域を形成する前記ステップは、  
前記ゲート・スタックの前記側壁の上面に前記拡散バリア領域を形成するステップと、  
前記拡散バリア領域を形成する前記ステップの後に、前記拡散バリア領域の上に前記スペーサ酸化物領域を形成するステップと、  
を含む、請求項1に記載の方法。

**【請求項 6】**

前記拡散バリア領域及び前記スペーサ酸化物領域を形成する前記ステップは、窒素運搬ガスの存在下で前記ゲート・スタックの前記側壁を熱酸化するステップを含む、請求項1に記載の方法。

**【請求項 7】**

前記窒素運搬ガスの存在下で前記ゲート・スタックの前記側壁を熱酸化する前記ステップは、

前記窒素運搬ガスを予熱するステップと、  
予熱された前記窒素運搬ガスの存在下で前記ゲート・スタックの前記側壁を熱酸化する

10

20

30

40

50

ステップと、  
を含む、請求項 6 に記載の方法。

【請求項 8】

前記ゲート・スタックの前記側壁を熱酸化する前記ステップは、  
前記ゲート・スタックの上面及び前記側壁の上に拡散バリア層及びスペーサ酸化物層を形成するように、前記窒素運搬ガスの存在下で前記ゲート・スタックの前記上面及び前記側壁を熱酸化するステップと、

前記第 2 のゲート・ポリシリコン領域のポリシリコン材料が雰囲気中に晒され、除去ステップ後の前記拡散バリア層の残りが前記拡散バリア領域を含み、除去ステップ後の前記スペーサ酸化物層の残りが前記スペーサ酸化物領域を含むように、前記ゲート・スタックの上面において前記拡散バリア層及び前記スペーサ酸化物層の一部を除去するステップと、  
を含む、請求項 6 に記載の方法。

10

【請求項 9】

半導体領域と、  
前記半導体領域の上のゲート・スタックであって、  
(1) 前記半導体領域の上のゲート誘導体領域と、  
(2) 前記ゲート誘導体領域の上の第 1 のゲート・ポリシリコン領域と、  
(3) 前記第 1 のゲート・ポリシリコン領域の上の、1 つのタイプのドーパントでドーパされた第 2 のゲート・ポリシリコン領域と、  
を含むゲート・スタックと、

20

前記ゲート・スタックの側壁の上の拡散バリア領域及びスペーサ酸化物領域と、  
を備え、  
前記拡散バリア領域は、前記ゲート・スタックと前記スペーサ酸化物領域の間に挟まれ、  
前記拡散バリア領域は、前記第 1 のゲート・ポリシリコン領域及び前記第 2 のゲート・ポリシリコン領域の両方と物理的に直接接触している、  
半導体構造体。

【請求項 10】

前記第 2 のゲート・ポリシリコン領域は n 型ドーパントでドーパされている、請求項 9 に記載の半導体構造体。

30

【請求項 11】

前記拡散バリア領域は酸化シリコンを含む、請求項 9 に記載の半導体構造体。

【請求項 12】

前記第 1 のゲート・ポリシリコン領域に対応する前記スペーサ酸化物領域の第 1 の領域の第 1 の厚さと、前記第 2 のゲート・ポリシリコン領域に対応する前記スペーサ酸化物領域の第 2 の領域の第 2 の厚さとが実質的に同一である、請求項 9 に記載の半導体構造体。

【請求項 13】

半導体構造体を形成する方法であって、  
半導体基板を準備するステップと、  
前記半導体基板の上にゲート・スタックを形成するステップであって、前記ゲート・スタックは、  
(1) 前記半導体基板の上のゲート誘導体領域と、  
(2) 前記ゲート誘導体領域の上の第 1 のゲート・ポリシリコン領域と、  
(3) 前記第 1 のゲート・ポリシリコン領域の上の、1 つのタイプのドーパントで高濃度ドーパされた第 2 のゲート・ポリシリコン領域と、  
を含む、ステップと、

40

前記ゲート・スタックの第 1 の側壁及び第 2 の側壁の上に、第 1 の拡散バリア領域及び第 2 の拡散バリア領域と第 1 のスペーサ酸化物領域及び第 2 のスペーサ酸化物領域とをそれぞれ形成するステップと、  
を含み、

50

前記第 1 の拡散バリア領域は、前記ゲート・スタックと前記第 1 のスペーサ酸化物領域の間に挟まれ、

前記第 1 の拡散バリア領域は、前記第 1 のゲート・ポリシリコン領域及び前記第 2 のゲート・ポリシリコン領域の両方と物理的に直接接触し、

前記第 2 の拡散バリア領域は、前記ゲート・スタックと前記第 2 のスペーサ酸化物領域の間に挟まれ、

前記第 2 の拡散バリア領域は、前記第 1 のゲート・ポリシリコン領域及び前記第 2 のゲート・ポリシリコン領域の両方と物理的に直接接触している、

方法。

【請求項 14】

前記第 2 のゲート・ポリシリコン領域は n 型ドーパントでドーブされている、請求項 13 に記載の方法。

【請求項 15】

前記ゲート・スタックを形成する前記ステップは、

前記半導体基板の上にゲート誘電体層を形成するステップと、

前記ゲート誘電体層の上にゲート・ポリシリコン層を形成するステップと、

前記タイプのドーパントを前記ゲート・ポリシリコン層の上部層に注入するステップと

、

エッチング・ステップ後の前記ゲート・ポリシリコン層の残りが前記第 1 のゲート・ポリシリコン領域及び前記第 2 のゲート・ポリシリコン領域を含み、エッチング・ステップ後の前記ゲート誘電体層の残りが前記ゲート誘電体領域を含むように、前記ゲート・ポリシリコン層及び前記ゲート誘電体層の一部をエッチングによって除去するステップと、を含む、請求項 13 に記載の方法。

【請求項 16】

前記第 1 の拡散バリア領域及び前記第 2 の拡散バリア領域は酸窒化シリコンを含む、請求項 13 に記載の方法。

【請求項 17】

前記第 1 の拡散バリア領域及び前記第 2 の拡散バリア領域と前記第 1 のスペーサ酸化物領域及び前記第 2 のスペーサ酸化物領域とを形成する前記ステップは、

前記ゲート・スタックの前記第 1 の側壁及び前記第 2 の側壁の上面に、前記第 1 の拡散バリア領域及び前記第 2 の拡散バリア領域をそれぞれ形成するステップと、

前記第 1 の拡散バリア領域及び前記第 2 の拡散バリア領域を形成する前記ステップの後に、前記第 1 の拡散バリア領域及び前記第 2 の拡散バリア領域の上に前記第 1 のスペーサ酸化物領域及び前記第 2 のスペーサ酸化物領域をそれぞれ形成するステップと、を含む、請求項 13 に記載の方法。

【請求項 18】

前記第 1 の拡散バリア領域及び前記第 2 の拡散バリア領域と前記第 1 のスペーサ酸化物領域及び前記第 2 のスペーサ酸化物領域とを形成する前記ステップは、窒素運搬ガスの存在下で前記ゲート・スタックの前記第 1 の側壁及び前記第 2 の側壁を熱酸化するステップを含む、請求項 13 に記載の方法。

【請求項 19】

前記窒素運搬ガスの存在下で前記ゲート・スタックの前記第 1 の側壁及び前記第 2 の側壁を熱酸化する前記ステップは、

前記窒素運搬ガスを予熱するステップと、

予熱された前記窒素運搬ガスの存在下で前記ゲート・スタックの前記第 1 の側壁及び前記第 2 の側壁を熱酸化するステップと、を含む、請求項 18 に記載の方法。

【請求項 20】

前記ゲート・スタックの前記第 1 の側壁及び前記第 2 の側壁を熱酸化する前記ステップは、

前記ゲート・スタックの上面並びに前記第 1 の側壁及び前記第 2 の側壁の上に拡散バリア層及びスペーサ酸化物層を形成するように、前記窒素運搬ガスの存在下で前記ゲート・スタックの前記上面並びに前記第 1 の側壁及び前記第 2 の側壁を熱酸化するステップと、前記第 2 のゲート・ポリシリコン領域のポリシリコン材料が雰囲気中に晒され、除去ステップ後の前記拡散バリア層の残りが前記第 1 の拡散バリア領域及び前記第 2 の拡散バリア領域を含み、除去ステップ後の前記スペーサ酸化物層の残りが前記第 1 のスペーサ酸化物領域及び前記第 2 のスペーサ酸化物領域を含むように、前記ゲート・スタックの上面において前記拡散バリア層及び前記スペーサ酸化物層の一部を除去するステップと、を含む、請求項 18 に記載の方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明はゲート・スタックに関し、より具体的には、トランジスタの製造の際にゲート・スタックの上部領域が典型的なゲート・スタックの上部領域より破損しにくい、トランジスタのゲート・スタックに関する。

【背景技術】

【0002】

トランジスタの典型的な製造プロセスは、半導体基板の上にゲート・スタックを形成することによって開始することができる。次いで、ゲート・スタックを用いて、基板におけるトランジスタのソース/ドレイン領域を定めることができる。最終的に、ゲート・スタックは、トランジスタのゲートとなる。トランジスタの性能を向上させるために、トランジスタのゲートの抵抗を減少させる必要性が常に存在する。

20

【発明の開示】

【発明が解決しようとする課題】

【0003】

したがって、抵抗が従来技術の抵抗より相対的に低い新たなゲート・スタックの必要性が存在する。また、新たなゲート・スタックを形成するための方法の必要性が存在する。

【課題を解決するための手段】

【0004】

本発明は、(a)半導体領域を準備するステップと、(b)半導体領域の上にゲート・スタックを形成するステップであって、該ゲート・スタックは、(1)半導体領域の上のゲート誘導体領域と、(2)ゲート誘導体領域の上の第 1 のゲート・ポリシリコン領域と、(3)第 1 のゲート・ポリシリコン領域の上の、1つのタイプのドーパントでドーパされた第 2 のゲート・ポリシリコン領域とを含む、ステップと、(c)ゲート・スタックの側壁の上に、拡散バリア領域及びスペーサ酸化物領域を形成するステップとを含み、該拡散バリア領域は、ゲート・スタックとスペーサ酸化物領域の間に挟まれ、該拡散バリア領域は、第 1 のゲート・ポリシリコン領域及び第 2 のゲート・ポリシリコン領域の両方と物理的に直接接触している、半導体構造体の形成方法を提供するものである。

30

【0005】

本発明はさらに、(a)半導体領域と、(b)半導体領域の上のゲート・スタックであって、該ゲート・スタックは、(1)半導体領域の上のゲート誘導体領域と、(2)ゲート誘導体領域の上の第 1 のゲート・ポリシリコン領域と、(3)第 1 のゲート・ポリシリコン領域の上の、1つのタイプのドーパントでドーパされた第 2 のゲート・ポリシリコン領域とを含むゲート・スタックと、(c)ゲート・スタックの側壁の上の拡散バリア領域及びスペーサ酸化物領域とを備え、該拡散バリア領域は、ゲート・スタックとスペーサ酸化物領域の間に挟まれ、該拡散バリア領域は、第 1 のゲート・ポリシリコン領域及び第 2 のゲート・ポリシリコン領域の両方と物理的に直接接触している、半導体構造体を提供するものである。

40

【0006】

本発明はさらに、(a)半導体基板を準備するステップと、(b)半導体基板の上にゲ

50

ート・スタックを形成するステップであって、該ゲート・スタックは、(1)半導体基板の上のゲート誘電体領域と、(2)ゲート誘電体領域の上の第1のゲート・ポリシリコン領域と、(3)第1のゲート・ポリシリコン領域の上の、1つのタイプのドーパントで高濃度ドーパされた第2のゲート・ポリシリコン領域とを含む、ステップと、(c)ゲート・スタックの第1の側壁及び第2の側壁の上に、第1の拡散バリア領域及び第2の拡散バリア領域と第1のスペーサ酸化物領域及び第2のスペーサ酸化物領域とをそれぞれ形成するステップとを含み、第1の拡散バリア領域は、ゲート・スタックと第1のスペーサ酸化物領域の間に挟まれ、第1の拡散バリア領域は、第1のゲート・ポリシリコン領域及び第2のゲート・ポリシリコン領域の両方と物理的に直接接触し、第2の拡散バリア領域は、ゲート・スタックと第2のスペーサ酸化物領域の間に挟まれ、第2の拡散バリア領域は、第1のゲート・ポリシリコン領域及び第2のゲート・ポリシリコン領域の両方と物理的に直接接触している、半導体構造体の形成方法を提供するものである。

10

#### 【0007】

本発明は、上部領域が典型的なゲート・スタックの上部領域より破損しにくい、新たなゲート・スタックについての利点を提供する。

#### 【発明を実施するための最良の形態】

#### 【0008】

図1は、本発明の実施形態に係る、半導体(例えば、シリコンSi、ゲルマニウムGe、SiとGeの混合物など)基板110の上にゲート誘電体層120が形成され、次いでゲート・ポリシリコン層130が形成された後の半導体構造体100の断面図を示す。より具体的には、図1の構造体100の製造プロセスは、Si基板110から開始される。次いで、1つの実施形態においては、ゲート誘電体層120は、第1の熱酸化ステップにおいてSi基板110の上を熱酸化することによって形成することができる。結果として、得られるゲート誘電体層120は、二酸化シリコン( $\text{SiO}_2$ )を含む。次いで、ゲート・ポリシリコン層130は、具体的にはCVD(化学気相堆積)プロセスを用いて $\text{SiO}_2$ ゲート誘電体層120の上にシリコンを堆積させることによって、形成することができる。

20

#### 【0009】

図2は、本発明の実施形態に係る、高濃度ドーパされたゲート・ポリシリコン層130aが図1の半導体構造体100の上に形成された後の半導体構造体100の断面図を示す。より具体的には、1つの実施形態においては、具体的にはイオン注入によって、1つのタイプのドーパント(例えば、n型のリン又はp型のホウ素)をゲート・ポリシリコン層130の上部層130aに注入することができる。結果として、ゲート・ポリシリコン層130は、2つの層、すなわち、高濃度ドーパされたゲート・ポリシリコン層130aと非ドーパ(又は、低濃度ドーパされた)ゲート・ポリシリコン層130bとを含む。

30

#### 【0010】

図3は、本発明の実施形態に係る、ゲート・ポリシリコン層130及びゲート誘電体層120の一部が、ゲート・スタック132、134、122を形成するように除去された後の半導体構造体100の断面図を示す。より具体的には、1つの実施形態においては、フォトリソ・マスク(図示せず)が、図2の高濃度ドーパされたゲート・ポリシリコン層130aの上面135に置かれる。フォトリソ・マスクは、下にゲート・スタック132、134、122が形成される上面135の範囲を覆う。次いで、フォトリソ・マスクによって覆われていないゲート・ポリシリコン層130の部分が、第1の化学エッチング・ステップにおいて化学エッチングによって除去される。次いで、フォトリソ・マスクによって覆われていないゲート誘電体層120の部分が、第2の化学エッチング・ステップにおいて化学エッチングによって除去される。

40

#### 【0011】

第1及び第2の化学エッチング・ステップ後のゲート・ポリシリコン層130及びゲート誘電体層120の残りが、ゲート・スタック132、134、122である。より具体的には、第1の化学エッチング・ステップ後の高濃度ドーパされたゲート・ポリシリコン

50

層 1 3 0 a の残りが、高濃度ドーブされたゲート・ポリシリコン領域 1 3 2 である。第 1 の化学エッチング・ステップ後の非ドーブ・ゲート・ポリシリコン層 1 3 0 b の残りが、非ドーブ・ゲート・ポリシリコン領域 1 3 4 である。最後に、第 2 の化学エッチング・ステップ後のゲート誘電体層 1 2 0 の残りが、ゲート誘電体領域 1 2 2 である。

#### 【 0 0 1 2 】

図 4 は、本発明の実施形態に係る、図 3 のゲート・スタック 1 3 2、1 3 4、1 2 2 及び基板 1 1 0 の露出面にスペーサ酸化物層 1 5 0 が形成された後の半導体構造体 1 0 0 の断面図を示す。より具体的には、1 つの実施形態において、図 3 の半導体構造体 1 0 0 は、酸素（及び / 又は、酸素運搬物質）の存在下で第 2 の熱酸化ステップに晒される。結果として、酸素はシリコンと反応し、スペーサ酸化物層 1 5 0 を構成する二酸化シリコン  $\text{SiO}_2$  を形成する。ゲート・ポリシリコン領域 1 3 2 が n 型ドーパントでドーブされていると仮定する。n 型ドーブされたポリシリコンの熱酸化は非ドーブ・ポリシリコンの熱酸化より速いため、スペーサ酸化物層 1 5 0 は、非ドーブ・ゲート・ポリシリコン領域 1 3 4 と比べて、高濃度ドーブされたゲート・ポリシリコン領域 1 3 2 においてより厚くなり、このことは、厚さ 1 6 2 が厚さ 1 6 4 より大きいことを意味する（図 4）。結果として、高濃度ドーブされたゲート・ポリシリコン領域 1 3 2 の幅 1 6 6（すなわち、1 3 7 の方向）は、非ドーブ・ゲート・ポリシリコン領域 1 3 4 の幅 1 6 8 より狭い。

#### 【 0 0 1 3 】

図 5 は、図 4 の構造体 1 0 0 の代替的な実施形態を示す。図 5 は、本発明の実施形態に係る、図 3 のゲート・スタック 1 3 2、1 3 4、1 2 2 及び基板 1 1 0 の露出面に拡散バリア層 1 7 0 及びスペーサ酸化物層 1 8 0 が形成された後の半導体構造体 1 0 0 の断面図を示す。より具体的には、1 つの実施形態において、図 3 の半導体構造体 1 0 0 は、酸素（及び / 又は、酸素運搬物質）及び窒素運搬ガス（例えば、 $\text{N}_2\text{O}$  又は  $\text{NO}$ ）の存在下で第 3 の熱酸化ステップに晒される。第 1、第 2、及び第 3 の熱酸化ステップにおいて用いられる「第 1」、「第 2」、及び「第 3」という用語は、3 つの別個の独立した熱酸化ステップを指しており、第 1、第 2、及び第 3 の熱酸化ステップのすべてが 1 つの実施形態において行われなければならないこと、又は、それらを第 1、第 2、及び第 3 の順序で行わなければならないことを必ずしも意味するわけではない。例えば、図 5 の構造体 1 0 0 は、第 1 及び第 3 の熱酸化ステップのみを必要とする（第 2 熱酸化ステップは必要としない）。1 つの実施形態においては、窒素運搬ガスの存在下での第 3 の酸化ステップが、炉内（図示せず）において高温で、具体的には 9 0 0 ~ 1 1 0 0 の範囲で行われる。

#### 【 0 0 1 4 】

第 3 の熱酸化ステップの結果として、ゲート・スタック 1 3 2、1 3 4、1 2 2 のゲート・ポリシリコン領域 1 3 2 及び 1 3 4 の中に窒素原子が拡散して、シリコンと反応し、深さ 1 8 5 において拡散バリア層 1 7 0 を構成する酸化窒素シリコンを形成する。拡散バリア層 1 7 0 の形成は自己制御的なものであり、このことは、形成されたばかりの拡散バリア層 1 7 0 が、該拡散バリア層 1 7 0 自体を通して窒素原子がそれ以上拡散するのを防止することを意味する。拡散バリア層 1 7 0 はまた、（1 つの実施形態においては、酸素ガス由来の、及び / 又は、第 3 の熱酸化ステップに用いられる）酸素原子が拡散バリア層を通してそれ以上拡散するのを防止する。結果として、拡散バリア層 1 7 0 の深さ 1 8 5 の上方のシリコン材料のみが酸素に晒されて酸化され、スペーサ酸化物層 1 8 0 を構成する  $\text{SiO}_2$  を形成する。結果として、スペーサ酸化物層 1 8 0 の形成は、拡散バリア層 1 7 0 によって制限される（すなわち、拡散バリア層 1 7 0 を超えて伸びることはできない）。一般に、第 3 の熱酸化ステップにおいて、窒素運搬ガスは、シリコンと反応して酸素及び / 又は酸素運搬物質が拡散するのを防止することが可能な拡散バリア層を形成することができるいくつかの同等のガスに換えることができる。

#### 【 0 0 1 5 】

上述の実施形態においては、拡散バリア層 1 7 0 及びスペーサ酸化物層 1 8 0 は、第 3 の熱酸化ステップにおいて同時に形成される。代替的な実施形態においては、最初に拡散バリア層 1 7 0 を形成し、次いでスペーサ酸化物層 1 8 0 を形成することができる。より

具体的には、１つの実施形態においては、領域１３２及び１３４の露出面の下の上部層（図示せず）に窒素を注入し、次いで、注入された窒素を領域１３２及び１３４のシリコンと反応させて拡散バリア層１７０を構成する窒化シリコン（ $\text{Si}_3\text{N}_4$ ）を形成するように領域１３２及び１３４の露出面の温度を上昇させることによって、拡散バリア層１７０を形成することができる。次いで、具体的にはＣＶＤステップを用いて拡散バリア層１７０の上に $\text{SiO}_2$ を堆積させることによって、スペーサ酸化物層１８０を形成することができる。酸窒化シリコンと同様に、窒化シリコンも酸素の拡散を防止することに留意されたい。

#### 【００１６】

ポリシリコンのドーブ濃度は窒素の拡散速度に影響を与えないため、酸窒化シリコン拡散バリア層１７０は、ゲート・ポリシリコン領域１３２及び１３４の露出面から同じ深さ１８５のところに形成される。結果として、 $n$ 型ドーブされたポリシリコン領域１３２の酸化によって得られるスペーサ酸化物層１８０の厚さ１８２と、非ドーブ・ポリシリコン領域１３４の酸化によって得られるスペーサ酸化物層１８０の厚さ１８４とは、等しい。拡散バリア層１７０は、領域１３２のポリシリコンの窒化によって得られるか領域１３４のポリシリコンの窒化によって得られるかに関わらず同じ厚さを有するため、それぞれポリシリコン領域１３２及び１３４の（方向１９７の）幅１８６及び１８８も等しい。

#### 【００１７】

図６は、本発明の実施形態に係る、図５のゲート・スタック１３２、１３４、１２２上方の拡散バリア層１７０及びスペーサ酸化物層１８０の上部が除去された後の半導体構造体１００の断面図を示す。より具体的には、１つの実施形態において、ゲート・スタック１３２、１３４、１２２（図５）上方の拡散バリア層１７０及びスペーサ酸化物層１８０の上部は、具体的にはＣＭＰ（化学機械研磨）ステップによって除去することができる。拡散バリア層１７０の残りが拡散バリア領域１７０ａ及び１７０ｂであり、スペーサ酸化物層１８０の残りが、スペーサ酸化物領域１８０ａ及び１８０ｂである。スペーサ酸化物領域１８０ａ及び１８０ｂは、基板１１０においてソース／ドレイン領域（図示せず）を定めるのに用いることができる。

#### 【００１８】

図７は、図５に関して上述された第３の酸化ステップを行うための酸化システム２００を示す。具体的には、酸化システム２００は、予熱チャンバ２１０と、図３の構造体１００を含む酸化炉２２０とを備える。１つの実施形態においては、窒素運搬ガスは、最初に予熱チャンバ２１０において高温（７００～９００）になるまで加熱される。次いで、予熱された窒素運搬ガスは、酸化炉２２０に導入される。構造体１００の上面もまた、酸化炉２２０内で７００～９００に加熱される。この温度範囲において、第３の酸化ステップが上述のように行われる。予熱チャンバ２１０における窒素運搬ガスの予熱の結果として、窒素運搬ガスの $\text{N}_2\text{O}$ の一部が、 $\text{N}_2\text{O}$ より活性の高い $\text{NO}$ に変換される。したがって、第３の酸化ステップは、予熱ステップがない場合より低い温度で（すなわち、９００～１１００に対して、７００～９００で）酸化炉２２０内で行うことができる。

#### 【００１９】

要約すると、窒素運搬ガスの存在下におけるゲート・スタック１３２、１３４、１２２の第３の熱酸化の結果として、薄い拡散バリア層１７０は、ドーブ濃度に関わらずゲート・ポリシリコン領域１３２及び１３４の同じ深さ１８５のところに形成される。したがって、結果として得られるゲート・ポリシリコン領域１３２及び１３４は、それぞれ、等しい幅１８６及び１８８を有する（図５）。結果として、図５の領域１３２は、図４の場合と比べて、次の製造ステップ（例えば、化学機械研磨ステップ）の際に破損しにくい。

#### 【００２０】

上述の実施形態においては、ゲート・ポリシリコン領域１３４はドーブされていない。一般に、ゲート・ポリシリコン領域１３４は、 $n$ 型ドーパント若しくは $p$ 型ドーパント又はその両方を用いて、低濃度ドーブすることができる。

10

20

30

40

50



本明細書において例示の目的で本発明の特定の実施形態を説明したが、当業者であれば多くの修正及び変更が明らかになるであろう。したがって、特許請求の範囲は、本発明の趣旨及び範囲内のものとして、こうしたすべての修正及び変更を含むことが意図されている。

【 0 0 2 2 】

【図 2】本発明の実施形態に係る、一連の製造ステップの各々が行われた後の半導体構造体の断面図を示す。

【図 3】本発明の実施形態に係る、一連の製造ステップの各々が行われた後の半導体構造体の断面図を示す。

【図 4】本発明の実施形態に係る、一連の製造ステップの各々が行われた後の半導体構造体の断面図を示す。

【図 5】本発明の実施形態に係る、一連の製造ステップの各々が行われた後の半導体構造体の断面図を示す。

【図 6】本発明の実施形態に係る、一連の製造ステップの各々が行われた後の半導体構造体の断面図を示す。

【図 7】本発明の実施形態に係る、図 5 に関して説明された酸化ステップを行うための酸化システムを示す。

Figure 1 is a cross-sectional view of a substrate. The substrate is composed of three layers: a base layer (基板) at the bottom, a  $\text{SiO}_2$  layer in the middle, and a polysilicon layer (ポリシリコン) on top. The thickness of the base layer is indicated as 100, the thickness of the  $\text{SiO}_2$  layer is indicated as 120, and the thickness of the polysilicon layer is indicated as 130. A reference numeral 100 points to the top surface of the polysilicon layer.

100

ポリSi (高濃度ドーパ)

130a

ポリSi

130b

130

SiO<sub>2</sub>

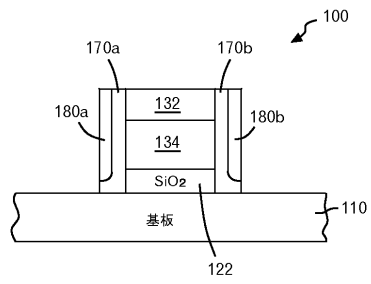
120

基板

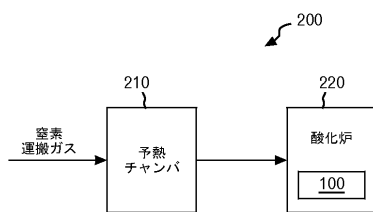
110

[illegible][illegible]

【図 6】



【図 7】




## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/US05/35455

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC: <b>H01L 23/48( 2006.01),21/336( 2006.01),21/4763( 2006.01),21/302( 2006.01),21/469( 2006.01)</b>  USPC: <b>257/774,315,316,637;438/634,740,257</b> According to International Patent Classification (IPC) or to both national classification and IPC												
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) U.S. : <b>257/774,315,316,637;438/634,740,257</b>  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)												
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b> <table border="1"> <thead> <tr> <th>Category *</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>US 6,194,784 A (Parat et al) 27 February 2001 (27.02.2001), (col 5)</td> <td>1-3,5,9-15,17</td> </tr> <tr> <td>Y</td> <td>US 2005/0048732 A (Park et al) 03 March 2005 (03.03.2005) [0040]</td> <td>1-3,5,9-15, 17</td> </tr> </tbody> </table>			Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	Y	US 6,194,784 A (Parat et al) 27 February 2001 (27.02.2001), (col 5)	1-3,5,9-15,17	Y	US 2005/0048732 A (Park et al) 03 March 2005 (03.03.2005) [0040]	1-3,5,9-15, 17	
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.										
Y	US 6,194,784 A (Parat et al) 27 February 2001 (27.02.2001), (col 5)	1-3,5,9-15,17										
Y	US 2005/0048732 A (Park et al) 03 March 2005 (03.03.2005) [0040]	1-3,5,9-15, 17										
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.												
* Special categories of cited documents: <table border="0"> <tr> <td>"A" document defining the general state of the art which is not considered to be of particular relevance</td> <td>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</td> </tr> <tr> <td>"E" earlier application or patent published on or after the international filing date</td> <td>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</td> </tr> <tr> <td>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</td> <td>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</td> </tr> <tr> <td>"O" document referring to an oral disclosure, use, exhibition or other means</td> <td>"&amp;" document member of the same patent family</td> </tr> <tr> <td>"P" document published prior to the international filing date but later than the priority date claimed</td> <td></td> </tr> </table>			"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	"E" earlier application or patent published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family	"P" document published prior to the international filing date but later than the priority date claimed	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention											
"E" earlier application or patent published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone											
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art											
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family											
"P" document published prior to the international filing date but later than the priority date claimed												
Date of the actual completion of the international search <b>30 March 2006 (30.03.2006)</b>		Date of mailing of the international search report <b>16 JUN 2006</b>										
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (571) 273-3201		Authorized officer  Walter L. Lindsay, Jr. Telephone No. (571) 272-2800										

Form PCT/ISA/210 (second sheet) (April 2005)

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74)代理人 100086243

弁理士 坂口 博

(72)発明者 マーティン、デール、ダブリュー

アメリカ合衆国 0 5 6 5 5 バーモント州 ハイド・パーク バーモント 5 6 4 ウェスト  
1 5

(72)発明者 シャンク、スティーブン、エム

アメリカ合衆国 0 5 4 6 5 バーモント州 エリコ ビーチウッド・レーン 1 1

(72)発明者 トリブレット、マイケル、シー

アメリカ合衆国 0 5 4 4 6 バーモント州 コルチェスター ラドフォード・レーン 1 5

(72)発明者 タッカー、デボラ、エー

アメリカ合衆国 0 5 4 9 4 バーモント州 ウェストフォード ローリン・アイリッシュ・ロー  
ド 2 7

F ターム(参考) 4M104 AA01 AA02 BB01 BB40 DD43 DD55 DD78 DD79 DD86 EE09

EE14 FF13

5F140 AA01 BA01 BA03 BA05 BE07 BF04 BF11 BF14 BF32 BF37

BF42 BG08 BG09 BG11 BG12 BG14 BG37 BG49 BG50 BG52

BG53 BG57 CE07

## 【要約の続き】

、ゲート・スタック(1 3 2、1 3 4、1 2 2)の非ドープ領域(1 3 4)の幅と等しい幅を有する。

【選択図】 図6