



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I525988 B

(45)公告日：中華民國 105 (2016) 年 03 月 11 日

(21)申請案號：101116713

(22)申請日：中華民國 101 (2012) 年 05 月 10 日

(51)Int. Cl. : **H03K17/687 (2006.01)**

(30)優先權：2011/06/27 日本

2011-141988

(71)申請人：住友電氣工業股份有限公司(日本) SUMITOMO ELECTRIC INDUSTRIES, LTD.
(JP)

日本

國立大學法人豐橋技術科學大學(日本) NATIONAL UNIVERSITY CORPORATION
TOYOHASHI UNIVERSITY OF TECHNOLOGY (JP)

日本

(72)發明人：初川聰 HATSUKAWA, SATOSHI (JP)；志賀信夫 SHIGA, NOBUO (JP)；藤川一
洋 FUJIKAWA, KAZUHIRO (JP)；大平孝 OHIRA, TAKASHI (JP)；和田和千
WADA, KAZUYUKI (JP)；烏仁圖雅 WUREN, TUYA (CN)；石岡和也 ISHIOKA,
KAZUYA (JP)；澤田和志 SAWADA, KAZUSHI (JP)

(74)代理人：陳長文

(56)參考文獻：

TW M357125

US 5856919A

US 7245088B2

US 2008/0100362A1

審查人員：陳佳韶

申請專利範圍項數：8 項 圖式數：15 共 47 頁

(54)名稱

開關電路

(57)摘要

本發明之一實施形態之開關電路(1)包括：開關元件(10)，其含有第 1 端子(13)及第 2 端子(11)，且藉由脈衝信號驅動而開關第 1 端子及第 2 端子之導通狀態；電源部(30)，其對開關元件之第 1 端子供給電壓；負載電路(40)，其與電源部並聯連接；被動電路部(50)，其連接於電源部和負載電路之連接點與開關元件之第 1 端子之間，且於脈衝信號之時脈頻率之 N 倍(N 為 1 以上之整數)之頻率下，抑制自連接點流向開關元件之電流；及諧振電路部(60)，其連接於被動電路與連接點之間，且於 N 倍之頻率下諧振。

指定代表圖：

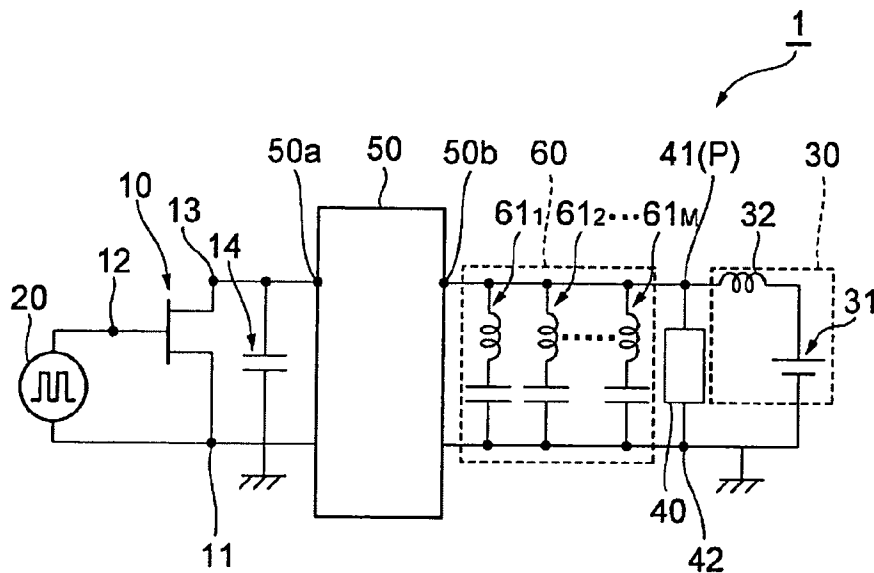


圖1

符號簡單說明：

1 . . . 開關電路

10 . . . 開關元件

11 . . . 源極端子(第2端子)

12 . . . 閘極端子

13 . . . 汲極端子(第1端子)

14 . . . 電容器

20 . . . 信號源

30 . . . 直流電源部(電源部)

31 . . . 直流電源

32 . . . 電感器

40 . . . 負載電路

41 . . . 一端

42 . . . 另一端

50 . . . 被動電路部

50a . . . 第1端子(被動電路部之第1端子)

50b . . . 第2端子(被動電路部之第2端子)

60 . . . 諧振電路部

61₁~61_M . . . 諧振元件

P . . . 輸出端口(連接點)

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：101116713

※申請日：101.5.10

※IPC 分類：

一、發明名稱：(中文/英文)

H03K 17/687 (2006.02)

開關電路

二、中文發明摘要：

本發明之一實施形態之開關電路(1)包括：開關元件(10)，其含有第1端子(13)及第2端子(11)，且藉由脈衝信號驅動而開關第1端子及第2端子之導通狀態；電源部(30)，其對開關元件之第1端子供給電壓；負載電路(40)，其與電源部並聯連接；被動電路部(50)，其連接於電源部和負載電路之連接點與開關元件之第1端子之間，且於脈衝信號之時脈頻率之N倍(N為1以上之整數)之頻率下，抑制自連接點流向開關元件之電流；及諧振電路部(60)，其連接於被動電路與連接點之間，且於N倍之頻率下諧振。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

1	開關電路
10	開關元件
11	源極端子(第2端子)
12	閘極端子
13	汲極端子(第1端子)
14	電容器
20	信號源
30	直流電源部(電源部)
31	直流電源
32	電感器
40	負載電路
41	一端
42	另一端
50	被動電路部
50a	第1端子(被動電路部之第1端子)
50b	第2端子(被動電路部之第2端子)
60	諧振電路部
61 ₁ ~61 _M	諧振元件
P	輸出端口(連接點)

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種開關電路。

【先前技術】

已知利用有電晶體等開關元件之開關電路(參照專利文獻1)。於專利文獻1記載之開關電路中，對開關元件之輸入端子(例如閘極端子)供給PWM(Pulse Width Modulation，脈寬調變)信號。藉由PWM信號之時脈頻率(開關頻率)，而控制開關元件之導通/斷開。根據開關元件之導通/斷開，輸出端子(例如汲極端子)與電感器之連接點之電壓發生變動。其結果，可控制一端與該連接點連接之負載電路之驅動。

先前技術文獻

專利文獻

專利文獻1：日本專利特開2006-101637號公報

【發明內容】

發明所欲解決之問題

然而，有時與於開關元件之導通狀態下流經負載電路之電流不同地，起因於使開關元件導通/斷開之時脈頻率(開關頻率)之整數倍之信號成分，而使多餘之電流於負載電路或開關元件中流通，產生不必要之電力消耗。

因此，本發明之目的在於提供一種可進一步謀求功率效率之提昇之開關電路。

解決問題之技術手段

本發明之一態樣之開關電路包括：開關元件，其含有第1端子及第2端子，且藉由脈衝信號驅動而開關第1端子及第2端子之導通狀態；電源部，其對開關元件之第1端子供給電壓；負載電路，其與電源部並聯連接；被動電路部，其連接於電源部和負載電路之連接點與開關元件之第1端子之間，且於脈衝信號之時脈頻率之 N 倍(N 為1以上之整數)之頻率下，抑制自上述連接點流向開關元件之電流；及諧振電路部，其連接於被動電路部與上述連接點之間，且於 N 倍之頻率下諧振。

於該構成中，開關元件經由被動電路部及諧振電路部而與連接點連接。藉此，可藉由開關元件之開關動作，控制對連接點供給之來自電源部之電壓之狀態。其結果，可控制對與電源部並聯連接之負載電路施加之電壓狀態。另一方面，因被動電路部係於脈衝信號之時脈頻率之 N 倍之頻率下抑制自上述連接點流向開關元件之電流，故可減少多餘之能量消耗。進而，因諧振電路部於上述 N 倍之頻率下諧振，故對負載電路施加之電壓成分中之 N 倍之頻率成分得以減少，因此可減少多餘之能量消耗。其結果，可謀求功率效率之提昇。

於一實施形態中，自上述開關元件側觀察之被動電路部之阻抗之虛部可為零以上，且為開關元件之輸出寄生電容之電抗之絕對值之2倍以下。於該情形時，自上述開關元件側觀察之被動電路部之阻抗之虛部只要於 N 倍之頻率下為零以上、且為開關元件之輸出寄生電容之電抗之絕對值

之2倍以下即可。

於該形態中，被動電路部可於脈衝信號之時脈頻率之 N 倍之頻率下，更確實地抑制自上述連接點流向開關元件之電流。

於一實施形態中，自上述負載電路側觀察之諧振電路部之阻抗之實部及虛部可於 N 倍之時脈頻率下較負載電路之阻抗減小。

於該形態中，可於上述 N 倍之頻率下進一步降低對負載電路施加之電壓，結果可減少多餘之能量消耗。

上述脈衝信號可為將脈衝信號之脈衝寬度之負載比藉由具有較時脈頻率低之頻率成分之信號而隨時間調變之信號。

被動電路部及諧振電路部對時脈頻率之 N 倍之頻率發揮作用，而實質上不對較時脈頻率低之頻率成分發揮作用。因此，該較低之頻率成分之信號可容易地通過被動電路部及諧振電路部而傳輸至負載電路。其結果，藉由該信號成分而使對負載電路施加之電壓狀態發生變動。

於一實施形態中，被動電路部可包括至少一個電抗元件，且具有與開關元件之第1端子連接之第1端及與上述連接點連接之第2端。

於一實施形態中，被動電路部可包括至少一個傳輸線路，且具有與開關元件之第1端子連接之第1端及與上述連接點連接之第2端。

於一實施形態中，諧振電路部可具備由至少一個電抗元

件串聯連接而成之M個諧振元件。於該形態中，M個諧振元件中之至少1個諧振元件可於N倍之頻率下諧振。M個諧振元件可並聯連接。

於一實施形態中，上述諧振電路部可包括M條(M為1以上之整數)傳輸線路。於該形態中，M條傳輸線路中之至少1條傳輸線路可具有與時脈頻率之N倍之頻率對應的波長之 $1/4$ 之電氣長度。

發明之效果

根據本發明，可提供一種可進一步謀求功率效率之提昇之開關電路。

【實施方式】

以下，參照圖式對本發明之實施形態進行說明。於圖式之說明中，對同一要素標註同一符號，且省略重複之說明。圖式之尺寸比率並非必需與所說明者一致。

利用圖1及圖2對一實施形態之開關電路進行說明。圖1係表示一實施形態之開關電路1之概略構成之電路圖。圖2係用以說明驅動開關電路1之信號之圖式。開關電路1之例為開關電源電路或時變電源電路。

開關電路1包括開關元件10。於本實施形態中，若無特別說明，開關元件10為絕緣型場效電晶體(MOSFET(Metal Oxide Semiconductor Field Effect Transistor，金屬氧化物半導體場效電晶體))。MOSFET之例包括功率MOSFET。於該情形時，開關元件10具有接地之源極端子11、與信號源20連接且自信號源20被供給信號之閘極端子12、及與電

源部30連接且被供給電壓 V_{dd} (例如16 V)之汲極端子13。於開關元件10中存在起因於其構成之輸出寄生電容 C_{ds} 。輸出寄生電容 C_{ds} 包括汲極-源極間之輸出寄生電容。於圖1中，將輸出寄生電容 C_{ds} 表示為電容器14。

信號源20將用以使開關元件10開關之信號供給至閘極端子12。自信號源20輸入至閘極端子12之信號為PWM信號 S_p 。參照圖2對PWM信號 S_p 進行說明。圖2係用以說明PWM信號之圖式。於圖2(a)中表示有用以生成PWM信號 S_p 之2種信號之例。於圖2(b)中表示有PWM信號之一例。PWM信號 S_p 係具有第1頻率之信號(S_1)藉由具有較第1頻率高之第2頻率之信號(S_2)調變脈衝寬度之負載比而得之脈衝信號。信號(S_2)之例為三角波或鋸形波信號(參照圖2(a))。PWM信號 S_p 之時脈頻率 f_{CK} 、亦即使開關元件10開關之開關頻率對應於上述第2頻率。信號源20之另一端接地。

返回至圖1，說明開關電路1之構成。電源部30為包括直流電源31之直流電源部。就阻止開關元件10之上述第1頻率成分流入至直流電源31之觀點而言，電源部30可具備電感器32。直流電源31之正極經由電感器32而連接於汲極端子13。以下，將連接汲極端子13與直流電源31之線稱為信號路徑。直流電源31之負極接地。

與電源部30並聯地連接有負載電路40。負載電路40之例包括電阻負載及電感負載。負載電路40之一端41連接於直流電源31之正極，負載電路40之另一端42接地。於如圖1

所示般具備電感器32之情形時，負載電路40之一端41連接於電感器32之與直流電源31側為相反側之端。該連接點作為輸出端口P而發揮功能。

於上述構成中，自信號源20供給之PWM信號 S_P 被輸入至開關元件10時，藉由PWM信號 S_P 而使汲極端子13與源極端子11之導通狀態開關。藉此，由於輸出端口P之電壓狀態發生變動，故而對負載電路40施加之電壓狀態發生變化。其結果，於負載電路40中流動之電流發生變動。因此，例如若連接高頻功率放大器作為負載電路，則可於將電源功率效率維持為較高之狀態下，使高頻信號之輸出振幅以較深之深度調變。

為減少開關動作中之電力消耗，開關電路1係於開關元件10與輸出端口P之間具備被動電路部50及諧振電路部60。被動電路部50及諧振電路部60作為濾波器而發揮功能，其截止PWM信號 S_P 中之時脈頻率 f_{CK} 之 N 次諧波，而使具有較時脈頻率 f_{CK} 低之頻率、即上述第1頻率之信號 S_1 通過。以下，對被動電路部50及諧振電路部60進行說明。

被動電路部50配置於開關元件10與輸出端口P之間。被動電路部50具有與汲極端子13連接之第1端50a及與輸出端口P連接之第2端50b。被動電路部50具有於對開關元件10供給之脈衝信號之時脈頻率 f_{CK} 之 N 倍之頻率下滿足下述「被動電路部條件」之構成。於以下之說明中，將自開關元件10觀察之(或自開關元件10觀察之情形時之)被動電路部50之阻抗設為 Z ，將阻抗 Z 之虛部設為 Z_{img} 。

(被動電路部條件)

阻抗 Z 之虛部 Z_{img} 為零以上，且為輸出寄生電容 C_{ds} 之電抗之絕對值之2倍以下。

藉由滿足上述「被動電路部條件」，而於 N 次諧波下輸出寄生電容 C_{ds} 與被動電路部50之合成阻抗變大。其結果，藉由被動電路部50而抑制 N 倍之時脈頻率成分之電流於開關元件10中流通。因此，可減少由開關動作引起之於開關元件10中消耗之多餘之電力。若被動電路部50以滿足「被動電路部條件」之方式構成，則被動電路部50可為包括至少一個電抗元件之二端口網路(two-port network)。又，被動電路部50可為包括至少一個傳輸線路(包括殘段(stub)之情形)之二端口網路。對被動電路部50之具體例於下文敘述。

諧振電路部60為於作為脈衝信號的PWM信號 S_p 之時脈頻率 f_{CK} 之 N 倍之頻率下諧振之電路。作為諧振狀態之例，自負載電路40側觀察之(或自負載電路40側觀察之情形時之)諧振電路部60之阻抗之實部及虛部於 N 倍之時脈頻率 f_{CK} 下較負載電路40之阻抗小即可。

於圖1中，作為一例，表示有將作為電抗元件之電感器及電容器串聯連接而成之 M 個諧振元件 $61_1 \sim 61_M$ 並聯而成之電路部。各諧振元件 $61_1 \sim 61_M$ 之一端係於將輸出端口 P 與汲極端子13連接之信號路徑上連接於第2端50b與輸出端口 P 之間。各諧振元件 $61_1 \sim 61_M$ 之另一端接地。 M 個諧振元件 $61_1 \sim 61_M$ 中之至少一個諧振元件所包括之電感器及電容器

之各自之元件值為於時脈頻率 f_{CK} 之 N 倍之頻率下諧振之元件值。

於該構成中，於時脈頻率 f_{CK} 之 N 倍之頻率下開關元件10進行開關動作之情形時，於諧振電路部60發生諧振。藉由該諧振，而使諧振電路部60之阻抗之實部及虛部變得較負載電路40之阻抗小，因此相較於負載電路40，電流容易流向諧振電路部60側。即，藉由開關元件10進行開關動作，而使對負載電路40施加之電壓可具有之時脈頻率 f_{CK} 之 N 倍之頻率成分接近於零。因此，於時脈頻率 f_{CK} 之 N 次諧波下，可減少由負載電路40引起之多餘之能量消耗。

如上所述，於包括被動電路部50及諧振電路部60之開關電路1中，可減少多餘之電力消耗，結果可謀求功率效率之提昇。

以下，一面例示各種形態一面對被動電路部50及諧振電路部60之構成具體地進行說明。

(第1實施形態)

於本實施形態中，將開關電路1亦稱為開關電路1A。又，分別將被動電路部50及諧振電路部60稱為被動電路部50A及諧振電路部60A。被動電路部50A為不包括電阻且包括至少一個電抗之二端口網路。如圖1所例示般，諧振電路部60A為 M 個諧振元件 $61_1 \sim 61_M$ 之並聯電路。

於該情形時，被動電路部50A之阻抗 Z 僅為虛部。被動電路部50A係以其阻抗 Z 之虛部 Z_{img} 滿足上述「被動電路部條件」之方式設計。即，於本實施形態中，被動電路部

50A係以於時脈頻率 f_{CK} 下被動電路部50A與輸出寄生電容 C_{ds} 之合成阻抗成為無限大之方式設計。於該情形時，由於被動電路部5之阻抗之虛部 Z_{img} 、與輸出寄生電容 C_{ds} 之電抗之絕對值相等，故而滿足「被動電路部條件」。以下，將被動電路部50A相對於 N 倍之頻率的電抗設為作為角頻率 ω 之函數之 $X_N(\omega)$ 而進行說明。此處，例示 N 之具體數值而對被動電路部50A進行說明，但關於元件之符號，亦有時標註相同之符號。然而，各元件之元件值設定為與所例示之 N 之值對應之數值。

首先，對 $N=1$ 之情形時進行說明。 N 與 M 並非必需一致，於以下之說明中，設為 $N=1$ 且 $M=1$ 。圖3係表示元件數最少且 $N=1$ 之情形時之被動電路部之設計條件之圖式。圖3中之橫軸表示角頻率 ω ，縱軸表示電抗(Ω)。圖3中之實線表示被動電路部50A之電抗 $X_1(\omega)$ ，單點劃線為基於輸出寄生電容 C_{ds} 之電抗之絕對值的輸出寄生電容 C_{ds} 之電抗曲線。由於圖3所示之電抗 $X_1(\omega)$ 為一次函數，故而以下式表示。

[數1]

$$jX_1(\omega) = j\omega L_{510} \cdots (1)$$

具有式(1)所示之電抗曲線之被動電路部50A如圖4所示般可包括一個作為線圈之電感器510。圖4係表示 $N=1$ 之情形時之開關電路之構成之一例之圖式。負載電路40表示為電阻。式(1)中之 L_{510} 為電感器510之元件值(電感)。於將與時脈頻率 f_{CK} 對應之角頻率設為 ω_{CK} 之情形時，作為被動電

路部 50A 之電感器 510 所滿足之條件如下所述。

[數 2]

$$X_1(0) = 0 \cdots (2a)$$

$$X_1(\omega_{CK}) = \frac{1}{\omega_{CK} C_{ds}} \cdots (2b)$$

根據式 (2a) 及式 (2b)，式 (3) 成立。

[數 3]

$$L_{510} = \frac{1}{\omega_{CK}^2 C_{ds}} \cdots (3)$$

於將時脈頻率 f_{CK} 設為 200 MHz 之情形時， $\omega_{CK} = 2\pi \times 200$ MHz。進而，若設為 $C_{ds} = 60$ pF，則 $L_{510} = 10.54$ nH。

此處，對構成諧振電路部 60A 之元件的元件值之計算方法之一例進行說明。於 $M=1$ 且 $N=1$ 之情形時，如圖 4 所示，諧振電路部 60A 可包括一個電感器 62 及電容器 63。諧振元件 61₁ 之諧振條件以下式表示。

[數 4]

$$j\omega_{CK} L_{62} + \frac{1}{j\omega_{CK} C_{63}} = 0 \cdots (4)$$

於將負載電路 40 之電阻值 R_L 設為 10 Ω ，且設為 $C_{ds} = 60$ pF 及 $\omega_{CK} = 2\pi \times 200$ MHz 之情形時，根據式 (4)， $L_{62} C_{63} = 633.26$ nH · pF。電感器 62 及電容器 63 之元件值 L_{62} 及 C_{63} 只要以滿足 $L_{62} C_{63} = 633.26$ nH · pF 之方式決定即可。

其次，對 $N=2$ 之情形時進行說明。此處，對可抑制自基本波 ($N=1$ 之情形) 起連續次數之諧波中直至 2 次諧波為止 (具體而言為基本波及 2 次諧波) 之頻率成分之電流於開關元件 10 中流通的被動電路部 50A 進行說明。於該情形時，如

上所述，N與M並非必需一致，但諧振電路部60A亦必需於時脈頻率 f_{CK} 之1倍及2倍之頻率下諧振，故而此處設為 $N=2$ 且 $M=2$ 。圖5係表示於 $N=2$ 之情形時元件數最少時之被動電路部之設計條件之圖式。圖5中之橫軸、縱軸及單點劃線與圖3之情形時相同。

圖5所示之電抗 $X_2(\omega)$ 以式(5)表示。

[數5]

$$jX_2(\omega) = \frac{j\omega a_2 \{(j\omega)^2 + \omega_{z1}^2\}}{(j\omega)^2 + \omega_{p1}^2} \dots (5)$$

於式(5)中， ω_{z1} 為滿足 $X_2(\omega)=0$ 之角頻率，且為自直流($\omega=0$)起算第1個角頻率。 ω_{p1} 為自直流(即 $\omega=0$)起算第1個極點角頻率。 a_2 為以滿足作為被動電路部50A之設計條件的式(6a)~式(6c)之方式決定之自由參數。

[數6]

$$X_2(0)=0 \dots (6a), \quad X_2(\omega_{CK}) = \frac{1}{\omega_{CK} C_{ds}} \dots (6b), \quad X_2(2\omega_{CK}) = \frac{1}{2\omega_{CK} C_{ds}} \dots (6c)$$

$N=2$ 之情形時之被動電路部50A之設計可以如下方式實施。首先，藉由基於式(5)執行電路構成之拓撲探索，而決定電路構成。

例如，於式(5)中，若設為 $j\omega=s$ ，則式(5)可以式(7)表示。

[數7]

$$\frac{j\omega a_2 \{(j\omega)^2 + \omega_{z1}^2\}}{(j\omega)^2 + \omega_{p1}^2} = \frac{s^3 a_2 + s a_2 \omega_{z1}^2}{s^2 + \omega_{p1}^2} \dots (7)$$

若對式(7)進行變形，則可獲得式(8)。

[數 8]

$$\frac{s^3 a_2 + s a_2 \omega_{z1}^2}{s^2 + \omega_{p1}^2} = s L_{510} + \frac{1}{s C_{520} + \frac{1}{s L_{511}}} \dots (8)$$

於式(8)中， L_{510} 、 C_{520} 、及 L_{511} 為被動電路部50A所包括之電感器510、電容器520及電感器511之元件值。 L_{510} 、 C_{520} 、及 L_{511} 係根據自式(7)向式(8)之變形過程，作為式(9a)~式(9c)而獲得。

[數 9]

$$L_{510} = a_2 \dots (9a), \quad C_{520} = \frac{1}{a_2 \omega_{z1}^2 - a_2 \omega_{p1}^2} \dots (9b), \quad L_{511} = \frac{a_2 \omega_{z1}^2 - a_2 \omega_{p1}^2}{\omega_{p1}^2} \dots (9c)$$

式(7)亦可如式(10)般進行變形。

[數 10]

$$\frac{s^3 a_2 + s a_2 \omega_{z1}^2}{s^2 + \omega_{p1}^2} = \frac{1}{\frac{1}{s L_{510}} + \frac{1}{s L_{511} + \frac{1}{s C_{520}}}} \dots (10)$$

式(10)中之 L_{510} 、 L_{511} 及 C_{520} 係根據式(7)向式(10)之變形過程，以式(11a)~式(11c)獲得。

[數 11]

$$L_{510} = \frac{a_2 \omega_{z1}^2}{\omega_{p1}^2} \dots (11a), \quad L_{511} = \frac{a_2}{1 - \frac{\omega_{p1}^2}{\omega_{z1}^2}} \dots (11b), \quad C_{520} = \frac{1 - \frac{\omega_{p1}^2}{\omega_{z1}^2}}{a_2 \omega_{z1}^2} \dots (11c)$$

式(8)及式(10)表示圖6(a)及圖6(b)所示之電路構成。又，因諧振電路部60A於時脈頻率 f_{CK} 之1倍及2倍之頻率下諧振，故而第2端50b於該頻率下短路(即接地)。因此，作為圖6(a)之變形，可獲得圖6(c)之電路構成，作為圖6(b)之

變形，可獲得圖 6(d)之電路。

圖 6(a)及圖 6(b)之電路中之各元件的元件值可藉由以滿足式 (6a)~式 (6c)之方式獲得 ω_{z1} 、 ω_{p1} 及 a_2 ，而基於式 (9a)~式 (9c)及式 (11a)~式 (11c)算出。又，於 $N=2$ 且 $M=2$ 之情形時，諧振電路部 60 係 2 個諧振元件 61_1 及諧振元件 61_2 並聯連接而構成。構成各諧振元件 61_1 、 61_2 之電感器及電容器之元件值可與 $N=1$ 之情形同樣地算出。

對於 $N=3$ ，亦可與 $N=2$ 之情形同樣地設計被動電路部 50A。此處，對可抑制自基本波 ($N=1$ 之情形)起連續次數之諧波中直至 3 次諧波為止 (具體而言為基本波、2 次諧波及 3 次諧波)之頻率成分之電流於開關元件 10 中流通的被動電路部 50A 進行說明。圖 7(a)~圖 7(n)係表示 $N=3$ 之情形時之被動電路部 50A 之構成例之圖式。於 $N=3$ 之情形時，被動電路部 50A 可包括 3 個電感器 510、511、512 與 2 個電容器 520、521 之組合 (參照圖 7(a)~圖 7(k))。又，於 $N=3$ 之情形時，被動電路部 50A 可包括 2 個電感器 510、511 與 3 個電容器 520、521、522 之組合 (參照圖 7(l)、圖 7(m)、圖 7(n))。於圖 7(a)~圖 7(n)中，為將電感器及電容器加以區別，於方便上標註符號，但各電路中之電感器及電容器之元件值以於其電路中作為被動電路部 50A 而發揮功能之方式設定。

於圖 7(a)~圖 7(n)中，端子 A 及端子 B 係與第 2 端 50b 連接或接地。具體而言，例示圖 7(a)之電路構成之情形進行說明。作為圖 7(a)之端子 A、B 與第 2 端 50b 連接或接地之構成，可列舉圖 8(a)~圖 8(d)。

圖 8(a)為端子 A、B 均接地之構成。圖 8(b)為端子 A、B 均與第 2 端子連接之構成。圖 8(c)為端子 A 接地、端子 B 與第 2 端子連接之構成。圖 8(d)為端子 A 與第 2 端子連接、端子 B 接地之構成。此處，對圖 7(a)之構成具體地進行了說明，但圖 7(b)~圖 7(n)亦相同。因此，於 $N=3$ 之情形時，被動電路部 50A 可採取 38 個電路構成。

又，於 $N=3$ 之情形時，諧振電路部 60A 係作為 $M=3$ 之 3 個諧振元件 $61_1 \sim 61_3$ 並聯連接而構成。構成各諧振元件 $61_1 \sim 61_3$ 之電感器及電容器之元件值可與 $N=1$ 之情形同樣地算出。

此處，對於 $N=1 \sim 3$ 之各者，以可抑制將所例示之 N 設為最大次數且直至 N 次諧波為止(即 $1 \sim N$ 次諧波)之頻率成分之電流於開關元件 10 中流通的被動電路部 50A 之構成為中心進行了說明，但對於 N 為 4 以上，亦同樣地可構成能夠抑制將 N 設為最大次數且為 N 次諧波之頻率成分之電流於開關元件 10 中流通之被動電路部 50A。又，於 N 為 4 以上之情形時，諧振電路部 60A 所包括之諧振元件 $61_4 \sim 61_M$ 之各者所包括的電感器及電容器之元件值亦可與 $N=1、2、3$ 之情形同樣地算出。其中， N 與 M 並非必需一致之情況如上所述。

又，於圖 6(a)~圖 6(d)所示之電路構成中，藉由調整電感器元件及電容器元件之元件值，可成為可抑制不限定於連續次數之諧波而為任意之 2 種諧波(例如 1 次及 3 次)之頻率成分之電流於開關元件 10 中流通之被動電路部 50A。同樣地，於圖 7(a)~圖 7(n)所示之電路構成中，藉由調整電感器

元件及電容器元件之元件值，可成為可抑制不限定於連續次數之諧波而為任意之3種諧波(例如1次、3次及5次)之頻率成分之電流於開關元件10中流通之被動電路部50A。

如上所述，若利用所謂的集總參數元件構成被動電路部50A及諧振電路部60A，則於時脈頻率 f_{CK} 較低之情形時(例如100 MHz以下)，與設為針對相同之頻率而利用有分佈常數元件之被動電路部之情形相比，可以更小之物理尺寸實現高效率化。

(第2實施形態)

圖9係表示包括諧振電路部之其他例的開關電路之概略構成之模式圖。開關電路1B之除諧振電路部60B以外之構成可設為與開關電路1之構成相同。藉此，以諧振電路部60B之構成為中心進行說明。

諧振電路部60B包括一端於信號路徑上連接於輸出端口P與第2端50b之間的M條之第1~第M前端開路殘段 $64_1 \sim 64_M$ 。第1~第M前端開路殘段 $64_1 \sim 64_M$ 為所謂的分佈常數元件。換言之，第1~第M前端開路殘段 $64_1 \sim 64_M$ 為具有特定之阻抗 Z_s 及特定之電氣長度之傳輸線路。第1~第M前端開路殘段 $64_1 \sim 64_M$ 之電氣長度根據應以第1~第M前端開路殘段 $64_1 \sim 64_M$ 之各者中諧振之頻率而決定。條數M可無關於時脈頻率或諧波次數而任意決定，但第1~第M前端開路殘段 $64_1 \sim 64_M$ 中之至少一條係於時脈頻率 f_{CK} 之N倍之頻率下的信號波長 λ 之1/4。於該情形時，M條中之任意之前端開路殘段之電氣長度可設為相對於任意之諧波之信號波長 λ 之

1/4。於以下之說明中，為便於說明，有時亦將第1~第M前端開路殘段 $64_1 \sim 64_M$ 稱為前端開路殘段64。

圖10係表示1條前端開路殘段中存在複數之可同時諧振之諧波次數之圖表。例如於 $N=1$ 之情形時之基本波(1次)下諧振之第1前端開路殘段 64_1 除1次以外，亦於3次、5次、7次、 $\dots$ 、 $(2k-1)$ 次之諧波下同時諧振。 k 為1以上之整數。同樣地，於2次諧波下諧振之第2前端開路殘段 64_2 於6次、10次、14次、 $\dots$ 、 $(2k-1) \times 2$ 次之諧波下同時諧振。於 2^{M-1} 次諧波下諧振之第M前端開路殘段 64_M 於 $3 \times 2^{M-1}$ 次、 $5 \times 2^{M-1}$ 次、 $7 \times 2^{M-1}$ 次、 $\dots$ 、 $(2k-1) \times 2^{M-1}$ 次之諧波下同時諧振。將前端開路殘段64中諧振之諧波次數 N 以圖10中之標記「○」表示。根據圖10，藉由並聯地具備第1~第M前端開路殘段 $64_1 \sim 64_M$ ，可諧振之連續之諧波次數 N 為 2^{M-1} 。於圖10中，作為例示，表示有利用 $n=1 \sim 4$ 於 $N=1 \sim 15$ 下連續諧振之組合，但 n 與 N 之組合並不限定於此。圖10中之「 n 」表示前端開路殘段64之總條數(M)中之前端開路殘段64之索引編號。再者，諧振之諧波次數亦可並不連續。例如於開關電壓波形中所包含之偶數次諧波成分較奇數次成分小之情形時等，於奇數次下諧振較為有效。於如上所述之情形時，由於僅於奇數次下諧振即可，故而僅利用1條前端開路殘段 64_1 便足夠。

具體地進行說明。於諧振電路部60B中，為了例如於 $N=1$ 、2、3下、即直至3次諧波為止連續地諧振，而需要第1前端開路殘段 64_1 及第2前端開路殘段 64_2 。又，示出有為

了於 $N=1、2、3、4、5、6$ 下、即直至時脈頻率 f_{CK} 之6次諧波為止連續地諧振，而必需並聯設置第1~第3前端開路殘段 $64_1、64_2、64_3$ 。如上述般對於1條前端開路殘段64可同時覆蓋複數之次數 N 之諧波之原因在於：前端開路殘段64中所形成之駐波之形狀具有週期性，其結果，自點P觀察諧振電路部60B側之阻抗成為相同($0\ \Omega$)。

由於第1~第 M 前端開路殘段 $64_1\sim 64_M$ 之各者為所謂的傳輸線路，故而可於印刷基板上作為導體圖案而形成。即，無需利用電感器元件或電容器元件等個別零件便容易地形成元件。因此，如作為第2實施形態所說明般，於藉由第1~第 M 前端開路殘段 $64_1\sim 64_M$ 構成諧振電路部60B之情形時，可謀求開關電路1B之製造效率、零件成本、可靠性及耐功率性之提昇。由於第1~第 M 前端開路殘段 $64_1\sim 64_M$ 之各者可僅以傳輸線路即印刷基板上之導體圖案形成，故而元件值之精度較高，因此亦有助於開關電路1B之製造後之無調整化等。

(第3實施形態)

於第1實施形態中，被動電路部50A(50)係利用所謂的集總參數元件而構成。然而，被動電路部50亦可利用分佈常數元件構成。對被動電路部50由分佈常數元件構成之情形時之形態進行說明。此處，將被動電路部50稱為被動電路部50B。

包括作為分佈常數元件之傳輸線路530之被動電路部50B可以如下方式設計。首先，對 $N=1$ 之情形進行說明。於一

實施形態中，傳輸線路530可設為殘段。

被動電路部50B為二端口網路。對於二端口網路，已知阻抗矩陣 Z 及其逆矩陣(導納(admittance)矩陣) Y 。阻抗矩陣及導納矩陣 Y 係作為角頻率 ω 之函數而如式(12a)及式(12b)般表示。

[數 12]

$$Z = \begin{bmatrix} z_{11}(\omega) & z_{12}(\omega) \\ z_{21}(\omega) & z_{22}(\omega) \end{bmatrix} \cdots (12a)$$

$$Y = Z^{-1} = \begin{bmatrix} y_{11}(\omega) & y_{12}(\omega) \\ y_{21}(\omega) & y_{22}(\omega) \end{bmatrix} \cdots (12b)$$

角頻率 $\omega=0$ 之電流、即直流必需無電壓降地自端子50a流向端子50b。為滿足上述條件，只要於使端子50b與接地端子短路時，將端子50a亦視為短路即可。若將其以數式表示，則可以式(13a)表示。進而，直流自端子50a向接地端子不可發生電流洩漏。為滿足上述條件，只要於使端子50b開路時，將端子50a亦視為開路即可。其可以式(13b)表示。進而，使角頻率 $\omega=\omega_{CK}$ 之電流、即時脈頻率之電流不自汲極端子12流向被動電路部50B側(圖1之右側)。即，於使端子50b接地短路時，端子50a與輸出寄生電容 C_{ds} 之並聯合成導納成為零即可。其可以式(13c)表示。

[數 13]

$$y_{11}(0) = \infty \cdots (13a), \quad z_{11}(0) = \infty \cdots (13b), \quad y_{11}(\omega_{CK}) + j\omega_{CK}C_{ds} = 0 \cdots (13c)$$

於式(13a)及式(13b)中，記號 ∞ 包括複素數之絕對值無限大之意思。

於 $N=1$ 之情形時，如以式(13a)~式(13c)所示般所需之自

由度為3。然而，式(13a)及式(13b)於串聯連接有傳輸線路530之一條傳輸線路之情形時同時成立。因此，所需之傳輸線路之最少條數為1。

包含1條傳輸線路530之被動電路部50B之拓撲之總數為圖11(a)~圖11(c)所示之3個。自該3個中除去符合以下之不適合條件(I)及不适合條件(II)中之至少一條件者。

不适合條件(I)：直流接地。

不适合條件(II)：設置將第2端50b直接分流之元件。

符合不适合條件(I)之電路不適合作為被動電路部50B之電路之原因在於符合不适合條件(I)之電路違反式(13b)。又，符合不适合條件(II)之電路不適合作為被動電路部50B之電路之原因在於：因於時脈頻率 f_{CK} 下，與第2端50b接地之情形對應，故於不适合條件(II)之構成中，未對傳輸線路530施加時脈頻率 f_{CK} 之電壓，而自由度不足。

若對3種拓撲應用不适合條件(I)及不适合條件(II)而排除不适合之拓撲，則於 $N=1$ 之情形時，由分佈常數元件所構成之被動電路部50B成為圖11(a)所示之構成。

對圖11(a)所示之被動電路部50B，與第1實施形態之情形同樣地應用輸出寄生電容 C_{ds} 與被動電路部50B之合成阻抗 Z_{c1} 於時脈頻率 f_{CK} 下成為無限大之條件、即式(13c)，藉此決定傳輸線路530之電氣長度。傳輸線路530之電氣長度可以時脈頻率 f_{CK} 下之相位差 θ_{530} 表示。藉此，以下，亦將電氣長度稱為電氣長度 θ_{530} 。

具體而言，作為輸出寄生電容 C_{ds} 與被動電路部50B之合

成阻抗 Z_{c1} 於時脈頻率 f_{CK} 下成為無限大(或合成導納於時脈頻率 f_{CK} 下成為零)之條件即式(13c)可以式(14)表示。

[數 14]

$$j\omega_{CK}C_{ds} + \frac{1}{jZ_0 \tan \theta_{530}} = 0 \cdots (14)$$

式(14)中， Z_0 為傳輸線路 530 之特性阻抗。根據式(14)，式(15)成立。

[數 15]

$$\theta_{530} = \arg \tan \left(\frac{1}{Z_0 \omega_{CK} C_{ds}} \right) \cdots (15)$$

例如，若設為 $C_{ds}=60$ pF， $\omega_{CK}=2\pi \times 200$ MHz，且設為 $Z_0=50$ Ω ，則 $\theta_{530}=0.2593$ 弧度。藉此，於時脈頻率 f_{CK} 為 200 MHz、且輸出寄生電容 C_{ds} 為 60 pF 之情形時， $N=1$ 之情形時之傳輸線路 530 可以阻抗 Z_0 為 50 Ω 、且電氣長度(相位差)成為 0.2593 弧度之方式構成。

於 $N=2$ 之情形時，若再次使用式(12b)所示之導納矩陣 Y 之要素，則被動電路部 50B 可以滿足下述 4 個條件之方式設計。此處，作為 $N=2$ 之情形時之被動電路部 50B，對可抑制時脈頻率 f_{CK} 之連續次數之諧波中直至 2 次諧波為止(即基本波($N=1$ 之情形)及 2 次諧波)之頻率成分之電流於開關元件 10 中流通的被動電路部 50B 進行說明。

[數 16]

$$\begin{aligned} y_{11}(0) &= \infty \cdots (16a), & z_{11}(0) &= \infty \cdots (16b), \\ y_{11}(\omega_{CK}) + j\omega_{CK}C_{ds} &= 0 \cdots (16c), & y_{11}(2\omega_{CK}) + j2\omega_{CK}C_{ds} &= 0 \cdots (16d) \end{aligned}$$

式(16a)、式(16c)及式(16d)之 $y_{11}(\omega)$ 為導納矩陣 Y 之第 1 要素之情況與式(13a)及式(13c)之情形相同。

於與直至2次諧波為止對應之被動電路部50B之情形時，如式(16a)~式(16d)所示般所需之自由度為4。因此，被動電路部50B所包括之傳輸線路530之最少條數為2條，於將2條傳輸線路530加以區別之情形時，記作傳輸線路531、532。

包含2條傳輸線路(包括殘段之情形)之被動電路部50B之拓撲之總數如圖12(a)~圖12(j)所示般為10個。若自該10個中除去符合不適合條件(I)及不適合條件(II)中之至少任一條件者，則成為圖12(a)~圖12(c)所示之構成。

藉由應用式(16c)及式(16d)之條件、即應用於基本波(N=1)及2次諧波(N=2)下合成導納同時成為零之條件，可獲得各傳輸線路531、532之特性阻抗及電氣長度。

對圖12(a)之情形具體地進行說明。將傳輸線路531之特性阻抗設為 Z_{531} ，將傳輸線路531之電氣長度設為 θ_{531} 。同樣地，將傳輸線路532之特性阻抗設為 Z_{532} ，將傳輸線路532之電氣長度設為 θ_{532} 。於該情形時，下式成立。

[數17]

$$\omega_{CK} C_{ds} - \frac{1}{Z_{531} \frac{Z_{532} \tan \theta_{532} + Z_{531} \tan \theta_{531}}{Z_{531} - Z_{532} \tan \theta_{532} \tan \theta_{531}}} = 0 \dots (17a)$$

$$2\omega_{CK} C_{ds} - \frac{1}{Z_{531} \frac{Z_{532} \tan 2\theta_{532} + Z_{531} \tan 2\theta_{531}}{Z_{531} - Z_{532} \tan 2\theta_{532} \tan 2\theta_{531}}} = 0 \dots (17b)$$

若設為 $Z_{531}/Z_{532} = \alpha$ ，則由該等式導出下式。

[數18]

$$\frac{\alpha \tan \theta_{531} + \tan \theta_{532}}{\alpha - \tan \theta_{531} \tan \theta_{532}} = 2 \frac{\alpha \tan 2\theta_{531} + \tan 2\theta_{532}}{\alpha - \tan 2\theta_{531} \tan 2\theta_{532}} \dots (18)$$

根據式(17a)、式(17b)及式(18)， Z_{531} 及 Z_{532} 可如以下般表示。

[數 19]

$$Z_{531} = \frac{1}{\omega_{CK} C_{ds}} \frac{\alpha - \tan \theta_{531} \tan \theta_{532}}{\alpha \tan \theta_{531} + \tan \theta_{532}} \dots (19a)$$

$$Z_{532} = \frac{1}{\alpha \omega_{CK} C_{ds}} \frac{\alpha - \tan \theta_{531} \tan \theta_{532}}{\alpha \tan \theta_{531} + \tan \theta_{532}} \dots (19b)$$

此處，將時脈頻率 f_{CK} 設為200 MHz。於該情形時，設為 $\omega_{CK}=2\pi \times 200$ MHz。又，設為 $C_{ds}=60$ pF。對式(19a)及式(19b)進行數值計算之情形時之解之一例如下所述。

$$Z_{531}=60.0347 \ \Omega$$

$$\theta_{531}=27^\circ$$

$$Z_{532}=21.4348 \ \Omega$$

$$\theta_{532}=144^\circ$$

如上述般，藉由獲得各傳輸線路531、532之特性阻抗 Z_{531} 、 Z_{532} 及電氣長度 θ_{531} 、 θ_{532} ，可構成各傳輸線路531、532。

獲得上述 Z_{531} 、 θ_{531} 、 Z_{532} 及 θ_{532} ，而於圖13所示之電路構成中進行模擬。於圖13所示之電路構成中，假定諧振電路部60於時脈頻率 f_{CK} 及其2倍之頻率下諧振，即第2端50b短路(接地)。設為對第1端50a自信號源20供給頻率為 f (MHz)之信號。

圖14為表示模擬結果之圖式。於圖14中，橫軸表示對第1端供給之頻率 f_{CK} ，縱軸表示導納。圖14中之實線為被動電路部50B與輸出寄生電容 C_{ds} 之合成導納之實部，虛線表

示上述合成導納之虛部。如圖 15 所示，於頻率 f_{CK} 為 200 MHz 及其 2 倍之 400 MHz 下，合成導納之實部及虛部成為 0，可理解為滿足式 (16c) 及式 (16d)。又，由於相對於頻率 0，合成導納之虛部無限大，故而可理解為亦滿足式 (16a)。

$N=3$ 以上之情形時亦同樣地，可由分佈常數元件構成被動電路部 50B。例如圖 15(a)~圖 15(k) 係表示作為 $N=3$ 之情形時之被動電路部 50B 的可抑制時脈頻率 f_{CK} 之連續次數之諧波中直至 3 次諧波為止 (即基本波 ($N=1$ 之情形)、2 次諧波及 3 次諧波) 之頻率成分之電流於開關元件 10 中流通的被動電路部 50B 之構成例之圖式。於圖 15(a)~圖 15(k) 中，為將 3 條傳輸線路 530 加以區別，而稱為傳輸線路 531、532、533。各傳輸線路 530 應滿足之條件 (電氣長度等) 可與 $N=2$ 之情形同樣地決定。

由於傳輸線路 530 為印刷基板上之導體圖案，故而不使用電感器或電容器等個別零件，因此元件形成較為容易。其結果，與第 2 實施形態之情形同樣地，可謀求開關電路 1C 之製造效率、零件成本、可靠性及耐功率性之提昇。又，由於與第 2 實施形態之情形相同之理由，而可僅以傳輸線路、即印刷基板上之導體圖案形成被動電路部 50B，因此亦有助於開關電路 1C 之製造後之無調整化等。

此處，對可抑制時脈頻率 f_{CK} 之連續次數之諧波中將 N 設為最大次數且直至 N 次諧波為止 (即 1~ N 次諧波) 之頻率成分之電流於開關元件 10 中流通的被動電路部 50B 進行了說

明。然而，被動電路部50B只要針對N次諧波而設計即可，例如亦可以抑制自基本波($N=1$ 之情形)至N次諧波為止之1個以上之任意次數(例如奇數或偶數之次數)之諧波之頻率成分的電流於開關元件10中流通之方式而設計。

於如上所述之被動電路部50之各種實施形態中，於被動電路部50與輸出寄生電容 C_{ds} 之合成阻抗於時脈頻率 f_{CK} 之N倍下成為無限大(或合成導納於時脈頻率 f_{CK} 之N倍下成為零)之條件下，決定被動電路部50所具有之元件值。然而，被動電路部50所包括之元件之元件值只要為被動電路部50滿足上述「被動電路部條件」之值即可。又，諧振電路部60亦相同。即，於諧振電路部60之各種實施形態中，構成諧振電路部60之元件係以於時脈頻率 f_{CK} 之N倍下諧振電路部60之阻抗之實部及虛部成為0之方式而設計。然而，於現實之電路製作中，諧振電路部60之阻抗之實部及虛部並非必需完全為0。即，構成諧振電路部60之元件之元件值只要於諧振狀態下為諧振電路部60之阻抗之實部及虛部較負載電路40之阻抗小之值即可。

進而，至此為止所說明之各種形態之被動電路部50及諧振電路部60亦可相互組合。例如除被動電路部及諧振電路部均由集總參數元件或分佈常數元件構成之情形以外，開關電路亦可包括由集總參數元件構成之被動電路部、及由分佈常數元件構成之諧振電路部。相反地，開關電路亦可包括由分佈常數元件構成之被動電路部、及由集總參數元件構成之諧振電路部。

以上，對本發明之實施形態進行了說明，但本發明並不限定於上述各種實施形態，於不脫離本發明之主旨之範圍內，可進行各種變形。例如開關元件除絕緣型場效型電晶體以外，亦可為除絕緣型場效電晶體以外之場效電晶體、雙極電晶體及絕緣閘極電晶體。又，將驅動開關元件之信號設為PWM信號，但只要為可對開關元件進行導通/斷開控制之脈衝信號即可。又，於第2實施形態中，設為諧振電路部60B藉由前端開路殘段64構成，但亦可由作為分佈常數元件之傳輸線路構成。

【圖式簡單說明】

圖1係表示一實施形態之開關電路之概略構成之圖式。

圖2(a)、2(b)係用以說明驅動圖1所示之開關電路之信號之圖式。

圖3係表示元件數最少、且針對時脈頻率而設計之被動電路部之設計條件之圖式。

圖4係表示於時脈頻率下進行動作之開關電路之構成之一例之圖式。

圖5係表示針對時脈頻率之1次及2次諧波而設計之被動電路部中的元件數最少之被動電路部之設計條件之圖式。

圖6(a)~(d)係表示針對時脈頻率之1次及2次諧波而設計之被動電路部之電路構成之例之圖式。

圖7(a)~(n)係表示針對時脈頻率之1次、2次及3次諧波而設計之被動電路部之電路構成之例之圖式。

圖8(a)~(d)係表示圖7(a)所示之電路構成中端子A、B之

連接狀態之具體例之圖式。

圖 9 係表示包括諧振電路部之其他例之開關電路之概略構成之模式圖。

圖 10 係表示 1 條前端開路殘段中存在複數之可同時諧振之諧波次數之圖表。

圖 11(a)~(c) 係表示由 1 條傳輸線路構成被動電路部之情形時的傳輸線路之配置候補之圖式。

圖 12(a)~(j) 係表示由 2 條傳輸線路構成被動電路部之情形時的傳輸線路之配置候補之圖式。

圖 13 係表示由 2 條傳輸線路構成被動電路部之情形時的模擬用之電路之圖式。

圖 14 係表示模擬結果之圖式。

圖 15(a)~(k) 係表示由 3 條傳輸線路構成被動電路部之情形時之構成例之圖式。

【主要元件符號說明】

1	開關電路
1A	開關電路
1B	開關電路
10	開關元件
11	源極端子(第 2 端子)
12	閘極端子
13	汲極端子(第 1 端子)
14	電容器
20	信號源

30	直流電源部(電源部)
31	直流電源
32	電感器
40	負載電路
41	一端
42	另一端
50	被動電路部
50A	被動電路部
50B	被動電路部
50a	第1端子(被動電路部之第1端子)
50b	第2端子(被動電路部之第2端子)
60	諧振電路部
60A	諧振電路部
60B	諧振電路部
61	諧振元件
61 ₁ ~61 _M	諧振元件
62	電感器
63	電容器
64 ₁ ~64 _M	前端開路殘段
510	電感器
511	電感器
512	電感器
520	電容器
521	電容器

522	電 容 器
530	傳 輸 線 路
531	傳 輸 線 路
532	傳 輸 線 路
533	傳 輸 線 路
A	端 子
B	端 子
P	輸 出 端 口 (連 接 點)
S1	信 號
S2	信 號
S _P	PWM 信 號
ω_{CK}	角 頻 率
ω_{z1}	角 頻 率

七、申請專利範圍：

1. 一種開關電路，其包括：

開關元件，其含有第1端子及第2端子，且藉由脈衝信號驅動而開關上述第1端子及第2端子之導通狀態；

電源部，其對上述開關元件之上述第1端子供給電壓；

負載電路，其與上述電源部並聯連接；

被動電路部，其連接於上述電源部和上述負載電路之連接點與上述開關元件之上述第1端子之間，且於上述脈衝信號之時脈頻率之 N 倍(N 為1以上之整數)之頻率下，抑制自上述連接點流向上述開關元件之電流；及

諧振電路部，其連接於上述被動電路部與上述連接點之間，且於上述 N 倍之頻率下諧振。

2. 如請求項1之開關電路，其中自上述開關元件側觀察之上述被動電路部之阻抗之虛部大於零，且為上述開關元件之輸出寄生電容之電抗之絕對值之2倍以下。

3. 如請求項1或2之開關電路，其中自上述負載電路側觀察之上述諧振電路部之阻抗之實部及虛部於上述 N 倍之時脈頻率下較上述負載電路之阻抗為小。

4. 請求項1或2之開關電路，其中上述脈衝信號係將上述脈衝信號之脈衝寬度之負載比藉由具有較上述時脈頻率低之頻率成分之信號而隨時間調變之信號。

5. 如請求項1或2之開關電路，其中上述被動電路部包括至少一個電抗元件，且具有與上述開關元件之上述第1端

子連接之第1端及與上述連接點連接之第2端。

6. 如請求項1或2之開關電路，其中上述被動電路部包括至少一個傳輸線路，且具有與上述開關元件之上述第1端子連接之第1端及與上述連接點連接之第2端。
7. 如請求項1或2之開關電路，其中上述諧振電路部具備由至少一個電抗元件串聯連接而成之 M (M 為1以上之整數)個諧振元件；

上述 M 個諧振元件中之至少1個諧振元件於上述時脈頻率之 N 倍之頻率下諧振。

8. 如請求項1或2之開關電路，其中上述諧振電路部包括 M 條 (M 為1以上之整數)傳輸線路；

上述 M 條傳輸線路中之至少1條傳輸線路具有與上述時脈頻率之 N 倍之頻率對應的波長之 $1/4$ 之電氣長度。

八、圖式：

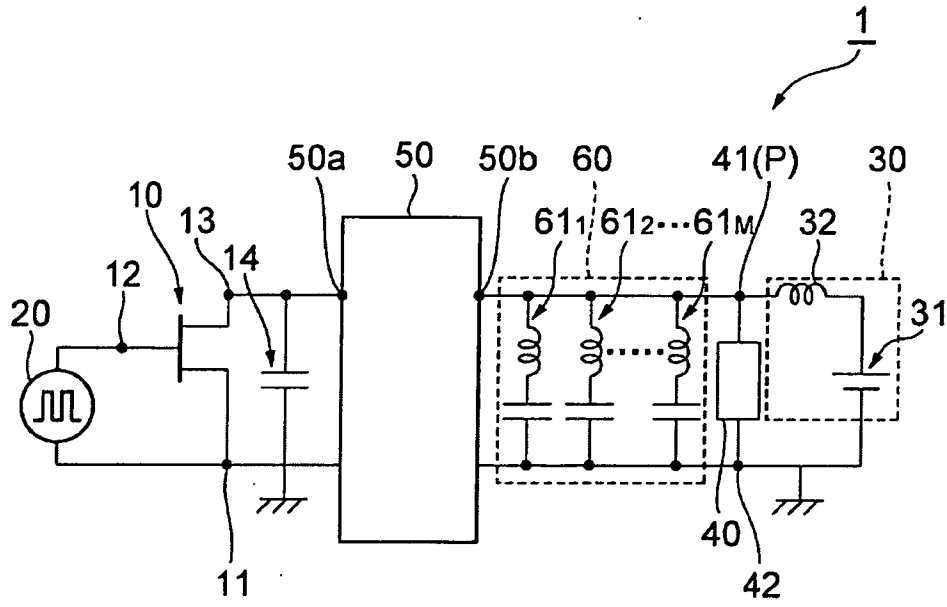


圖1

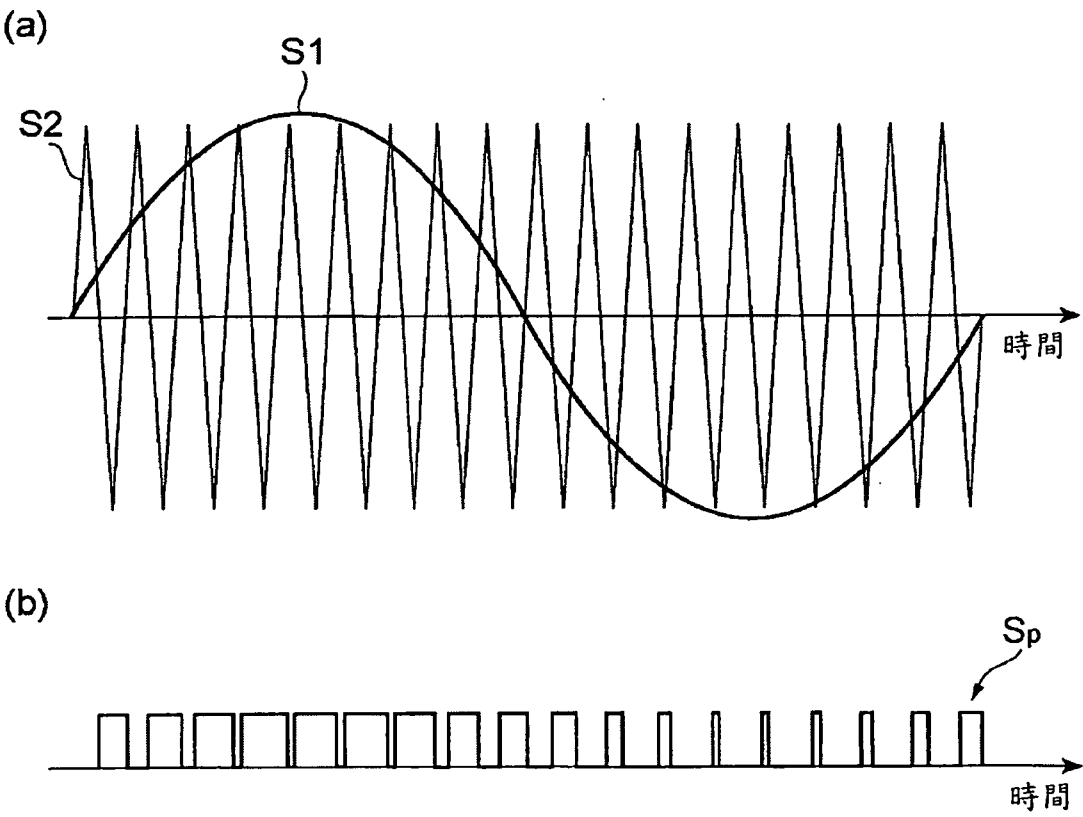


圖2

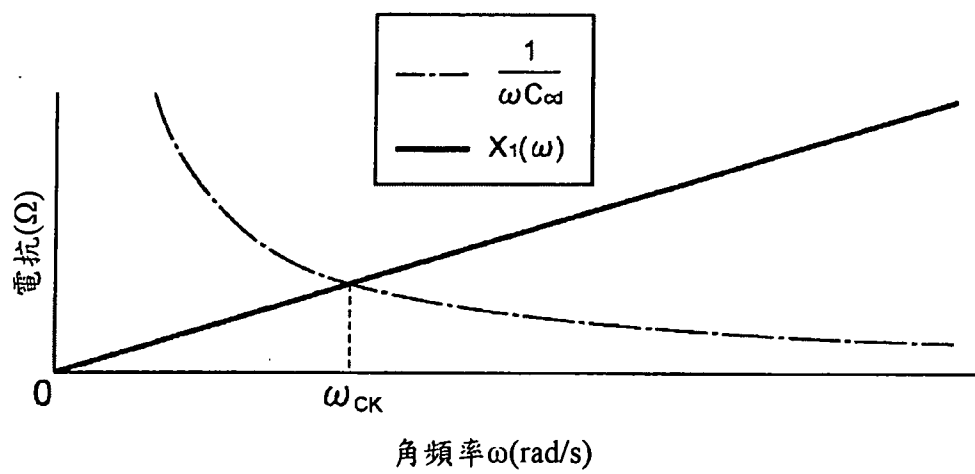


圖3



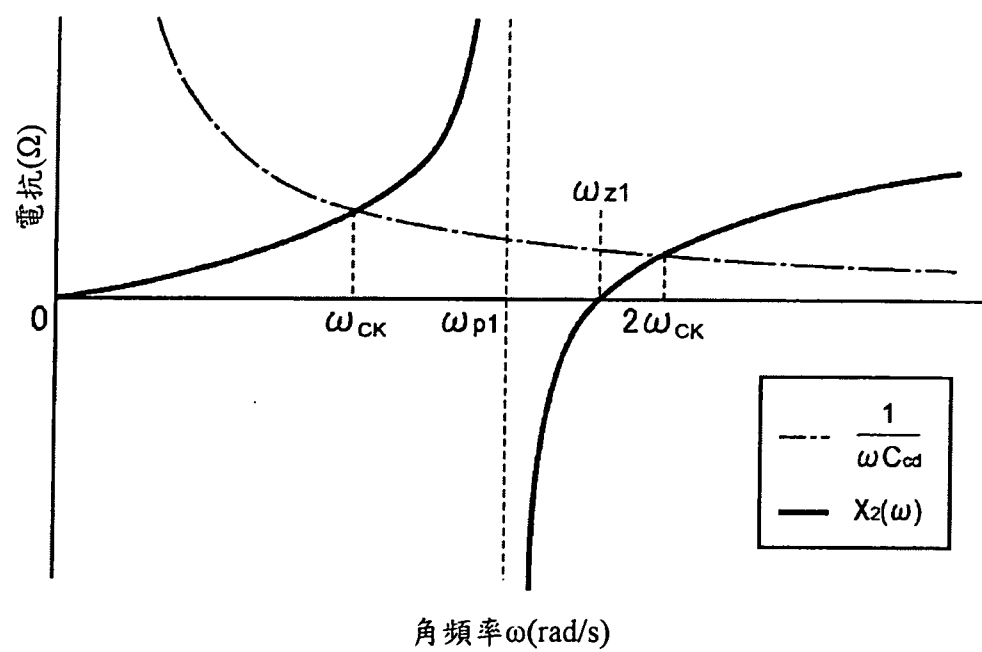


圖5

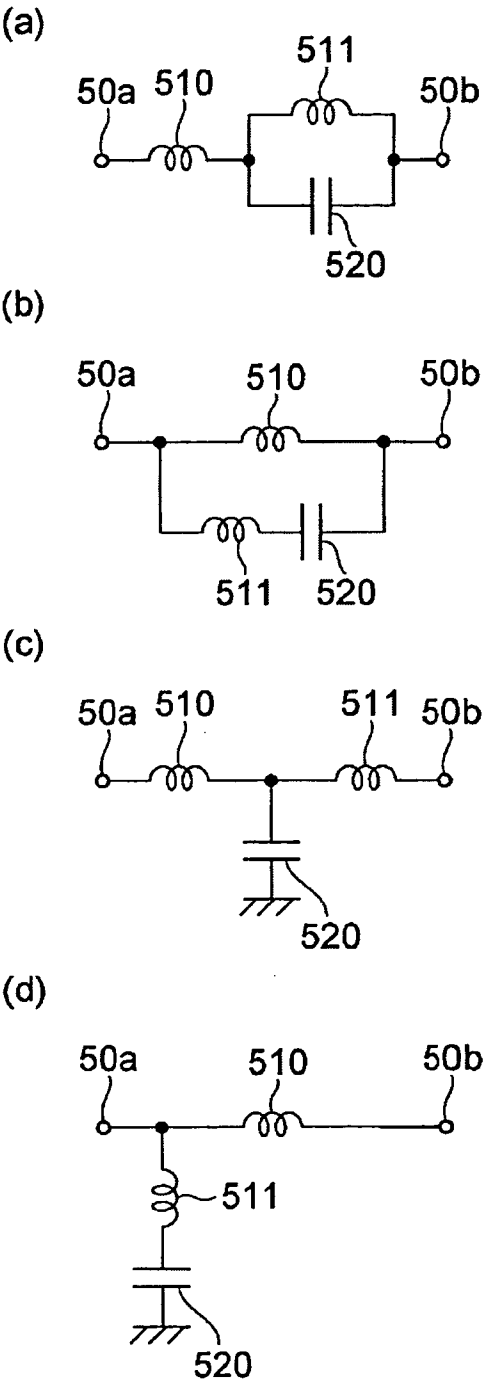


圖 6

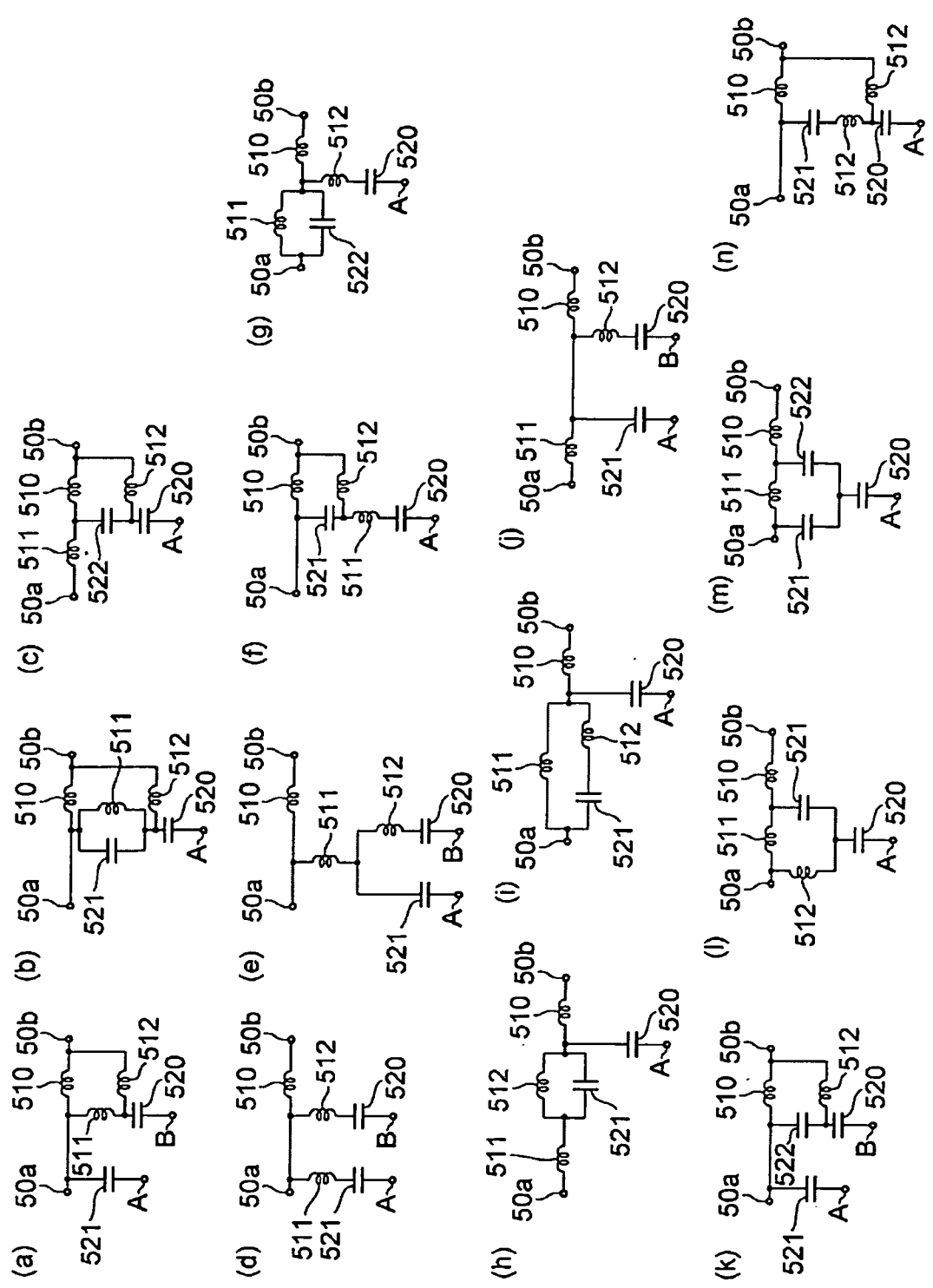


圖 7

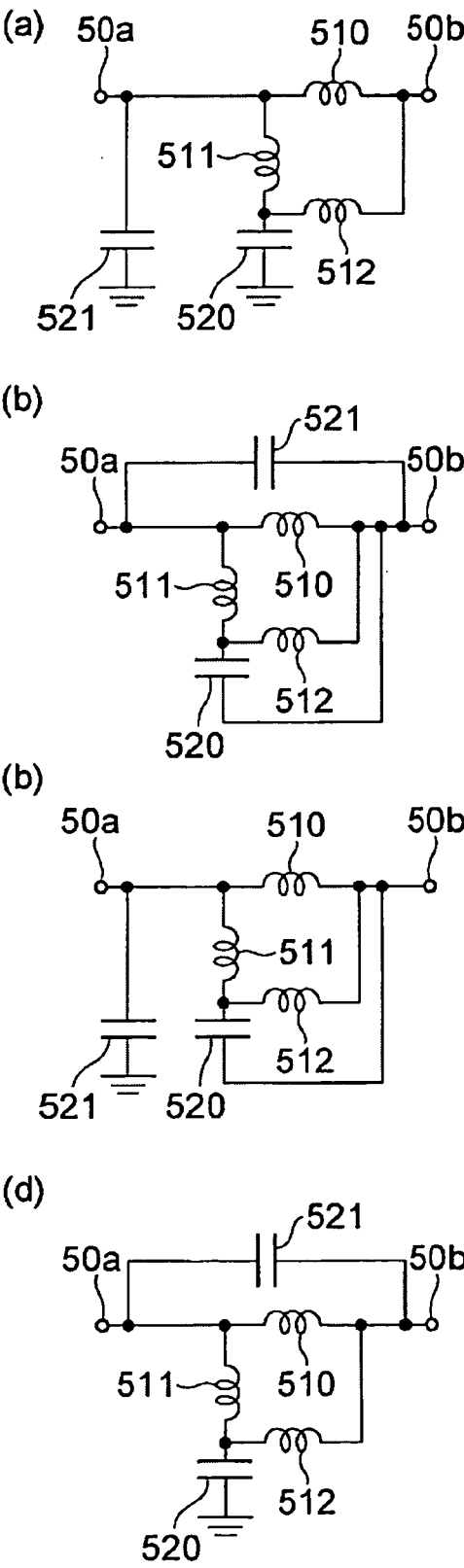


圖 8



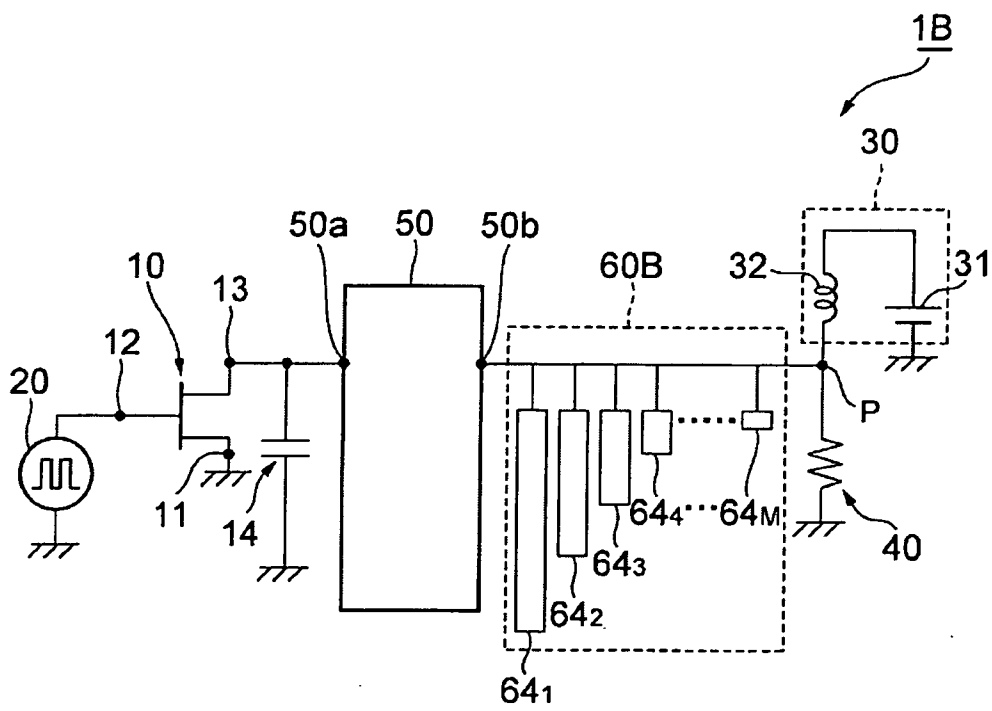


圖9

$\begin{matrix} N \\ n \end{matrix}$	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	...
1	O		O		O		O		O		O		O		O		O		
2		O				O				O				O				O	
3				O								O							
4								O											
$\vdots$																			

圖10

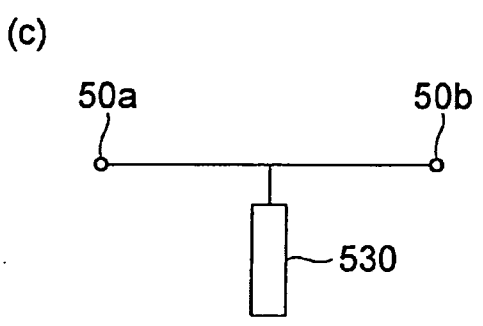
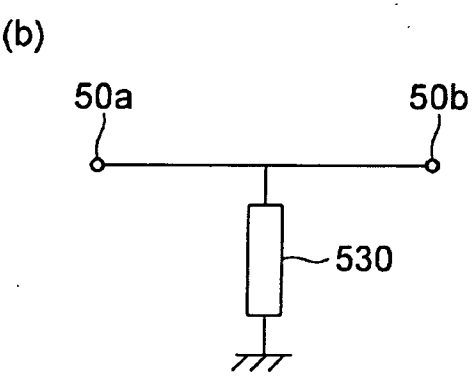
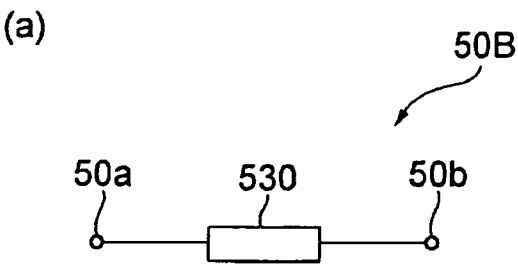


圖 11

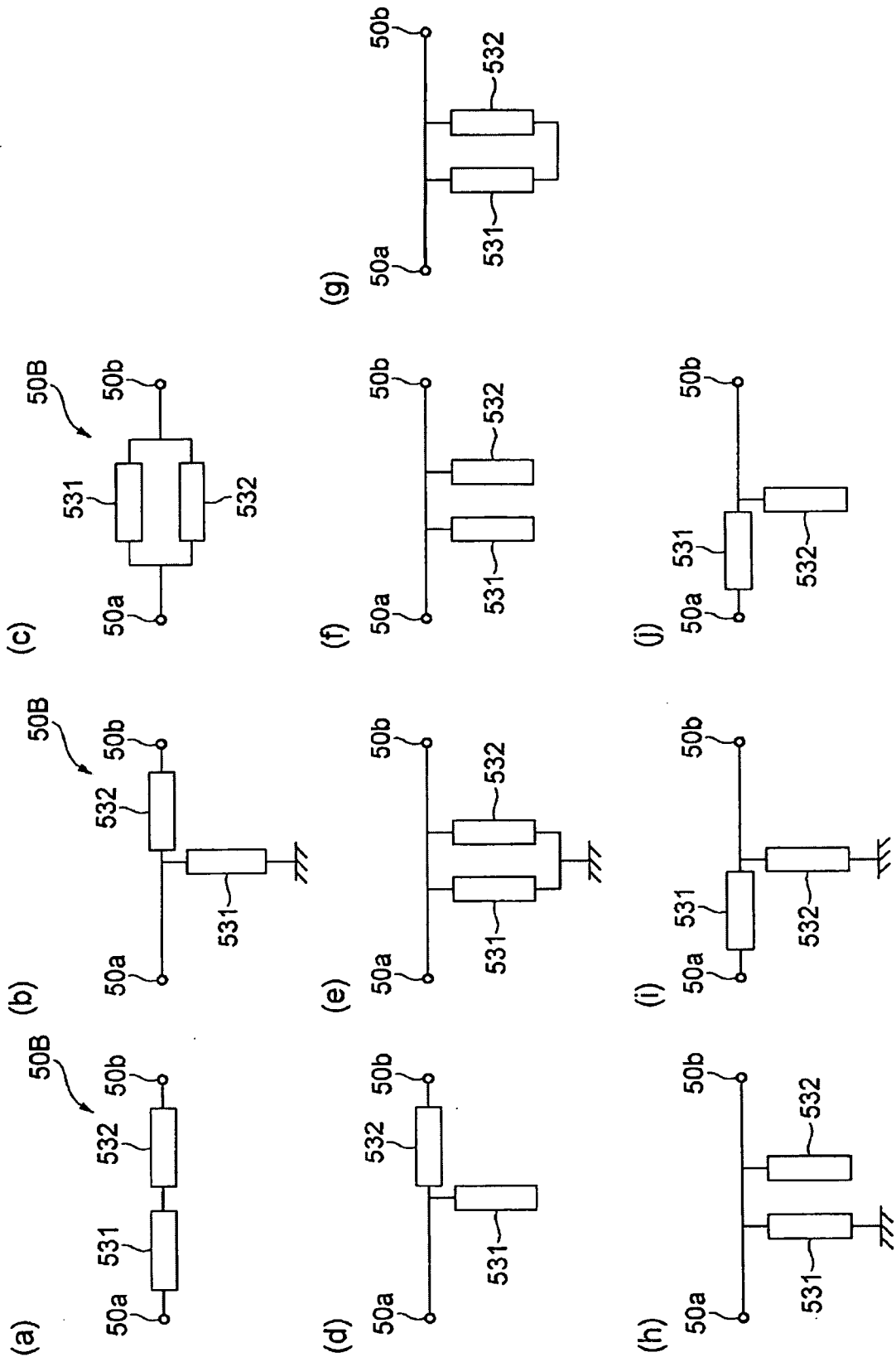


圖12

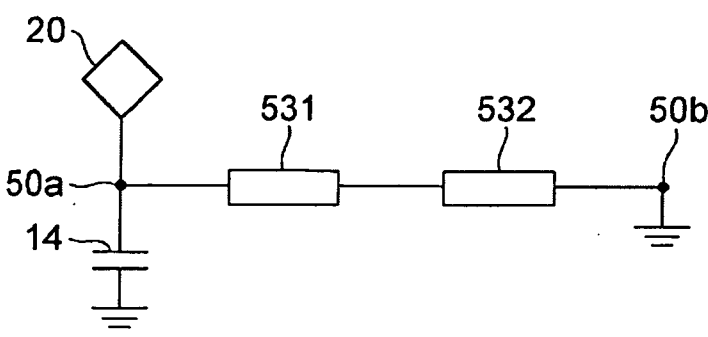


圖13

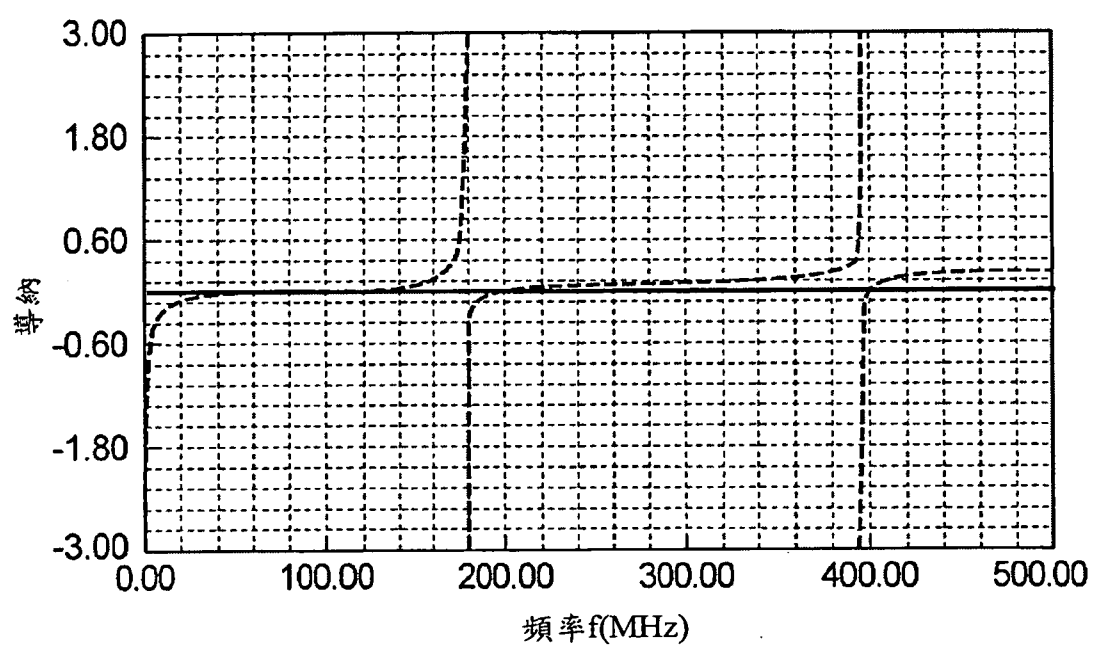


圖14

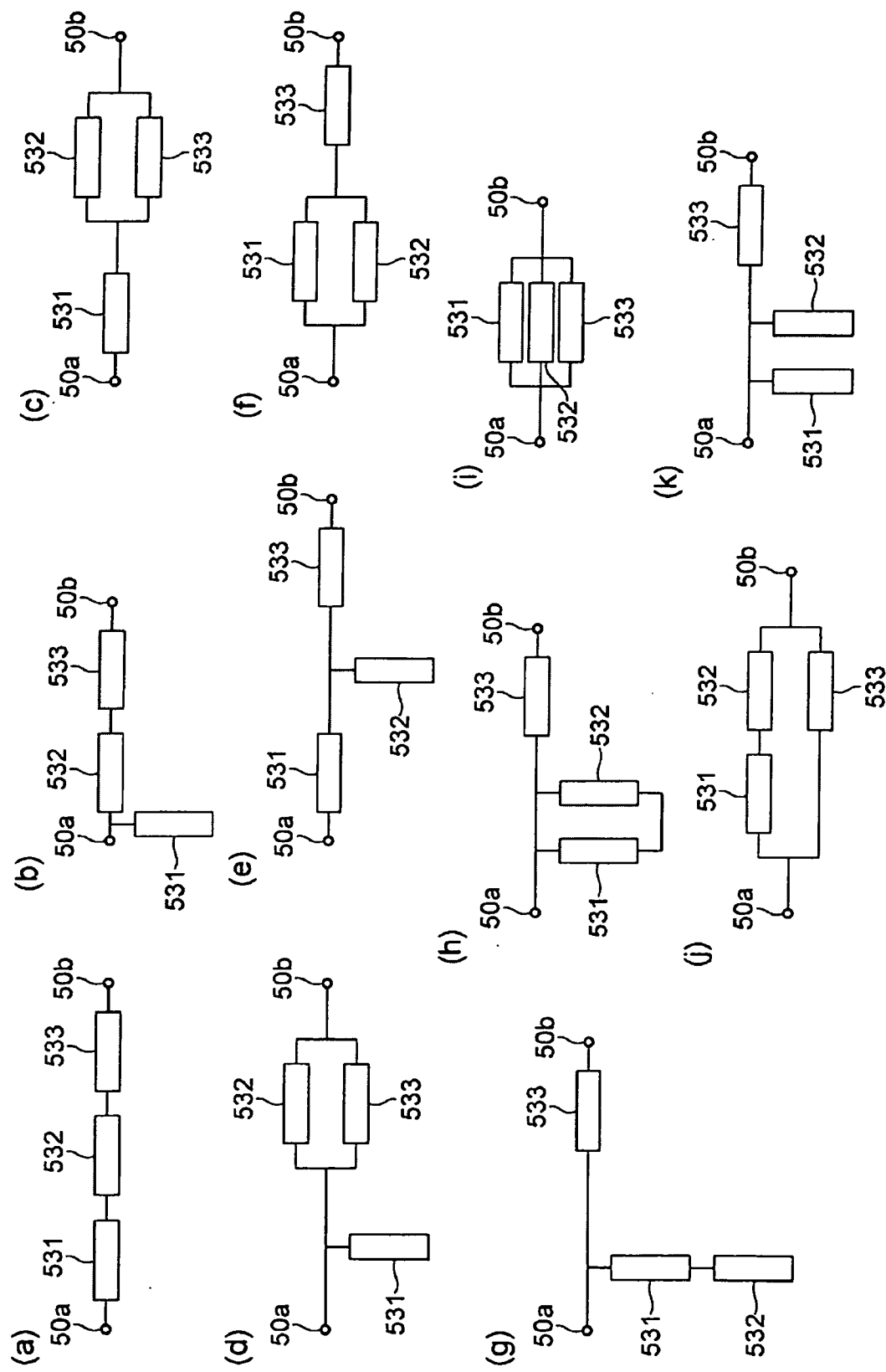


圖15