



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0096886
(43) 공개일자 2020년08월14일

(51) 국제특허분류(Int. Cl.)
H03F 1/52 (2006.01) H03F 1/56 (2006.01)
(52) CPC특허분류
H03F 1/523 (2013.01)
H03F 1/565 (2013.01)
(21) 출원번호 10-2020-0091559
(22) 출원일자 2020년07월23일
심사청구일자 없음

(71) 출원인
한양대학교 에리카산학협력단
경기도 안산시 상록구 한양대학로 55
(72) 발명자
김정현
경기도 성남시 분당구 동판교로 123, 102동 1503호(백현동, 푸르지오그랑블)
황성운
경기도 안산시 상록구 성안길 87 가은빌딩 301호
이석민
경기도 화성시 수노을1로 235 (새솔동, 더 펠리체 휴먼빌 아파트), 108동 1901호
(74) 대리인
김준석

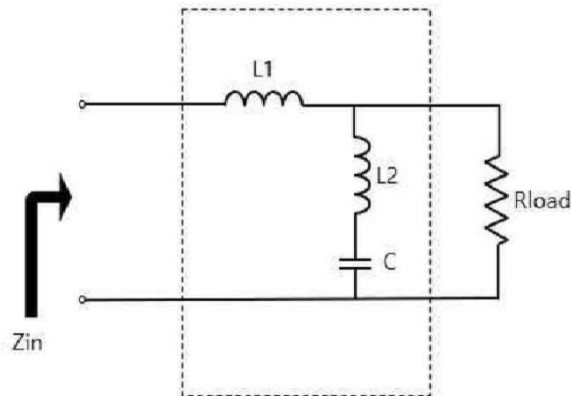
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로

(57) 요약

본 발명은 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로에 관한 것으로, 특히, 임피던스 매칭을 이용해 부하 단자로 공급되는 전류를 제어할 수 있는 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로에 관한 것이다. 본 발명의 실시 예에 따른 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로는 직류를 공급 받아 교류 신호로 변환하는 증폭기 및 상기 증폭기와 부하 단자 사이에 접속되는 필터 회로를 포함하며, 상기 필터 회로는 상기 부하 단자의 제1 단과 상기 증폭기 사이에 접속되는 제1 인덕터 및 상기 부하 단자의 상기 제1 단과 제2 단 사이에 서로 직렬로 접속되는 제2 인덕터와 커패시터를 포함한다.

대표도 - 도3



명세서

청구범위

청구항 1

증폭기의 제1 단자에 접속되는 제1 인덕터;

상기 제1 인덕터와 상기 증폭기 사이에 마련되어 상기 증폭기의 부하 단자에 병렬로 접속되는 제2 인덕터;

상기 증폭기의 제2 단자와 상기 제2 인덕터와 직렬로 접속되는 커패시터;를 포함하는 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로.

청구항 2

제1항에 있어서,

상기 제1 인덕터의 인덕턴스는 상기 증폭기의 교류 신호 주파수와 부하 단자로의 허용 피크 전류에 따라 결정되는 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로.

청구항 3

제1항에 있어서,

상기 제1 인덕터의 인덕턴스(L_1)는 아래의 수학적식을 만족하도록 결정되는 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로.

[수학적식]

$$L_1 \geq \frac{V}{\pi \cdot f \cdot I_{peak}}$$

여기서, V 는 상기 구형파 전원의 전압 크기이고, f 는 상기 구형파 전원의 주파수이며, I_{peak} 는 상기 부하 단자로의 허용 피크 전류 크기를 나타냄.

청구항 4

제1항에 있어서,

상기 제2 인덕터의 인덕턴스(L_2)와 상기 커패시터의 커패시턴스(C)는 아래의 수학적식을 만족하도록 결정되는 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로.

[수학적식]

$$L_2 \cdot C \leq \frac{1}{(2 \cdot \pi \cdot f)^2}$$

여기서, f 는 상기 구형파 전원의 주파수를 나타냄.

청구항 5

제1항에 있어서,

상기 제2 인덕터의 인덕턴스는 상기 제1 인덕터의 인덕턴스의 절반 이하인 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로.

청구항 6

제1항에 있어서,

상기 증폭기는 제어 신호 생성부로부터 출력되는 제어 신호들에 응답하여 구동되는 복수의 스위치들을 포함하는 풀 브리지 컨버터인 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로.

청구항 7

제6항에 있어서,

상기 증폭기는,

상기 직류 전원의 양극과 제1 노드 사이에 접속되며 제1 제어 신호에 응답하여 스위칭되는 제1 스위치;

상기 제1 노드와 상기 직류 전원의 음극 사이에 접속되며 제2 제어 신호에 응답하여 스위칭되는 제2 스위치;

상기 직류 전원의 상기 양극과 제2 노드 사이에 접속되며 제3 제어 신호에 응답하여 스위칭되는 제3 스위치; 및

상기 제2 노드와 상기 직류 전원의 상기 음극 사이에 접속되며 제4 제어 신호에 응답하여 스위칭되는 제4 스위치를 포함하는 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로.

청구항 8

제7항에 있어서,

상기 제1 제어 신호와 상기 제2 제어 신호는 교호적이며, 상기 제3 제어 신호와 상기 제4 제어 신호는 교호적인 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로.

청구항 9

제6항에 있어서,

상기 제어 신호 생성부는 상기 부하 단자로 출력되는 전류의 크기에 따라 상기 제어 신호들의 듀티비(duty ratio)를 결정하는 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로.

발명의 설명

기술 분야

[0001] 본 발명은 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로에 관한 것으로, 특히, 임피던스 매칭을 이용해 부하 단자로 공급되는 전류를 제어할 수 있는 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로에 관한 것이다.

배경 기술

[0002] 전력증폭기는 직류를 공급 받아 교류 소신호를 증폭시켜 부하에 흘려 전력을 발생시키는 도구이다. 예를 들어, 공급 받는 직류 전원 부는 일반적으로 예상 범위 내의 전류가 흐르지만, 부하가 서로 닿거나(short) 닿지 않는 경우(open)일 때는 예상치 못한 이상 전류, 즉, 과전류가 흐를 수 있다.

[0003] 전력증폭기 자체와 상기 증폭기 주변 회로부가 이상 전류에 의해 손상될 수 있기 때문에 전력증폭기 내부에 과전류를 제어할 수 있는 장치가 필요하다.

[0004] 종래에는 기준 값을 초과하는 전류가 발생하면 전류를 차단하는 퓨즈를 사용하기도 하였는데, 퓨즈를 교체하는 동안 회로를 재구동할 수 없는 문제가 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 이루고자 하는 기술적인 과제는 전력증폭기의 출력단에 임피던스 매칭을 이용해 부하 단자로 공급되는 전류를 제어할 수 있는 과전류 제어 회로를 제공하는 것이다.

과제의 해결 수단

[0006] 본 발명의 실시 예에 따른 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로는 증폭기의 제1 단자에

접속되는 제1 인덕터와 제1 인덕터와 증폭기 사이에 마련되어 증폭기의 부하 단자에 병렬로 접속되는 제2 인덕터와 증폭기의 제2 단자와 제2 인덕터와 직렬로 접속되는 커패시터;를 포함한다.

[0007] 실시 예에 따라, 상기 제1 인덕터의 인덕턴스는 상기 교류 신호의 주파수와 상기 부하 단자로의 허용 피크 전류에 따라 결정될 수 있다.

[0008] 실시 예에 따라, 상기 제1 인덕터의 인덕턴스(L_1)는 아래의 수학적식을 만족하도록 결정될 수 있다.

[0009] [수학적식]

$$L_1 \geq \frac{V}{\pi \cdot f \cdot I_{peak}}$$

[0010]

[0011] 여기서, V 는 상기 교류 신호의 전압 크기이고, f 는 상기 교류 신호의 주파수이며, I_{peak} 는 상기 부하 단자로의 허용 피크 전류 크기를 나타낸다.

[0012] 실시 예에 따라, 상기 제2 인덕터의 인덕턴스(L_2)와 상기 커패시터의 커패시턴스(C)는 아래의 수학적식을 만족하도록 결정될 수 있다.

[0013] [수학적식]

$$L_2 \cdot C \leq \frac{1}{(2 \cdot \pi \cdot f)^2}$$

[0014]

[0015] 여기서, f 는 상기 교류 신호의 주파수를 나타낸다.

[0016] 실시 예에 따라, 상기 제2 인덕터의 인덕턴스는 상기 제1 인덕터의 인덕턴스의 절반 이하일 수 있다.

[0017] 실시 예에 따라, 상기 증폭기는 제어 신호 생성부로부터 출력되는 제어 신호들에 응답하여 구동되는 복수의 스위치들을 포함하는 스위칭 증폭기일 수 있다.

[0018] 여기서, 스위칭 증폭기는 직류 전원의 양극과 제1 노드 사이에 접속되며 제1 제어 신호에 응답하여 스위칭되는 제1 스위치, 상기 제1 노드와 상기 직류 전원의 음극 사이에 접속되며 제2 제어 신호에 응답하여 스위칭되는 제2 스위치, 상기 직류 전원의 상기 양극과 제2 노드 사이에 접속되며 제3 제어 신호에 응답하여 스위칭되는 제3 스위치 및 상기 제2 노드와 상기 직류 전원의 상기 음극 사이에 접속되며 제4 제어 신호에 응답하여 스위칭되는 제4 스위치를 포함할 수 있다.

[0019] 실시 예에 따라, 상기 제1 제어 신호와 상기 제2 제어 신호는 교호적이며, 상기 제3 제어 신호와 상기 제4 제어 신호는 교호적인 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로일 수 있다.

발명의 효과

[0020] 본 발명의 실시 예에 따른 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로는 임피던스 매칭을 이용해 부하 단자로 공급되는 전류를 제어할 수 있다. 특히, 상기 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로는 부하단의 임피던스가 급격하게 변할 때에도 과전류를 제어할 수 있으며, 메인 회로를 지속적으로 동작시킬 수 있다.

도면의 간단한 설명

[0021] 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1는 본 발명의 실시 예에 따른 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로의 블록도를 나타낸다.

도 2은 도 3에 도시된 증폭기와 필터 회로의 일 실시 예를 나타내는 회로도이다.

도 3는 도 2에 도시된 필터 회로를 보다 상세하게 설명하기 위한 회로도이다.

도 4는 도 1에 도시된 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로의 단락(short) 상태에서의 출력 전류 및 출력 전압의 변화를 나타내는 그래프이다.

도 5는 도 1에 도시된 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로의 개방(open) 상태에서의 출력 전류 및 출력 전압의 변화를 나타내는 그래프이다.

도 6은 도 1에 도시된 회로를 PCB(printed circuit board)로 구현한 사진이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 발명의 개념에 따른 실시 예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시 예들은 다양한 형태들로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되지 않는다.
- [0023] 본 발명의 개념에 따른 실시 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시 예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시 예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.
- [0024] 제1 또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1구성요소는 제2구성요소로 명명될 수 있고, 유사하게 제2구성요소는 제1구성요소로도 명명될 수 있다.
- [0025] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0026] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0027] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0028] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다.
- [0029] 도 1는 본 발명의 실시 예에 따른 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로의 블록도를 나타낸다.
- [0030] 도 1를 참조하면, 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로(10)는 전원부(100), 증폭기(200), 필터 회로(300) 및 제어 신호 생성부(400)를 포함한다.
- [0031] 전원부(100)는 직류 전원(V_s)를 생성하고 생성된 직류 전원(V_s)을 증폭기(200)로 공급한다. 또한, 전원부(100)는 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로(10)의 동작을 위한 전력을 공급한다.
- [0032] 증폭기(200)는 전원부(100)로부터 공급되는 직류 전원(V_s)을 이용하여, 교류 신호로 변환하고 생성된 고주파 교류 회로는 필터 회로(300)로 공급한다. 실시 예에 따라, 스위칭 증폭기 및 선형증폭기로 구현될 수 있다.
- [0033] 증폭기(200)의 구체적인 구조 및 동작은 도 2을 통해 보다 상세하게 설명될 것이다.
- [0034] 필터 회로(300)는 증폭기(200)로부터 공급되는 고주파 신호(V_{in})을 정류하여 출력 전원(V_L)으로서 부하 단자로 공급한다. 필터 회로(300)는 2개의 인덕터와 1개의 커패시터를 포함한다.

- [0035] 필터 회로(300)의 구체적인 구조 및 동작은 도 2을 통해 보다 상세하게 설명될 것이다.
- [0036] 제어 신호 생성부(400)는 복수의 제어 신호들(PS1 내지 PS4)을 생성하고 생성된 제어 신호들(PS1 내지 PS4)을 증폭기(200)로 출력한다.
- [0037] 실시 예에 따라, 제어 신호 생성부(400)는 필터 회로(300)에서 전류를 센싱하고 센싱된 전류값(IS)에 따라 제어 신호들(PS1 내지 PS4)의 듀티비(duty ratio)를 조절할 수 있다. 예를 들어, 제어 신호 생성부(400)는 필터 회로(300)로부터 부하단자로 출력되는 출력전류를 센싱하고 센싱 결과에 따라 제어 신호들(PS1 내지 PS4)의 듀티비를 조절할 수 있다.
- [0038] 도 2은 도 1에 도시된 증폭기와 필터 회로의 일 실시 예를 나타내는 회로도이다.
- [0039] 도 2을 참조하면, 증폭기(200)는 복수의 스위치들(SW1 내지 SW4)을 포함한다. 스위치들(SW1 내지 SW4)은 제어 신호들(PS1 내지 PS4)에 응답하여 스위칭된다.
- [0040] 구체적으로, 제1 스위치(SW1)는 직류 전원(Vs)의 양극과 제1 노드(N1) 사이에 접속되며, 제어 신호 생성부(400)로부터 출력된 제1 제어 신호(PS1)에 응답하여 스위칭된다.
- [0041] 제2 스위치(SW2)는 제1 노드(N1)와 직류 전원(Vs)의 음극 사이에 접속되며, 제어 신호 생성부(400)로부터 출력된 제2 제어 신호(PS2)에 응답하여 스위칭된다.
- [0042] 제3 스위치(SW3)는 직류 전원(Vs)의 양극과 제2 노드(N2) 사이에 접속되며, 제어 신호 생성부(400)로부터 출력된 제3 제어 신호(PS3)에 응답하여 스위칭된다.
- [0043] 제4 스위치(SW4)는 제2 노드(N2)와 직류 전원(Vs)의 음극 사이에 접속되며, 제어 신호 생성부(400)로부터 출력된 제4 제어 신호(PS4)에 응답하여 스위칭된다.
- [0044] 여기서, 제1 노드(N1)와 제2 노드(N2)는 증폭기(200)의 출력 단자이다. 즉, 증폭기(200)와 필터 회로(300)는 제1 노드(N1)와 제2 노드(N2)를 통해 접속될 수 있다.
- [0045] 제1 제어 신호(PS1)와 제2 제어 신호(PS2)는 교호적, 즉, 서로 번갈아서 입력되는 신호이다. 다시 말해, 제어 신호 생성부(400)는 제1 제어 신호(PS1)와 제2 제어 신호(PS2)를 번갈아서 증폭기(200)로 공급한다. 제3 제어 신호(PS3)와 제4 제어 신호(PS4)도 교호적이다.
- [0046] 필터 회로(300)는 제1 인덕터(L₁), 제2 인덕터(L₂) 및 커패시터(C)를 포함한다.
- [0047] 제1 인덕터(L₁)는 증폭기(200)와 부하 단자 중 어느 하나 사이에 접속된다. 예를 들어, 제1 인덕터(L₁)는 증폭기(200)의 제1 노드(N1)와 부하 단자 중 제1 단(O1) 사이에 접속될 수 있다.
- [0048] 제2 인덕터(L₂)와 커패시터(C)는 부하 단자 사이에 접속된다. 예를 들어, 제2 인덕터(L₂)와 커패시터(C)는 부하 단자의 제1 단(O1)와 제2 단(O2) 사이에 접속될 수 있다. 증폭기(200)의 제2 노드(N2)와 부하 단자(O2)는 동일한 노드이므로, 제2 인덕터(L₂)와 커패시터(C)는 컨터버(200)의 제2 노드(N2)와 부하 단자의 제1 단(O1) 사이에 접속될 수 있다.
- [0049] 도 3는 도 2에 도시된 인덕터들과 커패시터의 크기를 결정하는 과정을 설명하기 위한 회로도이다. 도 4에서는 설명의 편의를 위해 부하 저항(R_L)을 함께 도시하였다.
- [0050] 도 3를 참조하면, 제1 노드(N1)와 제2 노드(N2)에서 바라 본 임피던스(Z_{in})는 아래의 수학식 1과 같다.
- [0051] [수학식 1]
- $$Z_{in} = j * \omega L_1 + \frac{\omega^4 L_2^2 C^2 R_L - 2\omega^2 L_2 C R_L + R_L + j * (\omega^3 L_2 C^2 R_L^2 - \omega C R_L^2)}{\omega^4 L_2^2 C^2 - 2\omega^2 L_2 C + \omega^2 C^2 R_L^2 + 1}$$
- [0052]
- [0053] 여기서, j는 허수를 의미하며, w는 구형파 전원(V_{in})의 각속도([rad/s])를 의미한다.
- [0054] 임피던스(Z_{in})에서 제1 인덕터(L₁)를 제외한 부분 임피던스(Z_i)은 아래의 수학식 2와 같다.

[0055] [수학식 2]

$$Z_1 = \frac{\omega^4 L_2^2 C^2 R_L - 2\omega^2 L_2 C R_L + R_L + j * (\omega^3 L_2 C^2 R_L^2 - \omega C R_L^2)}{\omega^4 L_2^2 C^2 - 2\omega^2 L_2 C + \omega^2 C^2 R_L^2 + 1}$$

[0056]

[0057] 제1 인덕터(L1)의 인덕턴스는 부하 단자가 단락된 경우를 과전류가 발생하기 않도록 결정된다.

[0058] 부하 단자가 단락된 경우, 즉, 제1 단(01)과 제2 단(02)가 단락된 경우, R_L 이 0이므로 Z_{in} 은 $j * \omega L_1$ 이 된다. 이와 같은 경우에도 출력 전류(I_L)가 아래의 수학식 3과 같이 최대 허용 전류(I_{peak}) 이하가 되어야 한다.

[0059] [수학식 3]

$$I_L = \frac{V}{2 * \pi * f * L_1} \leq I_{peak}$$

[0060]

[0061] 여기서, V 는 구형파 전원(V_{in})의 전압을 의미하며, f 는 구형파 전원(V_{in})의 주파수([Hz])를 의미한다.

[0062] 상기 수학식 3을 정리하면, 제1 인덕터(L1)의 인덕턴스의 범위가 아래의 수학식 4와 같이 결정된다.

[0063] [수학식 4]

$$L_1 \geq \frac{V}{2 * \pi * f * I_{peak}}$$

[0064]

[0065] 예를 들어, 구형파 전원(V_{in})의 전압이 50[V]이고, 주파수가 4[MHz]이며, 허용 최대 전류(I_{peak})가 5[A]라면, 제1 인덕터(L_1)의 인덕턴스는 상기 수학식 4에 따라 0.4[uH] 이상으로 결정될 수 있다.

[0066] 제2 인덕터(L_2)의 인덕턴스와 커패시터(C)의 커패시턴스는 제2 인덕터(L_2)와 커패시터(C)가 전체적으로 커패시터로 보여질 수 있는 범위로 결정된다. 즉, 상기 수학식 2에 표시된 부분 임피던스(Z_1)에서 허수 부분이 음의 값을 갖도록 제2 인덕터(L_2)와 커패시터(C)의 크기를 결정한다.

[0067] 부분 임피던스(Z_1)에서 허수 부분(Z_{1_imag})은 아래의 수학식 5와 같다.

$$Z_{1_imag} = \frac{j * (\omega^3 L_2 C^2 R_L^2 - \omega C R_L^2)}{\omega^4 L_2^2 C^2 - 2\omega^2 L_2 C + \omega^2 C^2 R_L^2 + 1}$$

[0068]

[0069] 허수 부분(Z_{1_imag})이 음수가 되려면 분모와 분자가 서로 다른 부호이어야 한다. 즉, 허수 부분(Z_{1_imag})이 음수가 되려면 분모가 음수, 분자가 양수이거나 분모가 양수, 분자가 음수이어야 한다.

[0070] 부하 저항(R_L)이 크더라도 출력 전류(I_L)이 흘러야 하므로 허수 부분(Z_{1_imag})의 분자가 음수이고 분모가 양수가 되어야 한다. 즉, 제2 인덕터(L_2)의 인덕턴스와 커패시터(C)의 커패시턴스는 아래의 수학식 6을 만족하여야 한다.

[0071] [수학식 6]

$$\omega^3 L_2 C^2 R_L^2 - \omega C R_L^2 \leq 0$$

[0072]

[0073] 상기 수학식 6을 정리하면, 아래의 수학식 7과 같다.

[0074] [수학식 7]

$$L_2 \cdot C \leq \frac{1}{(2 \cdot \pi \cdot f)^2}$$

[0075]

[0076] 부하 저항(R_L)이 낮을 때에도 출력 전류(I_L)이 흐를 수 있도록 제2 인덕터(L_2)의 크기는 제1 인덕터(L_1)의 크기의 절반 이하가 되는 것이 바람직하다.

[0077] 도 4는 도 1에 도시된 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로의 단락(short) 상태에서의 출력 전류 및 출력 전압의 변화를 나타내는 그래프이며, 도 5은 도 1에 도시된 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로의 개방(open) 상태에서의 출력 전류 및 출력 전압의 변화를 나타내는 그래프이다.

[0078] 도 4 및 도 5의 그래프는 제1 인덕터(L_1)를 1[uH]로 설정하고 제2 인덕터(L_2)를 0.3[uH]로 설정하고 커패시터(C)를 1.6[nF]로 설정하여 출력 전류(I_L)와 출력 전압(V_L)을 측정한 것이다.

[0079] 도 4 및 도 5을 참조하면, 상기 수학식 4와 상기 수학식 7을 만족하도록 인덕터들(L_1 , L_2)의 인덕턴스와 커패시터(C)의 커패시턴스를 결정하면, 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로(10)의 출력 전류는 리플 전류(ripple current) 없이 부하 단자로 공급되는 것을 확인할 수 있다.

[0080] 도 6은 도 1에 도시된 필터 회로를 PCB(printed circuit board)로 구현한 사진이다. 도 6을 참조하면, 제1 인덕터(L_1)와 제2 인덕터(L_2)는 도 6에 도시된 바와 같이 PCB 평면 상에 구현될 수 있다.

[0081] 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

[0082] 10; 전력증폭기 출력 임피던스 매칭을 이용한 과전류 제어 회로

100; 전원부

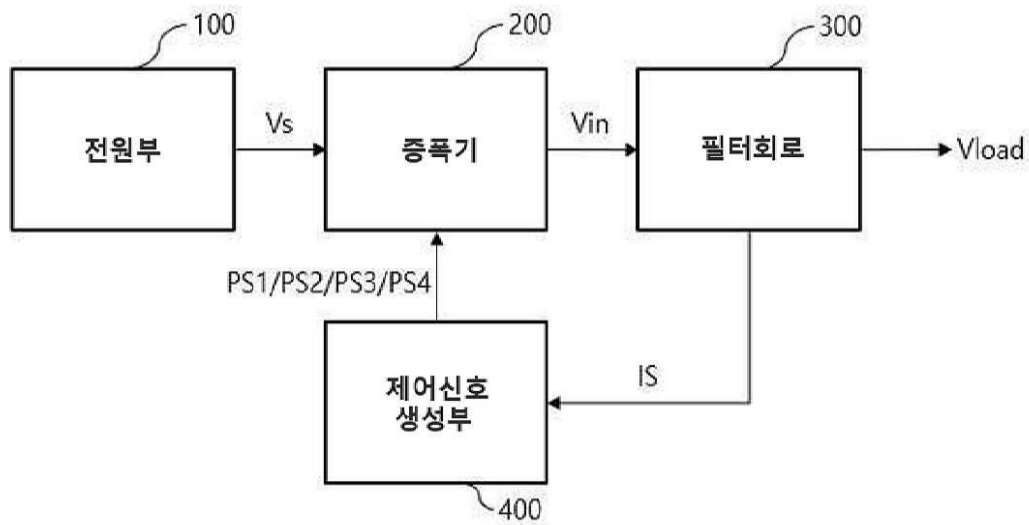
200; 증폭기

300; 필터 회로

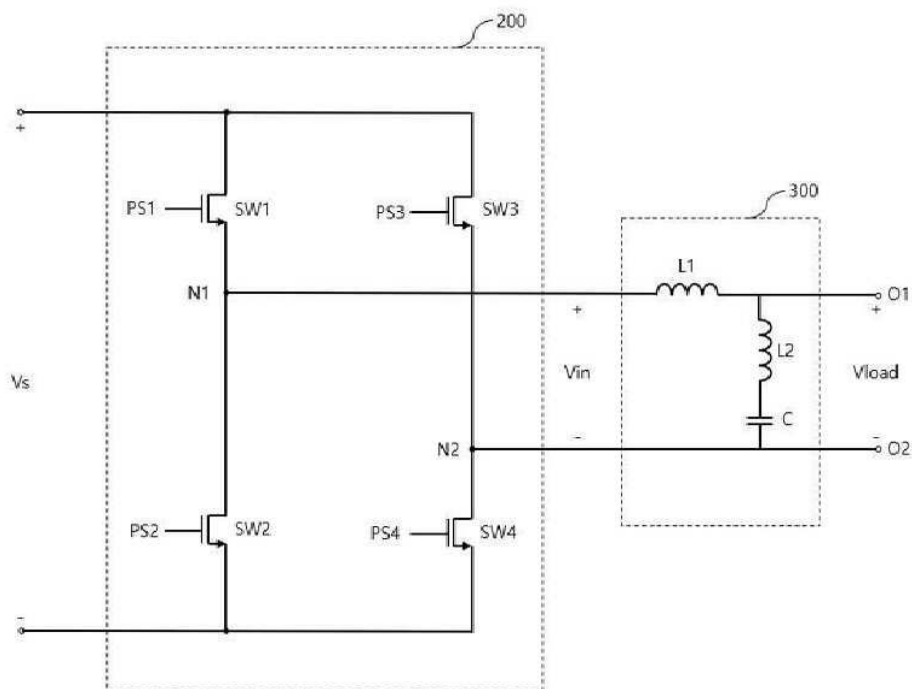
400; 제어 신호 생성부

도면

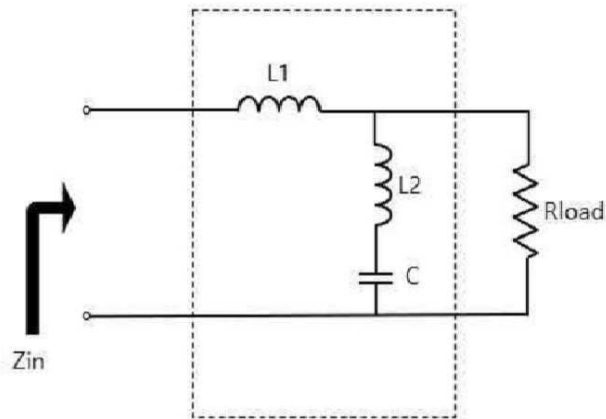
도면1



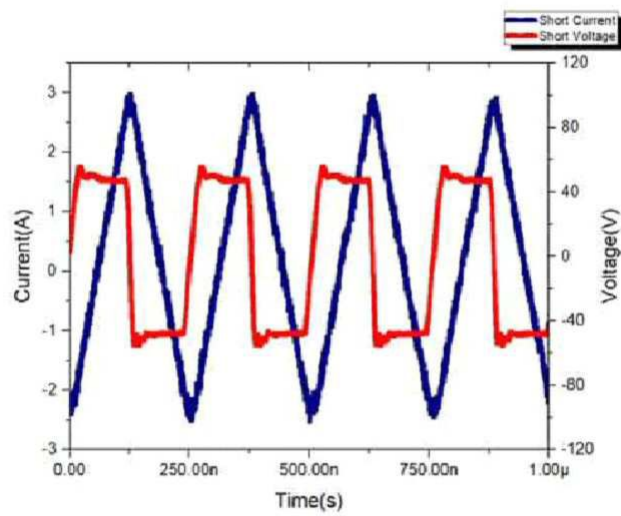
도면2



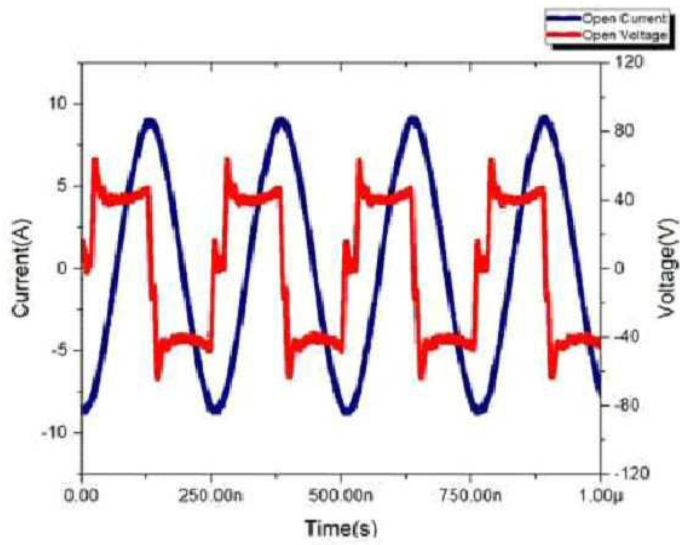
도면3



도면4



도면5



도면6

