(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년07월25일
(11) 등록번호 10-2424567
(24) 등록일자 2022년07월20일

(51) 국제특허분류(Int. Cl.)
H01L 21/306 (2006.01) *H01L 21/02* (2006.01)
H01L 21/308 (2006.01)
(52) CPC특허분류
H01L 21/30604 (2013.01)
H01L 21/02057 (2013.01)
(21) 출원번호 10-2018-7006394(분할)
(22) 출원일자(국제) 2016년05월23일
심사청구일자 2021년05월21일
(85) 번역문제출일자 2018년03월05일
(65) 공개번호 10-2018-0029091
(43) 공개일자 2018년03월19일
(62) 원출원 특허 10-2017-7005543
원출원일자(국제) 2016년05월23일
심사청구일자 2017년02월27일
(86) 국제출원번호 PCT/US2016/033783
(87) 국제공개번호 WO 2016/191371
국제공개일자 2016년12월01일
(30) 우선권주장
62/165,816 2015년05월22일 미국(US)
15/051,362 2016년02월23일 미국(US)
(56) 선행기술조사문헌
JP08203833 A*
KR1019900002405 A*
KR100166958 B1
JP05021357 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
스트라티오 인코포레이티드
미국 캘리포니아주 95131 산호세 콘코스 드라이브 1863
주식회사 스트라티오코리아
서울특별시 서초구 명달로 106, 2층(서초동, 원영빌딩)
(72) 발명자
이제형
미국 캘리포니아주 95131 산호세 콘코스 드라이브 1863
나열
미국 캘리포니아주 95131 산호세 콘코스 드라이브 1863
(뒷면에 계속)
(74) 대리인
특허법인태평양

전체 청구항 수 : 총 31 항 심사관 : 심병로

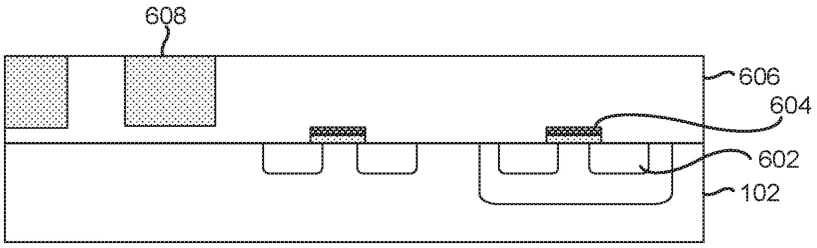
(54) 발명의 명칭 **에피택셜 성장 동안 형성되는 핵을 제거 방법**

(57) 요 약

선택적 에피택셜 성장 공정 동안 형성되는 핵을 제거하는 방법은, 하나 이상의 마스크 층을 갖는 기판 위에 하나 이상의 반도체 구조의 제1 그룹을 에피택셜 성장시키는 단계를 포함한다. 복수의 반도체 구조의 제2 그룹은 하나 이상의 마스크 층 상에 형성된다. 방법은, 또한, 하나 이상의 반도체 구조의 제1 그룹 위에 하나 이상의 보호층

(뒷면에 계속)

대 표 도 - 도6b



을 형성하는 단계를 포함한다. 복수의 반도체 구조의 제2 그룹의 적어도 서브세트는 하나 이상의 보호층으로부터 노출된다. 방법은, 하나 이상의 반도체 구조의 제1 그룹 위에 하나 이상의 보호층을 형성하는 단계에 후속하여, 복수의 반도체 구조의 제2 그룹의 적어도 그 서브세트를 에칭하는 단계를 더 포함한다.

(52) CPC특허분류
H01L 21/02082 (2013.01)
H01L 21/02636 (2013.01)
H01L 21/3081 (2013.01)

(72) 발명자
김영식
미국 캘리포니아주 95131 산호세 콘코스 드라이브 1863
정우식
미국 캘리포니아주 95131 산호세 콘코스 드라이브 1863

명 세 서

청구범위

청구항 1

선택적 에피택셜 성장 공정 동안 형성되는 핵(nuclei)을 제거하는 방법으로서,

압력을 낮추지 않고 하나 이상의 마스크 층을 갖는 기판 위에 하나 이상의 반도체 구조의 제1 그룹을 에피택셜 성장시키는 단계로서, 상기 하나 이상의 마스크 층 상에 직접적으로 복수의 반도체 구조의 제2 그룹이 형성되는, 단계;

상기 하나 이상의 반도체 구조의 제1 그룹 위에 하나 이상의 보호층을 형성하는 단계로서, 상기 복수의 반도체 구조의 제2 그룹이 상기 하나 이상의 보호층으로부터 노출되는, 단계; 및

상기 하나 이상의 반도체 구조의 제1 그룹 위에 상기 하나 이상의 보호층을 형성하는 단계에 후속하여, 상기 복수의 반도체 구조의 제2 그룹을 에칭하고 평탄화함으로써 상기 복수의 반도체 구조의 제2 그룹 전체를 제거하는 단계를 포함하고,

상기 복수의 반도체 구조의 상기 제2 그룹은 상기 하나 이상의 반도체 구조의 제1 그룹으로부터 이격되어 형성되는 핵 제거 방법.

청구항 2

청구항 1에 있어서,

상기 하나 이상의 보호층이 상기 하나 이상의 반도체 구조의 제1 그룹 위에 형성되기 전에 상기 복수의 반도체 구조의 제2 그룹을 에칭하는 것을 보류하는 단계를 포함하는, 핵 제거 방법.

청구항 3

청구항 1 또는 청구항 2에 있어서,

상기 하나 이상의 보호층이 상기 하나 이상의 반도체 구조의 제1 그룹 위에 형성될 때까지 상기 기판 상에 상기 하나 이상의 반도체 구조의 제1 그룹의 에피택셜 성장을 개시하는 것에 후속하여 상기 복수의 반도체 구조의 제2 그룹을 에칭하는 것을 보류하는 단계를 포함하는, 핵 제거 방법.

청구항 4

청구항 1 또는 청구항 2에 있어서,

상기 하나 이상의 반도체 구조의 제1 그룹은 단일 에피택셜 성장 공정에서 형성되는, 핵 제거 방법.

청구항 5

청구항 1 또는 청구항 2에 있어서,

상기 하나 이상의 보호층은 하나 이상의 포토레지스트 층을 포함하는, 핵 제거 방법.

청구항 6

청구항 1 또는 청구항 2에 있어서,

상기 하나 이상의 보호층을 형성하기 전에 적어도 상기 하나 이상의 반도체 구조의 제1 그룹 위에 하나 이상의 접착층을 증착(deposit)하는 단계를 포함하는, 핵 제거 방법.

청구항 7

청구항 6에 있어서,

상기 하나 이상의 접착층은 헥사메틸디실라잔 또는 저온 열 산화물 중 적어도 하나를 포함하는, 핵 제거 방법.

청구항 8

청구항 6에 있어서,

상기 복수의 반도체 구조의 제2 그룹을 에칭하는 것에 후속하여, 상기 하나 이상의 접착층을 제거하는 단계를 포함하는, 핵 제거 방법.

청구항 9

청구항 8에 있어서,

상기 하나 이상의 보호층과 상기 하나 이상의 접착층은 동시에 제거되는, 핵 제거 방법.

청구항 10

청구항 8에 있어서,

상기 하나 이상의 보호층은 상기 하나 이상의 접착층의 적어도 일부의 제거에 후속하여 제거되는, 핵 제거 방법.

청구항 11

청구항 1 또는 청구항 2에 있어서,

상기 복수의 반도체 구조의 제2 그룹을 에칭하는 것에 후속하여, 상기 하나 이상의 보호층을 제거하는 단계를 더 포함하는, 핵 제거 방법.

청구항 12

청구항 1 또는 청구항 2에 있어서,

상기 복수의 반도체 구조의 제2 그룹을 에칭하는 것에 후속하여, 상기 하나 이상의 반도체 구조의 제1 그룹의 적어도 서브세트를 평탄화하는 단계를 더 포함하는, 핵 제거 방법.

청구항 13

청구항 1 또는 청구항 2에 있어서,

상기 하나 이상의 마스크 층을 갖는 기판 상에 상기 하나 이상의 반도체 구조의 제1 그룹을 에피택셜 성장시키는 동안 상기 하나 이상의 마스크 층 상에 복수의 반도체 입자를 형성하는 단계를 포함하는, 핵 제거 방법.

청구항 14

청구항 1 또는 청구항 2에 있어서,

상기 복수의 반도체 구조의 제2 그룹은 상기 하나 이상의 마스크 층 상에 하나 이상의 반도체 막을 포함하는, 핵 제거 방법.

청구항 15

청구항 1 또는 청구항 2에 있어서,

상기 하나 이상의 반도체 구조의 제1 그룹은 IV족 물질을 포함하는, 핵 제거 방법.

청구항 16

청구항 1 또는 청구항 2에 있어서,

상기 하나 이상의 반도체 구조의 제1 그룹은 게르마늄을 포함하는, 핵 제거 방법.

청구항 17

청구항 1 또는 청구항 2에 있어서,

상기 하나 이상의 반도체 구조의 제1 그룹은 상기 하나 이상의 마스크 층으로부터 노출되는 상기 기판의 하나 이상의 영역 상에 형성되는, 핵 제거 방법.

청구항 18

청구항 17에 있어서,

상기 하나 이상의 반도체 구조의 제1 그룹은 상기 하나 이상의 마스크 층으로부터 노출되는 상기 기판의 상기 하나 이상의 영역 상에 상기 하나 이상의 마스크 층으로 정의되는 상기 기판의 상기 하나 이상의 영역 위 공간 전체를 채우도록 형성되는, 핵 제거 방법.

청구항 19

청구항 1 또는 청구항 2에 있어서,

상기 하나 이상의 마스크 층은 유전 물질 또는 이산화 실리콘 중 적어도 하나를 포함하는, 핵 제거 방법.

청구항 20

청구항 1 또는 청구항 2에 있어서,

상기 복수의 반도체 구조의 상기 제2 그룹은 상기 하나 이상의 반도체 구조의 제1 그룹으로부터 이격되는, 핵 제거 방법.

청구항 21

청구항 20에 있어서,

상기 하나 이상의 반도체 구조의 상기 제1 그룹은 상기 하나 이상의 마스크 층 위로 연장하는, 핵 제거 방법.

청구항 22

청구항 1 또는 청구항 2에 있어서,

상기 복수의 반도체 구조의 제2 그룹을 에칭하는 단계는, 상기 복수의 반도체 구조의 제2 그룹을 제1 속도에서 에칭하고 상기 하나 이상의 마스크 층을 상기 제1 속도보다 느린 제2 속도에서 에칭하는 단계를 포함하는, 핵 제거 방법.

청구항 23

청구항 1 또는 청구항 2에 있어서,

상기 복수의 반도체 구조의 제2 그룹을 에칭하는 단계는 상기 하나 이상의 마스크 층의 에칭을 보류하는 단계를 포함하는, 핵 제거 방법.

청구항 24

청구항 1 또는 청구항 2에 있어서,

상기 기판은 복수의 반도체 디바이스를 상기 기판 상에 포함하는, 핵 제거 방법.

청구항 25

청구항 24에 있어서,

상기 복수의 반도체 디바이스는 상기 하나 이상의 마스크 층 아래의 상기 기판 상에 위치하는, 핵 제거 방법.

청구항 26

청구항 24에 있어서,

상기 기판은 복수의 트랜지스터를 상기 기판 상에 포함하고, 상기 하나 이상의 반도체 구조의 제1 그룹의 반도체 구조는 상기 복수의 트랜지스터 중의 트랜지스터의 소스나 드레인에 전기적으로 연결되는, 핵 제거 방법.

청구항 27

청구항 26에 있어서,

상기 기판은, p형 금속-산화물-반도체 트랜지스터와 n형 금속-산화물-반도체 트랜지스터를 포함하는 복수의 상보형 금속-산화물-반도체 디바이스를 상기 기판 상에 포함하는, 핵 제거 방법.

청구항 28

청구항 27에 있어서,

상기 하나 이상의 반도체 구조의 제1 그룹의 제1 반도체 구조를 상기 p형 금속-산화물-반도체 트랜지스터 또는 상기 n형 금속-산화물-반도체 트랜지스터 중 하나의 소스나 드레인에 전기적으로 연결하는 단계를 포함하는, 핵 제거 방법.

청구항 29

청구항 1 또는 청구항 2에 있어서,

상기 하나 이상의 반도체 구조의 제1 그룹과 상기 복수의 반도체 구조의 제2 그룹은 동시에 형성되는, 핵 제거 방법.

청구항 30

청구항 17에 있어서,

상기 하나 이상의 반도체 구조의 제1 그룹은 상기 하나 이상의 마스크 층보다 높이 형성되는 핵 제거 방법.

청구항 31

청구항 12에 있어서,

상기 하나 이상의 반도체 구조의 제1 그룹의 적어도 서브세트를 평탄화하는 단계는 화학적-기계적 평탄화 단계를 포함하는, 핵 제거 방법.

발명의 설명

기 술 분 야

[0001] 본원은 일반적으로 반도체 디바이스를 제조하는 방법에 관한 것이다. 더욱 구체적으로, 개시된 실시예들은 에피택셜 성장 공정 동안 반도체 디바이스 상에 형성되는 핵을 제거하는 방법에 관한 것이다.

배 경 기 술

[0002] 에피택셜 성장은 반도체 기판 상에 결정 영역을 생성하는 보편적인 방법이다. 그러나, 반도체 기판의 불필요한 영역에 반도체 구조를 형성하는 것은 바람직하지 못하다. 예를 들어, 반도체 기판의 불필요한 영역에서 성장한 임의의 반도체 구조는 기판 상에 형성되는 디바이스의 전기적 특성 및/또는 기계적 특성에 악영향을 끼칠 수 있다.

[0003] 선택적 에피택셜 성장(SEG)은 반도체 기판의 타겟 영역 상에 결정 영역을 생성하는 데 사용된다. 선택적 에피택셜 성장을 위해, 반도체 기판은 마스킹 물질로 피복되어, 하부 기판의 소정 영역을 노출한다. 그러한 반도체 기판에서, 에피택셜 성장은, 반도체 기판의 노출된 영역에서 주로 발생하고, 마스킹 물질에서는 덜 발생한다. 선택적 에피택셜 성장은 공정 조건에 따라 에피택셜 성장 동안 마스킹 물질 상의 (예를 들어, 핵 또는 층의 형태로 된) 구조의 형성을 감소시킬 수 있지만, 많은 반도체 구조들은 에피택셜 성장 동안 여전히 마스킹 물질 상에 형성될 수도 있다.

[0004] 마스킹 물질 상에 에피택셜 성장된 구조의 형성을 제거하기 위한 다양한 시도가 이루어졌다. 예를 들어, 소정의 성장 조건들이 마스킹 물질 상에 에피택셜 성장된 구조의 형성을 더욱 억제하는 것으로 밝혀졌다. 그러나, 규정된 성장 조건들로부터의 작은 편차로 인해, 마스킹 물질 상에 에피택셜 성장된 구조의 형성이 더욱 용이하게 증가될 수 있다. 따라서, 이러한 성장 조건들은 제한적으로 사용된다.

발명의 내용

과제의 해결 수단

[0005] 따라서, 에피택셜 성장 동안 형성되는 핵을 제거하는 개선된 방법들이 필요하다. 일부 실시예들에서, 그 방법들은 성장 조건들의 변화에 덜 민감하다. 따라서, 이렇게 개선된 방법들은, 또한, 에피택셜 성장 동안 기판의 불필요한 영역 상에서의 반도체 구조의 형성을 감소시키면서 반도체 구조의 더욱 빠른 에피택셜 성장을 가능하게

한다.

[0006] 전술한 제한사항들과 단점들을 극복하는 다수의 실시예들이 이하에 더욱 상세히 제시되어 있다. 이러한 실시예들은 디바이스 및 이러한 디바이스를 제조하는 방법을 제공한다.

[0007] 더욱 상세히 후술하는 바와 같이, 일부 실시예들은, 하나 이상의 마스크 층을 갖는 기판 상에 하나 이상의 반도체 구조의 제1 그룹을 에피택셜 성장시키는 단계를 포함하는, 에피택셜 성장 공정 동안 형성되는 핵을 제거하는 방법을 포함한다. 복수의 반도체 구조의 제2 그룹은 하나 이상의 마스크 층 상에 형성된다. 방법은, 또한, 하나 이상의 반도체 구조의 제1 그룹 위에 하나 이상의 보호층을 형성하는 단계를 포함한다. 복수의 반도체 구조의 제2 그룹의 적어도 서브세트가 하나 이상의 보호층으로부터 노출된다. 방법은, 하나 이상의 반도체 구조의 제1 그룹 위에 하나 이상의 보호층을 형성하는 단계에 후속하여, 복수의 반도체 구조의 제2 그룹의 적어도 그 서브세트를 에칭하는 단계를 더 포함한다.

[0008] 일부 실시예들에 따르면, 반도체 디바이스는, 기판; 기판 위에 위치하는 제1 마스크 층 영역; 및 기판 위에 위치하는 제2 마스크 층 영역을 포함한다. 제1 마스크 층 영역은 최상면과 측면을 갖고, 제2 마스크 층 영역은 최상면과 측면을 갖는다. 반도체 디바이스는, 또한, 제1 반도체 물질 유형의 에피택셜 성장한 반도체 구조를 포함한다. 에피택셜 성장한 반도체 구조는 제1 마스크 층 영역의 측면과 제2 마스크 층 영역의 측면 사이에 위치하고, 에피택셜 성장한 반도체 구조는 제1 마스크 층 영역의 측면 및 제2 마스크 층 영역의 측면과 접한다. 제1 마스크 층 영역의 최상면과 제2 마스크 층 영역의 최상면은, 제1 마스크 층 영역의 측면과 제2 마스크 층 영역의 측면 사이에 위치하는 에피택셜 성장한 반도체 구조가 아닌 제1 반도체 물질 유형의 반도체와 접하지 않는다.

도면의 간단한 설명

[0009] 전술한 양태들 및 그 추가 양태들과 실시예들을 더 잘 이해하기 위해, 이하의 도면들과 관련하여 이하의 실시예들의 설명을 참조해야 한다.

도 1a 내지 도 1i는 일부 실시예들에 따른 반도체 기판의 부분 단면도이다.

도 2a 내지 도 2c는 일부 실시예들에 따른 반도체 기판의 부분 단면도이다.

도 3a 내지 도 3c는 일부 실시예들에 따른 반도체 기판의 부분 단면도이다.

도 4a 내지 도 4c는 일부 실시예들에 따른 반도체 기판의 부분 단면도이다.

도 5a 내지 도 5e는 일부 실시예들에 따른 반도체 기판의 부분 단면도이다.

도 6a와 6b는 일부 실시예들에 따른 반도체 기판의 부분 단면도이다.

도 7a 내지 도 7c는 일부 실시예들에 따라 선택적 에피택셜 성장 공정 동안 형성되는 핵을 제거하는 방법을 도시하는 흐름도이다.

도 8a와 도 8b는 일부 실시예들에 따라 에칭 공정 전의 반도체 기판의 주사 전자 현미경(SEM) 화상이다.

도 9a와 도 9b는 일부 실시예들에 따라 에칭 공정에 후속하는 반도체 기판의 주사 전자 현미경(SEM) 화상이다.

유사한 참조 번호들은 도들 전체에 걸쳐 대응 부분들을 가리킨다.

달리 언급하지 않는 한, 도들은 일정한 비율로 된 것은 아니다.

발명을 실시하기 위한 구체적인 내용

[0010] 전술한 바와 같이, 불필요한 영역에(예를 들어, 마스킹 물질 위에) 불필요한 반도체 구조를 형성함으로 인해, 반도체 디바이스의 전기적 특성 및/또는 기계적 특성이 불량해질 수 있다. 소정의 성장 조건들은 불필요한 영역에서의 불필요한 반도체 구조의 형성을 감소시키는 것으로 밝혀졌다.

[0011] 예를 들어, 기판은, (예를 들어, HCl 가스를 증착(deposition) 가스와 혼합함으로써) 에피택셜 성장 동안 식각제(예를 들어, HCl 가스)에 노출되고, 이에 따라 에피택셜 성장 동안 불필요한 반도체 구조를 에칭할 수 있다. 식각제에 의한 에칭 속도(etching rate)를 불필요한 반도체 구조가 형성되는 속도보다 빠르게 또한 (타겟 반도체 구조의) 에피택셜 성장의 속도보다 느리게 유지함으로써, 불필요한 반도체 구조의 형성이 감소되거나 억제된다. 그러나, 식각제가 존재함으로 인해, 에피택셜 성장하는 반도체 구조의 속도에 영향을 끼친다. 타겟 반도체

구조를 형성하는 속도는, 에칭 반응에 의해 지연되며, 이에 따라 식각제가 없는 경우에 타겟 반도체 구조를 형성하는 속도보다 느리다. 따라서, 타겟 반도체 구조를 형성하는데 감소된 속도는 전체적인 디바이스 제조 공정에 있어서 병목현상을 일으킬 수 있다. 또한, 식각제가 존재함으로 인해, 에피택셜 성장한 반도체 구조의 형상에 영향을 끼친다. 구체적으로, 지배적인 방향으로의 성장 속도 대 비지배적인 방향으로의 성장 속도의 비가 상당히 증가된다. 예를 들어, 게르마늄 에피택셜 성장에 있어서, (100)이 지배적인 성장 방향이다. 지배적인 방향으로의 성장 속도 대 비지배적인 방향으로의 성장 속도의 비가 증가되는 경우, 그 결과로 에피택셜 성장한 게르마늄 구조는 (311) 기울기를 갖는 피라미드 형상을 갖는다. 따라서, 식각제가 존재함으로 인해, 피라미드 형상과는 다른 형상을 갖는 반도체 구조를 얻는 것을 더욱 어렵게 한다. 게다가, (311) 기울기를 갖는 피라미드 형상의 게르마늄이 형성되어 소정의 영역을 피복하면, 게르마늄 피라미드의 높이가 높을 수 있으며, 이는 (예를 들어, 화학적 기계적 평탄화(CMP) 공정을 이용함으로써) 평탄화된 표면을 얻는 것을 어렵게 한다.

[0012] 다른 일례에서, 에피택셜 성장 동안 온도와 압력을 낮추는 것은 에피택셜 성장 동안 불필요한 반도체 구조의 형성을 감소시킨다고 여겨진다. 그러나, 증착 온도를 낮추는 것은 성장한 반도체 구조의 결정성을 감소시키며, 이는 반도체 디바이스에서 누설 전류를 증가시킨다. 압력을 낮추면 증착 속도가 느려지고 반도체 구조의 거칠기가 증가하며, 이는 제조된 디바이스의 성능을 저하시킬 수 있다.

[0013] 또 다른 일례로, 게르마늄 가스(GeH_4)의 압력을 증가시키는 것은, 평탄한 게르마늄 아일랜드의 성장을 용이하게 하지만, 에피택셜 성장 동안 불필요한 반도체 구조의 형성을 증가시킨다. 유사하게, 수소 가스(H_2)의 압력을 증가시키는 것은, 평탄한 게르마늄 아일랜드의 성장을 용이하게 하지만, 에피택셜 성장 동안 불필요한 반도체 구조의 형성을 증가시킨다.

[0014] 전술한 문제점들을 해결하는 방법들은 본원에 기재되어 있다. 식각제 없이 (또는 식각제를 덜 사용하여) 반도체 구조를 에피택셜 성장시킴으로써, 반도체 구조를 더욱 빠르게 성장시킬 수 있다. 또한, 반도체 구조의 형상은 에피택셜 성장 동안 식각제가 존재하지 않기 때문에(또는 식각제가 덜 존재하기 때문에) 식각제에 의한 영향을 덜 받는다. 게다가, 에피택셜 성장 동안 압력 및/또는 온도를 낮추지 않아도 된다. (정상적인 압력과 온도에서) 식각제를 사용하지 않는 (또는 식각제를 덜 사용하는) 에피택셜 성장은 마스킹 물질 등의 불필요한 영역 상에 반도체 구조를 형성하게 되지만, 이러한 불필요한 영역 상의 반도체 구조는 에칭 공정에 의해 후속적으로 제거된다. 따라서, 불필요한 영역에서 성장한 반도체 구조가 없거나 감소된 상태로 기판의 타겟 영역에서 에피택셜 성장한 반도체 구조를 얻을 수 있다.

[0015] 소정의 실시예들을 참조할 것이며, 그 예들이 첨부 도면에 도시되어 있다. 기본 원리는 실시예들과 관련하여 설명되겠지만, 청구범위의 범주를 이러한 특정 실시예들만으로 제한하고자 하는 것이 아님을 이해할 것이다. 오히려, 청구범위는 청구범위의 범주 내에 있는 대안예, 수정예, 및 등가물을 포함하고자 하는 것이다. 또한, 다음에 따르는 설명에서는, 본 발명을 완전하게 이해하도록 다수의 특정 상세들을 제시한다. 그러나, 본 발명이 이러한 특정 상세들 없이 실시될 수도 있음은 통상의 기술자에게 명백할 것이다. 다른 예들에서, 통상의 기술자에게 공지되어 있는 방법, 절차, 구성요소 및 네트워크는 기본 원리의 양태가 모호해지지 않도록 상세히 설명하지 않는다.

[0016] 제1, 제2 등의 용어들이 본원에서 다양한 요소들을 설명하기 위해 사용될 수도 있지만, 이러한 요소들이 이들 용어에 의해 한정되어서는 안 된다는 점도 이해해야할 것이다. 이러한 용어들은 하나의 요소를 다른 요소와 구별하기 위해서만 사용된다. 예를 들어, 청구범위의 범주를 벗어나지 않고, 제1 그룹은 제2 그룹으로 지칭될 수 있고, 유사하게, 제2 그룹은 제1 그룹으로 지칭될 수 있다. 제1 그룹과 제2 그룹은 모두 (예를 들어, 반도체 구조의) 그룹들이지만, 동일한 그룹이 아니다.

[0017] 본원의 실시예들의 설명에 사용된 용어들은, 특정 실시예들만을 설명하기 위한 것이며, 청구범위를 제한하려는 것이 아니다. 상세한 설명과 청구범위에서 사용되는 바와 같이, 단수 형태인 "한", "하나", 및 "그"는, 문맥상 명백하게 달리 지시하지 않는 한, 복수 형태도 포함하고자 한다. 또한, 본 명세서에서 사용되는 바와 같은 "및/또는"이라는 용어는 하나 이상의 연관된 열거된 항목들 중 하나 이상의 모든 가능한 조합을 가리키며 이러한 조합을 포함한다는 점을 이해할 것이다. 또한, "포함한다" 및/또는 "포함하는"이라는 용어들은, 본 명세서에서 사용되는 경우, 명시된 특징, 정수, 단계, 동작, 요소, 및/또는 구성요소의 존재를 특정하지만, 하나 이상의 다른 특징, 정수, 단계, 동작, 요소, 구성요소, 및/또는 이들의 그룹의 존재나 추가를 배제하지는 않는다는 점을 이해할 것이다.

[0018] 도 1a 내지 도 1i는 일부 실시예들에 따른 반도체 기판의 부분 단면도이다.

[0019] 도 1a는 기판(102) 및 기판(102) 상의 마스크 층(104)을 도시한다. 기판(102)은 도 1a 내지 도 1i, 도 2a 내지 도 2c, 도 3a 내지 도 3c, 도 4a 내지 도 4c, 및 도 5a 내지 도 5e에서 웨이퍼로서 도시되어 있지만, 기판(102)은 도 1a 내지 도 1i, 도 2a 내지 도 2c, 도 3a 내지 도 3c, 도 4a 내지 도 4c, 및 도 5a 내지 도 5e에 도시되지 않은 추가 특징부들을 포함할 수도 있다. 일부 실시예들에서, 기판(102)은, 실리콘 디바이스들(예를 들어, 실리콘 상보형 금속-산화물-반도체 디바이스들 및 프론트-엔드 라인(FEOL) 공정 동안 통상적으로 형성되는 다른 임의의 구조)을 포함한다. 일부 실시예들에서, 기판(102)은 실리콘 디바이스들 상에 산화물층을 포함한다(예를 들어, 도 6a와 도 6b).

[0020] 일부 실시예들에서, 마스크 층(104)은 유전 물질(예를 들어, 이산화 실리콘)을 포함한다. 일부 실시예들에서, 마스크 층(104)은 유전 물질(예를 들어, 이산화 실리콘)로 제조된다. 마스크 층(104)은 기판(102)의 하나 이상의 부분을 노출한다. 일부 실시예들에서, 유전 물질은 기판(102) 상에 증착되고 이후 에칭되어 기판(102)의 하나 이상의 부분을 노출한다. 일부 실시예들에서, 기판(102)은 추가로 에칭된다. 일부 경우에, 이 추가 에칭은 에피택셜 성장에 더욱 적합한 표면을 제공한다.

[0021] 도 1b는 반도체 구조(106)(예를 들어, 게르마늄 아일랜드)가 에피택셜 성장하는 것을 도시한다. 게르마늄의 에피택셜 성장을 위한 조건들(예를 들어, 압력, 온도, 및 화학적 조성)은 공지되어 있으며, 따라서 간략화를 위해 본원에서 생략된다. 그러나, 전술한 바와 같이, 본원에 기술된 방법들은, 식각제의 사용을 배제하지는 않지만, 에피택셜 성장 동안 마스크 층(104) 상의 반도체 구조의 성장을 억제하기 위해 식각제(예를 들어, HCl 가스)의 사용을 필요로 하지 않는다. 에피택셜 성장을 위한 조건들은 원하는 성장 프로파일을 얻도록 조정될 수 있다. 따라서, 에피택셜 성장한 반도체 구조의 형상을 맞춤화할 수 있다.

[0022] 도 1b는, 또한, 반도체 구조(106)의 에피택셜 성장 동안 마스크 층(104) 상에 반도체 구조들(108)(예를 들어, 본원에서 핵으로 지칭되는 입자들)이 또한 형성되는 것을 도시한다. 반도체 구조들(108)은 통상적으로 비정질 구조 및/또는 다결정 구조를 갖는 반면, 반도체 구조(106)는 결정 구조를 갖는다.

[0023] 도 1c는 반도체 구조(106)가 계속 성장하는 것을 도시한다. 또한, 도 1c는 추가 반도체 구조들(108)이 마스크 층(104) 상에 형성되는 것을 도시한다. 도 8a와 도 8b는 게르마늄 아일랜드의 에피택셜 성장 후의 기판의 주사 전자 현미경(SEM) 화상들이며, 이하에서 상세히 설명한다.

[0024] 도 1d는 일부 실시예들에서 반도체 구조들(108)이 응집되어 막(110)을 형성하는 것을 도시한다.

[0025] 도 1e는, 선택적으로, 접착층(112)이 기판(102) 위에 도포(예를 들어, 증착)되는 것을 도시한다. 도 1e에서, 접착층(112)은 마스크 층(104) 상의 반도체 구조(106)와 막(110)을 피복한다. 일부 실시예들에서, 접착층(112)은 저열 산화물이다. 일부 실시예들에서, 접착층(112)은 헥사메틸디실라잔(HMDS)이다. 일부 실시예들에서, 접착층(112)은 에피택셜 성장한 반도체 구조(106)와 포토레지스트 간의 접착을 촉진한다.

[0026] 도 1f는 보호층(114)(예를 들어, 포토레지스트 층)이 기판(102) 위에 도포되는 것을 도시한다. 도 1f에서, 보호층(114)은 반도체 구조(106) 위의 접착층(112)의 일부를 피복한다. 도 1f에서, 보호층(114)은 막(110)을 피복하지 않는다(예를 들어, 막(110)은 접착층(112)으로 피복되어 있음에도, 막(110)이 보호층(114)으로부터 노출되어 있다).

[0027] 도 1g는 보호층(114)에 의해 피복되지 않은 영역들이 에칭된 것을 도시한다. 에칭의 결과로, 막(110)(및 반도체 구조(106)의 에피택셜 성장 동안 형성된 다른 임의의 불필요한 반도체 구조)이 제거된다. 또한, 막(110) 위에 위치하는 접착층(112)의 일부도 제거된다. 일부 실시예들에서는, 보호층(114)보다 빠르게 막(110)(및 반도체 구조(106)의 에피택셜 성장 동안 형성된 다른 임의의 불필요한 반도체 구조)을 제거하는 선택적 에칭 공정(이러한 에칭 공정은 높은 선택도를 가져야 함)을 사용하여, 막(110) 및/또는 반도체 구조(106)의 에피택셜 성장 동안 형성된 다른 임의의 불필요한 반도체 구조가 제거되는 동안, 반도체 구조(106)가 유지된다. 일부 실시예들에서, 에칭 공정은 건식 에칭 공정(예를 들어, 플라즈마 에칭, 깊은 반응성 이온 에칭 등)이다. 일부 실시예들에서, 에칭 공정은 습식 에칭 공정(예를 들어, 액상 식각제를 이용한 에칭)이다. 예를 들어, 선택적 에칭을 위해 Surface Technology Systems Plc.에서 제조한 고급 실리콘 에칭 장비를 사용할 수도 있다.

[0028] 도 1h는 보호층(114)과 접착층(112)이 제거된 것을 도시한다. 도 9a와 도 9b는 보호층(114)을 제거한 후의 기판의 주사 전자 현미경(SEM) 화상들이며, 이를 상세히 후술한다.

[0029] 도 1i는 반도체 구조(106)가 (예를 들어, CMP 공정을 이용하여) 평탄화되는 것을 도시한다. 불필요한 반도체 구조들(예컨대, 핵(108) 또는 막(110))이 제거되었기 때문에, CMP 공정을 용이하게 적용할 수 있다. 또한, 반도체

구조(106)의 형상이 평탄한 최상부를 갖도록 조정될 수 있기 때문에, CMP 공정을 수행하기가 더욱 쉽다.

[0030] 도 2a 내지 도 2c는 일부 실시예들에 따른 반도체 기판의 부분 단면도이다.

[0031] 도 2a 내지 도 2c에 도시한 공정들은 선택적인 접착층(112)(도 1e)이 사용되지 않는다는 점을 제외하고는 도 1f 내지 도 1h에 도시한 공정들과 유사하다. 도 2a는 보호층(114)이 도 1d에 도시된 반도체 구조(106) 상에 직접 도포되는 것을 도시한다.

[0032] 도 2b는 보호층(114)에 의해 피복되지 않은 영역들이 에칭된 것을 도시하며, 이는 도 1g에 관하여 전술한 공정과 유사하다. 에칭의 결과로, 막(110)(및 반도체 구조(106)의 에피택셜 성장 동안 형성된 다른 임의의 불필요한 반도체 구조)이 제거된다.

[0033] 도 2c는 보호층(114)이 제거된 것을 도시하며, 이는 도 1h에 관하여 전술한 공정과 유사하다. 후속하여, 반도체 구조(106)는 도 1i에 관련하여 전술한 바와 같이 평탄화될 수 있다.

[0034] 도 3a 내지 도 3c는 일부 실시예들에 따른 반도체 기판의 부분 단면도이다.

[0035] 도 3a 내지 도 3c에 도시한 공정들은 반도체 구조들(108)(예를 들어, 입자들)이 개별적으로 유지된다는 점을 제외하고는 도 1e 내지 도 1g에 도시한 공정들과 유사하다.

[0036] 도 3a는 접착층(112)이 마스크 층(104) 상의 반도체 구조(106) 및 반도체 구조들(108)(예를 들어, 입자들) 위에 도포되는 것을 도시하며, 이는 도 1e에 관하여 전술한 공정과 유사하다.

[0037] 도 3b는 보호층(114)이 기판(102) 위에 도포되는 것을 도시하며, 이는 도 1f에 관하여 전술한 공정과 유사하다.

[0038] 도 3c는 보호층(114)에 의해 피복되지 않은 영역들이 에칭된 것을 도시하며, 이는 도 1g와 관련하여 전술한 공정과 유사하다. 에칭의 결과로, 반도체 구조들(108)은 제거된다. 또한, 반도체 구조들(108) 위에 위치하는 접착층(112)의 일부도 제거된다.

[0039] 일부 실시예들에서, 도 3c에 도시된 반도체 기판은 도 1h 및 도 1i와 관련하여 전술한 바와 같이 추가로 처리된다. 예를 들어, 보호층(114)과 접착층(112)은 제거되고, 반도체 구조(106)는 평탄화되어 도 1i에 도시된 반도체 기판을 얻는다.

[0040] 도 4a 내지 도 4c는 일부 실시예들에 따른 반도체 기판의 부분 단면도이다.

[0041] 도 4a 내지 도 4c에 도시한 공정들은 반도체 구조들(108)(예를 들어, 입자들)이 개별적으로 유지된다는 점을 제외하고는 도 2a 내지 도 2c에 도시한 공정들과 유사하다.

[0042] 도 4a는 반도체 구조들(108)이 응집되기 전에 보호층(114)이 반도체 구조(106) 상에 직접 도포되는 것을 도시한다.

[0043] 도 4b는 보호층(114)에 의해 피복되지 않은 영역들이 에칭된 것을 도시하는데, 이는 도 2b와 관련하여 전술한 공정과 유사하다. 에칭의 결과로, 반도체 구조들(108)은 제거된다.

[0044] 도 4c는 보호층(114)이 제거된 것을 도시하며, 이는 도 2c와 관련하여 전술한 공정과 유사하다. 후속하여, 반도체 구조(106)는 도 1i와 관련하여 전술한 바와 같이 평탄화될 수 있다.

[0045] 도 5a 내지 도 5e는 일부 실시예들에 따른 반도체 기판의 부분 단면도이다.

[0046] 도 5a 내지 도 5e는, 단일 반도체 기판 상에 다수의 반도체 구조들(예를 들어, 게르마늄 아일랜드)을 형성할 때 도 1a 내지 도 1i에 도시된 공정이 수행될 수 있음을 명확히 한다.

[0047] 도 5a는 반도체 구조들(106)이 에피택셜 성장하고 반도체 구조들(108)이 마스크 층(104) 상에 형성되는 것을 도시한다.

[0048] 도 5b는 보호층(114)이 반도체 구조들(108)을 노출하면서 반도체 구조들(106) 상에 도포되는 것을 도시한다.

[0049] 도 5c는 반도체 구조들(108)이 에칭에 의해 제거되는 것을 도시한다.

[0050] 도 5d는 보호층(114)이 제거되는 것을 도시한다.

[0051] 도 5e는 (예를 들어, CMP 공정을 이용하여) 반도체 구조들(106)이 평탄화되는 것을 도시한다.

[0052] 도 1a 내지 도 1i, 도 2a 내지 도 2c, 도 3a 내지 도 3c, 및 도 4a 내지 도 4c와 관련하여 설명한 소정의 특징

들은 도 5a 내지 도 5e에 도시된 공정들에 유사하게 적용될 수 있다. 예를 들어, 보호층(114)이 반도체 구조들(106) 위에 도포(또는 형성)되기 전에 접착층(112)이 반도체 구조들(106) 위에 도포될 수도 있다. 간결함을 위해, 이러한 상세는 여기서 반복하지 않는다.

[0053] 도 6a와 도 6b는 일부 실시예들에 따른 반도체 기판의 부분 단면도이다.

[0054] 도 6a는 기판(102)이 소스/드레인(602) 및 게이트(604)를 갖는 상보형 금속-산화물-반도체(CMOS) 디바이스들을 포함하는 것을 도시한다. 도 6a에서, 마스크 층(606)(예를 들어, 이산화 실리콘)은 기판(102) 상에 형성된다. 일부 실시예들에서, 마스크 층(606)은, 게르마늄층을 표면 상에 성장시키도록 적어도 2㎛ 두께의 이산화 실리콘을 포함한다. 이산화 실리콘의 두께는 에피택셜 성장한 게르마늄의 결정성의 품질을 개선하는 것으로 밝혀졌다.

[0055] 도 6b는 도 1a 내지 도 1i, 도 2a 내지 도 2c, 도 3a 내지 도 3c, 도 4a 내지 도 4c, 및 도 5a 내지 도 5e와 관련하여 전술한 공정들을 이용하여 반도체 구조(608)(예를 들어, 게르마늄)가 형성되는 것을 도시한다.

[0056] 도 7a 내지 도 7c는 일부 실시예들에 따라 선택적 에피택셜 성장 공정 동안 형성되는 핵을 제거하는 방법(700)을 도시하는 흐름도이다.

[0057] 방법(700)은, 하나 이상의 마스크 층을 갖는 기판(예를 들어, 실리콘 기판)(예를 들어, 도 1b의 마스크 층(104)을 갖는 기판(102)) 위에 하나 이상의 반도체 구조(예를 들어, 도 1b의 반도체 구조(106))의 제1 그룹을 에피택셜 성장시키는 단계(702)를 포함한다. 복수의 반도체 구조(예를 들어, 도 1b의 반도체 구조들(108))의 제2 그룹은 하나 이상의 마스크 층 상에 형성된다. 일부 실시예들에서, 복수의 반도체 구조의 제2 그룹은 하나 이상의 반도체 구조의 제1 그룹을 에피택셜 성장시키는 것과 동시에 형성된다. 일부 실시예들에서, 하나 이상의 반도체 구조의 제1 그룹의 제1 반도체 구조는 복수의 반도체 구조의 제2 그룹의 제2 반도체 구조보다 크다. 일부 실시예들에서, 하나 이상의 반도체 구조는 호모-에피택셜 성장한다. 일부 실시예들에서, 하나 이상의 반도체 구조는 헤테로-에피택셜 성장한다.

[0058] 일부 실시예들에서, 하나 이상의 반도체 구조의 제1 그룹은 단일 에피택셜 성장 공정에서 형성된다(704). 예를 들어, 도 1b와 도 1c에서, 반도체 구조(106)는, (예를 들어, 반도체 구조(106)의 일부를 에피택셜 성장시키는 것, 반도체 구조(106)의 일부를 에칭하는 것, 및 반도체 구조(106)의 추가 일부를 에피택셜 성장시키는 것 대신에) 단일 에피택셜 성장 공정에서 형성된다.

[0059] 일부 실시예들에서, 방법(700)은, 하나 이상의 마스크 층을 갖는 기판 상에 하나 이상의 반도체 구조(예를 들어, 도 1c의 반도체 구조(106))의 제1 그룹을 에피택셜 성장시키면서 하나 이상의 마스크 층(예를 들어, 도 1c의 마스크 층(104)) 상에 복수의 반도체 입자(예를 들어, 도 1c의 반도체 구조들(108))를 형성하는 단계(706)를 포함한다. 일부 실시예들에서, 복수의 반도체 구조의 제2 그룹은 복수의 반도체 입자를 포함한다.

[0060] 일부 실시예들에서, 복수의 반도체 구조의 제2 그룹은 하나 이상의 마스크 층 상에 반도체 막(예를 들어, 도 1d의 반도체 막(110))을 포함한다(708). 일부 실시예들에서, 복수의 반도체 구조의 제2 그룹은 하나 이상의 마스크 층 상에 하나 이상의 반도체 막을 포함한다.

[0061] 일부 실시예들에서, 하나 이상의 반도체 구조의 제1 그룹은 IV족 물질(예를 들어, 실리콘, 게르마늄, SiGe 등)을 포함한다(710). 일부 실시예들에서, 하나 이상의 반도체 구조의 제1 그룹은 하나 이상의 III-V족 물질(예를 들어, GaAs, InGaAs 등)을 포함한다.

[0062] 일부 실시예들에서, 하나 이상의 반도체 구조의 제1 그룹은 게르마늄을 포함한다(712).

[0063] 일부 실시예들에서는, (예를 들어, 하나 이상의 마스크 층에 의해 피복되지 않은) 그 하나 이상의 마스크 층으로부터 노출되는 기판의 하나 이상의 영역 상에, 하나 이상의 반도체 구조의 제1 그룹이 형성된다(714). 예를 들어, 도 5a에서, 반도체 구조들(106)은 마스크 층(104)으로부터 노출된 기판의 영역들 상에 형성된다.

[0064] 일부 실시예들에서, 하나 이상의 반도체 구조의 제1 그룹은 결정 구조를 갖고, 복수의 반도체 구조의 제2 그룹은 비정질 구조 및/또는 다결정 구조를 갖는다(716). 예를 들어, 도 8a를 참조하면, 하나 이상의 반도체 구조(예를 들어, 게르마늄 아일랜드)의 제1 그룹은 결정 구조를 갖고, 반도체 구조들의 제2 그룹은 비정질 구조 및/또는 다결정 구조를 갖는 것을 도시하고 있다.

[0065] 일부 실시예들에서, 하나 이상의 마스크 층은 유전 물질을 포함한다(718).

[0066] 일부 실시예들에서, 하나 이상의 마스크 층은 이산화 실리콘을 포함한다(720).

[0067] 방법(700)은, 또한, 하나 이상의 반도체 구조의 제1 그룹에 위에 하나 이상의 보호층(예를 들어, 하나 이상의 포토레지스트 층 등의 도 1f의 보호층(114))을 형성하는 단계(722, 도 7b)를 포함한다. 복수의 반도체 구조의 제2 그룹의 적어도 서브세트는 하나 이상의 보호층으로부터 노출된다. 예를 들어, 도 1f에서, 막(110)은 보호층(114)으로부터 노출된다. 일부 실시예들에서, 하나 이상의 보호층은 하나 이상의 반도체 구조(예를 들어, 도 2a)의 제1 그룹과 직접 접한다. 일부 실시예들에서, 하나 이상의 중간층(예, 헥사메틸디실라잔(HMDS) 또는 저온 열 산화물 등의 하나 이상의 접착층)은 하나 이상의 반도체 구조의 제1 그룹과 하나 이상의 보호층(예를 들어, 도 1f) 사이에 위치한다.

[0068] 일부 실시예들에서, 방법(700)은, 하나 이상의 보호층이 하나 이상의 반도체 구조의 제1 그룹 위에 형성되기 전에 복수의 반도체 구조의 제2 그룹의 적어도 서브세트를 에칭하는 것을 보류하는 단계(724)를 포함한다. 예를 들어, 일부 실시예들에서, 복수의 반도체 구조의 제2 그룹은, 하나 이상의 보호층이 하나 이상의 반도체 구조 위에 형성되어 그 하나 이상의 반도체 구조를 에칭 공정으로부터 보호할 때까지 에칭되지 않는다.

[0069] 일부 실시예들에서, 방법(700)은, 하나 이상의 보호층이 하나 이상의 반도체 구조의 제1 그룹 위에 형성될 때까지 기판 상에 하나 이상의 반도체 구조의 제1 그룹의 에피택셜 성장을 개시하는 것에 후속하여 복수의 반도체 구조의 제2 그룹의 적어도 서브세트를 에칭하는 것을 보류하는 단계(726)를 포함한다. 예를 들어, 복수의 반도체 구조의 제2 그룹의 적어도 서브세트를 에칭하는 것은, 하나 이상의 반도체 구조의 제1 그룹의 에피택셜 성장 동안 보류된다. 일부 실시예들에서, 복수의 반도체 구조의 적어도 서브세트를 에칭하는 것은, 기판 상에 하나 이상의 반도체 구조의 제1 그룹의 에피택셜 성장을 개시한 후에 및 그 하나 이상의 반도체 구조 위에 하나 이상의 보호층을 형성하기 전에 보류된다.

[0070] 일부 실시예들에서, 하나 이상의 보호층은 하나 이상의 포토레지스트 층을 포함한다(728). 일부 실시예들에서, 하나 이상의 보호층은 하나 이상의 포토레지스트 층이다.

[0071] 일부 실시예들에서, 방법(700)은 하나 이상의 보호층을 형성하기 전에 하나 이상의 반도체 구조의 적어도 제1 그룹 위에 하나 이상의 접착층을 증착시키는 단계(730)를 포함한다. 예를 들어, 도 1e와 도 1f에 도시한 바와 같이, 접착층(112)은 보호층(114)이 도포되기 전에 반도체 구조(106) 위에 도포되어 있다. 일부 실시예들에서, 하나 이상의 접착층은 하나 이상의 반도체 구조의 적어도 제1 그룹 상에 증착된다.

[0072] 일부 실시예들에서, 하나 이상의 접착층을 헥사메틸디실라잔(hexamethyldisilazane) 및/또는 저온 열 산화물을 포함한다(732).

[0073] 일부 실시예들에서, 방법은, 복수의 반도체 구조의 제2 그룹의 적어도 서브세트를 에칭하는 단계에 후속하여, 하나 이상의 접착층을 제거하는 단계를 포함한다. 일부 실시예들에서, 하나 이상의 보호층과 하나 이상의 접착층은 동시에 제거된다. 일부 실시예들에서, 하나 이상의 보호층은 하나 이상의 접착층의 제거에 후속하여 제거된다.

[0074] 일부 실시예들에서, 기판은 실리콘을 포함한다. 일부 실시예들에서, 기판은 실리콘 기판이다.

[0075] 일부 실시예들에서, 기판은 복수의 반도체 디바이스를 표면 상에 포함한다(734)(예를 들어, 도 6a와 도 6b). 예를 들어, 기판은, 하나 이상의 반도체 구조의 제1 그룹을 에피택셜 성장시키기 전에 복수의 트랜지스터를 포함할 수도 있다.

[0076] 일부 실시예들에서, 기판은 복수의 트랜지스터를 포함하고, 하나 이상의 반도체 구조의 제1 그룹의 반도체 구조는 복수의 트랜지스터 중 트랜지스터의 소스나 드레인에 전기적으로 연결된다.

[0077] 일부 실시예들에서, 기판은 복수의 상보형 금속-산화물-반도체(CMOS) 디바이스를 표면 상에 포함한다(예를 들어, 도 6a와 도 6b)(736).

[0078] 일부 실시예들에서, 기판은, p형 금속-산화물-반도체 트랜지스터와 n형 금속-산화물-반도체 트랜지스터를 포함하는 복수의 상보형 금속-산화물-반도체 디바이스를 표면 상에 포함한다. 일부 실시예들에서, 방법은, 하나 이상의 반도체 구조의 제1 그룹의 제1 반도체 구조를 p형 금속-산화물-반도체 트랜지스터 또는 n형 금속-산화물-반도체 트랜지스터 중 하나의 소스나 드레인에 전기적으로 연결하는 단계를 포함한다.

[0079] 일부 실시예들에서, 복수의 반도체 디바이스는 하나 이상의 마스크 층 아래의 기판 상에 위치한다(738). 예를 들어, 도 6a와 도 6b에서, 반도체 디바이스들(예를 들어, 트랜지스터들)은 마스크 층(606) 아래에 위치한다. 일부 실시예들에서, 복수의 반도체 디바이스는 기판의 프론트-엔드 라인(FEOL) 영역에 위치한다.

[0080] 방법(700)은, 하나 이상의 반도체 구조의 제1 그룹 위에 하나 이상의 보호층을 형성하는 단계에 후속하여, 복수의 반도체 구조의 제2 그룹의 적어도 서브세트를 에칭하는 단계(740, 도 7c)를 더 포함한다. 예를 들어, 도 1f와 도 1g에서, 막(110)은 에칭 공정에 의해 제거된다. 일부 실시예들에서는, 하나 이상의 포토레지스트 층으로부터 노출된 복수의 반도체 구조의 적어도 서브세트가 완전히 에칭(예를 들어, 제거)된다. 일부 실시예들에서는, 하나 이상의 포토레지스트 층으로부터 노출된 복수의 반도체 구조의 적어도 서브세트가 적어도 부분적으로 에칭(예를 들어, 제거)된다. 일부 실시예들에서는, 하나 이상의 포토레지스트 층으로부터 노출된 복수의 반도체 구조의 적어도 서브세트의 하나 이상의 반도체 구조가 에칭(예를 들어, 제거)된다. 일부 실시예들에서는, 하나 이상의 마스크 층 상에 형성된 복수의 반도체 구조의 제2 그룹 전체가 에칭(예를 들어, 제거)된다.

[0081] 일부 실시예들에서, 방법은, 하나 이상의 보호층으로부터 노출된 복수의 반도체 구조의 제2 그룹의 서브세트 전체를 에칭하는 단계를 포함한다.

[0082] 일부 실시예들에서, 방법(700)은, 복수의 반도체 구조의 제2 그룹의 적어도 서브세트를 에칭하는 단계에 후속하여, 하나 이상의 보호층(예를 들어, 도 1h)을 제거하고 및/또는 (예를 들어, 화학적-기계적 평탄화를 이용하여) 하나 이상의 반도체 구조의 제1 그룹의 적어도 서브세트를 평탄화하는 단계(742)를 포함한다. 일부 실시예들에서, 방법(700)은, 복수의 반도체 구조의 제2 그룹의 적어도 서브세트를 에칭하는 단계에 후속하여, 하나 이상의 보호층을 제거하는 단계를 포함한다. 일부 실시예들에서, 방법(700)은, 복수의 반도체 구조의 제2 그룹의 적어도 서브세트를 에칭하는 단계에 후속하여, 하나 이상의 반도체 구조의 제1 그룹의 적어도 서브세트를 평탄화하는 단계를 포함한다. 예를 들어, 도 1i에서, 반도체 구조(106)가 평탄화된다.

[0083] 일부 실시예들에서, 복수의 반도체 구조의 제2 그룹의 적어도 서브세트를 에칭하는 단계는, 복수의 반도체 구조의 제2 그룹의 적어도 서브세트를 제1 속도로 에칭하고 하나 이상의 마스크 층을 제1 속도보다 느린 제2 속도로 에칭하는 단계(744)를 포함한다. 예를 들어, 도 1f와 도 1g에서, 막(110)은 마스크 층(104)과 보호층(114)보다 빠르게 에칭된다. 일부 실시예들에서, 복수의 반도체 구조의 제2 그룹의 적어도 서브세트를 에칭하는 단계는, 하나 이상의 마스크 층을 에칭하지 않고 복수의 반도체 구조의 제2 그룹의 적어도 서브세트를 에칭하는 단계를 포함한다. 일부 실시예들에서, 도 1f에 도시한 막(110)은 에칭되는 한편 마스크 층(104)과 보호층(114)은 에칭되지 않는다.

[0084] 일부 실시예들에서, 복수의 반도체 구조의 제2 그룹의 적어도 서브세트를 에칭하는 단계는 하나 이상의 마스크 층의 에칭을 보류하는 단계를 포함한다.

[0085] 일부 실시예들에서, 복수의 반도체 구조의 제2 그룹의 적어도 서브세트를 에칭하는 단계는, 복수의 반도체 구조의 제2 그룹의 적어도 서브세트를 제1 속도로 에칭하고 하나 이상의 반도체 구조의 제1 그룹의 적어도 서브세트를 제1 속도보다 느린 제3 속도로 에칭하는 단계(744)를 포함한다. 예를 들어, 도 1f와 도 1g에서, 막(110)은 반도체 구조(106)보다 빠르게 에칭된다. 일부 실시예들에서, 복수의 반도체 구조의 제2 그룹의 적어도 서브세트를 에칭하는 단계는, 하나 이상의 반도체 구조의 제1 그룹을 에칭하지 않고 복수의 반도체 구조의 제2 그룹의 적어도 서브세트를 에칭하는 단계를 포함한다. 일부 실시예들에서, 도 1f에 도시한 막(110)은 에칭되는 한편 (예를 들어, 반도체 구조(106)가 보호층(114)에 의해 보호되기 때문에) 반도체 구조(106)는 에칭되지 않는다.

[0086] 도 7a 내지 도 7c와 관련하여 설명한 방법(700)의 소정의 특징들은 도 1a 내지 도 1i, 도 2a 내지 도 2c, 도 3a 내지 도 3c, 도 4a 내지 도 4c, 도 5a 내지 도 5e, 및 도 6a와 도 6b에 도시된 공정들에 적용될 수 있다. 간결함을 위해, 이러한 상세는 반복하지 않는다.

[0087] 도 8a와 도 8b는 일부 실시예들에 따라 에칭 공정 전의 반도체 기판의 주사 전자 현미경(SEM) 화상이다.

[0088] 도 8a와 도 8b에 도시한 것은 도 1c에 대응하는 반도체 기판을 위에서 본 평면도이다.

[0089] 도 8a는 (에칭 공정 전의) 도 1c의 반도체 구조(106)에 대응하는 게르마늄 아일랜드를 도시한다. 또한, 반도체 구조들의 제2 그룹은 마스크 층 상의 게르마늄 아일랜드 주위에 형성된다.

[0090] 도 8b는 반도체 기판의 축소된 도이다. 마스크 층 상에 형성된 반도체 구조들의 제2 그룹 및 다수의 게르마늄 아일랜드들이 도 8b에 도시되어 있다.

[0091] 도 9a와 도 9b는 일부 실시예들에 따라 에칭 공정에 후속하는 반도체 기판의 주사 전자 현미경(SEM) 화상이다.

[0092] 도 9a는 (에칭 공정 후의) 도 1h의 반도체 구조(106)에 대응하는 게르마늄 아일랜드를 도시한다. 도 9a는 마스

크 층 상의 게르마늄 아일랜드 주위에 반도체 구조들의 제2 그룹의 부재를 도시한다.

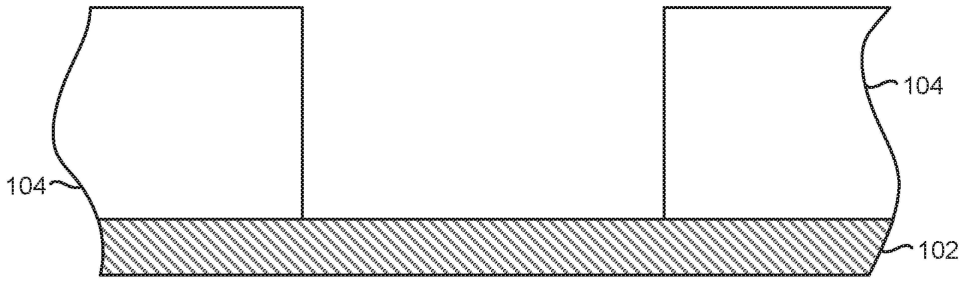
[0093] 도 9b는 반도체 기판의 축소된 도이다. 반도체 구조들의 제2 그룹이 없는 다수의 게르마늄 아일랜드들이 도 9b에 도시되어 있다.

[0094] 따라서, 도 9a와 도 9b는 하나 이상의 마스크 층 상에 형성된 반도체 구조들의 제2 그룹을 제거할 때 기술된 방법들의 효과를 도시하는 것이다.

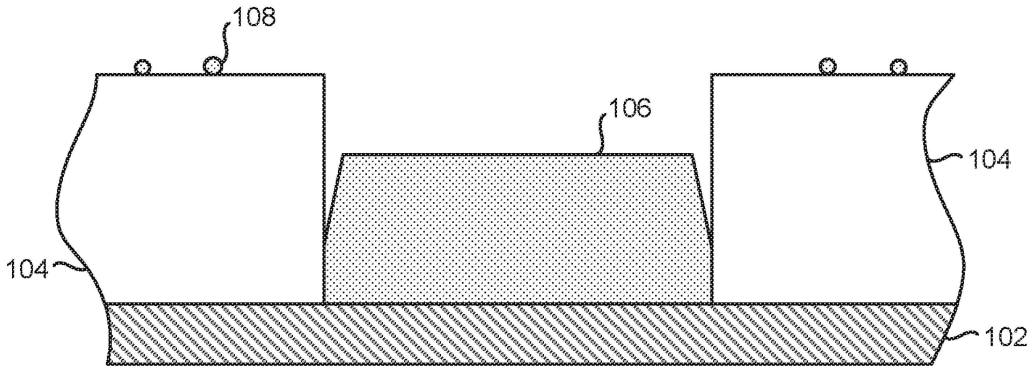
[0095] 설명을 위해, 특정 실시예들을 참조하여 설명하였다. 그러나, 전술한 설명은 포괄적임을 의도한 것이 아니며 또는 본 발명을 개시된 정확한 형태로 한정하려는 것도 아니다. 상기한 교시의 관점에서 많은 수정과 변형이 가능하다. 실시들은 본 발명의 원리 및 그 실제 응용을 가장 잘 설명하도록 선택되고 기술되었으며, 이에 따라 통상의 기술자라면 의도하는 특정 용도에 적합한 다양한 변형을 통해 본 발명과 다양한 실시예들을 가장 잘 이용할 수 있다.

도면

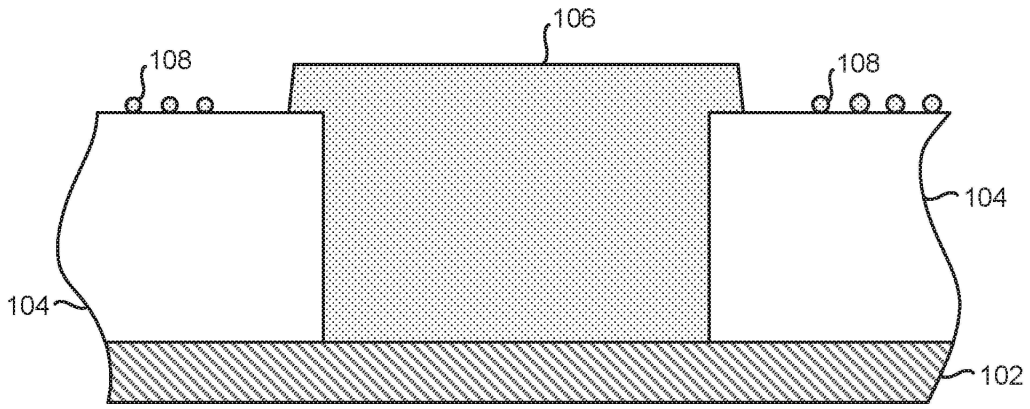
도면1a



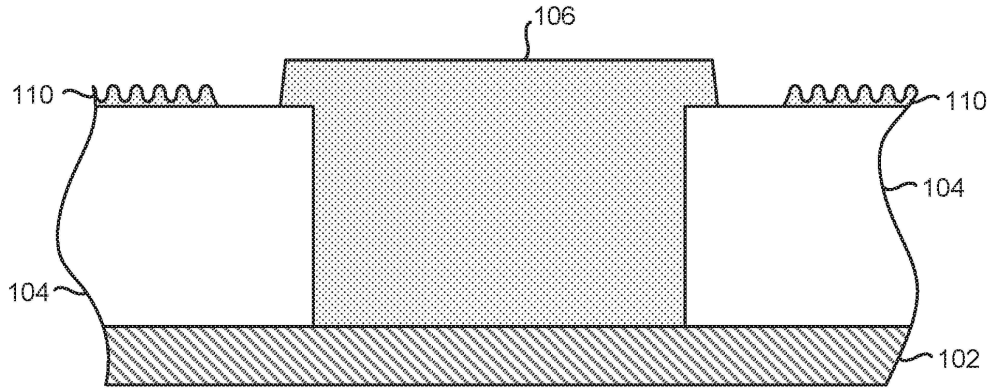
도면1b



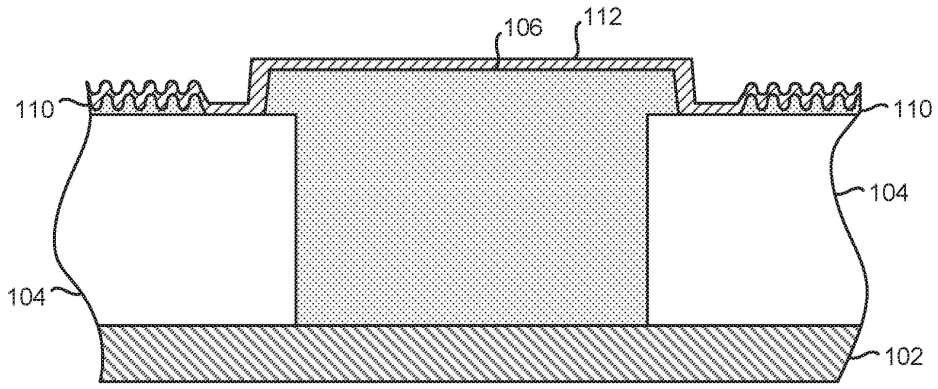
도면1c



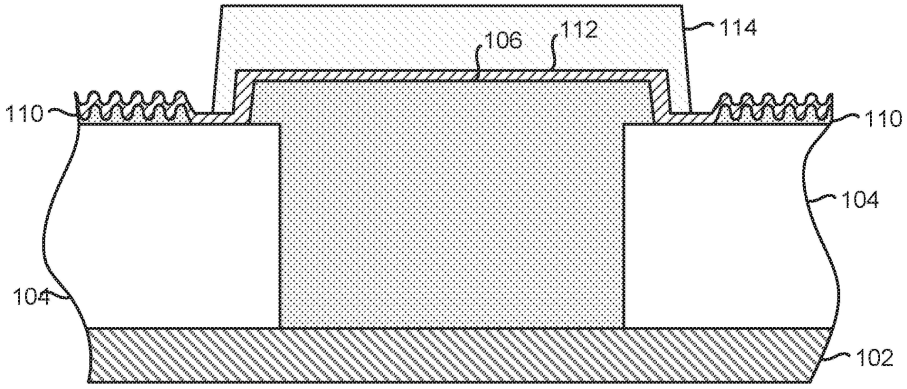
도면1d



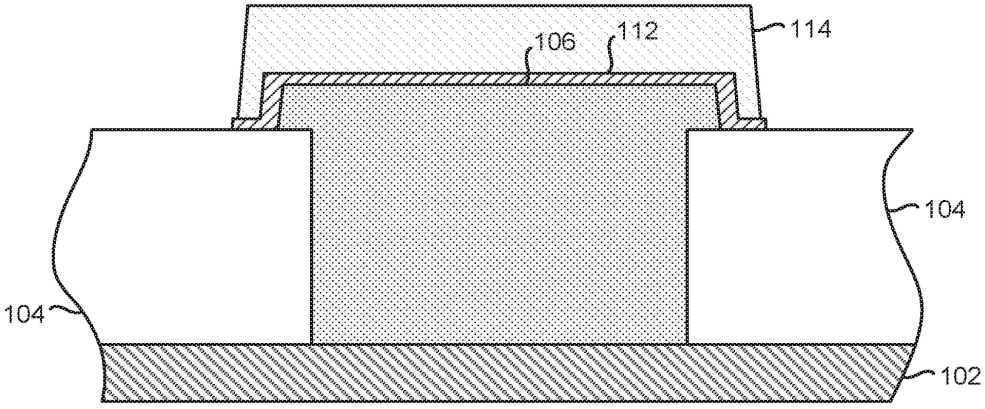
도면1e



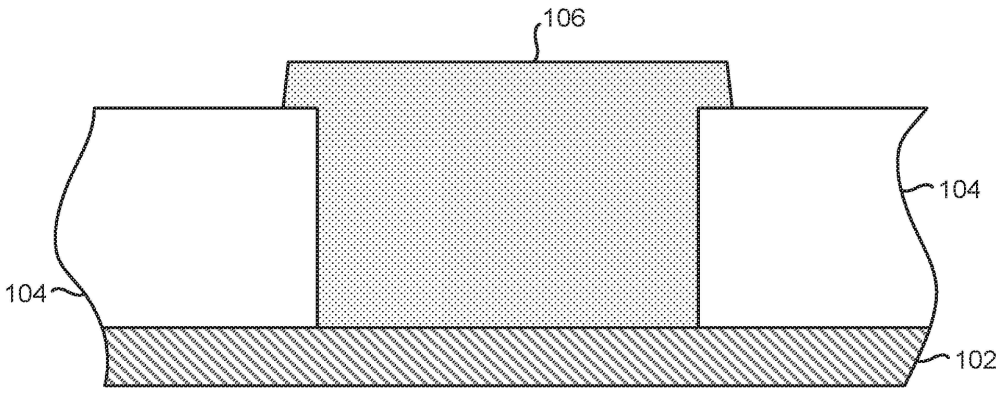
도면1f



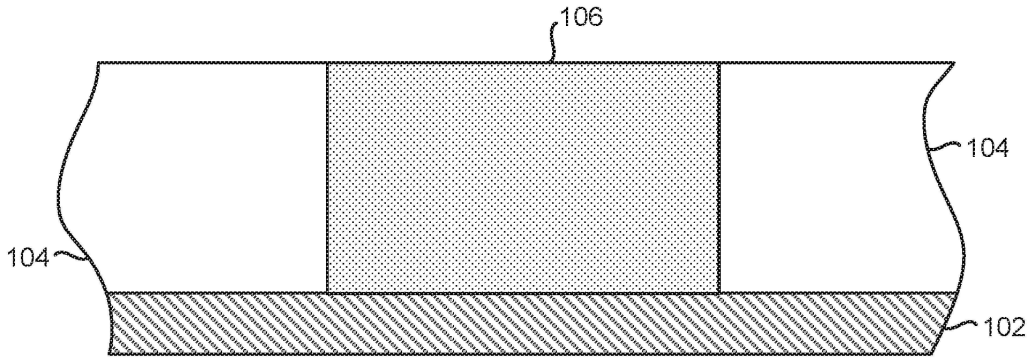
도면1g



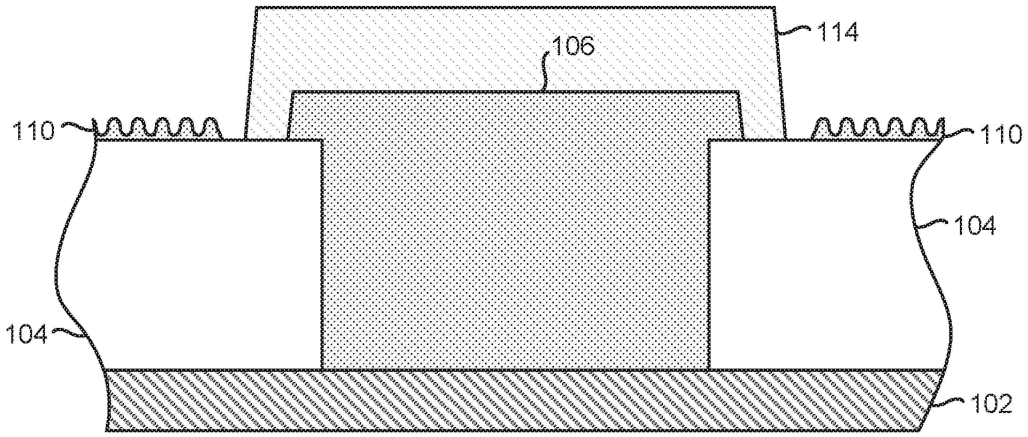
도면1h



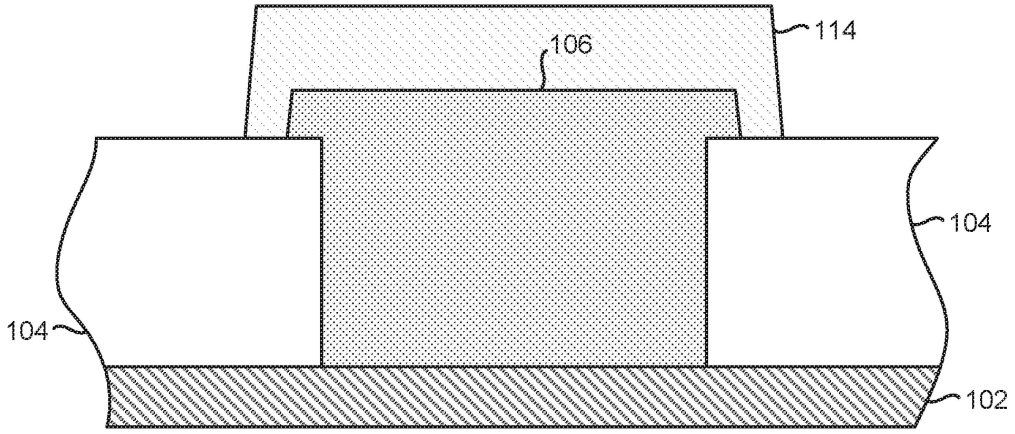
도면1i



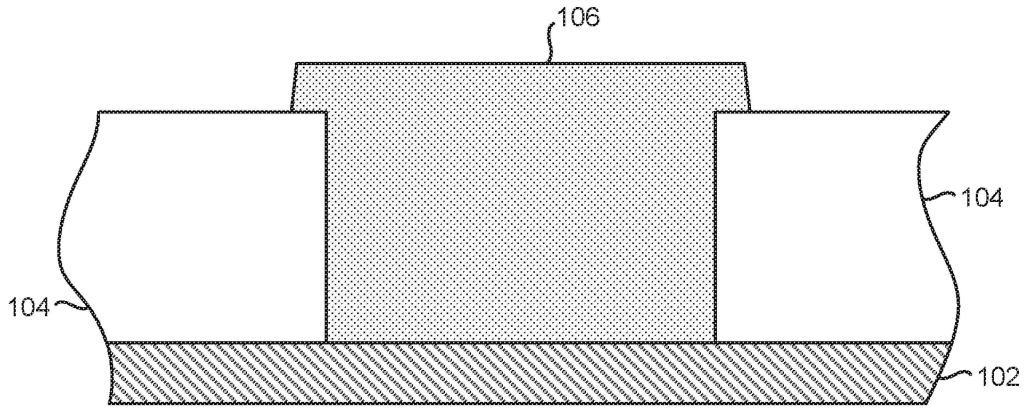
도면2a



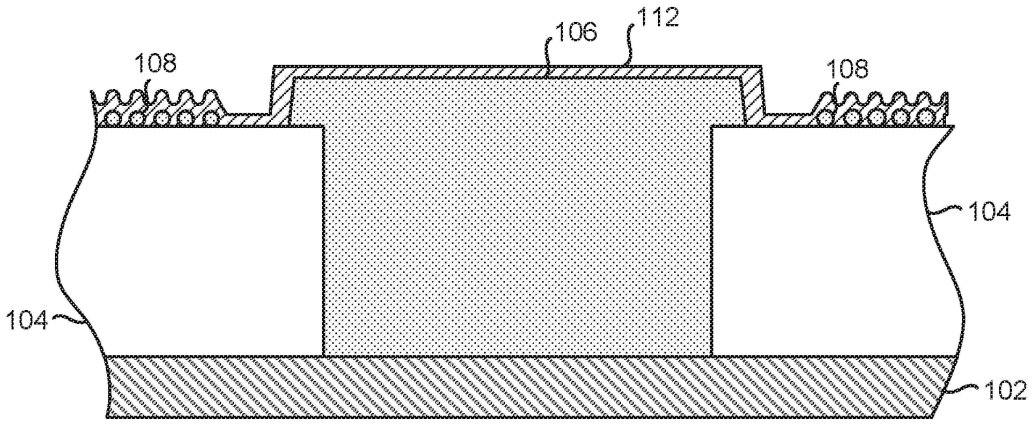
도면2b



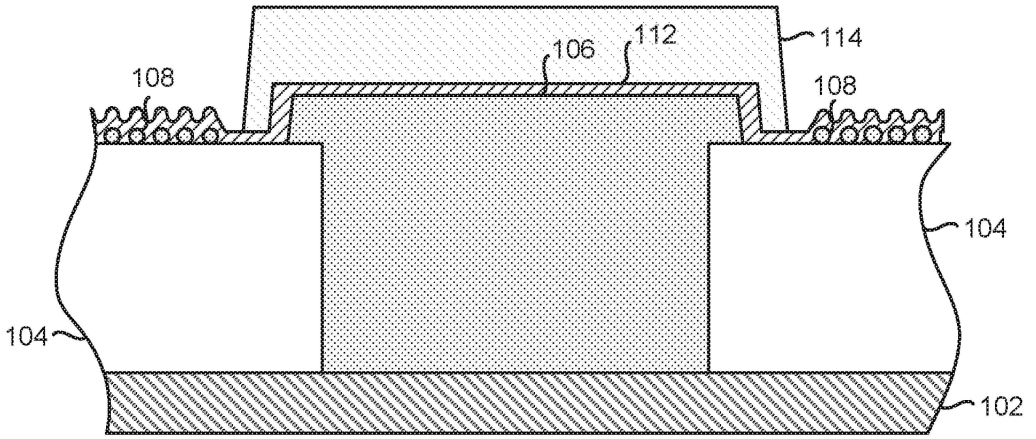
도면2c



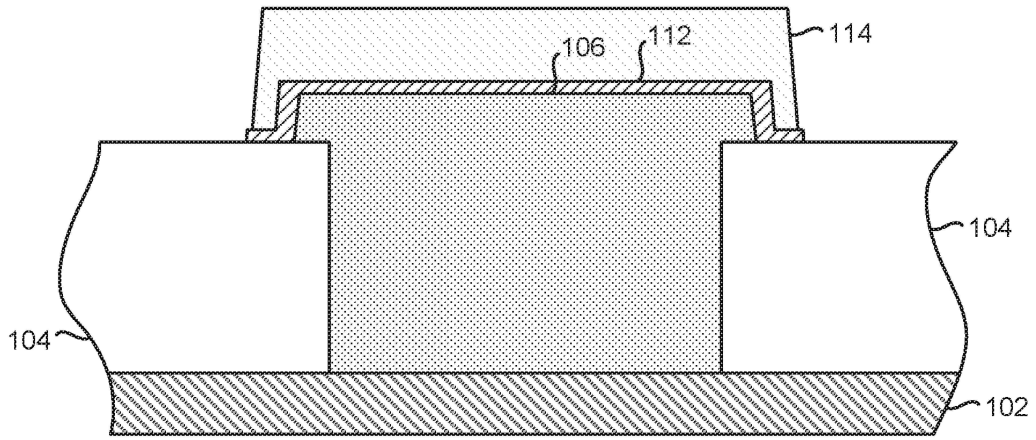
도면3a



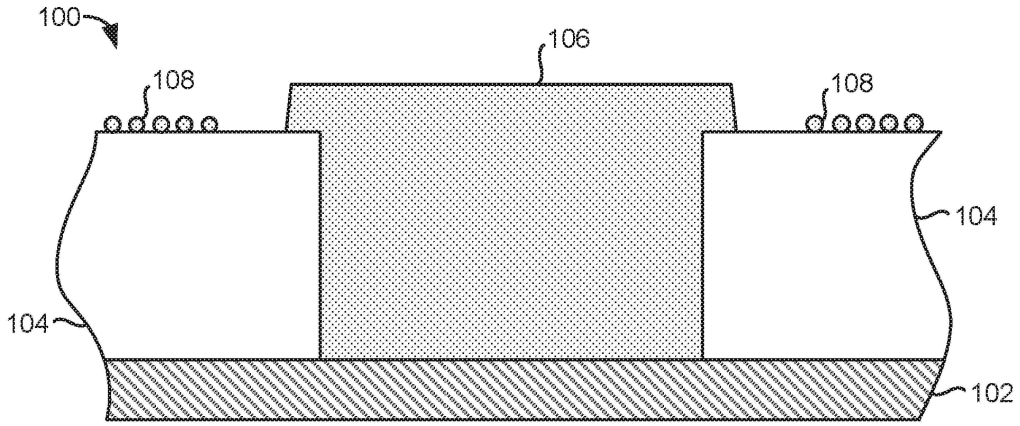
도면3b



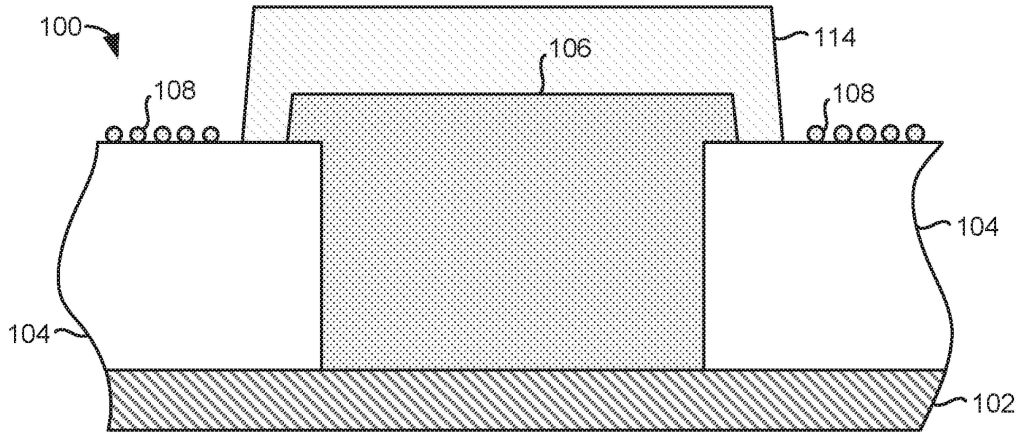
도면3c



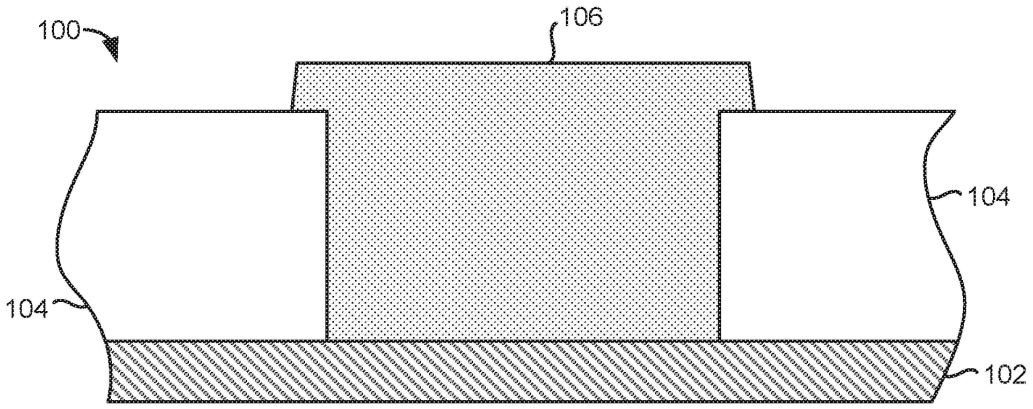
도면4a



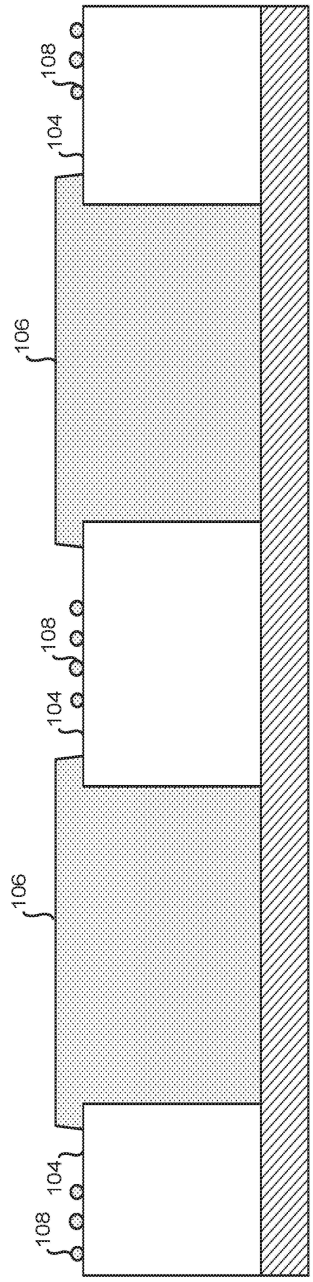
도면4b



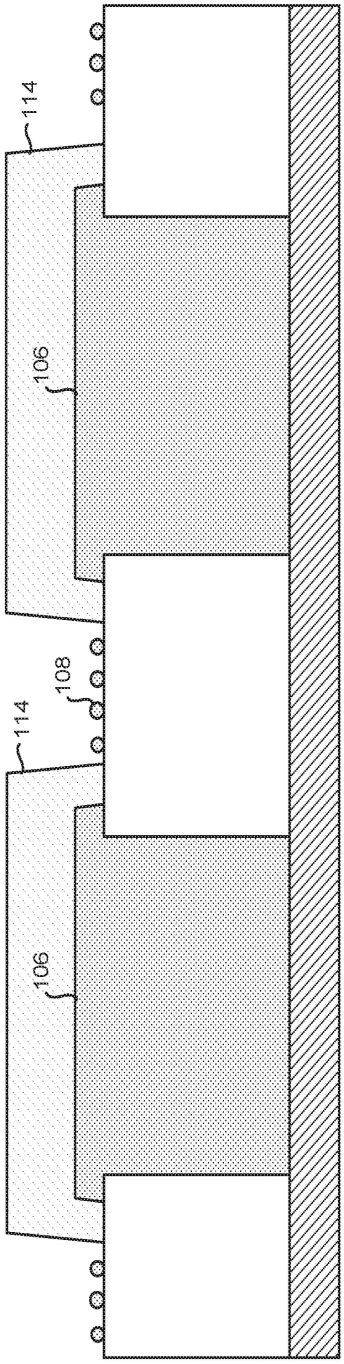
도면4c



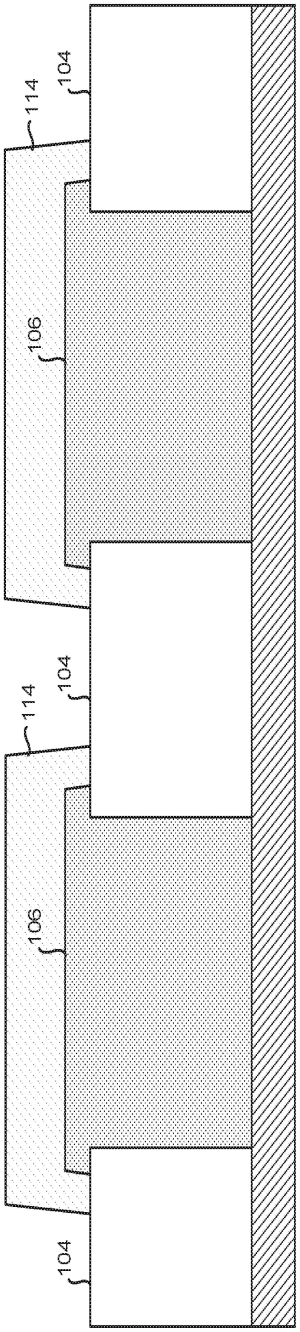
도면5a



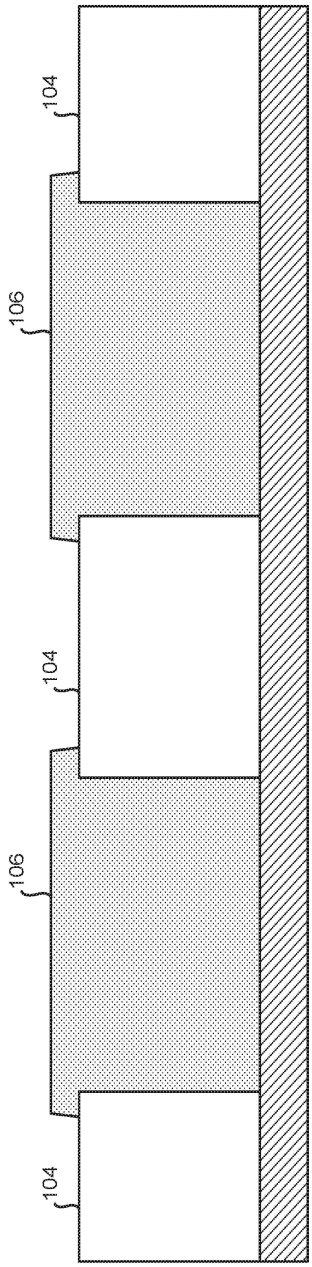
도면5b



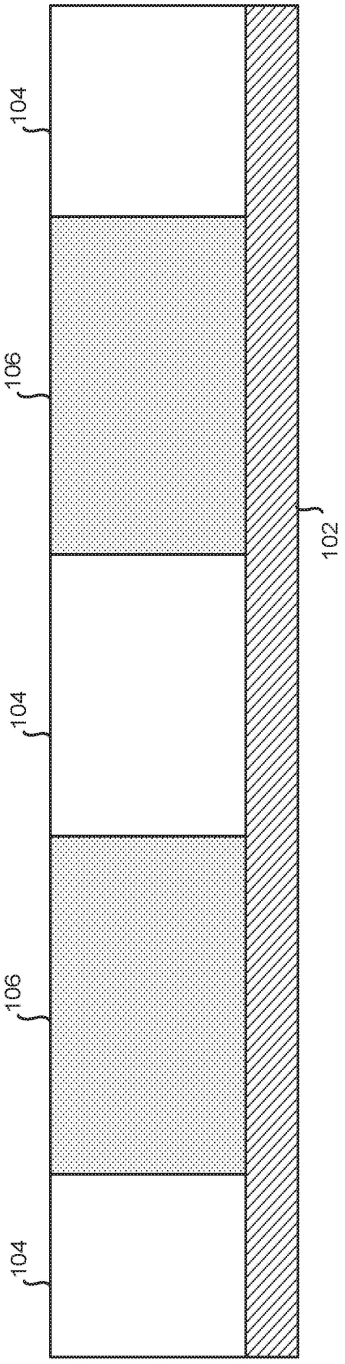
도면5c



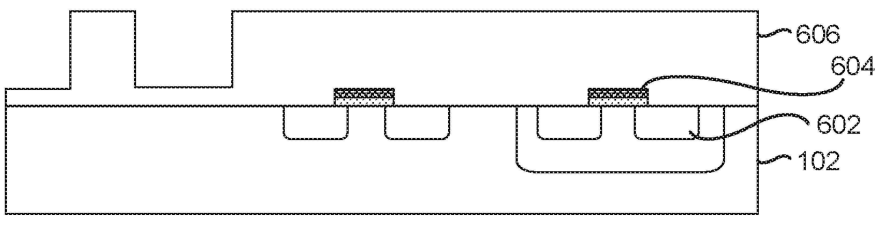
도면5d



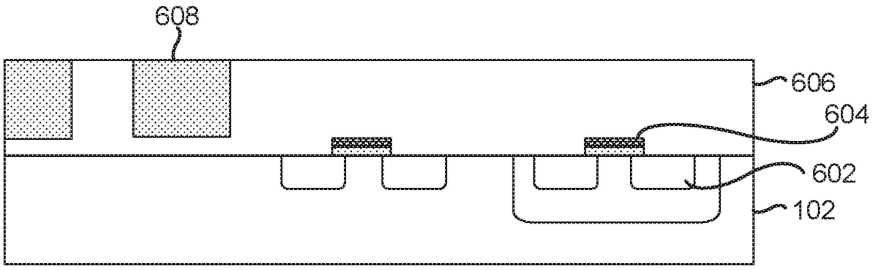
도면5e



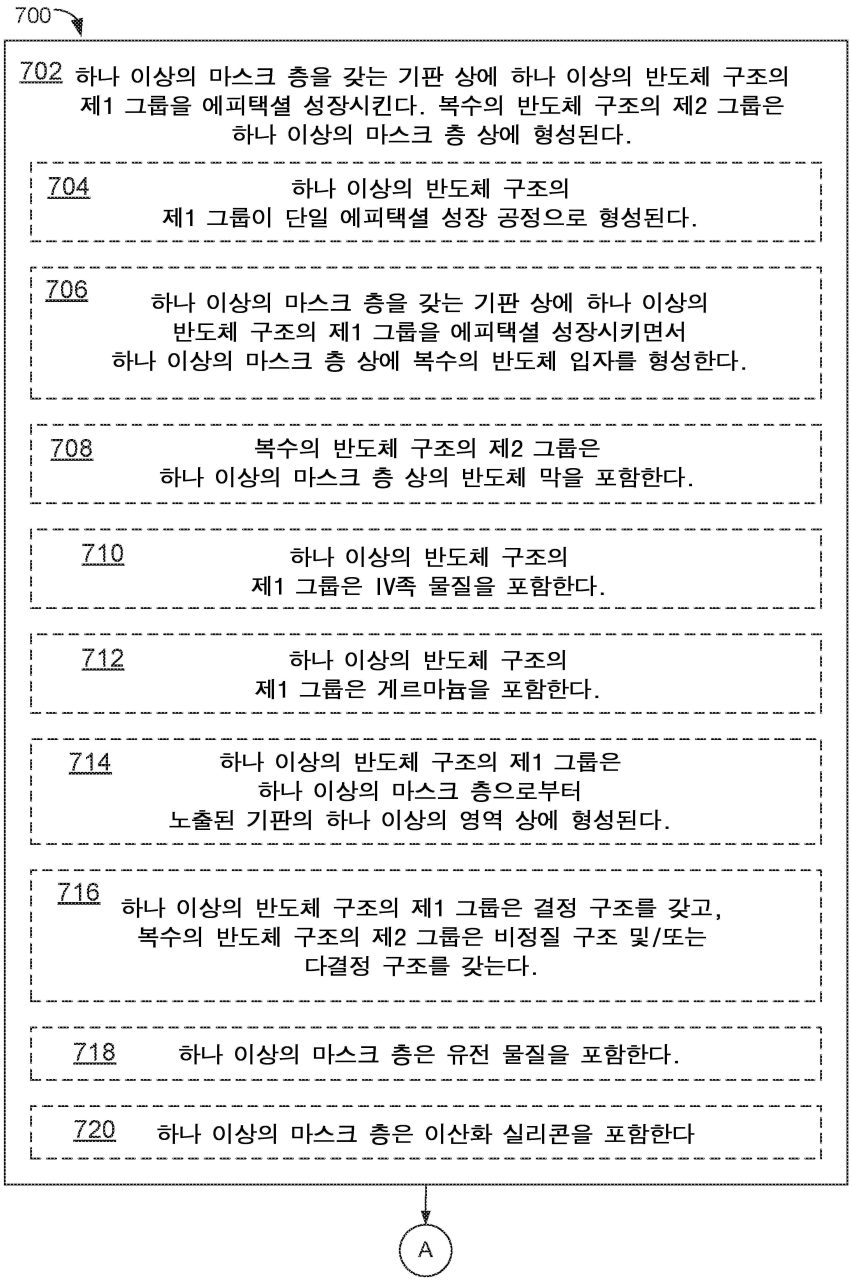
도면6a



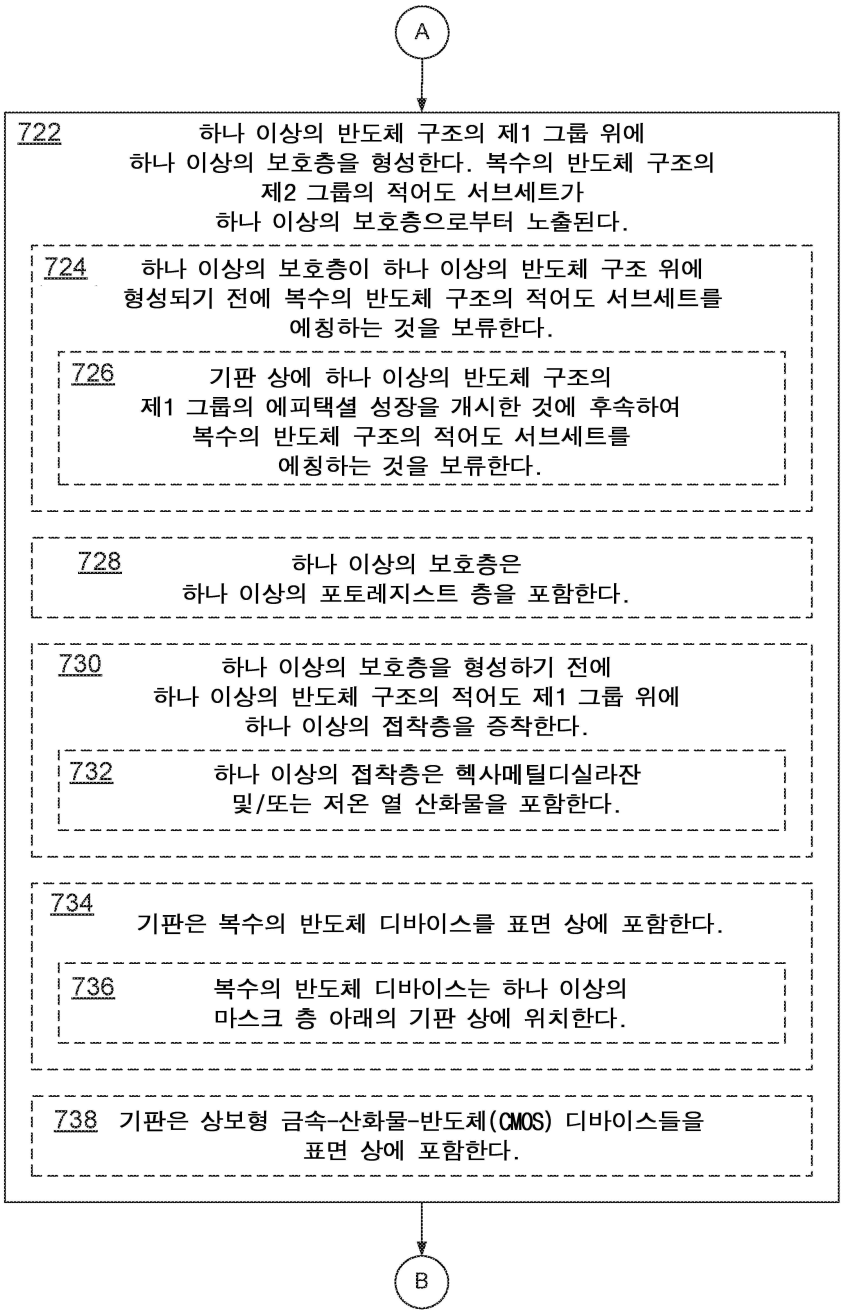
도면6b


608
606
604
602
102

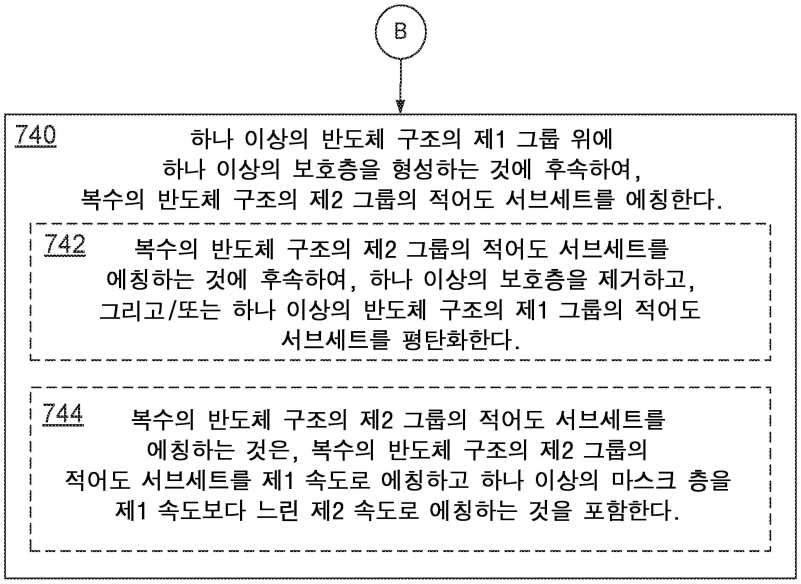
도면7a


700
702 하나 이상의 마스크 층을 갖는 기판 상에 하나 이상의 반도체 구조의 제1 그룹을 에피택셜 성장시킨다. 복수의 반도체 구조의 제2 그룹은 하나 이상의 마스크 층 상에 형성된다.
704 하나 이상의 반도체 구조의 제1 그룹이 단일 에피택셜 성장 공정으로 형성된다.
706 하나 이상의 마스크 층을 갖는 기판 상에 하나 이상의 반도체 구조의 제1 그룹을 에피택셜 성장시키면서 하나 이상의 마스크 층 상에 복수의 반도체 입자를 형성한다.
708 복수의 반도체 구조의 제2 그룹은 하나 이상의 마스크 층 상의 반도체 막을 포함한다.
710 하나 이상의 반도체 구조의 제1 그룹은 IV족 물질을 포함한다.
712 하나 이상의 반도체 구조의 제1 그룹은 게르마늄을 포함한다.
714 하나 이상의 반도체 구조의 제1 그룹은 하나 이상의 마스크 층으로부터 노출된 기판의 하나 이상의 영역 상에 형성된다.
716 하나 이상의 반도체 구조의 제1 그룹은 결정 구조를 갖고, 복수의 반도체 구조의 제2 그룹은 비정질 구조 및/또는 다결정 구조를 갖는다.
718 하나 이상의 마스크 층은 유전 물질을 포함한다.
720 하나 이상의 마스크 층은 이산화 실리콘을 포함한다
A

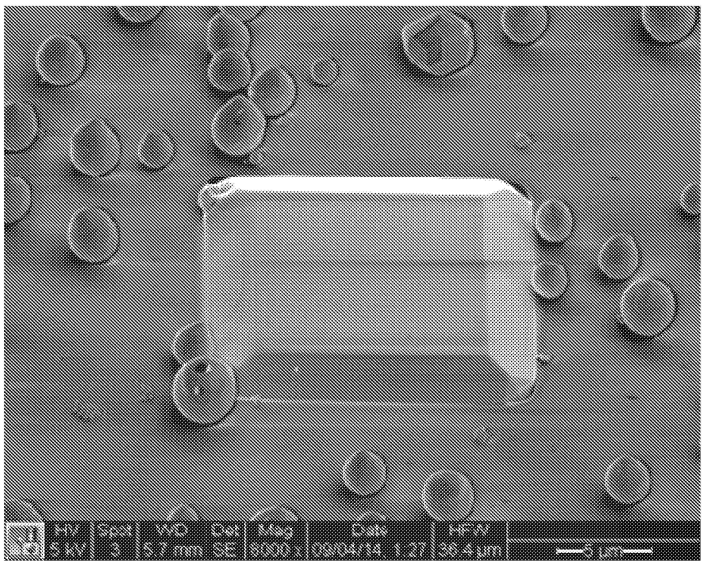
도면7b


A
722
하나 이상의 반도체 구조의 제1 그룹 위에 하나 이상의 보호층을 형성한다. 복수의 반도체 구조의 제2 그룹의 적어도 서브세트가 하나 이상의 보호층으로부터 노출된다.
724
하나 이상의 보호층이 하나 이상의 반도체 구조 위에 형성되기 전에 복수의 반도체 구조의 적어도 서브세트를 에칭하는 것을 보류한다.
726
기판 상에 하나 이상의 반도체 구조의 제1 그룹의 에피택셜 성장을 개시한 것에 후속하여 복수의 반도체 구조의 적어도 서브세트를 에칭하는 것을 보류한다.
728
하나 이상의 보호층은 하나 이상의 포토레지스트 층을 포함한다.
730
하나 이상의 보호층을 형성하기 전에 하나 이상의 반도체 구조의 적어도 제1 그룹 위에 하나 이상의 접착층을 증착한다.
732
하나 이상의 접착층은 헥사메틸디실라잔 및/또는 저온 열 산화물을 포함한다.
734
기판은 복수의 반도체 디바이스를 표면 상에 포함한다.
736
복수의 반도체 디바이스는 하나 이상의 마스크 층 아래의 기판 상에 위치한다.
738
기판은 상보형 금속-산화물-반도체(CMOS) 디바이스들을 표면 상에 포함한다.
B

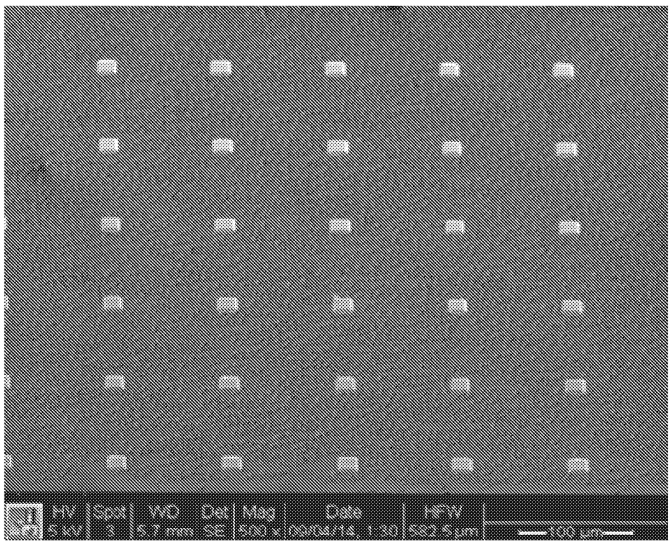
도면7c


B
740
하나 이상의 반도체 구조의 제1 그룹 위에
하나 이상의 보호층을 형성하는 것에 후속하여,
복수의 반도체 구조의 제2 그룹의 적어도 서브세트를 에칭한다.
742
복수의 반도체 구조의 제2 그룹의 적어도 서브세트를
에칭하는 것에 후속하여, 하나 이상의 보호층을 제거하고,
그리고/또는 하나 이상의 반도체 구조의 제1 그룹의 적어도
서브세트를 평탄화한다.
744
복수의 반도체 구조의 제2 그룹의 적어도 서브세트를
에칭하는 것은, 복수의 반도체 구조의 제2 그룹의
적어도 서브세트를 제1 속도로 에칭하고 하나 이상의 마스크 층을
제1 속도보다 느린 제2 속도로 에칭하는 것을 포함한다.

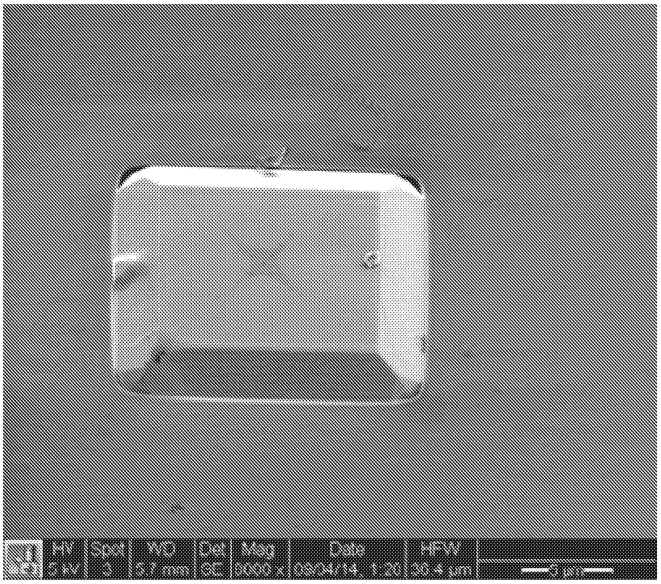
도면8a



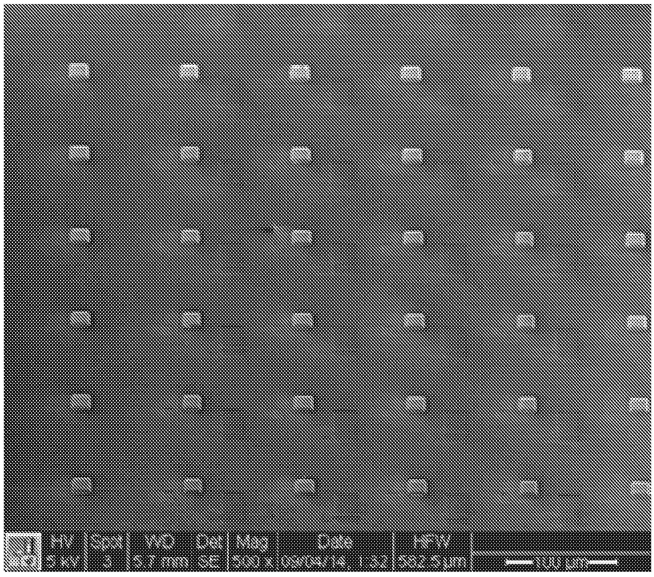
도면8b


HV
5 kV
Spot
3
WD
9.7 mm
Det
SE
Mag
200 x
Date
10/04/16
Time
13:30
HFW
952 µm
100 µm

도면9a


HV
5 kV
Spot
3
WD
9.7 mm
Det
SE
Mag
5000 x
Date
10/04/16
Time
13:30
HFW
38 µm
3 µm

도면9b


HV
5 kV
Spot
3
WD
9.7 mm
Det
SE
Mag
500 x
Date
03/04/14
FOV
532.5 um
100 um