(19) Deutsches Patent- und Markenamt

(10) **DE 198 52 986 B4** 2011.02.03

(12) # Patentschrift

(21) Aktenzeichen: **198 52 986.4**
(22) Anmeldetag: **17.11.1998**
(43) Offenlegungstag: **20.05.1999**
(45) Veröffentlichungstag der Patenterteilung: **03.02.2011**

(51) Int Cl.[8]: ***G11C 7/00*** (2006.01)
G11C 8/00 (2006.01)
G11C 11/407 (2006.01)
G06F 12/02 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten(§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
97-60814 18.11.1997 KR

(73) Patentinhaber:
Samsung Electronics Co., Ltd., Suwon, Kyonggi, KR

(74) Vertreter:
Patentanwälte Ruff, Wilhelm, Beier, Dauster & Partner, 70174 Stuttgart

(72) Erfinder:
Lee, Jae-hyeong, Seongnam, Kyonggi, KR

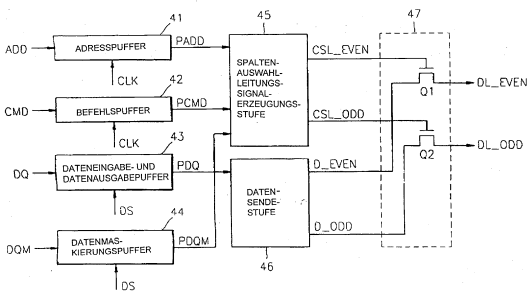
(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:

EP 07 73 549 A2

Yoo et.al.: A 32-Bank 1 Gb Self-Strobing Synchronous DRAM with 1 GByte/s Bandwith. In: IEEE Journal of Solid-State Circuits, Vol.31, No.11, November 1996, S.1635-1644

(54) Bezeichnung: **Schaltungsanordnung und Verfahren zur Datenmaskierung**

(57) Hauptanspruch: Schaltungsanordnung zur Datenmaskierung, insbesondere in einem Halbleiterspeicherbauelement,
gekennzeichnet durch
– eine Spaltenauswahlleitungs-Signalerzeugungsstufe (45) zur Erzeugung erster und zweiter Spaltenauswahlleitungssignale (CSL_EVEN, CSL_ODD), wobei sie ein Adresssignal (PADD) und ein Befehlssignal (PCMD) zum Schreiben von Daten, jeweils synchronisiert mit einem Taktsignal (CLK), und ein Datenmaskierungssignal (PDQM), synchronisiert mit einem Datenabtastsignal (DS), empfängt,
– eine Datensendestufe (46) zum Ausgeben geradzahliger erster Daten (D_EVEN) und ungeradzahliger zweiter Daten (D_ODD) unter Verwendung von mit dem Datenabtastsignal (DS) synchronisierten Daten (PDQ) und
– eine Spaltenauswahlstufe (47) zum Übertragen der ersten und der zweiten Daten zu einer ersten zweiten Datenleitung (DL_EVEN, DL_ODD) in Abhängigkeit von dem ersten und zweiten Spaltenauswahlleitungssignal (CSL_EVEN, CSL_ODD).



Beschreibung

[0001] Die Erfindung bezieht sich auf eine Schaltungsanordnung und ein Verfahren zur Datenmaskierung, insbesondere bei einem Halbleiterspeicherbauelement.

[0002] Die Leistungsfähigkeit eines Systems mit einem oder mehreren Halbleiterspeicherbauelementen wird mit wachsender Verbesserung durch die Betriebsgeschwindigkeit des Halbleiterspeicherbauelementes beschränkt. Um diese Schwierigkeit zu überwinden, kann ein DRAM hoher Leistungsfähigkeit verwendet werden, wie ein synchrones DRAM (SDRAM), ein RAMBUS-DRAM und ein DRAM mit Synchronverbindung (”sync-link”).

[0003] Das SDRAM hat sich von einem Einzeldatenraten(SDR)-SDRAM zu einem Doppeldatenraten(DDR)-SDRAM entwickelt. Im SDR-SDRAM können Daten entweder nur an der ansteigenden oder nur an der fallenden Flanke eines Taktsignals ein- und ausgegeben werden. Im DDR-SDRAM können Daten sowohl an der ansteigenden als auch an der fallenden Flanke des Taktsignals ein- und ausgegeben werden. Daher besitzt das DDR-SDRAM eine dem doppelten Wert der Taktfrequenz entsprechende Datenbandbreite. Außerdem weist das SDRAM einen Dateneingabe-/Datenausgabe-Maskierungsanschluß (DQM-Anschluß) zum Maskieren unerwünschter Daten auf, wenn ein Datenlese-/Datenschreibbefehl erzeugt wird, um das Eingeben und Ausgeben der Daten gemäß einer Wartezeit zu sperren, die gesetzt wird, wenn ein Datenmaskierungssignal aktiviert wird.

[0004] Fig. 1 zeigt ein Zeitsteuerungsdiagramm, das ein Datenmaskierungsverfahren eines synchronen SDR-SDRAM nach einer herkömmlichen Technologie repräsentiert. Bezugnehmend auf Fig. 1 werden Daten DQ, ein Befehl CMD und ein Datenmaskierungssignal DQM an der ansteigenden Flanke eines Taktsignals CLK synchroniert. Hierbei hat die Maskierungswartezeit im Fall des Lesens der Daten DQ den Wert zwei. Im Fall des Schreibens der Daten DQ hat die Maskierungswartezeit den Wert null.

[0005] Wenn daher der Befehl CMD zum Schreiben der Daten DQ angewendet wird, wird der Datenwert DQ maskiert, wenn das Datenmaskierungssignal DQM auf hohem Logikpegel aktiviert ist, d. h. der erste Eingabedatenwert (DIN1). Wenn der Befehl CMD zum Lesen der Daten DQ angewendet wird, werden die Daten DQ nach zwei Perioden des Taktsignals CLK maskiert, d. h. der erste Ausgabedatenwert DOUT1, nachdem das Datenmaskierungssignal DQM auf hohem Logikpegel aktiviert wurde. Hierbei sind der erste Eingabedatenwert DIN1 und der erste Ausgabedatenwert DOUT1 von den Daten DQ diagonal schraffiert markiert.

[0006] In dem Halbleiterspeicherbauelement wird das Eingeben und Ausgeben der Daten durch die Steuerung eines Chipsatzes ausgeführt. Im Datenlesebefehl können die Daten in dem Chipsatz maskiert sein, ohne die Daten in dem DRAM zu maskieren, da die Daten vom DRAM zu einer CPU gesendet werden. Im Datenschreibbefehl müssen jedoch die Daten, die nicht geschrieben werden sollen, in dem DRAM maskiert werden, da die Daten von der CPU zum DRAM gesendet werden. Daher müssen die Daten in dem DRAM im Datenschreibbefehl maskiert werden. Im Datenlesebefehl ist es nicht erforderlich, die Daten in dem DRAM zu maskieren.

[0007] In dem synchronen DDR-DRAM werden, da die Daten an der ansteigenden und der fallenden Flanke des Taktsignals abgetastet werden und alle Befehle mit Ausnahme der Daten an der ansteigenden Flanke des Taktsignals abgetastet werden, wenn das Datenmaskierungssignal während der 1-Periode des Taktsignal auf hohem Logikpegel aktiviert ist, zwei aufeinanderfolgende Datenwerte maskiert, und das Abtastfenster der Daten wird auf die Hälfte desjenigen des synchronen SDR-DRAMs verringert. Daher müssen die Daten während einer kurzen Zeit abgerufen werden.

[0008] Um die obige Schwierigkeit zu lösen, wird ein Datenabtastsignal zum Abrufen der Eingabe- und Ausgabedaten verwendet. Insbesondere werden die Daten mittels Synchronisieren derselben mit dem Datenabtastsignal eingegeben und ausgegeben.

[0009] Fig. 2 zeigt ein Zeitsteuerungsdiagramm, das ein Verfahren zum Maskieren der Daten des synchronen DDR-DRAM gemäß einer herkömmlichen Technologie veranschaulicht. Bezugnehmend auf Fig. 2 wird das Datenmaskierungssignal DQM an der ansteigenden Flanke des Taktsignals CLK synchronisiert. Die Daten DQ sind nicht mit dem Signal CLK synchronisiert, sie sind jedoch mit der ansteigenden und mit der fallenden Flanke des Datenabtastsignals DS zum Abrufen der Daten DQ synchronisiert. Daher werden während einer Periode des Datenabtastsignals DS zwei aufeinanderfolgende Datenpakete der Daten DQ geschrieben.

[0010] Das Datenmaskierungssignal DQM wird an der ansteigenden Flanke des Taktsignals CLK synchronisiert und in ein erstes Datenmaskierungssignal DQM_EVEN zum Maskieren geradzahliger Daten DQ und ein zweites Datenmaskierungssignal DQM_ODD zum Maskieren ungeradzahliger Daten DQ aufgeteilt. Die durch das erste Datenmaskierungssignal DQM_EVEN und das zweite Datenmaskierungssignal DQM_ODD maskierten Daten sind mit diagonaler Schraffur markiert.

[0011] Da somit das Datenmaskierungssignal beim obigen Verfahren verdoppelt wird, muß jedoch die

Anzahl an Anschlüssen, an denen das Datenmaskierungssignal eingegeben wird, verdoppelt werden. Dementsprechend muß sich die Anzahl an Anschlüssen des Chipsatzes erhöhen. Beispielsweise beinhaltet ein derzeitiger PC-Chipsatz acht Datenmaskierungsanschlüsse, an denen das Datenmaskierungssignal eingegeben wird. Wenn die Anzahl an Datenmaskierungsanschlüssen in einer synchronen DRAM-Packung auf sechzehn erhöht wird, müssen die Datenmaskierungsanschlüsse des Chipsatzes ebenso auf sechzehn erhöht werden.

[0012] Der Erfindung liegt als technisches Problem die Bereitstellung einer Schaltungsanordnung und eines Verfahrens zur Maskierung von Daten, insbesondere bei einem Halbleiterspeicherbauelement, zugrunde, bei denen die Anzahl an Anschlüssen, an denen ein Datenmaskierungssignal eingegeben wird, nicht erhöht zu werden braucht.

[0013] Die Erfindung löst dieses Problem durch die Bereitstellung einer Datenmaskierungs-Schaltungsanordnung mit den Merkmalen des Anspruchs 1 sowie eines Datenmaskierungsverfahrens mit den Merkmalen des Anspruchs 11 oder 12. Da bei dieser Datenmarkierungs-Schaltungsanordnung und diesem Datenmaskierungsverfahren, wie sie insbesondere für ein Halbleiterspeicherbauelement geeignet sind, sowohl das Datenmaskierungssignal als auch die Daten mit dem Datenabtastsignal synchronisiert werden, reagieren sie in gleicher Weise auf Einflüsse wie Spannung, Temperatur und Prozeßänderungen. Dementsprechend wird das Abtastfenster der Daten größer, und die Anzahl an Anschlüssen zum Eingeben des Datenmaskierungssignals braucht nicht erhöht werden.

[0014] Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

[0015] Vorteilhafte, nachfolgend beschriebene Ausführungsformen der Erfindung sowie die zu deren besserem Verständnis oben beschriebenen, herkömmlichen Ausführungsbeispiele sind in den Zeichnungen dargestellt, in denen zeigen:

[0016] Fig. 1 ein Zeitsteuerungsdiagramm, das ein Datenmaskierungsverfahren eines synchronen SDR-DRAM nach einer herkömmlichen Technologie veranschaulicht,

[0017] Fig. 2 ein Zeitsteuerungsdiagramm, das ein Datenmaskierungsverfahren eines synchronen DDR-DRAM nach einer herkömmlichen Technologie veranschaulicht,

[0018] Fig. 3 ein Ausführungsbeispiel einer erfindungsgemäßen Datenmaskierungs-Schaltungsanordnung eines Halbleiterspeicherbauelementes,

[0019] Fig. 4 ein Zeitsteuerungsdiagramm für in Fig. 3 gezeigte Signale,

[0020] Fig. 5 ein weiteres Ausführungsbeispiel der erfindungsgemäßen Datenmaskierungs-Schaltungsanordnung eines Halbleiterspeicherbauelementes und

[0021] Fig. 6 ein Zeitsteuerungsdiagramm von in Fig. 5 gezeigten Signalen.

[0022] Nachfolgend werden unter Bezugnahme auf die zugehörigen Zeichnungen bevorzugte Ausführungsformen der Erfindung im Detail erläutert. Bezugnehmend auf Fig. 3 beinhaltet das dort gezeigte Beispiel einer erfindungsgemäßen Datenmaskierungs-Schaltungsanordnung einen Adresspuffer **41**, einen Befehlspuffer **42**, einen Dateneingabe- und Datenausgabepuffer **43**, einen Datenmaskierungspuffer **44**, eine Spaltenauswahlleitungs-Signalerzeugungsstufe **45**, eine Datensendestufe **46** und eine Spaltenauswahlstufe **47**.

[0023] Der Adresspuffer **41** empfängt von außerhalb eines zugehörigen Halbleiterspeicherbauelementes eine externe Adresse ADD und ein Taktsignal CLK und gibt eine interne Adresse PADD ab, die mit dem Taktsignal CLK synchronisiert und gepuffert ist. Der Befehlspuffer **42** empfängt das Taktsignal CLK und einen Befehl CMD zum Lesen oder Schreiben von Daten und gibt einen internen Befehl PCMD ab, der mit dem Taktsignal CLK synchronisiert und gepuffert ist.

[0024] Der Dateneingabe- und Datenausgabepuffer **43** empfängt externe Daten DQ und ein Datenabtastsignal DS und gibt interne Daten PDQ ab, die mit dem Datenabtastsignal DS synchronisiert und gepuffert sind. Das Datenabtastsignal DS ist ein Signal, welches von außerhalb des Halbleiterspeicherbauelementes eingegeben wird, um die externen Daten DQ abzurufen.

[0025] Der Datenmaskierungspuffer **44** empfängt das Datenabtastsignal DS und ein Datenmaskierungssignal DQM zum Maskieren der externen Daten DQ und gibt ein internes Datenmaskierungssignal PDQM ab, das mit dem Datenabtastsignal DS synchronisiert und gepuffert ist.

[0026] Die Datensendestufe **46** gibt einen ersten Datenwert D_EVEN, der mit der ansteigenden Flanke des Datenabtastsignals DS synchronisiert ist, und einen zweiten Datenwert D_ODD ab, der mit der fallenden Flanke des Datenabtastsignals DS synchronisiert ist, wobei sie synchronisiert mit der ansteigenden Flanke und der fallenden Flanke des Datenabtastsignals DS die internen Daten PDQ empfängt.

[0027] Die Spaltenauswahlleitungs-Signalerzeu-

gungsstufe **45** verknüpft die interne Adresse PADD mit dem internen Datenmaskierungssignal PDQM, wobei sie die interne Adresse PADD, den internen Befehl PCMD und das interne Datenmaskierungssignal PDQM empfängt, und erzeugt ein erstes Spaltenauswahlleitungssignal CSL_EVEN zum Ausgeben der ersten Daten D_EVEN und ein zweites Spaltenauswahlleitungssignal CSL_ODD zum Ausgeben der zweiten Daten D_ODD. Das erste und das zweite Spaltenauswahlleitungssignal CSL_EVEN und CSL_ODD sind mit der ansteigenden Flanke oder der fallenden Flanke des Datenabtastsignals DS synchronisiert, ohne aktiviert zu sein, wenn das interne Datenmaskierungssignal PDQM aktiviert ist.

[0028] Die Spaltenauswahlstufe **47** beinhaltet einen ersten NMOS-Transistor Q1 und einen zweiten NMOS-Transistor Q2. Der erste NMOS-Transistor Q1 wird leitend geschaltet, wenn das erste Spaltenauswahlleitungssignal CSL_EVEN auf hohen Logikpegel ansteigt, und überträgt dann die ersten Daten D_EVEN zur ersten Datenleitung DL_EVEN. Der zweite NMOS-Transistor Q2 wird leitend geschaltet, wenn das zweite Spaltenauswahlleitungssignal CSL_ODD auf hohen Logikpegel ansteigt, und überträgt dann die zweiten Daten D_ODD zur zweiten Datenleitung DL_ODD. Wenn jedoch das erste Spaltenauswahlleitungssignal CSL_EVEN nicht aktiviert ist, werden die ersten Daten D_EVEN maskiert. Wenn das zweite Spaltenauswahlleitungssignal PSL_ODD nicht aktiviert ist, werden die zweiten Daten D_ODD maskiert. Hierbei werden das erste Spaltenauswahlleitungssignal CSL_EVEN und das zweite Spaltenauswahlleitungssignal CSL_ODD vorzugsweise eine Periode des Taktsignals CLK nach dem externen Befehl CMD zum Schreiben der externen Daten DQ erzeugt.

[0029] Mit anderen Worten sind erfindungsgemäß die externen Daten DQ und das externe Datenmaskierungssignal DQM mit dem Datenabtastsignal DS und nicht dem Taktsignal CLK synchronisiert. Das erste Spaltenauswahlleitungssignal CSL_EVEN und das zweite Spaltenauswahlleitungssignal CSL_ODD werden durch Verknüpfen der internen Adresse PADD mit dem internen Datenmaskierungssignal PDQM erzeugt. Die ersten Daten D_EVEN und die zweiten Daten D_ODD, in denen gewisse von den externen Daten DQ durch das erste Spaltenauswahlleitungssignal CSL_EVEN und das zweite Spaltenauswahlleitungssignal CSL_ODD maskiert sind, werden zur ersten Datenleitung DL_EVEN bzw. zur zweiten Datenleitung DL_ODD übertragen. Da somit das Datenmaskierungssignal DQM und die externen Daten DQ sämtlich mit dem Datenabtastsignal DS synchronisiert sind, reagieren sie in der gleichen Weise auf Spannung, Temperatur und Prozeßschwankungen. Dementsprechend wird das Abtastfenster der Daten größer, und die Anzahl von Anschlüssen zum Eingeben des Datenmaskierungssignals DQM braucht nicht erhöht zu werden.

[0030] Fig. 4 zeigt ein Zeitsteuerungsdiagramm der in Fig. 3 dargestellten Signale. Bezugnehmend auf Fig. 4 werden die externen Daten DQ an der ansteigenden und der fallenden Flanke des Datenabtastsignals DS synchronisiert, und das externe Datenmaskierungssignal DQM maskiert von den externen Daten DQ Datenpakete 2 und 5. Hierbei wird das Datenabtastsignal DS eingegeben, nachdem der Befehl CMD zum Schreiben der externen Daten DQ eingegeben wurde.

[0031] Die erste Datenleitung D_EVEN beinhaltet Datenpakete 0, 2, 4 und 6, die mit der ansteigenden Flanke des Datenabtastsignals DS synchronisiert sind. Die zweite Datenleitung D_ODD beinhaltet Datenpakete 1, 3, 5 und 7, die mit der fallenden Flanke des Datenabtastsignals DS synchronisiert sind.

[0032] Das erste und das zweite Spaltenauswahlleitungssignal CSL_EVEN und CSL_ODD sind mit der ansteigenden Flanke des Datenabtastsignals DS synchronisiert und sind nicht aktiviert, wenn das Datenmaskierungssignal DQM auf hohem Logikpegel aktiviert ist.

[0033] Wenn das erste Spaltenauswahlleitungssignal CSL_EVEN aktiviert ist, werden die ersten Daten D_EVEN zur ersten Datenleitung DL_EVEN ausgegeben, und nur das Datenpaket 2 von den ersten Daten D_EVEN ist in der ersten Datenleitung DL_EVEN maskiert. Wenn das zweite Spaltenauswahlleitungssignal CSL_ODD aktiviert ist, werden die zweiten Daten D_ODD zur zweiten Datenleitung DL_ODD ausgegeben. Deshalb ist nur das Datenpaket 2 von den ersten Daten D_EVEN in der ersten Datenleitung DL_EVEN und nur das Datenpaket 5 von den zweiten Daten D_ODD in der zweiten Datenleitung DL_ODD maskiert.

[0034] Fig. 5 zeigt ein weiteres Beispiel der erfindungsgemäßen Datenmaskierungs-Schaltungsanordnung eines Halbleiterspeicherbauelementes.

[0035] Bezugnehmend auf Fig. 5 beinhaltet dieses weitere Beispiel einer erfindungsgemäßen Datenmaskierungs-Schaltungsanordnung einen Adresspuffer **61**, einen Befehlspuffer **62**, einen Dateneingabe- und Datenausgabepuffer **63**, einen Datenmaskierungspuffer **64**, eine Spaltenauswahlleitungs-Signalerzeugungsstufe **65**, eine Datensendestufe **66** und eine Spaltenauswahlstufe **67**. Der Adresspuffer **61**, der Befehlspuffer **62**, der Dateneingabe- und Datenausgabepuffer **63** und der Datenmaskierungspuffer **64** sind identisch mit dem Adresspuffer **41**, dem Befehlspuffer **42**, dem Dateneingabe- und Datenausgabepuffter **43** und dem Datenmaskierungspuffer **44** von Fig. 3.

[0036] Die Datensendestufe **66** gibt die ersten Daten D_EVEN synchronisiert mit der ansteigenden Flanke des Datenabtastsignals DS in den internen Daten PDQ und die zweiten Daten D_ODD synchronisiert mit der fallenden Flanke des Datenmaskierungssignals DS in den internen Daten PDQ ab, wobei sie das interne Datenmaskierungssignal PDQM und die internen Daten PDQ synchronisiert mit der ansteigenden Flanke und der fallenden Flanke des Datenmaskierungssignals DS empfängt. Wenn jedoch das interne Datenmaskierungssignal PDQM auf hohem Logikpegel liegt, sind die ersten Daten D_EVEN und die zweiten Daten D_ODD maskiert.

[0037] Die Spaltenauswahlleitungs-Signalerzeugungsstufe **65** erzeugt das erste Spaltenauswahlleitungssignal CSL_EVEN zum Ausgeben der ersten Daten D_EVEN und das zweite Spaltenauswahlleitungssignal CSL_ODD zum Ausgeben der zweiten Daten D_ODD, wobei sie die vom Adresspuffer **61** abgegebene interne Adresse PADD und den vom Befehlspuffer **62** abgegebenen internen Befehl PCMD empfängt. Das erste und das zweite Spaltenauswahlleitungssignal CSL_EVEN und CSL_ODD werden aktiviert, wenn das Datenabtastsignal DS auf hohen Logikpegel ansteigt, wobei sie mehr als eine Periode des Taktsignals CLK nach dem Befehl CMD zum Schreiben der Daten DQ erzeugt werden.

[0038] Die Spaltenauswahlstufe **67** beinhaltet einen ersten NMOS-Transistor Q1 und einen zweiten NMOS-Transistor Q2. Der ersten NMOS-Transistor Q1 wird leitend geschaltet, wenn das ersten Spaltenauswahlleitungssignal CSL_EVEN auf hohen Logikpegel ansteigt, und überträgt dann die ersten Daten D_EVEN zur ersten Datenleitung DL_EVEN. Der zweite NMOS-Transistor Q2 wird leitend geschaltet, wenn das zweite Spaltenauswahlleitungssignal CSL_ODD auf hohen Logikpegel ansteigt, und überträgt dann die zweiten Daten D_ODD zur zweiten Datenleitung DL_ODD.

[0039] Fig. 6 zeigt ein Zeitsteuerungsdiagramm der in Fig. 5 dargestellten Signale. Bezugnehmend auf Fig. 6 werden die externen Daten DQ alternierend mit der ansteigenden und der fallenden Flanke des Datenabtastsignals DS synchronisiert, und das externe Datenmaskierungssignal DQM maskiert Datenpakete 2 und 5 von den externen Daten DQ. Hierbei wird das Datenabtastsignal DS eingegeben, nachdem der Befehl CMD zum Schreiben der externen Daten DQ eingegeben wurde.

[0040] Die ersten und zweiten Daten D_EVEN und D_ODD sind mit der ansteigenden Flanke des Datenabtastsignals DS synchronisiert und werden nur erzeugt, wenn das Datenmaskierungssignal DQM nicht aktiviert ist. Daher wird in den ersten Daten D_EVEN das Datenpaket 2 und in den zweiten Daten D_ODD das Datenpaket 5 maskiert.

[0041] Das erste und das zweite Spaltenauswahlleitungssignal CSL_EVEN und CSL_ODD werden synchronisiert mit der ansteigenden Flanke des Datenabtastsignals DS aktiviert. Wenn das erste und das zweite Spaltenauswahlleitungssignal CSL_EVEN und CSL_ODD aktiviert sind, werden die ersten und zweite Daten D_EVEN und D_ODD an die erste und zweite Datenleitung DL_EVEN und DL_ODD ausgegeben.

[0042] Es versteht sich, daß die durch die beigefügten Patentansprüche definierte Erfindung nicht auf die gezeigten Beispiele beschränkt ist, sondern zahlreiche Varianten und Modifikationen hiervon umfaßt, wie sie vom Fachmann realisierbar sind.

Patentansprüche

1. Schaltungsanordnung zur Datenmaskierung, insbesondere in einem Halbleiterspeicherbauelement,
gekennzeichnet durch
– eine Spaltenauswahlleitungs-Signalerzeugungsstufe (**45**) zur Erzeugung erster und zweiter Spaltenauswahlleitungssignale (CSL_EVEN, CSL_ODD), wobei sie ein Adresssignal (PADD) und ein Befehlssignal (PCMD) zum Schreiben von Daten, jeweils synchronisiert mit einem Taktsignal (CLK), und ein Datenmaskierungssignal (PDQM), synchronisiert mit einem Datenabtastsignal (DS), empfängt,
– eine Datensendestufe (**46**) zum Ausgeben geradzahliger erster Daten (D_EVEN) und ungeradzahliger zweiter Daten (D_ODD) unter Verwendung von mit dem Datenabtastsignal (DS) synchronisierten Daten (PDQ) und
– eine Spaltenauswahlstufe (**47**) zum Übertragen der ersten und der zweiten Daten zu einer ersten zweiten Datenleitung (DL_EVEN, DL_ODD) in Abhängigkeit von dem ersten und zweiten Spaltenauswahlleitungssignal (CSL_EVEN, CSL_ODD).

2. Datenmaskierungs-Schaltungsanordnung nach Anspruch 1, weiter dadurch gekennzeichnet, daß
– die Datensendestufe (**46**) unter Empfang von Daten (PDQ) die ersten und zweiten Daten (D_EVEN, D_ODD) abgibt und
– die Spaltenauswahlleitungs-Signalerzeugungsstufe (**45**) das erste Spaltenauswahlleitungssignal zum Maskieren der ersten Daten und das zweite Spaltenauswahlleitungssignal zum Maskieren der zweiten Daten abgibt.

3. Datenmaskierungs-Schaltungsanordnung nach Anspruch 1 oder 2, weiter dadurch gekennzeichnet, daß
– die Datensendestufe (**46**) die Daten in Abhängigkeit von dem Datenmaskierungssignal (PDQM) maskiert, wobei sie die Daten (PDQ) und das Datenmaskierungssignal empfängt, und die ersten und zweiten

Daten (D_EVEN, D_ODD) maskiert durch das Datenmaskierungssignal abgibt und
– die Spaltenauswahlleitungs-Signalerzeugungsstufe (**45**) das erste Spaltenauswahlleitungssignal (CSL_EVEN) zum Übertragen der ersten Daten (D_EVEN) zur ersten Datenleitung (DL_EVEN) und das zweite Spaltenauswahlleitungssignal (D_ODD) zum Übertragen der zweiten Daten (D_ODD) zur zweiten Datenleitung (DL_ODD) abgibt.

4. Datenmaskierungs-Schaltungsanordnung nach einem der Ansprüche 1 bis 3, weiter dadurch gekennzeichnet, daß das mit dem Taktsignal (CLK) synchronisierte Adresssignal (PADD) von einem Adresspuffer (**41**) abgegeben wird, der ein Adresssignal (ADD) und ein Taktsignal (CLK) von außerhalb eines zugehörigen Halbleiterspeicherbauelementes empfängt und puffert.

5. Datenmaskierungs-Schaltungsanordnung nach einem der Ansprüche 1 bis 4, weiter dadurch gekennzeichnet, daß das mit dem Taktsignal (CLK) synchronisierte Befehlssignal (PCMD) von einem Befehlspuffer (**42**) abgegeben wird, der ein Befehlssignal (CMD) und ein Taktsignal (CLK) von außerhalb eines zugehörigen Halbleiterspeicherbauelementes empfängt und puffert.

6. Datenmaskierungs-Schaltungsanordnung nach einem der Ansprüche 1 bis 5, weiter dadurch gekennzeichnet, daß die mit dem Datenabtastsignal (DS) synchronisierten Daten (PDQ) von einem Dateneingabe- und Datenausgabepuffer (**43**) abgegeben werden, der ein Datensignal (DQ) und ein Datenabtastsignal (DS) von außerhalb eines zugehörigen Halbleiterspeicherbauelementes empfängt und puffert.

7. Datenmaskierungs-Schaltungsanordnung nach einem der Ansprüche 1 bis 6, weiter dadurch gekennzeichnet, daß das Datenmaskierungssignal (PDQM) von einem Datenmaskierungspuffer (**44**) abgegeben wird, der ein Datenmaskierungssignal (DQM) und ein Datenabtastsignal (DS) von außerhalb eines zugehörigen Halbleiterspeicherbauelementes empfängt und puffert.

8. Datenmaskierungs-Schaltungsanordnung nach einem der Ansprüche 1 bis 7, weiter dadurch gekennzeichnet, daß die Spaltenauswahlstufe (**47**) folgende Elemente enthält:
– einen ersten Transistor (Q1), der leitend geschaltet wird, wenn das erste Spaltenauswahlleitungssignal (CSL_EVEN) aktiviert wird, um die ersten Daten (D_EVEN) zu übertragen, und
– einen zweiten Transistor (Q2), der leitend geschaltet wird, wenn das zweite Spaltenauswahlleitungssignal (CSL_ODD) aktiviert wird, um die zweiten Daten (D_ODD) zu übertragen.

9. Datenmaskierungs-Schaltungsanordnung nach einem der Ansprüche 1 bis 8, weiter dadurch gekennzeichnet, daß das Datenabtastsignal (DS) eingegeben wird, nachdem ein Befehl (CMD) zum Schreiben von Daten in ein zugehöriges Halbleiterspeicherbauelement eingegeben wurde.

10. Datenmaskierungs-Schaltungsanordnung nach einem der Ansprüche 1 bis 9, weiter dadurch gekennzeichnet, daß das erste und das zweite Spaltenauswahlleitungssignal (CSL_EVEN, CSL_ODD) mehr als eine Periode des Taktsignals (CLK) nach dem Eingeben des Befehls (CMD) zum Schreiben von Daten in das Halbleiterspeicherbauelement erzeugt werden.

11. Verfahren zur Maskierung von Daten, insbesondere für ein Halbleiterspeicherbauelement, gekennzeichnet durch folgende Schritte:
– Erzeugen einer Adresse (PADD) und eines Befehles (PCMD) zum Schreiben von Daten, synchronisiert mit einem Taktsignal (CLK),
– Eingeben von mit einem Datenabtastsignal (DS) synchronisierten Daten (PDQ),
– Erzeugen eines mit dem Datenabtastsignal (DS) synchronisierten Datenmaskierungssignals (PDQM),
– Erzeugen eines ersten Spaltenauswahlleitungssignals (CSL_EVEN) und eines zweiten Spaltenauswahlleitungssignals (CSL_ODD), die durch Verknüpfen der Adresse (PADD), des Befehls (PCMD) und des Datenmaskierungssignals (PDQM) gebildet werden,
– Aufteilen der Daten in mit der ansteigenden oder fallenden Flanke des Datenabtastsignals synchronisierte erste Daten (D_EVEN) und in mit der jeweils anderen von der ansteigenden und der fallenden Flanke des Datenabtastsignals synchronisierte zweite Daten (D_ODD) und
– Übertragen der ersten Daten, wenn das erste Spaltenauswahlleitungssignal aktiviert ist, und Übertragen der zweiten Daten, wenn das zweite Spaltenauswahlleitungssignal aktiviert ist.

12. Verfahren zur Maskierung von Daten, insbesondere für ein Halbleiterspeicherbauelement, gekennzeichnet durch folgende Schritte:
– Erzeugen einer Adresse (PADD) und eines Befehls (PCMD) zum Schreiben von Daten, synchronisiert mit einem Taktsignal (CLK),
– Eingeben von mit einem Datenabtastsignal (DS) synchronisierten Daten (PDQ),
– Erzeugen eines mit dem Datenabtastsignal (DS) synchronisierten Datenmaskierungssignals (PDQM),
– Erzeugen eines ersten und eines zweiten Spaltenauswahlleitungssignals (CSL_EVEN, CSL_ODD) durch Verknüpfen der Adresse (PADD) mit dem Befehl (PCMD),
– Aufteilen der Daten in durch das Datenmaskierungssignal (PDQM) maskierte und mit der ansteigenden oder fallenden Flanke des Datenabtastsig-

nals synchronisierte erste Daten (D_EVEN) und in durch das Datenmaskierungssignal maskierte und mit der jeweils anderen der ansteigenden und der fallenden Flanke des Datenabtastsignals synchronisierte zweite Daten (D_ODD) und
– Übertragen der ersten Daten, wenn das erste Spaltenauswahlleitungssignal aktiviert ist, und Übertragen der zweiten Daten, wenn das zweite Spaltenauswahlleitungssignal aktiviert ist.

13. Verfahren nach Anspruch 11 oder 12, weiter dadurch gekennzeichnet, daß die Adresse (PADD) von einem eine Adresse (ADD) und ein Taktsignal (CLK) von außerhalb eines zugehörigen Halbleiterspeicherbauelementes empfangenden und puffernden Adresspuffer ausgegeben wird.

14. Verfahren nach einem einem der Ansprüche 11 bis 13, weiter dadurch gekennzeichnet, daß der Befehl (PCMD) von einem einen Befehl (CMD) und ein Taktsignal (CLK) von außerhalb eines zugehörigen Halbleiterspeicherbauelementes empfangenden und puffernden Befehlspuffer ausgegeben wird.

15. Verfahren nach einem der Ansprüche 11 bis 14, weiter dadurch gekennzeichnet, daß die Daten von einem ein Datensignal (DQ) und ein Datenabtastsignal (DS) von außerhalb eines zugehörigen Halbleiterspeicherbauelementes empfangenden und puffernden Dateneingabe- und Datenausgabepuffer ausgegeben werden.

16. Verfahren nach einem der Ansprüche 11 bis 15, weiter dadurch gekennzeichnet, daß das Datenmaskierungssignal (PDQM) von einem ein Datenmaskierungssignal (DQM) und ein Datenabtastsignal (DS) von außerhalb eines zugehörigen Halbleiterspeicherbauelementes empfangenden und puffernden Datenmaskierungspuffer ausgegeben wird.

17. Verfahren nach einem der Ansprüche 11 bis 16, weiter dadurch gekennzeichnet, daß das ersten und das zweite Spaltenauswahlleitungssignal (CSL_EVEN, CSL_ODD) mehr als eine Periode des Taktsignals (CLK) nach Eingeben des Befehls (CMD) zum Schreiben von Daten in ein zugehöriges Halbleiterspeicherbauelement erzeugt werden.

Es folgen 5 Blatt Zeichnungen

Anhängende Zeichnungen

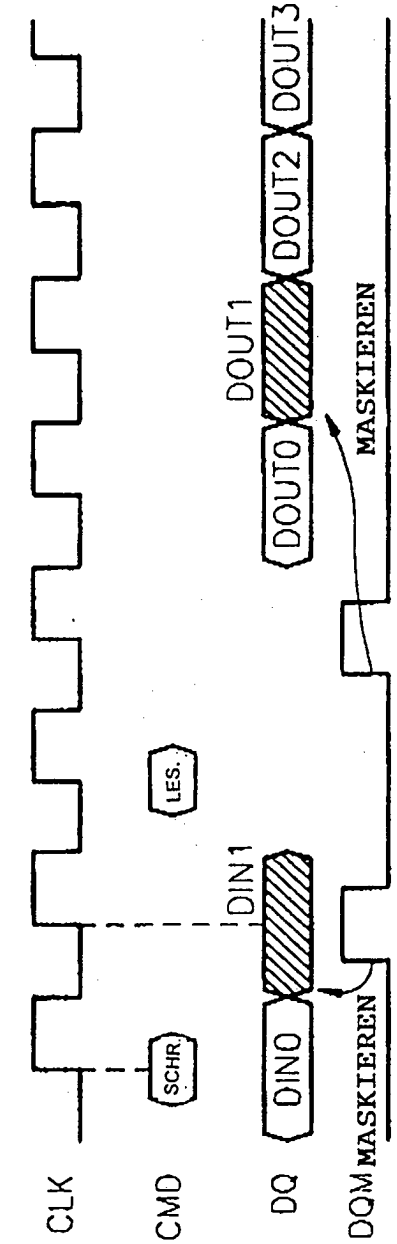


FIG. 1
STAND DER TECHNIK

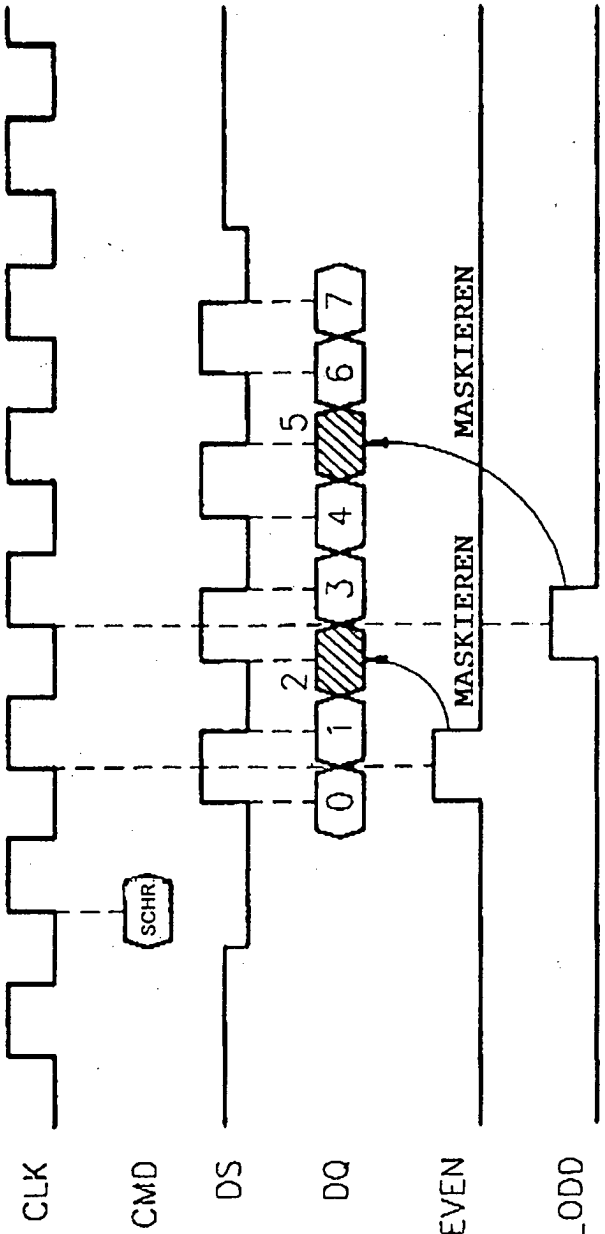


FIG. 2
STAND DER TECHNIK

FIG. 3

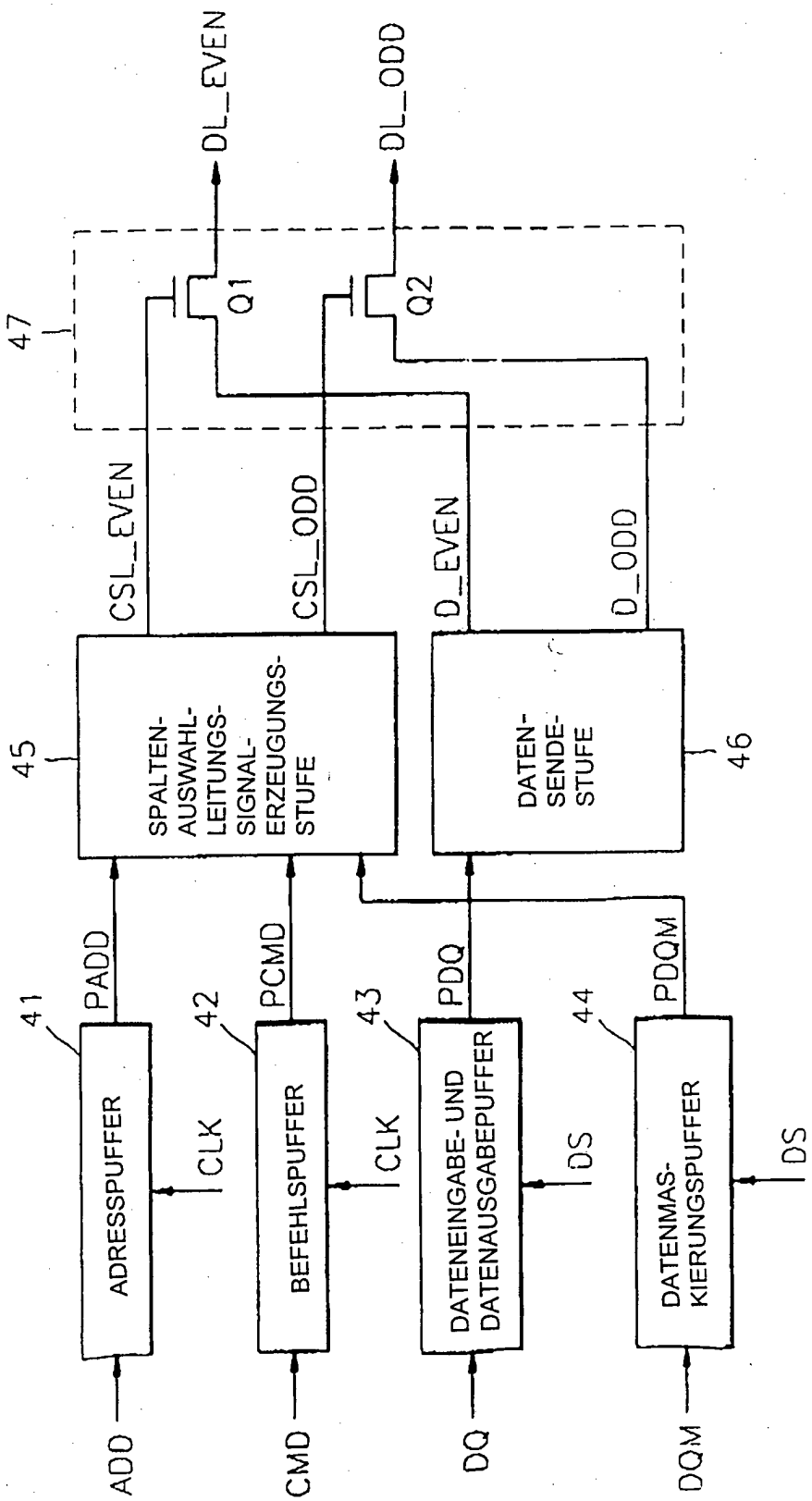

DL_EVEN
DL_ODD
47
Q1
Q2
CSL_EVEN
CSL_ODD
D_EVEN
D_ODD
45
SPALTEN-AUSWAHL-LEITUNGS-SIGNAL-ERZEUGUNGS-STUFE
DATEN-SENDE-STUFE
46
PADD
PCMD
PDQ
PDQM
41
42
43
44
ADRESSPUFFER
BEFEHLSPUFFER
DATENEINGABE- UND DATENAUSGABEPUFFER
DATENMAS-KIERUNGSPUFFER
CLK
CLK
DS
DS
ADD
CMD
DQ
DQM

FIG. 4

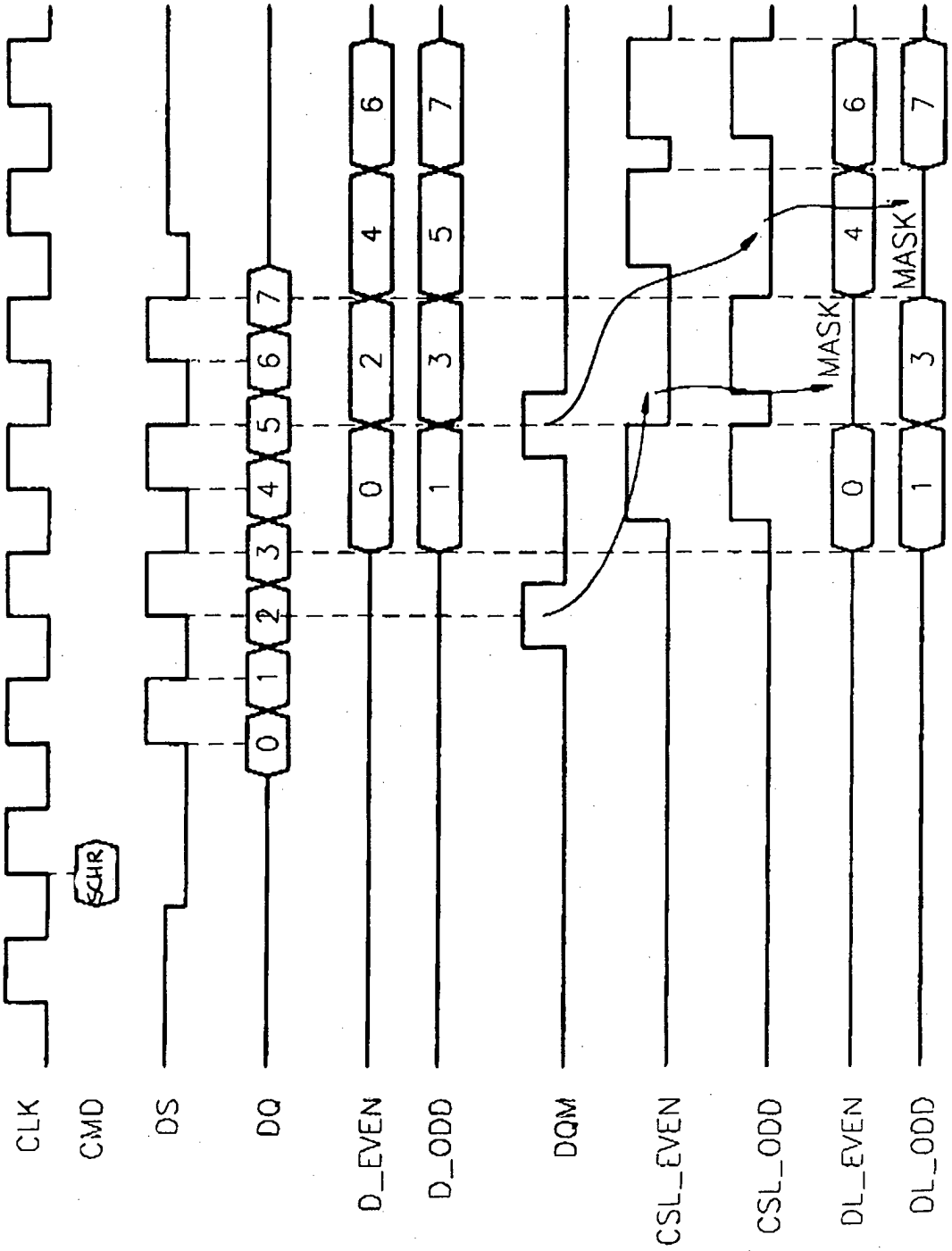

CLK
CMD
DS
DQ
D_EVEN
D_ODD
DQM
CSL_EVEN
CSL_ODD
DL_EVEN
DL_ODD
SCHR
MASK
MASK

FIG. 5

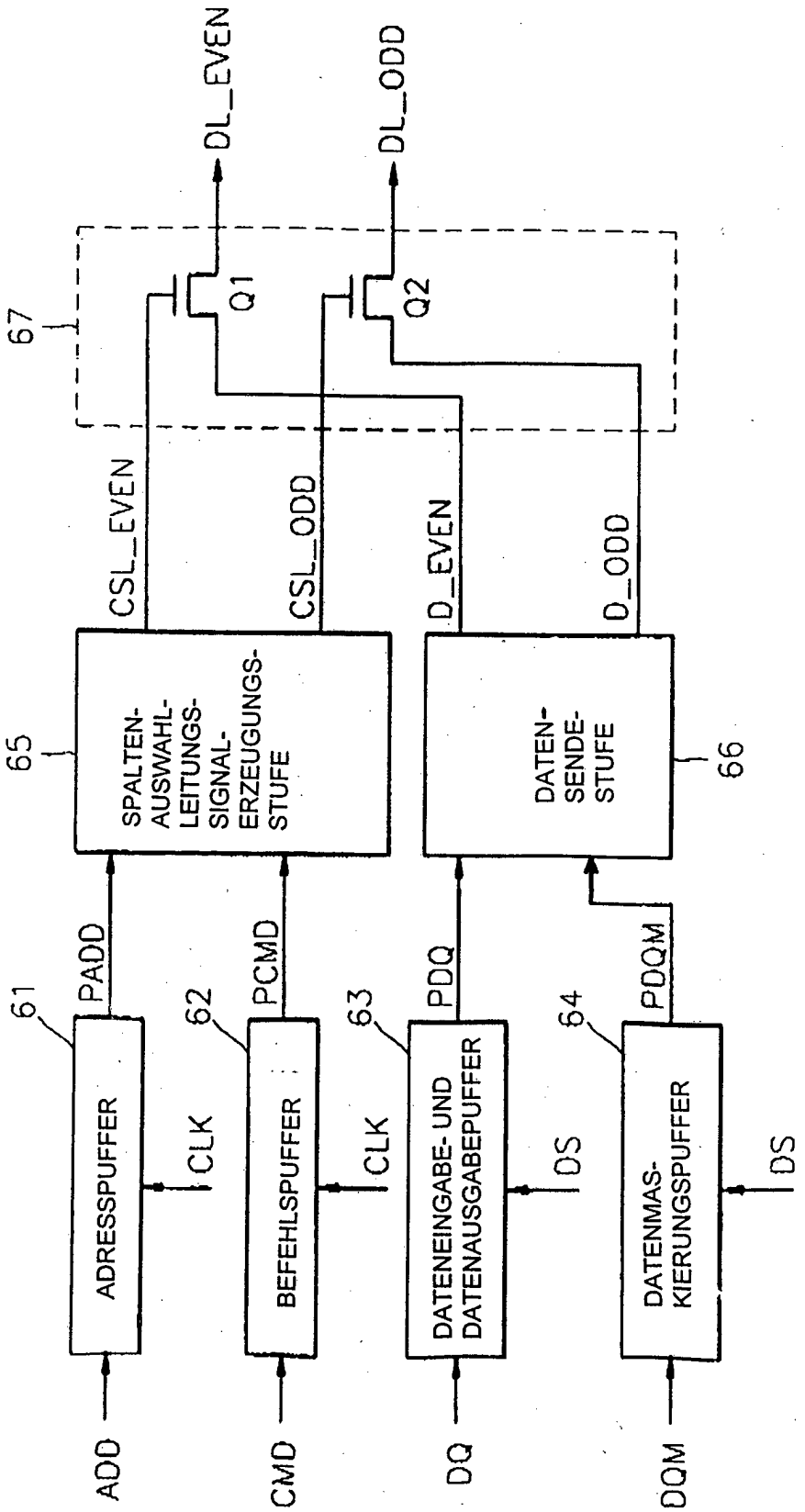
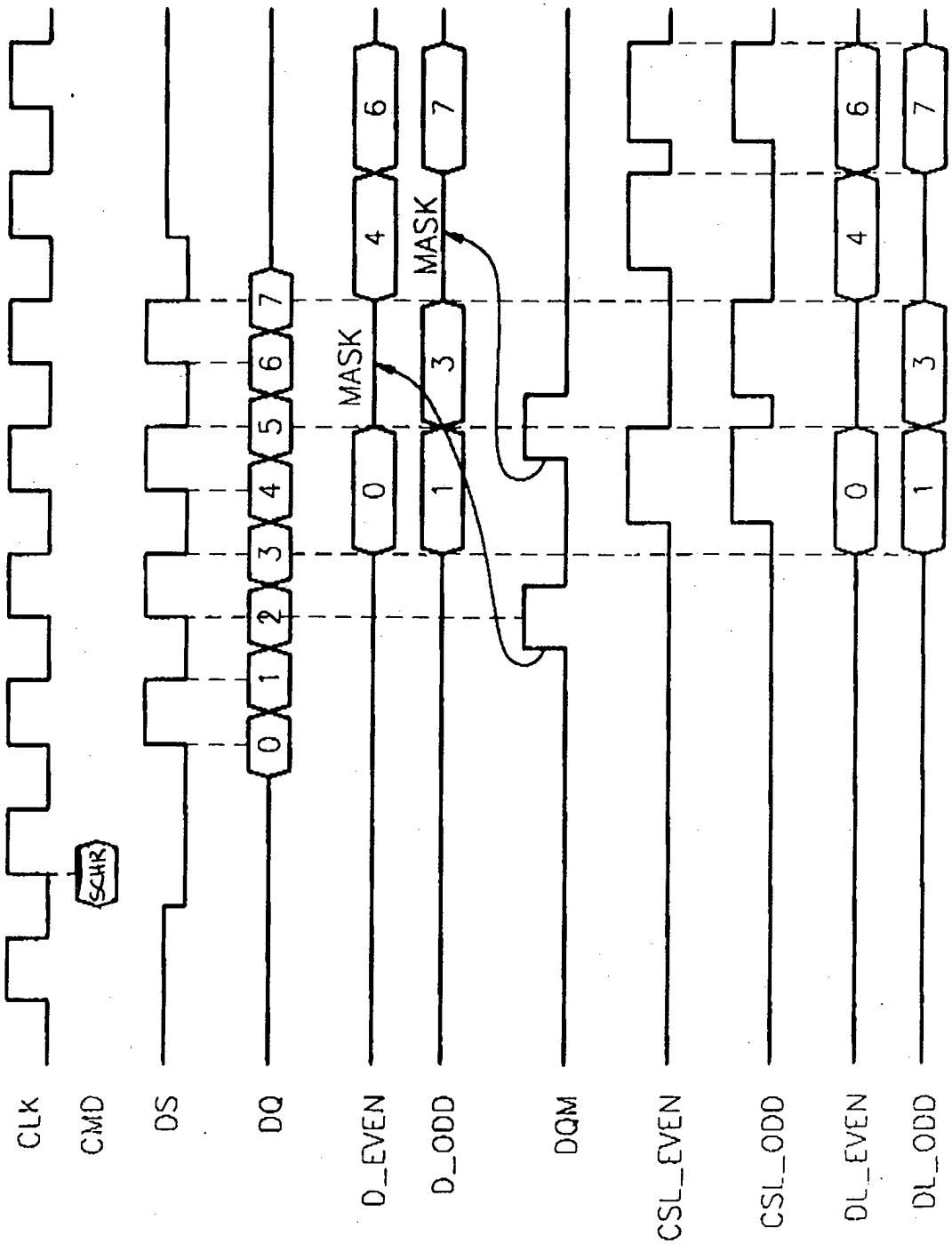

DL_EVEN
DL_ODD
67
Q1
Q2
CSL_EVEN
CSL_ODD
D_EVEN
D_ODD
65
SPALTEN-AUSWAHL-LEITUNGS-SIGNAL-ERZEUGUNGS-STUFE
DATEN-SENDE-STUFE
66
PADD
PCMD
PDQ
PDQM
61
62
63
64
ADRESSPUFFER
BEFEHLSPUFFER
DATENEINGABE- UND DATENAUSGABEPUFFER
DATENMAS-KIERUNGSPUFFER
CLK
CLK
DS
DS
ADD
CMD
DQ
DQM

FIG. 6


CLK
CMD
SCHR
DS
DQ
0
1
2
3
4
5
6
7
D_EVEN
0
4
6
MASK
D_ODD
1
3
7
MASK
DQM
CSL_EVEN
CSL_ODD
DL_EVEN
0
4
6
DL_ODD
1
3
7