(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3559308号
(P3559308)
(45)発行日　平成16年9月2日(2004.9.2)　(24)登録日　平成16年5月28日(2004.5.28)

(51)Int.Cl.[7]	F I	
G02B 26/10	G02B 26/10	A
G06F 1/06	G06F 1/04	311Z

請求項の数 1　(全 8 頁)

(21)出願番号	特願平6-128493
(22)出願日	平成6年6月10日(1994.6.10)
(65)公開番号	特開平7-72400
(43)公開日	平成7年3月17日(1995.3.17)
審査請求日	平成13年5月30日(2001.5.30)
(31)優先権主張番号	08/078337
(32)優先日	平成5年6月21日(1993.6.21)
(33)優先権主張国	米国(US)

(73)特許権者　596170170
ゼロックス　コーポレイション
ＸＥＲＯＸ　ＣＯＲＰＯＲＡＴＩＯＮ
アメリカ合衆国　コネチカット州　スタンフォード、ロング・リッジ・ロード　８００
(74)代理人　100059959
弁理士　中村　稔
(74)代理人　100067013
弁理士　大塚　文昭
(74)代理人　100065189
弁理士　宍戸　嘉一
(74)代理人　100096194
弁理士　竹内　英人

最終頁に続く

(54)【発明の名称】ラスタ出力スキャナ（ＲＯＳ）プリンタのための多相ピクセルクロック

(57)【特許請求の範囲】

【請求項１】

画像信号源からの画像信号スキャンライン情報に応答して変調される画像ビームを像形成部材を横切るように走査して複数のスキャンラインを形成するように回転する多面鏡ポリゴンを含んだレーザスキャナにおいて、

スキャン開始（ＳＯＳ）信号を生成するビーム検出手段と、

各スキャンラインの情報に対して前記画像信号源からピクセルクロック画像信号を与える多相クロック手段を含み、

前記多相クロック手段が、

特性周波数において出力信号を生成する水晶発振器と、

位相シフトを導入して前記水晶発振器の出力信号を複数の位相信号から成る多相出力に変換する回路手段であって、前記複数の位相信号の立ち上がりエッジは前記回路手段によって導入された位相シフトによって分離されている、前記回路手段と、

前記ＳＯＳ信号の到達によってトリガされ且つ前記複数の位相信号の１つをラッチするデータラッチ回路であって、該ラッチされる位相信号は、前記ＳＯＳ信号の立ち上がりエッジに時間的に最も近い次の立ち上がりエッジを有する位相信号を識別するものであり、前記データラッチ回路は、前記識別された位相信号を定めるアドレスを有する、ラッチされたマルチプレクス出力信号を発生する、前記データラッチ回路と、

前記回路手段からの多相出力を前記データラッチ回路からのラッチされたマルチプレクス出力信号と比較して、前記ＳＯＳ信号に最も近い位相信号を前記ピクセルクロック画像信

号とし、これによって次のスキャンラインの形成を制御できる論理手段と、
を備えており、
前記回路手段は、前記水晶発振器の出力信号を排他ＯＲゲートを用いて反転及び非反転信号に変換し、更に、それを複数の２分割カウンタを用いて複数の反転及び非反転信号に分割することを特徴とするレーザスキャナ。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

本発明は、ラスタ出力スキャナ（ＲＯＳ）、更に言えば、ＲＯＳスキャンラインジッタを減少させる多相水晶発振器のクロック出力に関する。

【０００２】

【従来の技術】

ＲＯＳラスタプリンタにおけるクロックのために水晶発振器を用いる場合、ファセットジッタは、スキャンライン毎に、つまり、ファセットスキャン毎に、発生するモータ誤差である。ジッタは、水晶周波数がポリゴン回転周波数と非同期であることによって引き起こされるため、ＳＯＳ信号は１つの水晶クロック間隔内のいずれのポイントにおいても発生し得る。画像リーディングエッジは、ＳＯＳ立ち上がりエッジ後の最初のピクセルクロックによって決定されるものであるため、これは、ＳＯＳに関連する画像の１つのクロック間隔ジッタにまで及ぶ。ジッタを補償する従来技術は、遅延回路を使用しＳＯＳ信号によって可能とされる発振器の使用を開示する。これらの応用が、例えば、米国特許第４，５８７，５３１号と４，６７７，２９６号に記述されている。これらの文献に記述された発振器は、非常に安定したピクセルクロックに必要とされるプリンタ使用の温度範囲を越えても十分であるほどは安定していない。

本発明の第１の実施例によれば、水晶ピクセルクロック発振器の出力は、遅延インバータ回路によって多相出力にサブ分割される。データラッチ・マルチプレクス回路を設け、時間的にＳＯＳ信号の後に、そのＳＯＳ信号の到達に最も近いクロック位相出力を選択する。１例として、水晶発振器出力は８つの位相出力にサブ分割される。出力の１つが、ＳＯＳ信号の到達に時間的に最も近いものとして識別されて、ピクセルクロックのために使用される。この特別な技術によって、スキャン対スキャンジッタはピクセル間隔の１／８の範囲内まで制限される。第２および第３の実施例では、遅延回路を使用せずに発振器の出力をサブ分割する回路を用いて、前に述べたものと等しいか若しくはより大きなジッタの改善を実現している。より詳細に言えば、本発明は、ラスタ出力スキャナのスキャンビームが記録媒体の端から端を走査する際に高速スキャンジッタを減少させる方法に関するものであり、このスキャナは、ピクセルクロックによって制御された信号入力に従って前記ビームを変調する手段を備えており、前記方法は、

スキャンラインのスキャン開始（ＳＯＳ）の前に前記記録ビームを検出して、立ち上がりおよび立ち下がりエッジを有するＳＯＳ出力信号を発生する段階と、水晶発振器の出力を、その各々が位相によって分割された立ち上がりおよびリーディングエッジを有するような多相出力にサブ分割する段階と、

ＳＯＳ信号の立ち上がりエッジに時間的に最も近い立ち上がりエッジを備えた位相出力を識別する段階と、

前記識別された位相出力をスキャンラインに対するピクセルクロックとして用いる段階と、を備える。

【０００３】

【実施例】

本発明が使用されるＲＯＳプリンタの一例が米国特許第４，６２０，２３７号に開示されている。この文献の図１に示されているように、ピクセルクロック１６は、１つの時間で１ラインだけ画像信号をクロックする出力信号を画像信号源１５から与える。クロック１６は、ＲＯＳスキャンビーム２３の経路に配置された検出器１９、２０によって発生される開始および出力（ＳＯＳとＥＯＳ）信号によってトリガされる。

本発明の図１を参照して、第１の実施例において、水晶発振器１０は、プリンタのラスタ出力スキャナ部分を動作させるピクセルクロック信号源として機能する。発振器の出力は、複数の多相出力（図２に示された実施例では８個の出力）を形成する遅延インバータ回路１２によってサブ分割される。４５°によって位相分割された出力Ｐ１～Ｐ４が、データラッチ回路１４にロードされる。出力Ｐ１～Ｐ４と反転出力Ｐ５～Ｐ８が、マルチプレクサ１６へ入力として送られる。以下に詳述するように、スキャン（ＳＯＳ）信号の開始がデータラッチ回路１４に送信され、位相１～４の状態がＳＯＳ信号の立ち上がりエッジの上にラッチされる。ラッチされたマルチプレクス出力Ａ０～Ａ３が、マルチプレクサ１６に対するアドレスとなる。マルチプレクサ１６の論理回路は入力Ａ０～Ａ３を解読し、Ｐ１～Ｐ８入力の１つを送信する。送信される入力は、データラッチ回路１４におけるＳＯＳ信号の受信後の次の立ち上がりエッジを有する。この送信された位相信号は、可能ならば、次のＳＯＳ信号の立ち上がりエッジが使用すべき新たなクロック位相を決定するまで、全てのスキャンラインに対して使用されるピクセルクロック信号となる。

【０００４】

図２、３および４は、図１の回路のある特別な実施例を示す。ここで、発振器１０の周波数は、ピクセルの１／８以上では発生しないジッタに変換する８つの位相に同期される。図２を参照すれば明らかなように、遅延インバータ回路１２は、遅延ライン２０、２２、２４と、インバータ３０、３２、３４、３６を備える。遅延ライン２０は、発振器周波数の１／８に等しい遅延を導入する。遅延ライン２２は、発振器周波数の２／８に等しい遅延を導入する。遅延ライン２４は、発振器周波数の３／８に等しい遅延を導入する。Ｐ１として識別された発振器出力は、０°位相シフトを有する。インバータ３０によって反転されたＰ１は、出力５、つまり１８０°位相シフトとなる。遅延ライン２０を通じた発振器周波数は、４５°位相シフトを持つ出力Ｐ２となる。インバータ３２によって反転されたＰ２は、出力Ｐ６、２２５°位相シフトとなる。遅延ライン２２を通じて送信している発振器出力を用いて、出力Ｐ３が９０°の位相シフトで発生される。インバータ３４によって反転されたＰ３は、出力Ｐ７、２７０°位相シフトとなる。遅延ライン２４を通ずる発振器出力は、出力Ｐ４、１３５°位相シフトを与える。Ｐ４を反転したものはＰ８、３１５°位相シフトとなる。このように、図２から明らかなように、水晶発振器の出力を用いることによって８位相クロックが同期される。ピクセルの１／８より高い正確さが望まれる場合、発振器の出力は、より多くの遅延ラインとインバータを用いてより多くの位相にサブ分割される。

【０００５】

図３を参照すれば明らかなように、位相Ｐ１～Ｐ４がデータラッチ回路に入力され、Ｐ１～Ｐ４の状態がＳＯＳ信号の各立ち上がりエッジの上にラッチされる。ラッチされた出力は、８つの可能な状態（信号Ｐ１～Ｐ８）を定めるラインを用いて多重アドレスラインＡ０～Ａ３として発生される。特別な例が図４のタイミング図を参照して記述されている。図３、図４を参照すれば明らかなように、垂直の点線によってＳＯＳ信号の立ち上がりエッジが表示されている。各信号Ｐ１～Ｐ８の瞬時の状態が示されており、それぞれの信号が、ＳＯＳ信号の立ち上がりエッジに対して特別な関係を持つ。位相Ｐ１～Ｐ４の瞬時の状態は、所望のクロック位相出力、例えば、ＳＯＳ信号の立ち上がりエッジに最も近い次の立ち上がりエッジを有する出力、を規定するアドレスベクトルと考えることができる。例えば図に示すように、出力Ｐ７は次の立ち上がりエッジを有する。位相Ｐ１、Ｐ２は「ＬＯＷ」であり、位相Ｐ３、Ｐ４は「ＨＩＧＨ」である。このように、信号Ａ０～Ａ３の出力の１つは、００１１の出力アドレスを有するだろう。この出力信号をＡ０と仮定すると、１６：１マルチプレクサ１６におけるロジックおよび回路は、これらの入力Ａ０～Ａ４を解読し、信号Ａ０を位相Ｐ７を表示するものと知覚し、この入力Ｐ７を送信して出力ピクセルクロックと成る。位相Ｐ７は、その後、ＳＯＳ信号によって開始された走査に対するクロックとして用いられる。ピクセルクロックは、次のＳＯＳ信号の到達によって次のラインに変更されるだろう。１つの例として、再び図４を参照すると、第２のＳＯＳ’信号が垂直な破線によって表示されたそのリーディングエッジに到達している。このＳＯ

Ｓ’信号に関して、位相Ｐ５は次の立ち上がりエッジを有する。位相Ｐ１～Ｐ４は全て「ＨＩＧＨ」である。この結果、ラッチされたマルチプレクスアドレスライン、Ａ１と呼ばれるが、は１１１１のアドレスを有する。このことは、Ｐ５を次のスキャンラインに対するピクセルクロックとしてイネイブルするマルチプレクサによって知覚される。

【０００６】

上述の実施例は、２０～８０ｍＨＺの範囲にある正確なクロック信号を発生する。図５～図９は、排他ＯＲを使用する代替回路と、２５０ｍＨＺまでの入力周波数において良好に機能するディバイダ回路を示す。これらの回路は、幾つかの分野では高価な構成部材ともなり得る遅延ラインを必要としない。

第２の実施例である図５を参照すれば、水晶発振器４０が、その所望の最終出力周波数の２倍に等しい周波数で設定される。発振器周波数は、ディバイダ回路４２によってサブ分割され、図６に示す４つの位相出力Ｐ１～Ｐ４を形成する。９０°によって分割された出力Ｐ１、Ｐ２は、マルチプレクサ４６に入力として送信される。図６、７に関連して以下に述べるように、ＳＯＳ信号はデータラッチ回路４４に送信され、位相Ｐ１、Ｐ２はＳＯＳ信号の立ち上がりエッジの上にラッチされる。ラッチされたマルチプレクサ出力Ａ０、Ａ１が、マルチプレクサ４６に対するアドレスとなる。マルチプレクサ４６における論理回路が入力Ａ０、Ａ１を解読し、データラッチ回路４４におけるＳＯＳ信号の受信後に、次の立ち上がりエッジを有するＰ１～Ｐ４入力の１つが送信される。この位相信号はその後、ピクセルクロック信号となる。

【０００７】

図６は、４つの位相出力に対する図５の回路の特別な実施例を示しており、図７はこの回路に対するタイミング図である。図６、７を参照すれば明らかなように、方形波水晶発振器４０の出力が所望の出力周波数の倍数で設定されている。２つの排他ＯＲゲート５０、５２を用いて、インバータを使用してインバータクロックを発生した場合に発生する２Ｘクロック間のなんらかのゆがみを除去する。ゲート５０、５２からの反転および非反転出力が、２つの２分割カウンタ５４、５６によって分割される。カウンタ５４、５６をＳＯＳ信号によってリセットし、それらが常にスキャンラインを同じ状態で開始することを確実なものにする。９０°によって分割された位相Ｐ１～Ｐ４信号を発生するため、カウンタ５４、５６の反転および非反転出力が使用され、それらの信号はマルチプレクサ４６によって選択される。ＳＯＳにおいて、位相信号Ｐ１、Ｐ２の状態がデータラッチ回路４４でラッチされる。Ｐ１、Ｐ２の状態は、どのクロック位相がＳＯＳに最も近い次の立ち上がりエッジであるかを決定する。位相Ｐ１～Ｐ４がマルチプレクサ４６に入力され、アドレスラインＡ０～Ａ４によってＳＯＳに最も近い次の立ち上がりエッジであるクロック位相が選択される。この回路はプラス若しくはマイナス１／８ピクセルジッタを達成する。

【０００８】

図８は図６に対する代替実施例であり、８つの出力周波数Ｐ１～Ｐ８を得るためにその所望の出力周波数の４倍に設定された水晶発振器４１’周波数を備える。プラス若しくはマイナス１／１６ピクセルジッタというジッタ正確度をこの回路で得ることができる。この回路は、ディバイダ５４’、５６’に加えて、第２の２分割ステージが２分割カウンタ５８、６０、６２、６４を含む点で図６と相違する。この動作は、９０°によって分割された出力Ｐ１～Ｐ４がデータラッチ４４’中にロードされ、また、出力Ｐ１～Ｐ８がマルチプレクサ４６’に送信を行なうこと以外、４つの位相回路に関して上述したものと同じである。図９は図８の回路に対するタイミング図である。

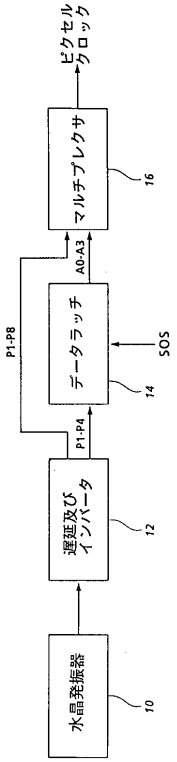
図５、６、８に示した回路は、遅延回路が固定周波数でのみ動作し得る図１～３の回路と異なり、可変の入力周波数を持つことができる。図５～８のディバイダ回路はまた、全ての位相が最少のゆがみと完全に同期するためにより高い正確さを有している。遅延デバイス回路は遅延回路を通してその伝播の正確さに依存する。

【図面の簡単な説明】

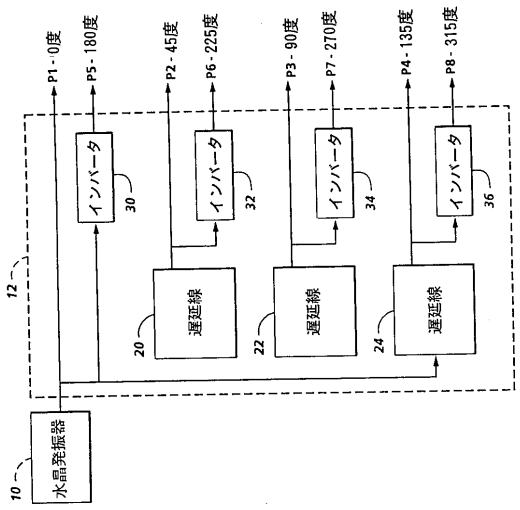
【図１】正確な多相ピクセルクロックを発生するために使用される第１の実施例の回路のブロック図。

【図２】図１の水晶発振器の出力をサブ分割するために使用される遅延インバータ回路。
【図３】ピクセルクロックとして用いるのに最適な位相出力を識別することを可能とするラッチ・マルチプレクス回路の回路図。
【図４】ＳＯＳ信号の到達に最も近い位相信号を可能としていることを示す図３の回路のタイミング図。
【図５】正確な多相クロックを発生するために使用される第２の実施例の回路のブロック図。
【図６】図５に示された水晶発振器の出力をサブ分割して４つのクロック位相を作り出す回路を示す図。
【図７】図６の回路のタイミング図。
【図８】８つのクロック位相を生成するための図６の回路の代替例を示す図。
【図９】図８の実施例のタイミング図。

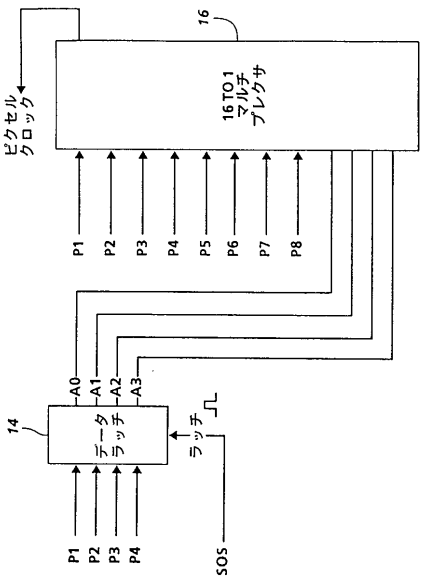
【図１】



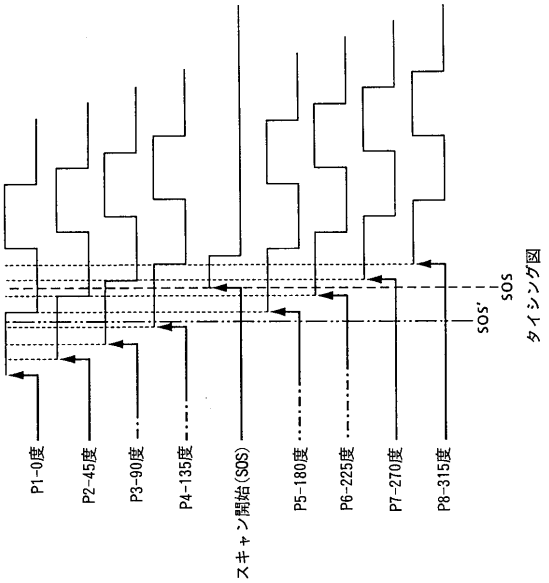
【図２】



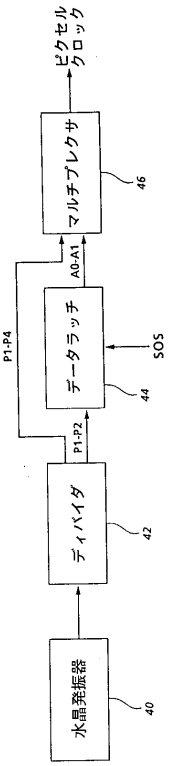
【図３】


ピクセル
クロック
16
16 TO 1
マルチ
プレクサ
P1
P2
P3
P4
P5
P6
P7
P8
14
データ
ラッチ
A0
A1
A2
A3
ラッチ
P1
P2
P3
P4
SOS

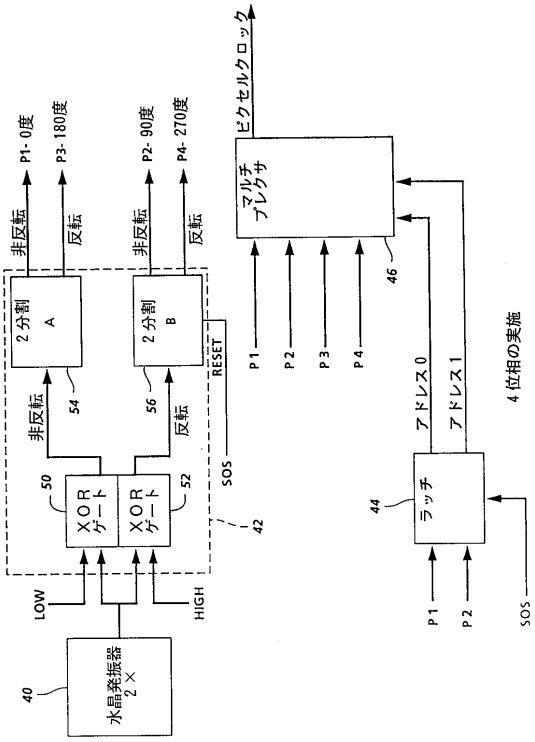
【図４】


P1-0度
P2-45度
P3-90度
P4-135度
スキャン開始(SOS)
P5-180度
P6-225度
P7-270度
P8-315度
SOS
SOS'
タイシング図

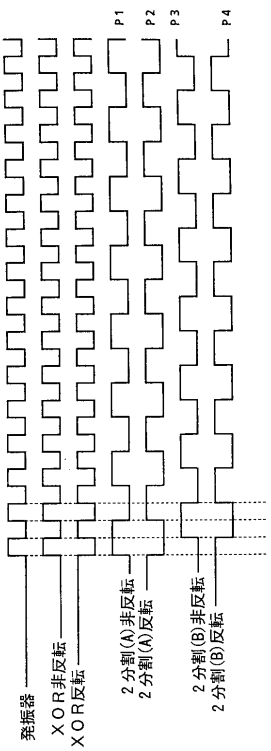
【図５】


ピクセル
クロック
マルチプレクサ
46
A0-A1
データラッチ
44
SOS
P1-P4
P1-P2
ディバイダ
42
水晶発振器
40

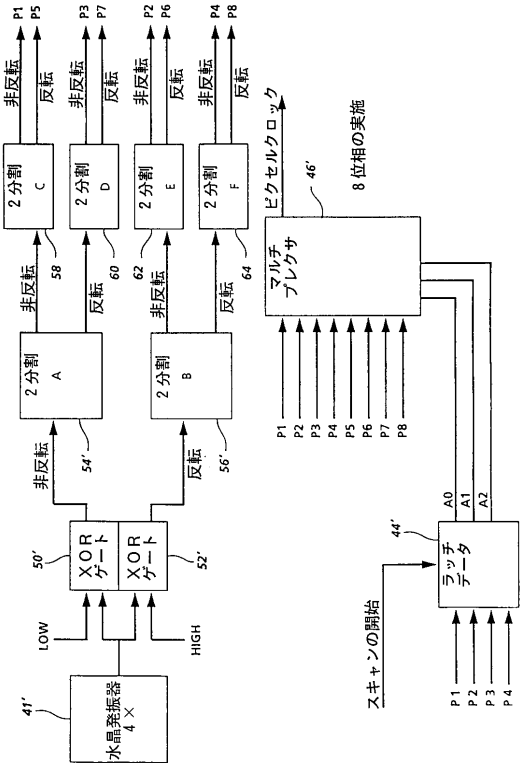
【図６】


ピクセルクロック
マルチ
プレクサ
46
P1
P2
P3
P4
P1- 0度
P3- 180度
P2- 90度
P4- 270度
非反転
反転
非反転
反転
2 分割
A
2 分割
B
RESET
54
56
非反転
反転
50
XOR
ゲート
XOR
ゲート
52
SOS
42
LOW
HIGH
40
水晶発振器
2×
44
ラッチ
アドレス 0
アドレス 1
P1
P2
SOS
4 位相の実施

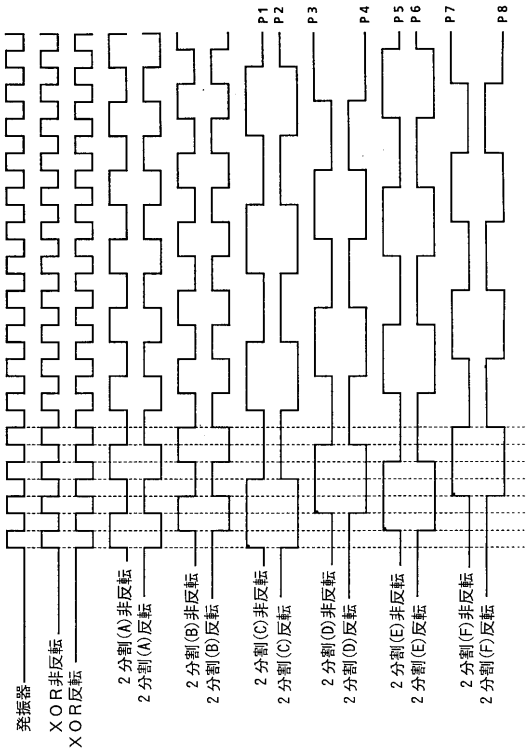
【図７】


発振器
ＸＯＲ非反転
ＸＯＲ反転
２分割(A)非反転
２分割(A)反転
２分割(B)非反転
２分割(B)反転
P1
P2
P3
P4

【図８】


非反転
反転
２分割 C
２分割 D
２分割 E
２分割 F
２分割 A
２分割 B
XOR ゲート
XOR ゲート
LOW
HIGH
水晶発振器 4×
マルチプレクサ
ピクセルクロック
8 位相の実施
ラッチ データ
スキャンの開始
A0
A1
A2
P1
P2
P3
P4
P5
P6
P7
P8

【図９】


発振器
ＸＯＲ非反転
ＸＯＲ反転
２分割(A)非反転
２分割(A)反転
２分割(B)非反転
２分割(B)反転
２分割(C)非反転
２分割(C)反転
２分割(D)非反転
２分割(D)反転
２分割(E)非反転
２分割(E)反転
２分割(F)非反転
２分割(F)反転
P1
P2
P3
P4
P5
P6
P7
P8

フロントページの続き

(74)代理人　100074228
弁理士　今城　俊夫
(74)代理人　100084009
弁理士　小川　信夫
(74)代理人　100082821
弁理士　村社　厚夫
(72)発明者　アーロン　ナックマン
アメリカ合衆国　ニューヨーク州　１４５２６　ペンフィールド　バーニング　トゥリー　レーン　５

審査官　田部　元史

(56)参考文献　特開昭６０－１５３２５９（ＪＰ，Ａ）
特開昭６４－０７８２１３（ＪＰ，Ａ）
特開昭５７－００３１８７（ＪＰ，Ａ）
特開昭５７－００３１８８（ＪＰ，Ａ）
特開平０２－１１６５６１（ＪＰ，Ａ）
特開昭６１－２０３７７２（ＪＰ，Ａ）
特開昭６１－１５０５６６（ＪＰ，Ａ）
特開昭６１－１２６８６２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
G02B 26/10