



(21) 申请号 202280010842.8

(22) 申请日 2022.01.12

(30) 优先权数据

2021-010285 2021.01.26 JP

(85) PCT国际申请进入国家阶段日

2023.07.19

(86) PCT国际申请的申请数据

PCT/JP2022/000668 2022.01.12

(87) PCT国际申请的公布数据

W02022/163346 JA 2022.08.04

(71) 申请人 索尼半导体解决方案公司

地址 日本神奈川

(72) 发明人 福井大伸

(74) 专利代理机构 北京康信知识产权代理有限公司 11240

专利代理师 刘彬

(51) Int.Cl.

H01L 27/146 (2006.01)

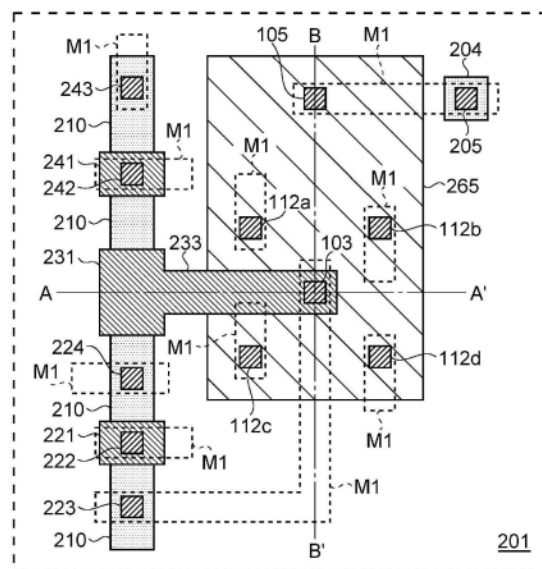
权利要求书3页 说明书38页 附图72页

(54) 发明名称

固态成像装置和电子设备

(57) 摘要

本发明提高了光电转换效率。根据本发明的一个实施方式的固态成像装置设置有：第一基板(410)，设置有通过执行入射光的光电转换产生电荷的光电转换部；第二基板(420)，接合至第一基板，同时设置有基于在光电转换部产生的电荷产生电压信号的像素电路的至少一部分；以及第一金属配线(M1)，被布置在第一基板的相反侧，第二基板介于其间。像素电路包括：电荷存储部(FD)，蓄积在光电转换部产生的电荷；放大器晶体管(33)，将蓄积在电荷存储部中的电荷转换为具有与电荷的量对应的电压值的电压；复位晶体管(32)，对蓄积在电荷存储部中的电荷进行放电；第一贯通电极(112a至112d)，从所述第一金属配线穿透第二基板并且连接至电荷存储部；以及第一配线(133)，将第一贯通电极和放大器晶体管的栅极电极彼此连接。



1. 一种固态成像装置,包括:

第一基板,包括光电转换单元,所述光电转换单元通过光电转换入射光来产生电荷;

第二基板,接合至所述第一基板,并且所述第二基板包括基于在所述光电转换单元产生的电荷产生电压信号的像素电路的至少一部分;以及

第一金属配线,设置在与所述第一基板相对的一侧,且所述第二基板夹在所述第一基板与所述第一金属配线之间,

其中,所述像素电路包括:

电荷蓄积单元,蓄积在所述光电转换单元产生的电荷;

放大晶体管,将蓄积在所述电荷蓄积单元中的电荷转换成电压值根据所述电荷的电荷量的电压;

复位晶体管,释放在所述电荷蓄积单元中蓄积的电荷;

第一贯通电极,从所述第一金属配线贯通所述第二基板以连接至所述电荷蓄积单元;

以及

第一配线,将所述放大晶体管的栅极电极与所述第一贯通电极连接。

2. 根据权利要求1所述的固态成像装置,

其中,所述第一配线是从所述放大晶体管的栅极电极延伸的延伸部。

3. 根据权利要求1所述的固态成像装置,

其中,所述像素电路进一步包括连接至所述放大晶体管的栅极电极的第二贯通电极,并且

所述第一配线将所述第一贯通电极与第二贯通电极连接。

4. 根据权利要求3所述的固态成像装置,

其中,所述放大晶体管设置在所述第一基板上。

5. 根据权利要求1所述的固态成像装置,

其中,所述第一配线包括一部分所述第一金属配线。

6. 根据权利要求1所述的固态成像装置,

其中,所述像素电路进一步包括将所述复位晶体管的源极与所述电荷蓄积单元连接的第二配线。

7. 根据权利要求6所述的固态成像装置,

其中,所述第二配线包括一部分所述第一金属配线。

8. 根据权利要求6所述的固态成像装置,

其中,所述复位晶体管设置在所述第二基板上,并且

所述第二配线是与第一扩散区连续的第二扩散区,其中,所述第一扩散区用作所述复位晶体管的源极。

9. 根据权利要求6所述的固态成像装置,

其中,所述放大晶体管布置在所述第一基板上,

所述像素电路进一步包括连接至所述放大晶体管的栅极电极的第二贯通电极,并且所述第二配线包括所述第二贯通电极和至少一部分所述第一配线。

10. 根据权利要求1所述的固态成像装置,

其中,所述第一基板包括多个光电转换单元,并且

所述多个光电转换单元连接至所述电荷蓄积单元。

11. 根据权利要求10所述的固态成像装置，

其中，所述像素电路还包括：

多个所述电荷蓄积单元；以及

连接多个所述电荷蓄积单元的第三配线。

12. 根据权利要求11所述的固态成像装置，

其中，所述第三配线包括将分别连接至多个所述电荷蓄积单元的第一贯通电极彼此连接的一部分所述第一金属配线。

13. 根据权利要求11所述的固态成像装置，

其中，所述第三配线包括第四配线，所述第四配线设置在所述第一基板上，并且所述第四配线将分别连接至多个所述电荷蓄积单元的所述第一贯通电极彼此连接。

14. 一种电子设备，包括：

根据权利要求1所述的固态成像装置；以及

处理器，处理从所述固态成像装置输出的图像信号。

15. 一种固态成像装置，包括：

光电转换单元，通过光电转换入射光来产生电荷；以及

像素电路，基于在所述光电转换单元产生的电荷产生电压信号，

其中，所述光电转换单元设置在第一基板上，

至少一部分所述像素电路设置在接合至所述第一基板的第二基板上，

所述像素电路包括：

电荷蓄积单元，蓄积在所述光电转换单元产生的电荷；

放大晶体管，将蓄积在所述电荷蓄积单元中的电荷转换成根据所述电荷的电荷量的电压值的电压；以及

复位晶体管，释放在所述电荷蓄积单元中蓄积的电荷，

所述放大晶体管布置在所述第二基板上，并且

所述第二基板还包括：

第二金属配线，设置在与所述第一基板相对的一侧，其中所述第二基板夹在所述第一基板与所述第二金属配线之间；以及

屏蔽电极，设置在所述第二金属配线与所述放大晶体管的栅极电极之间的至少一部分处。

16. 根据权利要求15所述的固态成像装置，

其中，所述第二金属配线是被施加电源电压的电源线。

17. 根据权利要求15所述的固态成像装置，

其中，所述第二金属配线连接至所述复位晶体管的栅极电极。

18. 根据权利要求15所述的固态成像装置，

其中，所述屏蔽电极进一步设置在所述电荷蓄积单元与所述第二金属配线之间的至少一部分处。

19. 根据权利要求15所述的固态成像装置，

其中，所述屏蔽电极连接至所述第二基板的阱。

20. 一种电子设备,包括:
根据权利要求15所述的固态成像装置;以及
处理器,处理从所述固态成像装置输出的图像信号。

固态成像装置和电子设备

技术领域

[0001] 本公开涉及固态成像装置和电子设备。

背景技术

[0002] 在图像传感器领域中,为了增加在光电转换单元中能够蓄积的电荷的量,最近已经提出了一种所谓的3D顺序技术,其中,光电转换单元和用于读出在光电转换单元中蓄积的电荷的像素电路的至少一部分被设置在单独的基板上,并且这些基板被接合以形成一个芯片。

[0003] 引证列表

[0004] 专利文献

[0005] 专利文献1:JP 2018-174209 A

发明内容

[0006] 技术问题

[0007] 然而,在3D顺序结构中,在第一层的基板和第二层的基板之间未设置配线,而是仅设置贯通触点。贯通触点将布置在第一层的基板上的元件与布置在第二层的基板上的元件连接。因此,3D顺序结构的配线密度(配线面积与单元尺寸的比率)与其中像素电路、光电转换单元和传送晶体管设置在单个基板上的结构(在下文中,也称为平坦结构)的配线密度相差很小。因此,传统的3D顺序结构具有由配线密度的减小引起的寄生电容的小范围的减小,并且器件特性可能劣化。

[0008] 因此,本公开提出了能够抑制器件特性劣化的固态成像装置和电子设备。

[0009] 问题的解决方案

[0010] 为了解决上述问题,根据本公开的实施方式的固态成像装置包括:第一基板,包括通过光电转换入射光产生电荷的光电转换单元;第二基板,接合至所述第一基板并且包括像素电路的至少一部分,所述像素电路基于在所述光电转换单元产生的电荷产生电压信号;以及第一金属配线,布置在与第一基板相对的一侧,第二基板夹在第一基板与第一金属配线之间,其中所述像素电路包括:电荷蓄积单元,蓄积在所述光电转换单元产生的电荷;放大晶体管,将蓄积在所述电荷蓄积单元中的电荷转换成电压值根据所述电荷的电荷量的电压;复位晶体管,其释放在所述电荷蓄积单元中蓄积的电荷;第一贯通电极,从第一金属配线贯通第二基板以连接至电荷蓄积单元;以及第一配线,将所述放大晶体管的栅极电极与所述第一贯通电极连接。

[0011] 而且,根据本公开的实施方式的固态成像装置包括:光电转换单元,通过光电转换入射光来产生电荷;以及像素电路,基于在所述光电转换单元产生的电荷产生电压信号,其中所述光电转换单元设置在第一基板上,所述像素电路的至少一部分设置在与所述第一基板接合的第二基板上,所述像素电路包括:电荷蓄积单元,蓄积在所述光电转换单元产生的电荷;放大晶体管,将蓄积在所述电荷蓄积单元中的电荷转换成电压值根据所述电荷的电

荷量的电压;以及复位晶体管,所述复位晶体管释放在所述电荷蓄积单元中蓄积的电荷,所述放大晶体管被布置在所述第二基板上,并且所述第二基板进一步包括:第二金属配线,所述第二金属配线被布置在与所述第一基板相对的一侧,其中所述第二基板夹在所述第一基板和所述第二金属配线之间;以及屏蔽电极,设置在第二金属配线与放大晶体管的栅极电极之间的至少一部分处。

附图说明

[0012] 图1是示出根据第一实施方式的安装有固态成像装置的电子设备的示意性配置实例的框图。

[0013] 图2是示出根据第一实施方式的固态成像装置的示意性配置实例的框图。

[0014] 图3是示出了根据第一实施方式的单位像素的示意性配置实例的电路图。

[0015] 图4示出了根据第一实例的固态成像装置的叠层结构的实例。

[0016] 图5是示出了根据第一实施方式的固态成像装置的截面结构实例的截面图。

[0017] 图6是示出根据第一实施方式的第一实例的FD共享电路配置实例的电路图。

[0018] 图7是示出根据第一实施方式的第一实例的光接收芯片的布局实例的平面图。

[0019] 图8是示出根据第一实施方式的第一实例的电路芯片的布局实例的平面图。

[0020] 图9是示出根据第一实施方式的第一实例的A-A' 截面的结构实例的截面图。

[0021] 图10是示出根据第一实施方式的第一实例的B-B' 截面的结构实例的截面图。

[0022] 图11是示出根据第一实施方式的第二实例的电路芯片的布局实例的平面图。

[0023] 图12是示出根据第一实施方式的第二实例的A-A' 截面的结构实例的截面图。

[0024] 图13是示出根据第一实施方式的第二实例的B-B' 截面的结构实例的截面图。

[0025] 图14是示出根据第一实施方式的第三实例的电路芯片的布局实例的平面图。

[0026] 图15是示出根据第一实施方式的第三实例的B-B' 截面的结构实例的截面图。

[0027] 图16是示出根据第一实施方式的第四实例的光接收芯片的布局实例的平面图。

[0028] 图17是示出根据第一实施方式的第四实例的电路芯片的布局实例的平面图。

[0029] 图18是示出根据第一实施方式的第四实例的A-A' 截面的结构实例的截面图。

[0030] 图19是示出根据第一实施方式的第四实例的B-B' 截面的结构实例的截面图。

[0031] 图20是示出根据第一实施方式的第四实例的C-C' 截面的结构实例的截面图。

[0032] 图21是示出根据第一实施方式的第五实例的FD共享电路配置实例的电路图。

[0033] 图22是示出根据第一实施方式的第五实例的光接收芯片的布局实例的平面图。

[0034] 图23是示出根据第一实施方式的第五实例的电路芯片的布局实例的平面图。

[0035] 图24是示出根据第一实施方式的第五实例的B-B' 截面的结构实例的截面图。

[0036] 图25是示出了根据第一实例的第六实例的光接收芯片的布局实例的平面图。

[0037] 图26是示出了根据第一实施方式的第六实例的电路芯片的布局实例的平面图。

[0038] 图27是示出根据第一实施方式的第六实例的A-A' 截面的结构实例的截面图。

[0039] 图28是示出根据第一实施方式的第六实例的B-B' 截面的结构实例的截面图。

[0040] 图29是示出根据第一实施方式的第七实例的电路芯片的布局实例的平面图。

[0041] 图30是示出根据第一实施方式的第七实例的B-B' 截面的结构实例的截面图。

[0042] 图31是示出根据第一实施方式的第七实例的D-D' 截面的结构实例的截面图。

- [0043] 图32是示出了根据第一实例的第八实例的电路芯片的布局实例的平面图。
- [0044] 图33是示出根据第一实施方式的第八实例的B-B' 截面的结构实例的截面图。
- [0045] 图34是示出根据第一实施方式的第八实例的D-D' 截面的结构实例的截面图。
- [0046] 图35是示出根据第一实施方式的第九实例的光接收芯片的布局实例的平面图。
- [0047] 图36是示出根据第一实施方式的第九实例的电路芯片的布局实例的平面图。
- [0048] 图37是示出根据第一实施方式的第九实例的A-A' 截面的结构实例的截面图。
- [0049] 图38是示出根据第一实施方式的第九实例的C-C' 截面的结构实例的截面图。
- [0050] 图39是示出根据第一实施方式的第九实例的D-D' 截面的结构实例的截面图。
- [0051] 图40是示出了根据第一实例的第十实例的光接收芯片的布局实例的平面图。
- [0052] 图41是示出根据第一实施方式的第十实例的电路芯片的布局实例的平面图。
- [0053] 图42是示出根据第一实施方式的第十实例的B-B' 截面的结构实例的截面图。
- [0054] 图43是示出根据第一实施方式的第十实例的C-C' 截面的结构实例的截面图。
- [0055] 图44是示出根据第一实施方式的第十实例的D-D' 截面的结构实例的截面图。
- [0056] 图45是示出根据第一实施方式的第十一实例的光接收芯片的布局实例的平面图。
- [0057] 图46是示出根据第一实施方式的第十一实例的电路芯片的布局实例的平面图。
- [0058] 图47是示出根据第一实施方式的第十一实例的C-C' 截面的结构实例的截面图。
- [0059] 图48是示出根据第一实施方式的第十二实例的单位像素的截面结构实例的截面图。
- [0060] 图49是示出根据第一实施方式的第十二实例的光接收芯片的布局实例的平面图。
- [0061] 图50是示出根据第一实施方式的第十二实例的电路芯片的布局实例的平面图。
- [0062] 图51是示出根据第一实施方式的第十二实例的B-B' 截面的结构实例的截面图。
- [0063] 图52是示出根据第一实施方式的第十三实例的单位像素的截面结构实例的截面图。
- [0064] 图53是示出根据第一实施方式的第十三实例的光接收芯片的布局实例的平面图。
- [0065] 图54是示出根据第一实施方式的第十三实例的电路芯片的布局实例的平面图。
- [0066] 图55是示出根据第一实施方式的第十四实例的单位像素的截面结构实例的截面图。
- [0067] 图56是示出根据第一实施方式的第十四实例的光接收芯片的布局实例的平面图。
- [0068] 图57是示出根据第一实施方式的第十四实例的电路芯片的布局实例的平面图。
- [0069] 图58是示出根据第一实施方式的第十四实例的E-E' 截面的结构实例的截面图。
- [0070] 图59是示出根据第一实施方式的第十四实例的F-F' 截面的结构实例的截面图。
- [0071] 图60是示出根据第一实施方式的第十四实例的G-G' 截面的结构实例的截面图。
- [0072] 图61是示出根据第一实施方式的第十四实例的H-H' 截面的结构实例的截面图。
- [0073] 图62是根据第一实施方式的第十四实例示出L-L' 截面的结构实例的截面图。
- [0074] 图63是示出根据第二实施方式的第一实例的光接收芯片的布局实例的平面图。
- [0075] 图64是示出了根据比较例的电路芯片的布局实例的平面图。
- [0076] 图65是示出根据第二实施方式的第一实例的电路芯片的布局实例的平面图。
- [0077] 图66是示出根据第二实施方式的第一实例的X-X' 截面的部分结构实例的部分截面图。

- [0078] 图67是示出根据第二实施方式的第一实例的Y-Y' 截面的部分结构实例的部分截面图。
- [0079] 图68是示出根据第二实施方式的第一实例的Z-Z' 截面的结构实例的截面图。
- [0080] 图69是示出根据第二实施方式的第一实例的变形例的电路芯片的布局实例的平面图。
- [0081] 图70是示出根据第二实施方式的第二实例的电路芯片的布局实例的平面图。
- [0082] 图71是示出根据第二实施方式的第二实例的W-W' 截面的结构实例的截面图。
- [0083] 图72是示出根据第二实施方式的第三实例的电路芯片的布局实例的平面图。
- [0084] 图73是示出根据第二实施方式的第三实例的A-A' 截面的结构实例的截面图。
- [0085] 图74是示出根据第二实施方式的第三实例的B-B' 截面的结构实例的截面图。
- [0086] 图75是示出车辆控制系统的示意性配置的实例的框图。
- [0087] 图76是辅助说明车外信息检测部和成像部的安装位置的实例的图。
- [0088] 图77是示出内窥镜手术系统的概略结构的实例的图。
- [0089] 图78是示出摄像头和相机控制单元 (CCU) 的功能配置的实例的框图。

具体实施方式

[0090] 下面将参考附图详细描述本公开的实施方式。顺便提及,在以下实例中,对相同的部分附加相同的参考标号,因此省略重复的说明。

[0091] 此外,将根据以下项目顺序描述本公开。

[0092] 0. 介绍

[0093] 1. 第一实施方式

[0094] 1.1 电子设备的配置实例

[0095] 1.2 固态成像装置的配置实例

[0096] 1.3 单位像素的配置实例

[0097] 1.4 单位像素的基本功能的实例

[0098] 1.5 固态成像装置的叠层结构的实例

[0099] 1.6 单位像素的截面结构实例

[0100] 1.7 芯片布局和截面结构的实例

[0101] 1.7.1 第一实例

[0102] 1.7.2 第二实例

[0103] 1.7.3 第三实例

[0104] 1.7.4 第四实例

[0105] 1.7.5 第五实例

[0106] 1.7.6 第六实例

[0107] 1.7.7 第七实例

[0108] 1.7.8 第八实例

[0109] 1.7.9 第九实例

[0110] 1.7.10 第十实例

[0111] 1.7.11 第十一实例

[0112] 1.7.12第十二实例

[0113] 1.7.13第十三实例

[0114] 1.7.14第十四实例

[0115] 1.8结论

[0116] 2.第二实施方式

[0117] 2.1芯片布局和截面结构的实例

[0118] 2.1.1第一实例

[0119] 2.1.2第二实例

[0120] 2.1.3第三实例

[0121] 2.2结论

[0122] 3.移动体的应用实例

[0123] 4.内窥镜手术系统的应用实例

[0124] 0.介绍

[0125] 如上所述,为了增加在光电转换单元中能够蓄积的电荷量,最近已经提出了3D顺序技术,其中,光电转换单元、传送晶体管、以及构成像素电路的放大晶体管、选择晶体管和复位晶体管中的至少一个被布置在单独的基板上,并且这些基板被接合以形成一个芯片,其中,该像素电路基于从光电转换单元提取的电荷输出信号(在下文中,称为像素信号)。

[0126] 然而,传统的3D顺序结构具有比平坦结构(其中,光电转换单元、传送晶体管、复位晶体管、放大晶体管和选择晶体管设置在单个基板上)更小的配线密度减小范围。

[0127] 这里,形成在基板上的配线的配线电容取决于配线密度。因此,随着配线密度减小,由配线引起的寄生电容减小。因此,由于电路操作的加速和转换效率的增加引起的寄生电容的减少对于改善器件特性是重要的。因为传统的3D顺序结构具有由配线密度的减小引起的寄生电容的小范围的减小,所以器件特性可能劣化。

[0128] 因此,在以下实施方式中,将通过实例描述能够抑制器件特性劣化的固态成像装置和电子设备。

[0129] 另外,通常,配线密度的降低降低了配线布局的设计难度。因此,传统的3D顺序结构具有由于配线密度的增加而导致配线布局的设计难度增加的风险的问题。

[0130] 因此,在以下实施方式中,还将描述能够抑制设计难度增加的配置。

[0131] 1.第一实施方式

[0132] 首先,将参照附图详细描述本公开的第一实施方式。顺便提及,尽管在本实例中,将描述根据本实施方式的技术应用于互补金属氧化物半导体(CMOS)型固态成像装置(在下文中,也称为图像传感器)的情况,但是这不是限制。例如,根据本实施方式的技术可以应用于包括光电转换元件的各种传感器,诸如电荷耦合器件(CCD)型固态成像装置、飞行时间(ToF)传感器、以及基于事件的视觉传感器(EVS)。

[0133] 1.1电子设备的配置实例

[0134] 图1是示出安装有根据第一实施方式的固态成像装置的电子设备的示意性配置实例的框图。如图1所示,电子设备1包括例如成像透镜11、固态成像装置10、存储单元14和处理器13。

[0135] 成像透镜11是收集入射光并将其图像形成在固态成像装置10的光接收表面上的

光学系统的实例。光接收表面可以是在其上布置固态成像装置10的光电转换元件的表面。固态成像装置10对入射光进行光电转换以产生图像数据。此外,固态成像装置10对生成的图像数据执行预定的信号处理,诸如噪声去除和白平衡调整。

[0136] 存储单元14包括例如闪存、动态随机存取存储器 (DRAM) 和静态随机存取存储器 (SRAM),并记录从固态成像装置10输入的图像数据等。

[0137] 处理器13包括例如中央处理单元 (CPU),并且可包括操作系统、执行各种应用软件等的应用处理器、图形处理单元 (GPU) 和基带处理器。处理器13根据需要对从固态成像装置10输入的图像数据、从存储单元14读取的图像数据等执行各种处理,将这些图像数据显示给用户,并且经由预定网络将这些图像数据传输至外部。

[0138] 1.2固态成像装置的配置实例

[0139] 图2是示出了根据第一实施方式的CMOS型固态成像装置的示意性配置实例的框图。这里,CMOS型固态成像装置是通过应用或部分使用CMOS处理产生的图像传感器。例如,根据本实施方式的固态成像装置10包括背照式图像传感器。

[0140] 例如,根据本实施方式的固态成像装置10具有叠层结构(例如,见图4),其中,叠层第一半导体芯片410(基板)和第二半导体芯片420(基板)。像素阵列单元21设置在第一半导体芯片410上。外围电路设置在第二半导体芯片420上。外围电路可包括例如垂直驱动电路22、列处理电路23、水平驱动电路24和系统控制单元25。

[0141] 固态成像装置10还包括信号处理单元26和数据存储单元27。信号处理单元26和数据存储单元27可以设置在与外围电路所设置的同一半导体芯片上,或者可以设置在另一个半导体芯片上。

[0142] 像素阵列单元21具有其中单位像素(在下文中,可简称为“像素”)30在行方向和列方向上(即,以矩阵的二维格子形状)设置的配置。单位像素30包括根据接收的光量生成并蓄积电荷的光电转换元件。这里,行方向是指像素行中的像素的排列方向(图中的水平方向)。列方向是指像素列中的像素的排列方向(图中的垂直方向)。稍后将描述单位像素的具体电路配置和像素结构的细节。

[0143] 在像素阵列单元21中,对于矩阵中的像素布置,像素驱动线LD对于各个像素行沿着行方向布置,并且垂直信号线VSL对于各个像素列沿着列方向布置。像素驱动线LD传输用于在从像素读取信号时执行驱动的驱动信号。虽然图2将像素驱动线LD示出为一个单独的配线,但是像素驱动线LD不限于该一个单独的配线。像素驱动线LD的一端连接至垂直驱动电路22的每行的输出端。

[0144] 垂直驱动电路22包括移位寄存器和地址解码器,并且针对所有像素或者以行为单位同时驱动像素阵列单元21的像素。即,垂直驱动电路22包括控制像素阵列单元21的每个像素的操作的驱动单元以及控制垂直驱动电路22的系统控制单元25。虽然省略了垂直驱动电路22的特定配置的描述,但是垂直驱动电路22通常包括读出扫描系统和扫出扫描系统两个扫描系统。

[0145] 读出扫描系统以行为单位选择性地顺序扫描像素阵列单元21的单位像素,以便从单位像素中读出信号。从单位像素读出的信号是模拟信号。该扫出扫描系统对读出行执行扫出扫描,在该读出行上,在读出扫描之前按照曝光时间由读出扫描系统执行读出扫描。

[0146] 通过扫出扫描系统的扫出扫描从读出行中的单位像素的光电转换元件扫出不必

要的电荷,其复位光电转换元件。然后,通过利用扫出扫描系统扫出(复位)不必要的电荷来执行所谓的电子快门操作。这里,电子快门操作是指丢弃光电转换元件的电荷和新开始曝光(开始电荷的蓄积)的操作。

[0147] 由读出扫描系统的读出操作读出的信号对应于在紧接前面的读出操作或电子快门操作之后接收到的光量。然后,从紧接前面的读出操作的读出定时或电子快门操作的扫出定时到该时间的读出操作的读出定时的周期对应于单位像素中的电荷蓄积周期(也称为曝光周期)。

[0148] 从垂直驱动电路22选择性扫描的像素行的每个单位像素输出的信号通过每个像素列的每个垂直信号线VSL输入至列处理电路23。列处理电路23针对通过像素阵列单元21的每个像素列的垂直信号线VSL从所选行的每个像素输出的信号执行预定信号处理,并且在信号处理之后临时保持像素信号。

[0149] 具体地,列处理电路23至少执行噪声去除处理,例如,相关双采样(CDS)处理和双数据采样(DDS)处理,作为信号处理。例如,通过CDS处理去除像素特有的固定模式噪声,诸如像素中的放大晶体管的复位噪声和阈值变化。列处理电路23还具有例如模数(AD)转换功能。列处理电路23将从光电转换元件读出的模拟像素信号转换成数字信号,并且输出该数字信号。

[0150] 水平驱动电路24包括移位寄存器和地址解码器,并且顺序地选择用于列处理电路23的像素列的读出电路(在下文中,称为像素电路)。通过水平驱动电路24的选择性扫描,依次输出经受列处理电路23中的每个像素电路的信号处理的像素信号。

[0151] 系统控制单元25包括生成各种定时信号的定时发生器,并且基于由定时发生器生成的各种定时对垂直驱动电路22、列处理电路23、水平驱动电路24等进行驱动控制。

[0152] 信号处理单元26至少具有算术处理功能,并且对从列处理电路23输出的像素信号执行各种信号处理,诸如算术处理。数据存储单元27将信号处理所需的数据临时存储在信号处理单元26中。

[0153] 顺便提及,例如,可以在安装有固态成像装置10的电子设备1的处理器13等中对从信号处理单元26输出的图像数据执行预定处理。图像数据可经由预定网络发送到外部。

[0154] 1.3单位像素的配置实例

[0155] 图3是示出了根据本实施方式的单位像素的示意性配置实例的电路图。如图3所示,单位像素30包括光电转换单元PD、传送晶体管31、复位晶体管32、放大晶体管33、选择晶体管34和浮动扩散区FD。

[0156] 包括在像素驱动线LD中的选择晶体管驱动线LD34连接至选择晶体管34的栅极。包括在像素驱动线LD中的复位晶体管驱动线LD32连接到复位晶体管32的栅极。包括在像素驱动线LD中的传送晶体管驱动线LD31连接至传送晶体管31的栅极。此外,垂直信号线VSL经由选择晶体管34连接至放大晶体管33的源极。垂直信号线VSL的一端连接至列处理电路23。

[0157] 在以下描述中,复位晶体管32、放大晶体管33和选择晶体管34也统称为像素电路。像素电路可包括浮动扩散区FD和/或传送晶体管31。

[0158] 光电转换单元PD对入射光进行光电转换。传送晶体管31传送在光电转换单元PD中产生的电荷。浮动扩散区FD用作蓄积由传送晶体管31传送的电荷的电荷蓄积单元。放大晶体管33使具有与在浮动扩散区FD中蓄积的电荷对应的电压值的像素信号出现在垂直信号

线VSL中。复位晶体管32释放在浮动扩散区FD中蓄积的电荷。选择晶体管34选择要读出的单位像素30。

[0159] 光电转换单元PD的阳极接地,并且其阴极连接至传送晶体管31的源极。传送晶体管31的漏极连接至复位晶体管32的源极和放大晶体管33的栅极。作为其连接点的节点构成浮动扩散区FD。顺便提及,复位晶体管32的漏极连接到垂直复位输入线(未示出)。

[0160] 放大晶体管33的漏极连接至垂直电压供应线(未示出)。放大晶体管33的源极连接至选择晶体管34的漏极。选择晶体管34的源极连接到垂直信号线VSL。

[0161] 浮动扩散区FD的电势由其中蓄积的电荷和浮动扩散区FD的电容确定。除了对地的电容之外,浮动扩散区FD的电容还由传送晶体管31的漏极的扩散层电容、复位晶体管32的源极的扩散层电容、以及放大晶体管33的栅极的电容确定。

[0162] 1.4单位像素的基本功能的实例

[0163] 接下来,将参考图3描述单位像素30的基本功能。复位晶体管32根据经由复位晶体管驱动线LD32从垂直驱动电路22提供的复位信号RST控制浮动扩散区FD中蓄积的电荷的放电(复位)。顺便提及,除了在浮动扩散区FD中蓄积的电荷之外,通过在复位晶体管32接通时导通传送晶体管31,可放电(复位)在光电转换单元PD中蓄积的电荷。

[0164] 当将高电平复位信号RST输入至复位晶体管32的栅极时,浮动扩散区FD的电势钳位至通过垂直复位输入线施加的电压。这使得蓄积在浮动扩散区FD中的电荷被释放(复位)。

[0165] 此外,当低电平复位信号RST输入至复位晶体管32的栅极时,浮动扩散区FD与垂直复位输入线电断开,并进入浮动状态。

[0166] 光电转换单元PD光电转换入射光,并且根据光量产生电荷。所产生的电荷蓄积在光电转换单元PD的阴极侧。传送晶体管31根据经由传送晶体管驱动线LD31从垂直驱动电路22提供的传送控制信号TRG来控制电荷从光电转换单元PD到浮动扩散区FD的传送。

[0167] 例如,当高电平传送控制信号TRG输入至传送晶体管31的栅极时,蓄积在光电转换单元PD中的电荷被传送至浮动扩散区FD。相反,低电平传送控制信号TRG被供应至传送晶体管31的栅极,停止从光电转换单元PD传送电荷。

[0168] 如上所述,在复位晶体管32截止时的浮动扩散区FD的电势由经由传送晶体管31从光电转换单元PD传送的电荷量和浮动扩散区FD的电容确定。

[0169] 放大晶体管33用作使用连接至其栅极的浮动扩散区FD的电势波动作为输入信号的放大器。其输出电压信号经由选择晶体管34表现为垂直信号线VSL中的像素信号。

[0170] 选择晶体管34根据经由选择晶体管驱动线LD34从垂直驱动电路22提供的选择控制信号SEL来控制由放大晶体管33引起的对垂直信号线VSL的像素信号的出现。例如,当高电平选择控制信号SEL被输入到选择晶体管34的栅极时,来自放大晶体管33的像素信号出现在垂直信号线VSL中。相反,当低电平选择控制信号SEL被输入到选择晶体管34的栅极时,停止出现垂直信号线VSL的像素信号。这使得能够仅提取连接有多个单位像素30的垂直信号线VSL中的所选择的单位像素30的输出。

[0171] 1.5固态成像装置的叠层结构的实例

[0172] 图4示出根据本实例的图像传感器的叠层结构的实例。如图4所示,固态成像装置10具有第一半导体芯片410和第二半导体芯片420垂直叠层的结构。第一半导体芯片410具

有其中叠层光接收芯片41和电路芯片42的结构。光接收芯片41是例如包括其中布置光电转换单元PD的像素阵列单元21的半导体芯片。电路芯片42例如是其中排列有像素电路的半导体芯片。

[0173] 第一半导体芯片410和第二半导体芯片420可通过例如所谓的直接接合而接合,在该直接接合中,第一半导体芯片410和第二半导体芯片420的接合表面平坦化并且通过电子间力接合。然而,注意,这不是限制性的。例如,可以采用所谓的Cu-Cu接合和凸块接合。在Cu-Cu接合中,接合形成在接合表面上的由铜(Cu)制成的电极焊盘。

[0174] 此外,第一半导体芯片410和第二半导体芯片420经由例如作为穿透半导体基板的贯通触点的硅过孔(TSV)的连接部分电连接。例如,所谓的双TSV方法和所谓的共享TSV方法可以被采用用于使用TSV的连接。在双TSV方法中,设置在第一半导体芯片410上的TSV和设置从第一半导体芯片410到第二半导体芯片420的TSV的这两个TSV连接在芯片的外表面上。在共享TSV方法中,第一半导体芯片410和第二半导体芯片420通过从第一半导体芯片410穿透至第二半导体芯片420的TSV连接。

[0175] 然而,注意,当通过Cu-Cu接合和凸块接合来接合第一半导体芯片410和第二半导体芯片420时,两者都通过Cu-Cu接合部和凸块接合部电连接。

[0176] 1.6单位像素的截面结构实例

[0177] 接下来,将参考图5描述根据第一实施方式的固态成像装置10的截面结构实例。图5是示出了根据第一实施方式的单位像素的截面结构实例的截面图。顺便地,图5示出了其中设置单位像素30的光电转换单元PD的光接收芯片41的截面结构实例。

[0178] 如图5所示,在固态成像装置10中,光电转换单元PD接收从半导体基板58的背面(图中的上表面)侧入射的入射光L1。平坦化膜53、滤色器52和片上透镜51设置在光电转换单元PD上方。从光接收表面57入射到半导体基板58的入射光L1依次通过各个元件以进行光电转换。

[0179] 例如,在光电转换单元PD中,N型半导体区59被形成为蓄积电荷(电子)的电荷蓄积区域。在光电转换单元PD中,N型半导体区59设置在由半导体基板58的P型半导体区56和64围绕的区域中。具有更高杂质浓度的P型半导体区64被设置在N型半导体区59的半导体基板58的正面(下表面)侧而不是背面(上表面)侧。即,光电转换单元PD具有空穴蓄积二极管(HAD)结构。P型半导体区56和64设置在N型半导体区59的上表面侧和下表面侧的相应界面上,以抑制暗电流的产生。

[0180] 像素隔离部60设置在半导体基板58内部。像素隔离部60将多个单位像素30彼此电隔离。光电转换单元PD设置在由像素隔离部60分隔的区域中。在图中,当从上表面侧观察固态成像装置10时,像素隔离部60设置成例如格子形状,以便插入在多个单位像素30之间。光电转换单元PD设置在由像素隔离部60分隔的区域中。

[0181] 每个光电转换单元PD的阳极接地。在固态成像装置10中,经由传送晶体管31(未示出)(参见图3)读出由光电转换单元PD蓄积的信号电荷(例如,电子),并且将其作为电信号输出到垂直信号线VSL(未示出)(参见图3)。

[0182] 配线层65被设置在半导体基板58的与其上设置有诸如遮光膜54、平坦化膜53、滤色器52和片上透镜51等的各个部件的背面(上表面)相对的正面(下表面)上。

[0183] 配线层65包括配线66、绝缘层67和贯通电极(未示出)。来自光接收芯片41的电信

号经由配线66和贯通电极(未示出)传送到电路芯片42。同样,光接收芯片41的基板电势也从第二半导体芯片420经由配线66和贯通电极(未示出)施加。

[0184] 例如,图4中示出的电路芯片42被接合在配线层65的与设置光电转换单元PD的一侧相反的表面上。

[0185] 遮光膜54被设置在半导体基板58的背面(图中的上表面)侧,并且阻挡从半导体基板58上方通过朝向半导体基板58的背面的入射光L1的一部分。

[0186] 遮光膜54被设置在设置在半导体基板58内部的像素隔离部60的上方。这里,遮光膜54被设置为经由诸如氧化硅膜的绝缘膜55在半导体基板58的背面(上表面)以突起形状突出。相反,遮光膜54不设置在设置在半导体基板58内部的光电转换单元PD上方,并且上侧开口,使得入射光L1入射在光电转换单元PD上。

[0187] 即,在图中,当从上表面侧观察固态成像装置10时,遮光膜54具有格子状的平面形状,并且形成入射光L1通过其传送到光接收表面57的开口。

[0188] 遮光膜54由阻挡光的遮光材料形成。例如,通过依次叠层钛(Ti)膜和钨(W)膜形成遮光膜54。或者,可以通过依次层叠例如氮化钛(TiN)膜和钨(W)膜来形成遮光膜54。

[0189] 遮光膜54被平坦化膜53覆盖。平坦化膜53由透光的绝缘材料形成。例如,氧化硅(SiO_2)可用作绝缘材料。

[0190] 像素隔离部60包括例如槽部61、固定电荷膜62和绝缘膜63,并且设置在半导体基板58的背面(上表面)侧以覆盖将多个单位像素30彼此分隔的槽部61。

[0191] 具体地,固定电荷膜62设置在半导体基板58上,以便以恒定厚度覆盖形成在背面(上表面)侧的槽部61的内表面。然后,绝缘膜63被设置成嵌入在覆盖有固定电荷膜62的槽部61内(以便填充槽部61的内部)。

[0192] 这里,固定电荷膜62由具有负固定电荷的高电介质形成,使得在与半导体基板58的界面部分处形成正电荷(空穴)蓄积区域,并且抑制暗电流的产生。固定电荷膜62的负固定电荷使电场被施加到与半导体基板58的界面,并且形成正电荷(空穴)蓄积区域。

[0193] 固定电荷膜62可由例如氧化铪膜(HfO_2 膜)形成。此外,固定电荷膜62可以包含诸如铪、锆、铝、钽、钛、镁、钇和镧系元素之类的氧化物中的至少一种。

[0194] 顺便提及,像素隔离部60不限于上述结构,并且可以进行各种修改。例如,通过使用诸如钨(W)膜的反射光的反射膜代替绝缘膜63,像素隔离部60可以用作光反射结构。这使得进入光电转换单元PD的入射光L1能够被像素隔离部60反射,使得可以增加光电转换单元PD中的入射光L1的光路长度。此外,由于具有光反射结构的像素隔离部60可减少光向相邻像素的泄漏,因此可进一步提高图像质量、距离测量精度等。顺便提及,当诸如钨(W)的金属材料用作反射膜的材料时,诸如氧化硅膜的绝缘膜可以代替固定电荷膜62设置在槽部61中。

[0195] 此外,像素隔离部60用作光反射结构的配置不限于使用反射膜的配置。例如,可以通过将折射率比半导体基板58高或低的材料嵌入槽部61中来实现该配置。

[0196] 此外,虽然图5描述了具有所谓的反向深沟槽隔离(RDTI)结构的像素隔离部60,其中像素隔离部60设置在从半导体基板58的背面(上表面)侧形成的槽部61中,但是这不是限制。可以采用具有各种结构的像素隔离部60,例如所谓的深沟槽隔离(DTI)结构和所谓的全沟槽隔离(FTI)结构。在DTI结构中,像素隔离部60设置在从半导体基板58的正面(下表面)

侧形成的槽部中。在FTI结构中,像素隔离部60设置在形成成为穿透半导体基板58的正面和背面的槽部中。

[0197] 1.7芯片布局和截面结构的实例

[0198] 接下来,将在一些实例中描述根据本实施方式的光接收芯片41和电路芯片42的芯片布局以及通过接合光接收芯片41和电路芯片42获得的叠层芯片的截面结构。顺便提及,在以下描述中,为了简单起见,适当地省略分隔光电转换单元PD的像素隔离部60(见图5)和形成在半导体基板58(对应于稍后描述的半导体基板101)上的光电转换单元PD的描述。此外,在以下描述中,在以下实例中将省略与先前描述的实例中的配置相似的配置的详细描述。

[0199] 1.7.1第一实例

[0200] 在第一实例中,将描述以两行和两列布置的四个单位像素30共享一个浮动扩散区FD的情况。

[0201] 图6是示出根据第一实例的FD共享电路配置实例的电路图。图7是示出根据第一实例的光接收芯片的布局实例的平面图。图8是示出根据第一实例的电路芯片的布局实例的平面图。图9是示出根据第一实例的A-A'截面的结构实例的截面图。图10是示出根据第一实例的B-B'截面的结构实例的截面图。

[0202] (FD共享配置)

[0203] 如图6所示,在四个单位像素30a至30d共享一个浮动扩散区FD的FD共享配置中,四个光电转换单元PDa至PDd分别经由传送晶体管31a至31d连接至公共浮动扩散区FD。四个单位像素30a至30d共享浮动扩散区FD随后的配置。因此,在本实例中,四个单位像素30a至30d共享复位晶体管32、放大晶体管33和选择晶体管34。

[0204] (光接收芯片的布局实例和截面结构实例)

[0205] 在第一实例中,光电转换单元PDa至PDd和传送晶体管31a至31d布置在光接收芯片41上。如图7所示,传送晶体管31a至31d的传送栅极电极111a至111d以两行和两列设置在光接收芯片41的半导体基板101的元件形成表面(在下文中,也称为正面)上。光电转换单元PDa至PDd被布置在半导体基板101的光接收表面(在下文中,也称为背面)侧,以在基板厚度方向上与各个传送栅极电极111a至111d重叠。顺便提及,半导体基板101可以对应于例如图5中所示出的截面结构中的半导体基板58。

[0206] 贯通电极112a至112d连接到相应的传送栅极电极111a至111d。贯通电极112a至112d贯通电路芯片42,到达电路芯片42上的第一金属配线M1。贯通电极112a至112d是传送晶体管驱动线LD31的一部分。

[0207] 浮动扩散区FD设置在以两行和两列布置的传送栅极电极111a至111d的中心。贯通电极103连接到浮动扩散区FD。贯通电极103贯通电路芯片42,到达电路芯片42上的第一金属配线M1。顺便提及,浮动扩散区FD经由贯通电极103和第一金属配线M1连接至复位晶体管32的源极和放大晶体管33的栅极。

[0208] 贯通电极112a至112d和103例如贯通光接收芯片41和电路芯片42之间的层间绝缘膜和贯通电路芯片42的绝缘膜区域265(在下文中,层间绝缘膜和绝缘膜区域265被统称为绝缘层301),从而连接至电路芯片42的上层中的第一金属配线M1。

[0209] 另外,如图7、图8和图10所示,贯通电极105连接到形成在半导体基板101的元件形

成表面上的接触部104。即,通过贯通电路芯片42并到达电路芯片42上的第一金属配线M1的贯通电极105来控制半导体基板101的阱电势。顺便提及,接触部104可以是例如P+型扩散区。

[0210] (电路芯片的布局实例和截面结构实例)

[0211] 在第一实例中,复位晶体管32、放大晶体管33和选择晶体管34设置在电路芯片42上。

[0212] 在图8、图9和图10中,复位晶体管32包括复位栅极电极221、栅极绝缘膜和沟道形成区(未示出)。放大晶体管33包括放大栅极电极231、栅极绝缘膜231a以及沟道形成区231b。选择晶体管34包括选择栅极电极241、栅极绝缘膜和沟道形成区(未示出)。复位栅极电极221经由接触插塞222连接至第一金属配线M1,其中,接触插塞222是复位晶体管驱动线LD32的一部分。选择栅极电极241经由接触插塞242连接至第一金属配线M1,该接触插塞作为选择晶体管驱动线LD34的一部分。此外,布置为夹住每个栅极电极的扩散区210例如是N+型扩散区,并且用作复位晶体管32、放大晶体管33和选择晶体管34中的每个的源极和漏极。

[0213] 用作复位晶体管32的漏极和放大晶体管的漏极的扩散区210经由接触插塞224连接到第一金属配线M1的复位电压线。复位电压线是提供用于复位浮动扩散区FD的复位电势的电压线,并且例如可以是提供电源电压VDD的电源线。

[0214] 用作复位晶体管32的源极的扩散区210经由接触插塞223连接至第一金属配线M1。第一金属配线M1连接至贯通电极103。贯通电极103连接到浮动扩散区FD。放大栅极电极231包括沿着半导体基板201的元件形成表面在浮动扩散区FD的方向上延伸的延伸部233,并且放大栅极电极231短路到经由延伸部233连接到浮动扩散区FD的贯通电极103。这使得放大晶体管33的栅极、复位晶体管32的源极以及浮动扩散区FD电连接。

[0215] 放大晶体管33的源极和选择晶体管34的漏极共享同一个扩散区210。用作选择晶体管34的源极的扩散区210经由作为垂直信号线VSL的一部分的接触插塞243连接到第一金属配线M1。

[0216] 另外,在第一实例中,接触插塞205连接到形成在半导体基板201的元件形成表面上的接触部204。即,经由到达第一金属配线M1的接触插塞205来控制半导体基板201的阱电势。顺便提及,类似于接触部104,接触部204可以是例如P+型扩散区。

[0217] (第一实例的结论)

[0218] 如上所述,放大栅极电极231在浮动扩散区FD的方向上延伸,并且短路至贯通电极103,这消除了对附加配线的需要。与传统的3D顺序结构(在传统的3D顺序结构中,需要总共两个电极,一个用于放大栅极电极而另一个用于浮动扩散区)相比,可以减少必要电极的数量。顺便提及,在本公开中,电极的数量可以是例如贯通电极的数量和/或接触插塞的数量。由此,能够降低电路芯片42的配线密度,因此能够降低配线引起的寄生电容。结果,可以改善器件特性。

[0219] 此外,通过减少所需电极的数量来降低密集电路芯片42的配线密度,这可以降低设计电路芯片42的配线布局的难度。

[0220] 1.7.2第二实例

[0221] 在第二实例中,类似于第一实例,将描述按照两行和两列布置的四个单位像素30共享一个浮动扩散区FD的情况。顺便提及,由于FD共享电路配置实例和光接收芯片41的布

局实例可与参考第一实例中的图6和图7描述的配置相似,因此这里将省略其详细描述。

[0222] 图11是示出根据第二实例的电路芯片的布局实例的平面图。图12是示出根据第二实例的A-A' 截面的结构实例的截面图。图13是示出根据第二实例的B-B' 截面的结构实例的截面图。

[0223] (电路芯片的布局实例和截面结构实例)

[0224] 如图11至图13所示,在根据第二实例的电路芯片42的布局实例和截面结构实例中,在与根据第一实例的配置类似的配置中,省略了放大栅极电极231的延伸部233,并且替代地,浮动扩散区FD的贯通电极103和放大栅极电极231的接触插塞232通过上层中的第一金属配线M1连接。在第二实例中,贯通电极105贯通形成为贯通半导体基板201的接触部204,并且与形成在半导体基板101的元件形成表面上的接触部104连接。换言之,接触部104经由贯通电极105电短路到接触部204。因此,可以经由到达第一金属配线M1的贯通电极105来控制半导体基板101和201的阱电势。顺便提及,与第一实例类似,接触部104和204可以是例如P+型扩散区。

[0225] (第二实例的结论)

[0226] 如上所述,通过利用贯通电极105和第一金属配线M1使接触部104与接触部204短路,能够减少在电路芯片42的配线层中内置的配线的数量。这能够降低电路芯片42的配线密度,提高器件特性,能够降低电路芯片42的配线布局的设计难度。

[0227] 1.7.3第三实例

[0228] 在第三实例中,类似于第一实例,将描述按照两行和两列布置的四个单位像素30共享一个浮动扩散区FD的情况。顺便提及,因为FD共享电路配置实例和光接收芯片41的布局实例可以与第一实例中参考图6和图7描述的配置相似,并且A-A' 截面结构可以与第一实例中参考图9描述的结构相似,所以这里将省略其详细描述。

[0229] 图14是示出根据第三实例的电路芯片的布局实例的平面图。图15是示出根据第三实例的B-B' 截面的结构实例的截面图。

[0230] (电路芯片的布局实例和截面结构实例)

[0231] 如图14、图9和图15所示,在根据第三实例的电路芯片42的布局实例和截面结构实例中,在与根据第一实例的配置类似的配置中,用作复位晶体管32的源极的扩散区210沿着半导体基板201的元件形成表面路由到贯通电极103,以短路到扩散区210a。形成为贯通半导体基板201的扩散区210a短路至贯通电极103。

[0232] 顺便提及,在第三实例中,为了使扩散区210a与贯通电极103接触,在绝缘膜区域265的一部分中设置用于暴露贯通电极103的侧表面的一部分的凹槽302,并且在凹槽302中在半导体基板201上形成扩散区210a。在这种情况下,为了容易地从凹槽302暴露贯通电极103的侧表面,贯通电极103可以具有垂直或水平(图14中垂直)细长的形状的水平截面。

[0233] (第三实例的结论)

[0234] 如上所述,类似于第一实例,通过将用作复位晶体管32的源极的扩散区210路由至浮动扩散区FD并且将扩散区210短路至贯通电极103,减少了必要电极的数量并且还减少了要内置于电路芯片42的配线层中的配线的数量。这能够降低电路芯片42的配线密度,提高器件特性,能够降低电路芯片42的配线布局的设计难度。

[0235] 1.7.4第四实例

[0236] 在第四实例中,类似于第一实例,将描述按照两行和两列布置的四个单位像素30共享一个浮动扩散区FD的情况。顺便提及,由于FD共享电路配置实例可类似于在第一实例中参见图6描述的配置,因此这里将省略其详细描述。

[0237] 图16是示出根据第四实例的光接收芯片的布局实例的平面图。图17是示出根据第四实例的电路芯片的布局实例的平面图。图18是示出根据第四实例的A-A'截面的结构实例的截面图。图19是示出根据第四实例的B-B'截面的结构实例的截面图。图20是示出根据第四实例的C-C'截面的结构实例的截面图。

[0238] (光接收芯片的布局实例和截面结构实例)

[0239] 在第四实例中,除了光电转换单元PDa至PDd和传送晶体管31a至31d之外,放大晶体管33也布置在光接收芯片41上。如图16和图18至图20所示,在光接收芯片41的布局实例和截面结构实例中,在与根据第一实例的配置类似的配置中,放大栅极电极131设置在邻近于按照两行和两列布置的传送栅极电极111a至111d的位置处,并且用作放大晶体管33的源极和漏极的一对扩散区110设置在将沟道形成区131b夹在放大栅极电极131下方的区域中。

[0240] 连接至放大栅极电极131的贯通电极132贯通上层中的电路芯片42,并且连接至第一金属配线M1。此外,在第四实例中,连接至放大栅极电极131的贯通电极132和连接至浮动扩散区FD的贯通电极103通过设置在半导体基板101与半导体基板201之间的配线层中的配线133连接。这使放大晶体管33的栅极与浮动扩散区FD短路。顺便提及,例如,配线133可以包括掺杂有杂质的诸如多晶硅(polysilicon)的导电材料。

[0241] (电路芯片的布局实例和截面结构实例)

[0242] 在第四实例中,复位晶体管32和选择晶体管34设置在电路芯片42上。

[0243] 如图17至图20所示,在电路芯片42的布局实例和截面结构实例中,在与根据第一实例的配置类似的配置中,形成210a以贯通半导体基板201,其中,210a是用作复位晶体管32的源极的扩散区210的一部分。此外,贯通电极132被设置成贯通扩散区210a。即,在第四实例中,贯通电极132与将复位晶体管32的源极(扩散区210a)与第一金属配线M1连接的贯通电极集成。贯通电极132将放大晶体管33的栅极(放大栅极电极131)与第一金属配线M1连接。这使得放大晶体管33的栅极和浮动扩散区FD以及复位晶体管32的源极短路。顺便提及,虽然在图17至图20的电路芯片42中,为了便于描述,复位晶体管32与选择晶体管34之间的位置关系从它们根据第一实例的位置关系中替换,但这不是限制性的。复位晶体管32的漏极(扩散区210a)经由贯通电极135短路至放大晶体管33的漏极(扩散区110)。贯通电极135经由上层中的第一金属配线M1连接至提供电源电压VDD的电源线。选择晶体管34的漏极(扩散区210a)经由贯通电极134短路至放大晶体管33的源极(扩散区110)。与第二实例类似,形成在半导体基板201的元件形成表面上的接触部204经由贯通电极105短路到形成在半导体基板101的元件形成表面上的接触部104。

[0244] (第四实例的结论)

[0245] 如上所述,通过将放大晶体管33设置在光接收芯片41上,可减少要设置在电路芯片42上的元件的数量和配线的数量,这可降低电路芯片42的配线密度以改善器件特性,并且可降低电路芯片42的配线布局的设计难度。

[0246] 此外,在第四实例中,除了连接至放大晶体管33的栅极(放大栅极电极131)的贯通电极132加倍为连接至复位晶体管32的源极(扩散区210a)的贯通电极之外,还通过经由贯

通电极135短路至复位晶体管32的漏极的放大晶体管33的漏极以及经由贯通电极134短路至选择晶体管的漏极的放大晶体管33的源极进一步减少必要电极的数量。这能够降低电路芯片42的配线密度,以进一步提高器件特性,并且能够进一步降低电路芯片42的配线布局的设计难度。

[0247] 1.7.5第五实例

[0248] 在第五实例中,将描述设置各自具有由布置在两行和两列中的四个单位像素30共享一个浮动扩散区FD的两个配置的情况,浮动扩散区FD在两个配置之间短路,并且因此总共八个单位像素30共享一个浮动扩散区FD。此外,在第五实例中,还描述了能够改变浮动扩散区FD的电容(换言之,改变每个单位像素30的动态范围)的配置。

[0249] 图21是示出根据第五实例的FD共享电路配置实例的电路图。图22是示出根据第五实例的光接收芯片的布局实例的平面图。图23是示出根据第五实例的电路芯片的布局实例的平面图。图24是示出根据第五实例的B-B'截面的结构实例的截面图。顺便提及,由于A-A'截面结构可以类似于在第一实例中参考图9描述的结构,因此这里将省略其详细描述。

[0250] (FD共享配置)

[0251] 如图21所示出的,在其中八个单位像素30a至30h共享一个浮动扩散区FD的FD共享配置中,类似于在第一实例中参见图6描述的电路配置,八个光电转换单元PDa至PDh分别经由传送晶体管31a至31h连接至公共浮动扩散区FD。八个单位像素30a至30h共享浮动扩散区FD随后的配置。因此,在本实例中,八个单位像素30a至30h共享复位晶体管32、放大晶体管33、选择晶体管34、开关晶体管35以及电容器C。

[0252] 此外,在浮动扩散区FD的电容改变的配置中,开关晶体管35连接在浮动扩散区FD与复位晶体管32的源极之间。然后,电容器C连接至复位晶体管32的源极与开关晶体管35的漏极之间的连接节点。例如,电容器C可以通过使用金属配线等有意添加的电容,或者可以是在连接节点与基板之间形成的寄生电容等。

[0253] 在这样的配置中,通过控制开关晶体管35的导通/截止可以将用于蓄积从每个光电转换单元PDa至PDh传送的电荷的电容切换到浮动扩散区FD的单独的电容以及将电容器C的电容与浮动扩散区FD的电容相加而获得的电容中的任一个。这使得能够控制施加至放大晶体管33的栅极的电压,使得可以切换每个单位像素30的动态范围。顺便提及,尽管在实践中,连接至浮动扩散区FD的配线等的寄生电容等也包括在用于蓄积从每个光电转换单元PDa至PDh传送的电荷的电容中,但是为了简单起见,这里不考虑连接至浮动扩散区FD的配线等的寄生电容等。

[0254] (光接收芯片的布局实例和截面结构实例)

[0255] 在第五实例中,光电转换单元PDa至PDh和传送晶体管31a至31h布置在光接收芯片41上。如图22、图9以及图24中所示,在第五实例中,传送晶体管31a至31d的传送栅极电极111a至111d设置为两行和两列,并且浮动扩散区FD1设置在该布置的中心处。此外,传送晶体管31e至31h的传送栅极电极111e至111h设置成两行和两列,并且浮动扩散区FD2设置在该布置的中心。因此,作为整体,FD共享像素具有其中八个单位像素30被布置为四行两列的配置。

[0256] 传送栅极电极111a至111h分别经由贯通电极112a至112h连接至第一金属配线M1。此外,浮动扩散区FD1经由贯通电极103连接至第一金属配线M1。浮动扩散区FD2经由贯通电

极107连接到第一金属配线M1。换言之,浮动扩散区FD1和浮动扩散区FD2经由第一金属配线M1短路。结果,八个单位像素30共享浮动扩散区FD。

[0257] 顺便提及,尽管在第五实例中描述了设置两组接触部104和贯通电极105以及接触部108和贯通电极109用于控制半导体基板101的阱电势的情况,但这不是限制性的。可以提供一组或三组或更多组。

[0258] (电路芯片的布局实例和截面结构实例)

[0259] 在第五实例中,复位晶体管32、放大晶体管33、选择晶体管34和开关晶体管35设置在电路芯片42上。

[0260] 如图23、图9以及图24中所示,在第五实例中,在与根据第一实例的电路芯片42的布局实例和截面结构实例相似的配置中,放大晶体管33、选择晶体管34、复位晶体管32以及开关晶体管35以这种顺序布置。设置在放大栅极电极231和选择栅极电极241之间的扩散区210用作放大晶体管33的源极和选择晶体管34的漏极。设置在开关栅极电极251与复位栅极电极221之间的扩散区210用作开关晶体管35的漏极和复位晶体管32的源极。

[0261] 用作放大晶体管33的漏极的扩散区210经由接触插塞234连接至第一金属配线M1。用作开关晶体管35的源极的扩散区210经由接触插塞253连接至第一金属配线M1。

[0262] 在这样的配置中,类似于第一实例,放大栅极电极231包括朝向浮动扩散区FD1延伸的延伸部233。延伸部233连接至贯通电极103,使得放大晶体管33的栅极与浮动扩散区FD1短路。

[0263] 此外,连接至用作开关晶体管35的源极的扩散区210的接触插塞253经由第一金属配线M1连接至浮动扩散区FD2的贯通电极107和浮动扩散区FD1的贯通电极103。这使得放大晶体管33的栅极、浮动扩散区FD1和FD2以及开关晶体管35的源极短路。

[0264] 顺便提及,尽管在第五实例中描述了设置两组接触部204和贯通电极105以及接触部208和贯通电极109用于控制半导体基板201的阱电势的情况,但这不是限制性的。可以提供一组或三组或更多组。

[0265] (第五实例的结论)

[0266] 如上所述,类似于第一实例,通过使放大栅极电极231在浮动扩散区FD的方向上延伸并且使放大栅极电极231与贯通电极103短路来减少必要电极的数量。这能够降低电路芯片42的配线密度,提高器件特性,能够降低电路芯片42的配线布局的设计难度。

[0267] 1.7.6第六实例

[0268] 在第六实例中,类似于第五实例,将描述布置为四行两列的八个单位像素30共享一个浮动扩散区FD的情况。顺便提及,由于FD共享电路配置实例可类似于在第五实例中参见图21描述的配置,因此这里将省略其详细描述。

[0269] 图25是示出了根据第六实例的光接收芯片的布局实例的平面图。图26是示出了根据第六实例的电路芯片的布局实例的平面图。图27是示出根据第六实例的A-A'截面的结构实例的截面图。图28是示出根据第六实例的B-B'截面的结构实例的截面图。

[0270] (光接收芯片的布局实例和截面结构实例)

[0271] 如图25、图27和图28中所示,在根据第六实例的光接收芯片41的布局实例和截面结构实例中,在与根据第五实例的配置类似的配置中,通过配线160连接贯通电极103和贯通电极107,使得浮动扩散区FD1和浮动扩散区FD2电连接。例如,配线160可包括诸如掺杂有

杂质的多晶硅的导电材料。

[0272] (电路芯片的布局实例和截面结构实例)

[0273] 如图26至图28所示,在电路芯片42的布局实例和截面结构实例中,在与根据第五实例的配置类似的配置中,将连接连接到开关晶体管35的源极的接触插塞253、贯通电极103和贯通电极107的第一金属配线M1替换为连接接触插塞253和贯通电极107的第一金属配线M1。

[0274] (第六实例的结论)

[0275] 同样在第六实例中,类似于第五实例,通过使放大栅极电极231在浮动扩散区FD的方向上延伸并且使放大栅极电极231与贯通电极103短路来减少必要电极的数量。另外,通过经由配线160、贯通电极103和贯通电极107使浮动扩散区FD1与浮动扩散区FD2短路,与第五实例相比,电路芯片42的上层中的第一金属配线M1的面积减小。上述结构能够降低电路芯片42的配线密度以提高器件特性,能够降低电路芯片42的配线布局的设计难度。

[0276] 1.7.7第七实例

[0277] 在第七实例中,类似于第五实例,将描述布置为四行两列的八个单位像素30共享一个浮动扩散区FD的情况。顺便提及,因为光接收芯片41的FD共享电路配置实例和布局实例可以与在第五实例中参考图21和图22描述的配置相似,并且图29中的电路芯片42的A-A'截面结构可以与在第一实例中参考图9描述的结构相似,所以这里将省略其详细描述。然而,注意,在第七实例中,省略了像素电路中的开关晶体管35。

[0278] 图29是示出了根据第七实例的电路芯片的布局实例的平面图。图30是示出根据第七实例的B-B'截面的结构实例的截面图。图31是示出根据第七实例的D-D'截面的结构实例的截面图。

[0279] (电路芯片的布局实例和截面结构实例)

[0280] 如图29、图9、图30和图31中所示,在电路芯片42的布局实例和截面结构实例中,用作复位晶体管32的源极的扩散区210朝着浮动扩散区FD2延伸,并且短路到扩散区210a。此外,扩散区210a与贯通电极107接触。这使得复位晶体管32的源极、放大晶体管的栅极以及浮动扩散区FD1和FD2经由贯通电极103和107、连接这些电极的第一金属配线M1和延伸部233短路。

[0281] 顺便提及,在第七实例中,作为起到复位晶体管32的源极作用的扩散区210的一部分的扩散区210a贯通半导体基板201。此外,为了使扩散区210a与贯通电极107接触,沿着扩散区210a的延伸方向将用于贯通电极112e至112h的绝缘膜区域265分成两个区域。

[0282] (第七实例的结论)

[0283] 同样在第七实例中,类似于第五实例,通过使放大栅极电极231在浮动扩散区FD1的方向上延伸并且使放大栅极电极231与贯通电极103短路来减少必要电极的数量。此外,通过经由贯通电极107将用作复位晶体管32的源极的扩散区210a短路到浮动扩散区FD2,与第五实例中的面积相比,电路芯片42的上层中的第一金属配线M1的面积减小。上述结构能够降低电路芯片42的配线密度以提高器件特性,能够降低电路芯片42的配线布局的设计难度。

[0284] 1.7.8第八实例

[0285] 在第八实例中,类似于第五实例,将描述布置为四行两列的八个单位像素30共享

一个浮动扩散区FD的情况。顺便提及,FD共享电路配置实例可类似于在第五实例中参见图21描述的配置。光接收芯片41的布局实例可类似于在第六实例中参考图25描述的布局实例。图32中的电路芯片42的A-A' 截面结构可以类似于在第六实例中参考图27描述的配置。由此,这里将省略对其的详细描述。然而,注意,在第八实例中,省略了像素电路中的开关晶体管35。

[0286] 图32是示出根据第八实例的电路芯片的布局实例的平面图。图33是示出了根据第八实例的B-B' 截面的结构实例的截面图。图34是示出根据第八实例的D-D' 截面的结构实例的截面图。

[0287] (电路芯片的布局实例和截面结构实例)

[0288] 如图32、图27、图33和图34所示,在电路芯片42的布局实例和截面结构实例中,在与根据第七实例的配置类似的配置中,在第七实例中,贯通电极103经由第一金属配线M1短路到贯通电极107,而在第八实例中,贯通电极103经由配线160短路到贯通电极107。

[0289] (第八实例的结论)

[0290] 同样在第八实例中,类似于第五实例,通过使放大栅极电极231在浮动扩散区FD1的方向上延伸并且使放大栅极电极231与贯通电极103短路来减少必要电极的数量。另外,通过经由配线160、贯通电极103和贯通电极107将浮动扩散区FD1短路到浮动扩散区FD2,与第七实例相比,电路芯片42的上层中的第一金属配线M1的面积减小。上述结构能够降低电路芯片42的配线密度以提高器件特性,能够降低电路芯片42的配线布局的设计难度。

[0291] 1.7.9第九实例

[0292] 在第九实例中,类似于第五实例,将描述布置为四行两列的八个单位像素30共享一个浮动扩散区FD的情况。顺便提及,由于FD共享电路配置实例可类似于在第五实例中参见图21描述的配置,因此这里将省略其详细描述。然而,注意,在第九实例中,省略了像素电路中的开关晶体管35。

[0293] 图35是示出了根据第九实例的光接收芯片的布局实例的平面图。图36是示出了根据第九实例的电路芯片的布局实例的平面图。图37是示出根据第九实例的A-A' 截面的结构实例的截面图。图38是示出根据第九实例的C-C' 截面的结构实例的截面图。图39是示出根据第九实例的D-D' 截面的结构实例的截面图。

[0294] (光接收芯片的布局实例和截面结构实例)

[0295] 在第九实例中,除了光电转换单元PDa至PDh以及传送晶体管31a至31h之外,复位晶体管32也布置在光接收芯片41上。如图35和图37至图39所示,在光接收芯片41的布局实例和截面结构实例中,在与根据第六实例的配置类似的配置中,构成复位晶体管32的复位栅极电极121、栅极绝缘膜121a、沟道形成区121b以及一对扩散区110设置在半导体基板101的元件形成表面上。复位栅极电极121经由贯通电极122连接至第一金属配线M1。用作复位晶体管32的漏极的扩散区110经由贯通电极124短路至作为放大晶体管33的漏极的一部分的扩散区210a。

[0296] 此外,用作复位晶体管32的源极的扩散区110被布置为在基板厚度方向上与配线160重叠。贯通电极123贯通配线160以连接至扩散区110。类似地,贯通电极103和贯通电极107分别通过配线160连接到浮动扩散区FD1和浮动扩散区FD2。结果,扩散区110以及浮动扩散区FD1和FD2经由配线160和贯通电极103、107和123短路。顺便提及,配线160可包括例如

掺杂有杂质的导电材料(诸如多晶硅)。

[0297] (电路芯片的布局实例和截面结构实例)

[0298] 在第九实例中,放大晶体管33和选择晶体管34设置在电路芯片42上。如图36和图37至图39所示,放大晶体管33的放大栅极电极231包括与第一实例中的延伸部类似的延伸部233,并且经由延伸部233连接至贯通电极103(该贯通电极103连接至浮动扩散区FD1)。这使得复位晶体管32的源极、放大晶体管33的栅极、以及浮动扩散区FD1和FD2经由贯通电极103、107和123、延伸部233以及配线160短路。

[0299] (第九实例的结论)

[0300] 同样在第九实例中,类似于第五实例,通过使放大栅极电极231在浮动扩散区FD1的方向上延伸并且使放大栅极电极231与贯通电极103短路来减少必要电极的数量。这能够降低电路芯片42的配线密度,提高器件特性,能够降低电路芯片42的配线布局的设计难度。

[0301] 此外,通过在光接收芯片41上设置复位晶体管32,在电路芯片上可设置放大晶体管的区域增加。换言之,放大晶体管的栅极面积可以增加,并且因此,与第五实例中的特性相比,可以改善诸如随机噪声的特性。

[0302] 1.7.10第十实例

[0303] 在第十实例中,与第五实例类似,将描述布置为四行两列的八个单位像素30共享一个浮动扩散区FD的情况。顺便提及,由于FD共享电路配置实例可类似于在第五实例中参见图21描述的配置,因此这里将省略其详细描述。然而,注意,在第十实例中,省略了像素电路中的开关晶体管35。

[0304] 图40是示出了根据第十实例的光接收芯片的布局实例的平面图。图41是示出根据第十实例的电路芯片的布局实例的平面图。图42是示出根据第十实例的B-B' 截面的结构实例的截面图。图43是示出根据第十实例的C-C' 截面的结构实例的截面图。图44是示出根据第十实例的D-D' 截面的结构实例的截面图。

[0305] (光接收芯片的布局实例和截面结构实例)

[0306] 在第十实例中,除了光电转换单元PDa至PDh和传送晶体管31a至31h之外,放大晶体管33也布置在光接收芯片41上。如图40和图42至图44所示,在光接收芯片41的布局实例和截面结构实例中,在与根据第五实例的配置类似的配置中,如第四实例所示,放大栅极电极131设置在邻近于布置为四行两列的传送栅极电极111a至111h的位置处,并且起到放大晶体管33的源极和漏极作用的一对扩散区110布置在将沟道形成区131b夹在放大栅极电极131下方的区域中。

[0307] 与第六实例类似,连接到浮动扩散区FD1的贯通电极103和连接到浮动扩散区FD2的贯通电极107通过配线160连接。配线160包括朝向放大栅极电极131平行于元件形成表面延伸的延伸部161。延伸部161连接到贯通电极132(贯通电极132连接到放大栅极电极131)。顺便提及,延伸部161可以包括与配线160的材料相同的材料,例如,诸如掺杂有杂质的导电材料(诸如多晶硅)。

[0308] (电路芯片的布局实例和截面结构实例)

[0309] 在第十实例中,复位晶体管32和选择晶体管34设置在电路芯片42上。如图41和图42至图44中所示出的,连接到放大晶体管33的放大栅极电极131的贯通电极132贯通扩散区210a(其用作复位晶体管32的源极)。这使得复位晶体管32的源极、放大晶体管33的栅极、以

及浮动扩散区FD1和FD2经由贯通电极103、107和132以及包括延伸部161的配线160短路。类似地,复位晶体管32的漏极(扩散区210a)经由贯通电极135短路到放大晶体管33的漏极(扩散区110)。贯通电极135经由上层中的第一金属配线M1连接至提供电源电压VDD的电源线。选择晶体管34的漏极(扩散区210a)经由贯通电极134短路至放大晶体管33的源极(扩散区110)。

[0310] (第十实例的结论)

[0311] 同样在第十实例中,与第四实例类似,通过将放大晶体管33设置在光接收芯片41上可以减少要设置在电路芯片42上的元件的数量和配线的数量,这可以降低电路芯片42的配线密度以改善器件特性,并且可以降低电路芯片42的配线布局的设计难度。

[0312] 此外,同样在第十实例中,类似于第四实例,除了连接至放大晶体管33的栅极(放大栅极电极131)的贯通电极132加倍为连接至复位晶体管32的源极(扩散区210a)的贯通电极之外,还通过经由贯通电极135将放大晶体管33的漏极短路至复位晶体管32的漏极以及经由贯通电极134将放大晶体管33的源极短路至选择晶体管的漏极,进一步减少必要电极的数量。这能够降低电路芯片42的配线密度,以进一步提高器件特性,能够进一步降低电路芯片42的配线布局的设计难度。

[0313] 1.7.11第十一实例

[0314] 在第十一实例中,类似于第五实例,将描述布置为四行两列的八个单位像素30共享一个浮动扩散区FD的情况。顺便提及,FD共享电路配置实例可类似于在第五实例中参见图21描述的配置。B-B' 截面结构可以类似于在第十实例中参考图42描述的结构。D-D' 截面结构可以类似于在第十实例中参见图44所描述的结构。由此,这里将省略对其的详细描述。然而,应注意,在第十一实例中,像素电路包括开关晶体管35。

[0315] 图45是示出根据第十一实例的光接收芯片的布局实例的平面图。图46是示出根据第十一实例的电路芯片的布局实例的平面图。图47是示出根据第十一实例的C-C' 截面的结构实例的截面图。

[0316] (光接收芯片的布局实例和截面结构实例)

[0317] 在第十一实例中,类似于第十实例,除了光电转换单元PDa至PDh以及传送晶体管31a至31h之外,放大晶体管33也被布置在光接收芯片41上。然而,应注意,如图45、图42、图44和图47中所示,在第十一实例中,根据电路芯片42上用作开关晶体管35的源极的扩散区210a的位置,调整延伸部161从配线160突出的位置。

[0318] (电路芯片的布局实例和截面结构实例)

[0319] 在第十一实例中,复位晶体管32、选择晶体管34和开关晶体管35设置在电路芯片42上。如图46、图42、图44和图47中所示,连接到放大晶体管33的放大栅极电极131的贯通电极132贯通扩散区210a(其用作开关晶体管35的源极)。这使得开关晶体管35的源极、放大晶体管33的栅极、以及浮动扩散区FD1和FD2经由贯通电极103、107和132以及包括延伸部161的配线160短路。类似地,复位晶体管32的漏极(扩散区210a)经由贯通电极123短路至放大晶体管33的漏极(扩散区110)。贯通电极123经由上层中的第一金属配线M1连接至提供电源电压VDD的电源线。选择晶体管34的漏极(扩散区210a)经由贯通电极124短路至放大晶体管33的源极(扩散区110)。

[0320] (第十一实例的结论)

[0321] 同样在第十一实例中,与第四实例类似,通过将放大晶体管33设置在光接收芯片41上,可以减少要设置在电路芯片42上的元件的数量和配线的数量,这可以降低电路芯片42的配线密度以改善器件特性,并且可以降低电路芯片42的配线布局的设计难度。

[0322] 此外,同样在第十一实例中,类似于第四实例,除了连接至放大晶体管33的栅极(放大栅极电极131)的贯通电极132加倍为连接至开关晶体管35的源极(扩散区210a)的贯通电极之外,通过经由贯通电极123将放大晶体管33的漏极短路至复位晶体管32的漏极以及经由贯通电极124将放大晶体管33的源极短路至选择晶体管的漏极,进一步减少必要电极的数量。这能够降低电路芯片42的配线密度,以进一步提高器件特性,能够进一步降低电路芯片42的配线布局的设计难度。

[0323] 1.7.12第十二实例

[0324] 在第十二实例中,与第五实例类似,将描述布置为四行两列的八个单位像素30共享一个浮动扩散区FD的情况。然而,应注意,在第十二实例中,将描述两个或更多个单位像素30共享一个片上透镜51和一个滤色器52的情况。

[0325] 顺便提及,FD共享电路配置实例可类似于在第五实例中参见图21描述的配置。C-C' 截面结构可以类似于在第十实例中参考图43描述的结构。D-D' 截面结构可以类似于第十实例中参见图44所描述的结构。由此,这里将省略对其的详细描述。然而,注意,在第十二实例中,省略了像素电路中的开关晶体管35。

[0326] 图48是示出根据第十二实例的单位像素的截面结构实例的截面图。图49是示出根据第十二实例的光接收芯片的布局实例的平面图。图50是示出根据第十二实例的电路芯片的布局实例的平面图。图51是示出根据第十二实例的B-B' 截面的结构实例的截面图。顺便提及,类似于图5,图48示出了其中布置有单位像素30的光电转换单元PD的光接收芯片41的截面结构实例。

[0327] (单位像素的截面结构实例)

[0328] 如图48中所示,在第十二实例中,一个片上透镜51和一个滤色器52被设置为横跨在行方向或列方向上布置的两个以上单位像素30。这使得一个片上透镜51和一个滤色器52在布置在行方向和列方向上的两个或更多个单位像素30中共用。

[0329] (光接收芯片的布局实例和截面结构实例)

[0330] 在第十二实例中,类似于第十实例,除了光电转换单元PDa至PDh以及传送晶体管31a至31h之外,放大晶体管33也布置在光接收芯片41上。

[0331] (电路芯片的布局实例和截面结构实例)

[0332] 在第十二实例中,类似于第十实例,复位晶体管32和选择晶体管34被设置在电路芯片42上。

[0333] (第十二实例的结论)

[0334] 同样在第十二实例中,与第四实例类似,通过将放大晶体管33设置在光接收芯片41上可以减少要设置在电路芯片42上的元件的数量和配线的数量,这可以降低电路芯片42的配线密度以改善器件特性,并且可以降低电路芯片42的配线布局的设计难度。

[0335] 此外,同样在第十二实例中,类似于第四实例,通过连接至放大晶体管33的栅极(放大栅极电极131)的贯通电极132使连接至复位晶体管32的源极(扩散区210a)的贯通电极加倍,进一步减少必要电极的数量。这能够降低电路芯片42的配线密度以进一步提高器

件特性,能够进一步降低电路芯片42的配线布局的设计难度。

[0336] 顺便提及,例如,其中片上透镜51和一个滤色器52由两个或者更多个单位像素30共享的第十二实例中描述的配置适合于采用诸如Quad Bayer(也称为Quadra)的滤色器布置作为滤色器52的布置的情况和固态成像装置10具有基于相邻像素之间的相位差自动调整焦点的机构的情况。然而,注意,这些不是限制性的。

[0337] 1.7.13第十三实例

[0338] 在第十三实例中,类似于第一实例,将描述以两行两列布置的八个单位像素30共享一个浮动扩散区FD的情况。然而,应注意,在第十三实例中,将描述具有FTI结构的像素隔离部170被采用作为分隔每个单位像素30的光电转换单元PD的像素隔离部60的情况。

[0339] 顺便提及,由于FD共享电路配置实例可类似于在第一实例中参见图6描述的配置,因此这里将省略其详细描述。

[0340] 图52是示出根据第十三实例的单位像素的截面结构实例的截面图。图53是示出根据第十三实例的光接收芯片的布局实例的平面图。图54是示出根据第十三实例的电路芯片的布局实例的平面图。

[0341] (单位像素的截面结构实例)

[0342] 如图52所示,在第十三实例中,提供了一种结构,其中每个单位像素30的光电转换单元PD由具有贯通半导体基板58(对应于半导体基板101)的槽部61的像素隔离部170而不是具有图5所示的RDTI结构的像素隔离部60分隔。

[0343] (光接收芯片的布局实例)

[0344] 如图53中所示,在第十三实例中,类似于第一实例,光电转换单元PDa至PDd和传送晶体管31a至31d布置在光接收芯片41上。光电转换单元PDa至PDd和传送晶体管31a至31d设置在半导体基板101中由像素隔离部170分隔的区域(在下文中,称为像素区域)中。

[0345] 此外,在由像素隔离部170分隔的像素区域中设置分别用作传送晶体管31a至31d的漏极的扩散区110a至110d。扩散区110a至110d还用作浮动扩散区FDa至FDd。浮动扩散区FDa至FDd经由配线162和贯通配线162的电极113a至113d短路。在第十三实例中,由配线162和浮动扩散区FDa至FDd与半导体基板101和/或半导体基板201形成的寄生电容用作浮动扩散区FDa至FDd的电容。例如,配线162可包括掺杂有杂质的导电材料(诸如多晶硅)。

[0346] 顺便提及,当布置光电转换单元PDa至PDd中的每个的像素区域被具有FTI结构的像素隔离部170分隔时,接触部104a至104d被设置在每个像素区域中,并且接触部104a至104d经由贯通电极105a至105d连接到第一金属配线M1,使得控制每个像素区域的阱电势。

[0347] (电路芯片的布局实例和截面结构实例)

[0348] 如图54所示出的,在第十三实例中,复位晶体管32、放大晶体管33和选择晶体管34被布置在电路芯片42上。放大栅极电极231包括被贯通电极113a至113d(图54中的贯通电极113b)中的任一个所贯通的延伸部233。贯通延伸部233的贯通电极(图54中的贯通电极113b)连接至浮动扩散区FDa至FDd(图53中的浮动扩散区FDb)中的任一个。此外,贯通电极113a至113d(图54中的贯通电极113d)中的任一个贯通用作复位晶体管32的源极的扩散区210a。这使得复位晶体管32的源极(扩散区210a)、放大晶体管33的栅极(放大栅极电极231)、以及浮动扩散区FDa至FDd短路。

[0349] (第十三实例的结论)

[0350] 如上所述,类似于第一实例,通过经由贯通电极113b和113d将放大晶体管33的放大栅极电极231和用作复位晶体管32的源极的扩散区210a中的每一个短路到浮动扩散区FDa至FDd,减少必要电极的数量并且减少要内置在电路芯片42的配线层中的配线的数量。这能够降低电路芯片42的配线密度以提高器件特性,能够降低电路芯片42的配线布局的设计难度。

[0351] 1.7.14第十四实例

[0352] 在第十四实例中,类似于第一实例,将描述以两行四列布置的八个单位像素30共享一个浮动扩散区FD的情况。顺便提及,在第十四实例中,将描述沿行方向布置的两个单位像素30共享一个片上透镜51和一个滤色器52并且在两个单位像素30之间形成用于检测相位差的相位差检测像素的情况。

[0353] 顺便提及,由于FD共享电路配置实例可类似于在第五实例中参见图21描述的配置,因此这里将省略其详细描述。然而,应注意,在第十四实例中,省略了像素电路中的开关晶体管35。

[0354] 图55是示出根据第十四实例的单位像素的截面结构实例的截面图。图56是示出根据第十四实例的光接收芯片的布局实例的平面图。图57是示出了根据第十四实例的电路芯片的布局实例的平面图。图58是示出根据第十四实例的E-E'截面的结构实例的截面图。图59是示出根据第十四实例的F-F'截面的结构实例的截面图。图60是示出根据第十四实例的G-G'截面的结构实例的截面图。图61是示出了根据第十四实例的H-H'截面的结构实例的截面图。图62是示出了根据第十四实例的L-L'截面的结构实例的截面图。

[0355] (单位像素的截面结构实例)

[0356] 如图55中所示,在第十四实例中,在类似于第十二实例中参考图48描述的单位像素30的截面结构的结构中,将共享一个片上透镜51和一个滤色器52的两个单位像素30彼此隔离的像素隔离部由RDTI型像素隔离部60代替。因此,在第十四实例中,FTI型像素隔离部170将布置有以两行四列布置的八个单位像素30的区域分隔成用于包括在行方向上布置的两个单位像素30的各个相位差检测像素的区域(在下文中,也称为相位差像素区域)。RDTI型像素隔离部60将相位差像素区域分隔为用于相应单位像素30的像素区域。

[0357] (光接收芯片的布局实例和截面结构实例)

[0358] 如图56和图58至图62所示,在第十四实例中,与第十实例类似,光电转换单元PDa至PDh、传送晶体管31a至31h和放大晶体管33被布置在光接收芯片41上。然而,应注意,在第十四实例中,构成放大晶体管33的放大栅极电极被隔离为放大栅极电极131A和放大栅极电极131B。用作源极和漏极的扩散区110设置在放大栅极电极131A和131B的每个中。

[0359] 设置在各个像素区域中的传送栅极电极111a1、111a2、111b1、111b2、111c1、111c2、111d1和111d2分别经由贯通电极112a1、112a2、112b1、112b2、112c1、112c2、112d1和112d2连接至第一金属配线M1。

[0360] 用作传送晶体管31a至31h的漏极的扩散区110a、110b、110c和110d分别设置在设置在各个相位差像素区域中的一对传送栅极电极111a1和111a2、一对传送栅极电极111b1和111b2、一对传送栅极电极111c1和111c2以及一对传送栅极电极111d1和111d2之间。扩散区110a、110b、110c和110d分别由在形成在同一相位差像素区域中的传送晶体管31a和31b、传送晶体管31c和31d、传送晶体管31e和31f以及传送晶体管31g和31h之间共享。扩散区

110a、110b、110c和110d还用作浮动扩散区FDa到FDd。

[0361] 扩散区110a、110b、110c和110d经由贯通电极113a、113b、113c和113d连接到第一金属配线M1。放大栅极电极131A和131B经由贯通电极132a和132b连接至第一金属配线M1。

[0362] 另外，贯通电极113a、113b、113c、113d、132a和132b经由配线160和配线163短路。上述配置使得FDa、FDb、FDc和FDd以及放大栅极电极131A和131B能够短路。

[0363] 顺便提及，接触部104a至104d设置在各个相位差像素区域中，并且接触部104a至104d经由贯通电极105a至105d连接至第一金属配线M1，从而控制每个像素区域的阱电势。

[0364] (电路芯片的布局实例和截面结构实例)

[0365] 如图57至图62所示，在第十四实例中，复位晶体管32和选择晶体管34设置在电路芯片42上。然而，应注意，在第十四实例中，构成复位晶体管32的复位栅极电极被隔离成复位栅极电极221A和复位栅极电极221B。用作源极和漏极的扩散区210和210a设置在复位栅极电极221A和221B中。此外，构成选择晶体管34的选择栅极电极被隔离成选择栅极电极241A和选择栅极电极241B。用作源极和漏极的扩散区210和210a设置在选择栅极电极241A和241B中。

[0366] 用作复位晶体管32的源极的扩散区210a (其被隔离成两个区域) 经由连接到放大栅极电极131A和131B的贯通电极132a和132b连接到第一金属配线M1。即，连接到放大栅极电极131A和131B的贯通电极132a和132b使将复位晶体管32的源极连接到第一金属配线M1的贯通电极加倍。这使得复位晶体管32的源极、放大晶体管33的栅极、以及浮动扩散区FDa至FDd被短路。

[0367] 另外，用作复位晶体管32的漏极的、被隔离成两个区域的扩散区210和210a经由连接到用作放大晶体管33的漏极的扩散区110的贯通电极134a至134d连接到第一金属配线M1。即，连接至放大晶体管33的漏极的贯通电极134a至134d使将复位晶体管32的漏极连接至第一金属配线M1的贯通电极加倍。

[0368] 此外，用作选择晶体管34的漏极的、被分隔成两个区域的扩散区210a经由连接至用作放大晶体管33的源极的扩散区110的贯通电极135a至135d连接至第一金属配线M1。即，连接至放大晶体管33的源极的贯通电极135a至135d使得将选择晶体管34的漏极连接至第一金属配线M1的贯通电极加倍。

[0369] (第十四实例的结论)

[0370] 同样在第十四实例中，与第四实例相似，通过将放大晶体管33设置在光接收芯片41上可以减少要设置在电路芯片42上的元件的数量和配线的数量，这可以降低电路芯片42的配线密度以改善器件特性，并且可以降低电路芯片42的配线布局的设计难度。

[0371] 此外，同样在第十四实例中，与第四实例类似，通过连接到放大晶体管33的栅极 (放大栅极电极131A和131B) 的贯通电极132a和132b使连接到复位晶体管32的源极 (扩散区210a) 的贯通电极加倍，连接到放大晶体管33的漏极的贯通电极134a至134d使连接到复位晶体管32的漏极的贯通电极加倍，以及连接到放大晶体管33的源极的贯通电极135a至135d使连接到选择晶体管34的漏极的贯通电极加倍，进一步减少必要电极的数量。这能够降低电路芯片42的配线密度，以进一步提高器件特性，能够进一步降低电路芯片42的配线布局的设计难度。

[0372] 1.8结论

[0373] 如上所述,根据本实施方式,放大栅极电极231/131经由设置在从放大栅极电极231或光接收芯片41或上层中的第一金属配线M1延伸的延伸部233中的配线133/160(和161或163)/162电连接至与浮动扩散区FD连接的贯通电极103/107。这能够减少布置在电路芯片42上的电极的数量、配线的数量,能够降低配线密度。结果,可以降低由配线引起的寄生电容,使得可以改善器件特性。此外,降低配线密度可以降低配线布局的设计难度。

[0374] 2. 第二实施方式

[0375] 接下来,将参照附图详细描述本公开的第二实施方式。另外,在以下的说明中,列举与上述实施方式或其变形例相同的结构、作用、效果,省略重复的说明。

[0376] 不仅在上述第一实施方式中描述的固态成像装置中,而且在普通的固态成像装置中,为了改善器件特性,重要的是减小连接至放大栅极电极和浮动扩散区FD的配线(在下文中,也称为FD配线)和另一条配线(例如,电源线(在下文中,也称为VDD配线)和连接至复位栅极电极的配线(在下文中,也称为RST控制线))的耦合的电容。此外,因为FD配线和放大栅极电极231/131电短路,所以放大栅极电极和另一条配线的耦合的电容的减小同样重要。

[0377] 相反,在3D顺序结构中,放大栅极电极在像素区域中的面积的比例倾向于大于常规结构中的比例。因此,存在与传统结构中的电容相比,放大栅极电极和另一条配线的耦合的电容容易增加的问题。

[0378] 可通过用接地线和VSS配线(在下文中,统称为VSS配线)屏蔽FD配线和放大栅极电极的外围来防止放大栅极电极与另一条配线之间的电容耦合。但是,近年来,随着像素的小型化,用于屏蔽的VSS配线的设计变得困难。

[0379] 因此,在第二实施方式中,类似于第一实施方式,将通过实例描述能够抑制器件特性劣化和设计难度增加的固态成像装置和电子设备。

[0380] 更具体地,在本实施方式中,提出了其中放大栅极电极和FD配线的至少一部分覆盖有导电屏蔽电极的结构。在这种情况下,绝缘膜设置在放大栅极电极和FD配线与屏蔽电极之间,以避免它们之间的电短路。此外,屏蔽电极连接到VSS配线。这种结构可以减小由放大栅极电极和FD配线与另一条配线形成的耦合的电容,使得配线密度减小。这减小了由配线引起的寄生电容,使得可以抑制器件特性的劣化和配线布局的设计难度的增加。

[0381] 顺便提及,根据本实施方式的电子设备(见图1)的配置、固态成像装置的配置(见图2)和叠层结构(见图4)、单位像素的配置和基本功能(例如,见图3、图6和图21)、以及截面结构(例如,见图5、图48、图52和图55)可类似于上述第一实施方式中的那些。

[0382] 2.1 芯片布局和截面结构的实例

[0383] 随后,将在一些实例中描述根据本实施方式的光接收芯片41和电路芯片42的芯片布局以及通过接合光接收芯片41和电路芯片42获得的叠层芯片的截面结构。顺便提及,在以下描述中,类似于第一实施方式,适当地省略了分隔光电转换单元PD的像素隔离部60(见图5)和形成在半导体基板58(对应于稍后描述的半导体基板101)上的光电转换单元PD的描述。此外,在以下描述中,在以下实例中将省略与先前描述的实例(包括第一实施方式)中的配置相似的配置的详细描述。

[0384] 2.1.1 第一实例

[0385] 在第一实例中,将描述以两行四列布置的八个单位像素30共享一个浮动扩散区FD的情况。此外,将在第一实施方式中参考图21描述的电路配置作为单位像素30的电路配置。

[0386] 图63是示出根据第一实例的光接收芯片的布局实例的平面图。图64是示出了根据比较例的电路芯片的布局实例的平面图。图65是示出根据第一实例的电路芯片的布局实例的平面图。图66是示出根据第一实例的X-X'截面的部分结构实例的部分截面图。图67是示出根据第一实例的Y-Y'截面的部分结构实例的部分截面图。图68是示出根据第一实例的Z-Z'截面的结构实例的截面图。

[0387] (光接收芯片的布局实例)

[0388] 在第一实例中,光电转换单元PDa至PDh和传送晶体管31a至31h布置在光接收芯片41上。如图63中所示,根据第一实例的光接收芯片41的布局实例可类似于在第一实施方式的第五实例中参考图22描述的布局实例。然而,注意,在图63中,为了便于描述,将图22中示出的布局实例旋转90度(图63中的向左方向90度)。

[0389] (根据比较例的电路芯片的布局实例)

[0390] 在比较例中,复位晶体管32、放大晶体管33、选择晶体管34以及开关晶体管35设置在电路芯片42上。如图64中所示,根据比较例的电路芯片42的平面布局实例可类似于在第一实施方式的第五实例中参考图23描述的平面布局实例。然而,应注意,在第一实例中,省去从放大栅极电极231延伸的延伸部233,并且替代地,放大晶体管33的栅极(放大栅极电极231)、浮动扩散区FD1和FD2、开关晶体管35的源极(扩散区210)经由贯通电极103和107以及第一金属配线M1连接。此外,在图64中,复位晶体管32、放大晶体管33、选择晶体管34和开关晶体管35的栅极宽度被放大。此外,在图64中,为了便于描述,将图23中示出的布局实例旋转90度(图64中的向左方向90度)。

[0391] 在这种布局实例中,如图64所示,例如,第一金属配线M1的上层中的第二金属配线M2在基板厚度方向上与放大栅极电极231重叠。第二金属配线M2经由接触插塞234、第一金属配线M1和过孔235连接到用作放大晶体管33的漏极的扩散区210,并且经由接触插塞223、第一金属配线M1和过孔225连接到用作复位晶体管32的漏极的扩散区210。因此,第二金属配线M2是VDD配线。

[0392] 当作为VDD配线的第二金属配线M2以这种方式与放大栅极电极231重叠时,放大栅极电极231和第二金属配线M2的耦合的电容如上所述增加。结果,图像质量劣化。相反,在抑制第二金属配线M2与放大栅极电极231的耦合的电容的设计导致另一部分的配线密度的增加,这增加了设计的难度。

[0393] (根据第一实例的电路芯片的布局实例)

[0394] 因此,在第一实例中,如图65所示,屏蔽电极260介于第二金属配线M2与放大栅极电极231之间。屏蔽电极260覆盖第二金属配线M2在基板厚度方向上与放大栅极电极231重叠的区域的至少一部分。例如,屏蔽电极260可包括导电材料(诸如掺杂有杂质的多晶硅)。

[0395] 屏蔽电极260连接到例如与VSS配线连接的贯通电极105(或贯通电极109),以保持低于电源电势(例如地电势或VSS电势)的电势。这可以抑制放大栅极电极231和第二金属配线M2的耦合的电容,使得可以抑制器件特性的劣化。顺便提及,除了屏蔽电极260之外的部分,根据第一实例的电路芯片42的布局实例可与图64中的比较例相似。

[0396] (屏蔽电极的截面结构实例)

[0397] 如图66至图68所示,形成在半导体基板201上的放大晶体管33包括例如栅极绝缘膜231a、放大栅极电极231以及一对扩散区210(源极/漏极)。栅极绝缘膜231a覆盖半导体基

板201的表面的一部分。放大栅极电极231设置在栅极绝缘膜231a上方。一对扩散区210将沟道形成区231b夹在放大栅极电极231下方。侧壁231c可设置在放大栅极电极231的侧表面上。侧壁231c确保用作源极和漏极的扩散区210与放大栅极电极231之间的距离。侧壁231c例如可以是诸如氧化硅膜的绝缘膜。顺便提及,这样的晶体管结构也可以应用于复位晶体管32、选择晶体管34和开关晶体管35。

[0398] 绝缘膜261覆盖其上形成有放大晶体管33的半导体基板201的上表面上的至少要形成屏蔽电极260的区域。这防止屏蔽电极260短路至半导体基板201和放大晶体管33。

[0399] (第一实例的结论)

[0400] 如上所述,通过利用保持在地电势或VSS电势的屏蔽电极260覆盖第二金属配线M2在基板厚度方向上与放大栅极电极231重叠的区域的至少一部分,来抑制放大栅极电极231和VDD配线的耦合电容。结果,抑制了噪声的增加,并且可以提高图像质量。此外,由于在不使用金属配线的情况下放大栅极电极231屏蔽于VDD配线,电路芯片的配线密度与传统结构中的配线密度相比降低,并且可降低配线布局的设计难度。

[0401] (第一实例的变形例)

[0402] 图69是示出根据第一实例的变型例的电路芯片的布局实例的平面图。在上述第一实例中,已经描述了VDD配线和放大栅极电极231之间的电容耦合被抑制的情况。然而,应注意,电容耦合的抑制目标不限于VDD配线和放大栅极电极231。例如,如图69所示,屏蔽电极260可被设置为抑制连接至复位栅极电极221的第二金属配线M2与放大栅极电极231之间的电容耦合。在这种情况下,屏蔽电极260设置在第二金属配线M2与放大栅极电极231之间。屏蔽电极260覆盖第二金属配线M2在基板厚度方向上与放大栅极电极231重叠的区域的至少一部分。这抑制了放大栅极电极231与连接至复位栅极电极221的第二金属配线M2之间的电容耦合,使得由配线的电容耦合引起的寄生电容减小。结果,可以改善器件特性,并且可以降低配线布局的设计难度。

[0403] 顺便地,尽管在第一实例中,已经描述了这样的情况,其中,设置于由共享浮动扩散区FD的八个单位像素30(在下文中,称为共享像素组)共享的放大栅极电极231的屏蔽电极260连接至用于控制共享像素组的阱电势的贯通电极105/109,但屏蔽电极260的连接目的地不限于此。例如,如图69所示,屏蔽电极260可连接至贯通电极105/109,用于控制相邻的共享像素组的阱电势。

[0404] 2.1.2第二实例

[0405] 在第二实例中,将描述以两行两列布置的四个单位像素30共享一个浮动扩散区FD的情况。此外,将在第一实施方式中参照图6描述的电路配置被引用作单位像素30的电路配置。

[0406] 图70是示出根据第二实例的电路芯片的布局实例的平面图。图71是示出根据第二实例的W-W'截面的结构实例的截面图。顺便提及,根据第二实例的光接收芯片41的布局实例可类似于在第一实施方式的第十三实例中参考图53描述的布局实例。

[0407] (电路芯片的布局实例)

[0408] 在第二实例中,复位晶体管32、放大晶体管33和选择晶体管34设置在电路芯片42上。如图70中所示,在根据第二实例的电路芯片42的布局实例中,在与第一实施方式的第十三实例中参考图54描述的布局实例相似的布局中,用作VDD配线的第二金属配线M2(VDD)和

连接至复位栅极电极221的第二金属配线M2 (RST) 设置在放大栅极电极231上。

[0409] 因此,在第二实例中,在基板厚度方向上,屏蔽电极260被设置为覆盖其中放大栅极电极231与第二金属配线M2 (VDD) 和/或M2 (RST) 重叠的区域的至少一部分。顺便提及,第二金属配线M2 (VDD) 经由过孔225连接至第一金属配线M1 (其短路至用作复位晶体管32的漏极的扩散区210)。第二金属配线M2 (RST) 经由过孔226连接至第一金属配线M1 (其短路至复位栅极电极221)。

[0410] 屏蔽电极260连接到贯通电极105a至105d (图70中,贯通电极105a) 中的任何一个或多个,以保持低于电源电势 (例如,地电势或VSS电势) 的电势。这可以抑制放大栅极电极231与第二金属配线M2 (VDD) 和/或M2 (RST) 之间的电容耦合,使得可以抑制器件特性的劣化。

[0411] (屏蔽电极的截面结构实例)

[0412] 如图71所示,屏蔽电极260经由绝缘膜261设置在放大栅极电极231上,以覆盖放大栅极电极231的至少一部分。其中设置屏蔽电极260的区域可与其中放大栅极电极231与第二金属配线M2 (VDD) 和/或M2 (RST) 重叠的区域的至少一部分对应。

[0413] (第二实例的结论)

[0414] 如上所述,通过利用保持在地电势或VSS电势的屏蔽电极260覆盖第二金属配线M2 (VDD) 和/或M2 (RST) 在基板厚度方向上与放大栅极电极231重叠的区域的至少一部分,来抑制放大栅极电极231与VDD配线和/或复位栅极电极221之间的电容耦合。这能够降低由配线间的电容耦合引起的寄生电容,能够提高器件特性,能够降低配线布局的设计难度。

[0415] 2.1.3第三实例

[0416] 在第三实例中,将描述以两行两列布置的四个单位像素30共享一个浮动扩散区FD的情况。此外,将在第一实施方式中参照图6描述的电路配置被引用作为单位像素30的电路配置。

[0417] 图72是示出根据第三实例的电路芯片的布局实例的平面图。图73是示出根据第三实例的A-A' 截面的结构实例的截面图。图74是示出根据第三实例的B-B' 截面的结构实例的截面图。顺便提及,根据第三实例的光接收芯片41的布局实例可类似于在第一实施方式的第一实例中参考图7描述的布局实例。

[0418] (电路芯片的布局实例和截面结构实例)

[0419] 在第三实例中,复位晶体管32、放大晶体管33和选择晶体管34设置在电路芯片42上。如图72至图74所示,在根据第三实例的电路芯片42的布局实例中,在与第一实施方式的第三实例中参考图14描述的布局实例类似的布局中,连接至复位栅极电极221的第二金属配线M2 (RST) 设置为跨在用作复位晶体管32的源极的扩散区210 (对应于FD配线) 和放大栅极电极231上。

[0420] 因此,在第三实例中,在基板厚度方向上,屏蔽电极260被设置为覆盖其中扩散区210和/或放大栅极电极231与第二金属配线M2 (RST) 重叠的区域的至少一部分。屏蔽电极260连接至贯通电极105,用于控制将相邻共享像素组的阱电势保持在低于电源电势 (例如,地电势或VSS电势) 的电势。这可以抑制扩散区210和/或放大栅极电极231与第二金属配线M2 (RST) 之间的电容耦合,使得可以抑制器件特性的劣化。

[0421] (第三实例的结论)

[0422] 如上所述,浮动扩散区FD和/或放大栅极电极231与连接至复位栅极电极221的第二金属配线M2(RST)之间的电容耦合通过在利用保持在地电势或VSS电势的屏蔽电极260覆盖其中扩散区210和/或放大栅极电极231在基板厚度方向上与第二金属配线M2(RST)重叠的区域的至少一部分来抑制。这能够降低由配线间的电容耦合引起的寄生电容,能够提高器件特性,能够降低配线布局的设计难度。

[0423] 2.2结论

[0424] 如上所述,根据本实施方式,放大栅极电极和FD配线的至少一部分被维持在地电势或VSS电势的屏蔽电极260覆盖,使得抑制放大栅极电极231和FD配线与诸如第二金属配线M2的另一条配线之间的电容耦合。这能够降低由配线间的电容耦合引起的寄生电容,使得能够抑制器件特性的劣化和配线布局的设计难度的增加。

[0425] 3.应用于移动体的实例

[0426] 根据本公开的技术(本技术)可应用于各种产品。例如,根据本公开的技术可实现为安装在任何类型的移动主体(诸如汽车、电动车辆、混合动力车辆、摩托车、自行车、个人移动装置、飞机、无人机、船、机器人等)上的装置。

[0427] 图75是描绘作为可应用根据本公开的実施方式的技术的移动体控制系统的实例的车辆控制系统的示意性配置的实例的框图。

[0428] 车辆控制系统12000包括经由通信网络12001连接至彼此的多个电子控制单元。在图75所示的例子中,车辆控制系统12000包括驱动系统控制单元12010、车身系统控制单元12020、车外信息检测单元12030、车内信息检测单元12040以及集成控制单元12050。此外,作为集成控制单元12050的功能配置,示出了微型计算机12051、音频/图像输出部12052和车载网络接口(I/F)12053。

[0429] 驱动系统控制单元12010根据各种程序控制与车辆的驱动系统相关的装置的操作。例如,驱动系统控制单元12010用作以下装置的控制装置:用于产生车辆的驱动力的驱动力产生装置,诸如内燃机、驱动电动机等;用于向车轮传递驱动力的驱动力传递机构;用于调节车辆的转向角的转向机构;用于产生车辆的制动力的制动装置等。

[0430] 车身系统控制单元12020根据各种程序来控制设置在车身上的各种装置的操作。例如,车身系统控制单元12020用作用于无钥匙进入系统、智能钥匙系统、电动车窗装置或诸如前照灯、后备灯、制动灯、转向信号、雾灯等的各种灯的控制装置。在这种情况下,从作为按键的替代物的移动装置发送的无线电波或各种开关的信号可以被输入到车身系统控制单元12020。车身系统控制单元12020接收这些输入的无线电波或信号,并且控制车辆的门锁装置、电动车窗装置、灯等。

[0431] 车外信息检测单元12030检测包含车辆控制系统12000的车外的信息。例如,车外信息检测单元12030连接有成像部12031。车外信息检测单元12030使成像部12031拍摄车外的图像,并接收该拍摄图像。车外信息检测单元12030可以基于接收到的图像,进行检测人、车辆、障碍物、标志、路面上的文字等物体的处理、或者检测其距离的处理等。

[0432] 成像部12031是接收光并且输出对应于接收到的光的光量的电信号的光学传感器。成像部12031可以输出电信号作为图像,或者可以输出电信号作为关于测量距离的信息。此外,成像部12031接收的光可以是可见光,或者可以是诸如红外线等不可见光。

[0433] 车内信息检测单元12040检测关于车辆内部的信息。车内信息检测单元12040例如

与检测驾驶员的状态的驾驶员状态检测部12041连接。驾驶员状态检测部12041例如包括拍摄驾驶员的照相机。基于从驾驶员状态检测部12041输入的检测信息,车内信息检测单元12040可以计算驾驶员的疲劳度或驾驶员的集中度,或者可以确定驾驶员是否打瞌睡。

[0434] 微型计算机12051可以基于由车外信息检测单元12030或车内信息检测单元12040获得的关于车辆内部或外部的信息来计算驱动力生成装置、转向机构或制动装置的控制目标值,并且向驱动系统控制单元12010输出控制命令。例如,微型计算机12051可以执行旨在实现高级驾驶员辅助系统(ADAS)的功能的协作控制,该功能包括用于车辆的防碰撞或减震、基于跟随距离的跟随驾驶、维持驾驶的车辆速度、车辆碰撞的警告、车辆与车道的偏离的警告等。

[0435] 另外,微型计算机12051通过基于由车外信息检测单元12030或车内信息检测单元12040获得的关于车外或车内信息的信息来控制驱动力产生装置、转向机构、制动装置等,可以执行用于自动驾驶的协作控制,这使得车辆不依赖于驾驶员的操作等而自动行驶。

[0436] 另外,微型计算机12051可以基于由车外信息检测单元12030获得的关于车外的信息,将控制命令输出到车身系统控制单元12020。例如,微型计算机12051可以通过根据由车外信息检测单元12030检测的前方车辆或对面车辆的位置,控制前照灯以从远光改变到近光,来执行旨在防止眩光的协作控制。

[0437] 声音/图像输出部12052将声音和图像中的至少一个的输出信号发送到输出装置,该输出装置能够视觉地或听觉地将信息通知给车辆的乘员或车辆外部。在图75的实例中,音频扬声器12061、显示部12062和仪表板12063被示出为输出设备。例如,显示部12062可包括板上显示器和平视显示器中的至少一个。

[0438] 图76是描绘成像部12031的安装位置的实例的示意图。

[0439] 在图76中,成像部12031包括成像部12101、12102、12103、12104和12105。

[0440] 成像部12101、12102、12103、12104和12105例如设置在车辆12100的前鼻、侧视镜、后保险杠和后门上的位置以及车辆内部中的挡风玻璃的上部上的位置。设置在车辆内部内的前鼻子的成像部12101和设置在挡风玻璃的上部的成像部12105主要获得车辆12100的前部的图像。设置到侧视镜的成像部12102和12103主要获得车辆12100的侧面的图像。设置到后保险杠或后门的成像部12104主要获得车辆12100的后部的图像。设置在车辆内部内的挡风玻璃的上部的成像部12105主要用于检测前方车辆、行人、障碍物、信号、交通标志、车道等。

[0441] 顺便提及,图76描述了成像部12101至12104的拍摄范围的示例。成像范围12111表示设置到前鼻的成像部12101的成像范围。成像范围12112和12113分别表示设置到侧视镜的成像部12102和12103的成像范围。成像范围12114表示设置到后保险杠或后门的成像部12104的成像范围。例如,通过将由成像部12101至12104成像的图像数据叠加来获得从上方观察的车辆12100的鸟瞰图像。

[0442] 成像部12101至12104中的至少一个可具有获得距离信息的功能。例如,成像部12101至12104中的至少一个可以由多个成像元件构成的立体相机,或者可以是具有用于相位差检测的像素的成像元件。

[0443] 例如,微型计算机12051可以基于从成像部12101至12104获得的距离信息确定在成像范围12111至12114内距每个三维物体的距离以及距离的时间变化(相对于车辆12100

的相对速度),由此提取最近的三维物体作为前方车辆,该最近的三维物体特别地存在于车辆12100的行驶路径上并且以预定速度(例如,等于或大于0km/小时)在与车辆12100大致相同的方向上行驶。另外,微型计算机12051可以预先设定要保持在前方车辆前方的跟随距离,并且执行自动制动控制(包括跟随停止控制)、自动加速控制(包括跟随启动控制)等。由此,能够不依赖于驾驶员的操作等,进行自动化行驶的协调控制。

[0444] 例如,微型计算机12051可以根据从成像部12101至12104获得的距离信息,将三维物体的三维物体数据分类为两轮车、标准大小的车辆、大型车辆、行人、电线杆等三维物体的三维物体数据,提取分类后的三维物体数据,使用提取出的三维物体数据自动躲避障碍物。例如,微型计算机12051将车辆12100周围的障碍物识别为车辆12100的驾驶员能够视觉识别的障碍物和车辆12100的驾驶员难以视觉识别的障碍物。然后,微型计算机12051确定表示与各个障碍物碰撞的风险的碰撞风险。微型计算机12051在碰撞风险为设定值以上且有可能发生碰撞的状况下,经由音频扬声器12061或显示部12062向驾驶员输出警告,经由驱动系统控制单元12010进行强制减速或回避转向。由此,微型计算机12051可以辅助驾驶以避免碰撞。

[0445] 成像部12101至12104中的至少一个可以是检测红外线的红外线照相机。例如,微型计算机12051可以通过确定在成像部12101至12104的成像图像中是否存在行人来识别行人。例如,通过提取成像部12101至12104的成像图像中的特征点作为红外照相机的过程和通过对表示对象的轮廓的一系列特征点执行图案匹配处理来确定其是否是行人的过程来执行行人的识别。当微型计算机12051确定在成像部12101至12104的成像图像中存在行人并且因此识别行人时,声音/图像输出部12052控制显示部12062使得用于强调的正方形轮廓线被显示为叠加在所识别的行人上。声音/图像输出部12052还可控制显示部12062,使得在期望的位置处显示表示行人的图标等。

[0446] 上面已经描述了可以应用根据本公开的技术的车辆控制系统的实例。例如,根据本公开的技术可应用于上述配置之中的成像部12031。通过将根据本公开的技术应用于成像部12031可获得更容易观看的捕捉图像,从而可减轻驾驶员的疲劳。

[0447] 4.内窥镜手术系统的应用例

[0448] 根据本公开的技术(本技术)可以应用于各种产品。例如,根据本公开的技术可以应用于内窥镜手术系统。

[0449] 图77是示出了可以应用根据本公开的实施方式的技术(本技术)的内窥镜手术系统的示意性配置的实例的示意图。

[0450] 图77中示出了外科医生(医生)11131使用内窥镜手术系统11000对病床11133上的患者11132进行手术的状态。如图所示,内窥镜手术系统11000包括内窥镜11100、诸如气腹管11111和能量治疗工具11112的其他手术工具11110、在其上支撑内窥镜11100的支撑臂装置11120、以及在其上安装各种内窥镜手术用装置的推车11200。

[0451] 内窥镜11100包括:透镜镜筒11101,其距其远端具有预定长度的区域,以被插入到患者11132的体腔中;摄像头11102,其连接到透镜镜筒11101的近端。在所示出的实例中,内窥镜11100被示出为包括具有硬类型的透镜镜筒11101的硬镜。然而,内窥镜11100可以另外被包括作为具有软型的透镜镜筒11101的软镜。

[0452] 透镜镜筒11101在其远端具有装配物镜的开口。光源装置11203连接到内窥镜

11100,使得由光源装置11203产生的光由在透镜镜筒11101的内部延伸的光导引入透镜镜筒11101的前端,并且穿过物镜朝向患者11132的体腔内的观察对象照射。注意,内窥镜11100可以是直视镜,也可以是立体镜或侧视镜。

[0453] 光学系统和图像拾取元件被设置在摄像头11102的内部,使得来自观察对象的反射光(观察光)通过光学系统会聚在图像拾取元件上。通过图像拾取元件对观察光进行光电转换,以产生与观察光对应的电信号,即,与观察图像对应的图像信号。图像信号作为RAW数据被传输到CCU 11201。

[0454] CCU 11201包括中央处理单元(CPU)、图形处理单元(GPU)等,并且整体控制内窥镜11100和显示装置11202的操作。此外,CCU 11201从摄像头11102接收图像信号,并且针对图像信号,执行用于基于图像信号显示图像的各种图像处理,例如,显影处理(去马赛克处理)。

[0455] 显示装置11202在CCU 11201的控制下在其上显示基于由CCU 11201执行了图像处理的图像信号的图像。

[0456] 光源装置11203包括例如像发光二极管(LED)的光源,并且将手术区域成像时的照射光提供给内窥镜11100。

[0457] 输入装置11204是用于内窥镜手术系统11000的输入接口。用户能够通过输入装置11204向内窥镜手术系统11000进行各种信息的输入或指示输入。例如,用户输入用于改变内窥镜11100的图像拾取条件(照射光的类型、倍率、焦距等)的指令等。

[0458] 治疗工具控制装置11205对能量治疗工具11112的驱动进行控制,以对组织进行烧灼、切开、血管等的封闭等。气腹装置11206通过气腹管11111将气体供给到患者11132的体腔中,以使体腔膨胀,从而确保内窥镜11100的视野并确保外科医生的工作空间。记录器11207是能够记录与手术有关的各种信息的装置。打印机11208是能够以诸如文本、图像或图形的各种形式打印与手术有关的各种信息的装置。

[0459] 要注意,在将要拍摄手术区域时向内窥镜11100提供照射光的光源装置11203可以包括白色光源,该白色光源包括例如LED、激光源或其组合。在白色光源包括红色、绿色和蓝色(RGB)激光源的组合的情况下,因为可以以高精度度针对各颜色(各波长)控制输出强度和输出定时,所以可以由光源装置11203执行拾取的图像的白平衡的调整。此外,在这种情况下,如果来自各个RGB激光光源的激光束被分时地照射在观察对象上并且与照射定时同步地控制摄像头11102的图像拾取元件的驱动。然后,还可以分时地拾取分别与R、G和B颜色相对应的图像。根据该方法,即使没有为图像拾取元件设置滤色器,也可以获得彩色图像。

[0460] 此外,可以控制光源装置11203,使得在每个预定时间内改变要输出的光的强度。通过与光强度改变的定时同步地控制摄像头11102的图像拾取元件的驱动以时分地获取图像并合成图像,可产生没有曝光不足阻挡阴影和过度曝光亮点的高动态范围的图像。

[0461] 此外,光源装置11203可被配置为提供准备用于特殊光观察的预定波长带的光。例如,在特殊光观察中,与普通观察时的照射光(即,白光)相比,通过利用生物体组织的光的吸收的波长依赖性来照射窄带的光,来进行以高对比度对粘膜的表层部的血管等规定的组织进行成像的窄带观察(窄带成像)。或者,在特殊光观察中,也可以进行从通过照射激发光而生成的荧光得到图像的荧光观察。在荧光观察中,可以通过向生物体组织照射激发光来进行来自生物体组织的荧光的观察(自身荧光观察),或者通过向生物体组织局部注入吲哚

菁绿 (ICG) 等试剂并且向生物体组织照射与试剂的荧光波长对应的激发光来获得荧光图像。如上所述,光源装置11203可被配置为供应适合于特殊光观察的窄带光和/或激励光。

[0462] 图78是示出图77中所示出的摄像头11102和CCU 11201的功能配置的实例的框图。

[0463] 摄像头11102包括透镜单元11401、图像拾取单元11402、驱动单元11403、通信单元11404和摄像头控制单元11405。CCU 11201包括通信单元11411、图像处理单元11412和控制单元11413。摄像头11102和CCU 11201通过传输线缆11400彼此连接以进行通信。

[0464] 透镜单元11401是设置在与透镜镜筒11101的连接位置处的光学系统。从透镜镜筒11101的远端获取的观察光被引导到摄像头11102,并被引入透镜单元11401。透镜单元11401包括多个透镜的组合,所述多个透镜包括变焦透镜和聚焦透镜。

[0465] 图像拾取单元11402包括的图像拾取元件的数量可以是一个(单板型)或多个(多板型)。在图像拾取单元11402被配置为多板型的图像拾取单元的情况下,例如,对应于各个R、G和B的图像信号由图像拾取元件生成,并且图像信号可被合成以获得彩色图像。图像拾取单元11402还可被配置为具有一对图像拾取元件,用于获取准备用于三维(3D)显示的右眼和左眼的相应图像信号。如果进行3D显示,则外科医生11131能够更准确地理解手术区域中的活体组织的深度。要注意的是,在图像拾取单元11402被配置为立体型的图像拾取单元的情况下,对应于各个图像拾取元件设置多个透镜单元11401的系统。

[0466] 此外,图像拾取单元11402可不必设置在摄像头11102上。例如,图像拾取单元11402可在透镜镜筒11101的内部设置在物镜的正后方。

[0467] 驱动单元11403包括致动器,并在摄像头控制单元11405的控制下沿光轴将透镜单元11401的变焦透镜和聚焦透镜移动预定距离。结果,可以适当地调整图像拾取单元11402所拾取的图像的倍率和焦点。

[0468] 通信单元11404包括用于向CCU 11201发送各种信息以及从CCU 11201接收各种信息的通信装置。通信单元11400通过传输线缆11400将从图像拾取单元11402获取的图像信号作为RAW数据传送至CCU 11201。

[0469] 此外,通信单元11404从CCU 11201接收用于控制摄像头11102的驱动的控制信号,并且将控制信号提供给摄像头控制单元11405。控制信号包括与图像拾取条件有关的信息,例如,指定拾取图像的帧率的信息、指定拾取时的曝光值的信息和/或指定拾取图像的倍率和焦点的信息。

[0470] 应注意,诸如帧率、曝光值、倍率或焦点的图像拾取条件可以由用户指定或者可以由CCU 11201的控制单元11413基于获取的图像信号自动设置。在后一种情况下,自动曝光(AE)功能、自动聚焦(AF)功能和自动白平衡(AWB)功能被并入内窥镜11100中。

[0471] 摄像头控制单元11405基于通过通信单元11404接收的来自CCU 11201的控制信号控制摄像头11102的驱动。

[0472] 通信单元11411包括用于向摄像头11102发送各种信息以及从摄像头11102接收各种信息的通信装置。通信单元11411接收从摄像头11102通过传输线缆11400发送至其的图像信号。

[0473] 此外,通信单元11411向摄像头11102发送用于控制摄像头11102的驱动的控制信号。图像信号和控制信号可以通过电通信、光通信等传送。

[0474] 图像处理单元11412对从摄像头11102发送到其的RAW数据形式的图像信号执行各

种图像处理。

[0475] 控制单元11413进行与由内窥镜11100图像拾取手术区域等相关的各种控制以及通过图像拾取手术区域等而获得的拾取图像的显示。例如,控制单元11413创建用于控制摄像头11102的驱动的控制信号。

[0476] 此外,控制单元11413基于由图像处理单元11412进行了图像处理的图像信号来控制显示装置11202,以显示拍摄手术区域等的拾取图像。于是,控制单元11413可以使用各种图像识别技术来识别所拾取图像中的各种对象。例如,控制单元11413通过检测拾取图像中包含的被摄体的边缘的形状、颜色等,能够识别诸如钳子的手术器具,特定的生物体区域,出血,使用能量治疗工具11112时的雾等。当控制单元11413控制显示装置11202显示所拾取的图像时,控制单元11413可以使用识别结果使得以与手术区域的图像重叠的方式显示各种类型的手术支持信息。通过以重叠的方式显示手术支持信息并将其呈现给外科医生11131,可以减少外科医生11131的负担,并且外科医生11131可以确定性地继续进行手术。

[0477] 将摄像头11102和CCU 11201彼此连接的传输线缆11400是准备用于电信号的通信的电信号线缆、准备用于光通信的光纤或准备用于电通信和光通信两者的复合线缆。

[0478] 这里,虽然在所示出的实例中,通过使用传输线缆11400的有线通信执行通信,但是摄像头11102和CCU 11201之间的通信可以通过无线通信来执行。

[0479] 上面已经描述了可以应用根据本公开的技术的内窥镜手术系统的实例。根据本公开的技术可应用于例如上述配置之中的摄像头11102的图像拾取单元11402。可通过将根据本公开的技术应用于摄像头11102来获得手术区域的更清晰的图像,使得外科医生能够可靠地确认手术区域。

[0480] 顺便提及,尽管在此已经在一个实例中描述了内窥镜手术系统,但是根据本公开的技术可以应用于例如显微手术系统。

[0481] 虽然上面已经描述了本公开的实施方式,但是本公开的技术范围不限于上述实施方式,并且在不背离本公开的主旨的情况下,可以进行各种修改。此外,可以适当地组合不同的实例和变形的部件。

[0482] 此外,在本说明书中描述的实施方式中的效果仅是实例而不是限制。可以展现其他效果。

[0483] 顺便提及,本技术还可具有以下配置。

[0484] (1)

[0485] 一种固态成像装置,包括:

[0486] 第一基板,包括通过光电转换入射光来产生电荷的光电转换单元;

[0487] 第二基板,接合至所述第一基板并且包括像素电路的至少一部分,所述像素电路基于在所述光电转换单元产生的电荷产生电压信号;以及

[0488] 第一金属配线,被设置在与所述第一基板相对的一侧,且所述第二基板被夹在所述第一基板和所述第一金属配线之间,

[0489] 其中所述像素电路包括:

[0490] 电荷蓄积单元,蓄积在所述光电转换单元产生的电荷;

[0491] 放大晶体管,将蓄积在所述电荷蓄积单元中的电荷转换成根据所述电荷的电荷量的电压值的电压;

- [0492] 复位晶体管,其释放在所述电荷蓄积单元中蓄积的电荷;
- [0493] 第一贯通电极,从第一金属配线贯通第二基板以连接至电荷蓄积单元;以及
- [0494] 第一配线,连接所述放大晶体管的栅极电极与所述第一贯通电极。
- [0495] (2)
- [0496] 根据(1)所述的固态成像装置,
- [0497] 其中所述第一配线是从所述放大晶体管的栅极电极延伸的延伸部。
- [0498] (3)
- [0499] 根据(1)所述的固态成像装置,
- [0500] 其中所述像素电路进一步包括连接至所述放大晶体管的栅极的第二贯通电极,并且
- [0501] 所述第一配线将所述第一贯通电极与第二贯通电极连接。
- [0502] (4)
- [0503] 根据(3)所述的固态成像装置,
- [0504] 其中所述放大晶体管设置在所述第一基板上。
- [0505] (5)
- [0506] 根据(1)所述的固态成像装置,
- [0507] 其中所述第一配线包括所述第一金属配线的一部分。
- [0508] (6)
- [0509] 根据(1)至(5)中任一项所述的固态成像装置,
- [0510] 其中所述像素电路进一步包括将所述复位晶体管的源极与所述电荷蓄积单元连接的第二配线。
- [0511] (7)
- [0512] 根据(6)所述的固态成像装置,
- [0513] 其中所述第二配线包括所述第一金属配线的一部分。
- [0514] (8)
- [0515] 根据(6)所述的固态成像装置,
- [0516] 其中所述复位晶体管设置在所述第二基板上,并且
- [0517] 所述第二配线是与用作所述复位晶体管的源极的第一扩散区连续的第二扩散区。
- [0518] (9)
- [0519] 根据(6)所述的固态成像装置,
- [0520] 其中所述放大晶体管布置在所述第一基板上,
- [0521] 所述像素电路进一步包括连接至所述放大晶体管的栅极的第二贯通电极,并且
- [0522] 所述第二配线包括所述第二贯通电极和所述第一配线的至少一部分。
- [0523] (10)
- [0524] 根据(1)至(9)中任一项所述的固态成像装置,
- [0525] 其中所述第一基板包括多个光电转换单元,并且
- [0526] 多个光电转换单元连接至电荷蓄积单元。
- [0527] (11)
- [0528] 根据(10)所述的固态成像装置,

- [0529] 其中所述像素电路还包括：
- [0530] 所述多个电荷蓄积单元；以及
- [0531] 连接所述多个电荷蓄积单元的第三配线。
- [0532] (12)
- [0533] 根据(11)所述的固态成像装置，
- [0534] 其中所述第三配线包括所述第一金属配线的连接至所述多个电荷蓄积单元的第一贯通电极的部分。
- [0535] (13)
- [0536] 根据(11)所述的固态成像装置，
- [0537] 其中所述第三配线包括第四配线，所述第四配线设置在所述第一基板上并且将连接至所述多个电荷蓄积单元的所述第一贯通电极彼此连接。
- [0538] (14)
- [0539] 一种电子设备，包括：
- [0540] 根据(1)至(13)中任一项所述的固态成像装置；以及
- [0541] 处理器，处理从所述固态成像装置输出的图像信号。
- [0542] (15)
- [0543] 一种固态成像装置，包括：
- [0544] 光电转换单元，通过光电转换入射光来产生电荷；以及
- [0545] 像素电路，基于在所述光电转换单元产生的电荷产生电压信号，
- [0546] 其中所述光电转换单元设置在第一基板上，
- [0547] 所述像素电路的至少一部分设置在与所述第一基板贴合的第二基板上，
- [0548] 所述像素电路包括：
- [0549] 电荷蓄积单元，蓄积在所述光电转换单元产生的电荷；
- [0550] 放大晶体管，将蓄积在所述电荷蓄积单元中的电荷转换成根据所述电荷的电荷量的电压值的电压；以及
- [0551] 复位晶体管，释放在所述电荷蓄积单元中蓄积的电荷，
- [0552] 所述放大晶体管布置在所述第二基板上，并且
- [0553] 所述第二基板还包括：
- [0554] 第二金属配线，被设置在与所述第一基板相对的一侧，其中所述第二基板被夹在所述第一基板和所述第二金属配线之间；以及
- [0555] 屏蔽电极，被设置在所述第二金属配线与所述放大晶体管的栅极电极之间的至少一部分处。
- [0556] (16)
- [0557] 根据(15)所述的固态成像装置，
- [0558] 其中所述第二金属配线是施加电源电压的电源线。
- [0559] (17)
- [0560] 根据(15)所述的固态成像装置，
- [0561] 其中所述第二金属配线连接至所述复位晶体管的栅极电极。
- [0562] (18)

- [0563] 根据(15)至(17)中任一项所述的固态成像装置，
- [0564] 其中所述屏蔽电极进一步设置在所述电荷蓄积单元与所述第二金属配线之间的至少一部分处。
- [0565] (19)
- [0566] 根据(15)至(18)中任一项所述的固态成像装置，
- [0567] 其中所述屏蔽电极连接至所述第二基板的阱。
- [0568] (20)
- [0569] 一种电子设备，包括：
- [0570] 根据(15)至(19)中任一项所述的固态成像装置；以及
- [0571] 处理器，处理从所述固态成像装置输出的图像信号。
- [0572] 参考符号列表
- [0573] 1 电子设备
- [0574] 10 固态成像装置
- [0575] 11 成像透镜
- [0576] 13 处理器
- [0577] 14 存储单元
- [0578] 21 像素阵列单元
- [0579] 22 垂直驱动电路
- [0580] 23 列处理电路
- [0581] 24 水平驱动电路
- [0582] 25 系统控制单元
- [0583] 26 信号处理单元
- [0584] 27 数据存储单元
- [0585] 30、30a至30h单位像素
- [0586] 31、31a至31h传送晶体管
- [0587] 32 复位晶体管
- [0588] 33 放大晶体管
- [0589] 34 选择晶体管
- [0590] 35 开关晶体管
- [0591] 41 光接收芯片
- [0592] 42 电路芯片
- [0593] 51 片上透镜
- [0594] 52 滤色器
- [0595] 53 平坦化膜
- [0596] 54 遮光膜
- [0597] 55、63、261绝缘膜
- [0598] 56、64P型半导体区
- [0599] 57光接收表面
- [0600] 58、101、201半导体基板

- [0601] 59N型半导体区
- [0602] 60、170 像素隔离部
- [0603] 61 槽部
- [0604] 62 固定电荷膜
- [0605] 66 配线
- [0606] 65 配线层
- [0607] 67、301 绝缘层
- [0608] 103、105、105a至105d、107、109、112a至112h、112a1至112d1、112a2至112d2、113a至113d、122、123、124、132、132a、132b、134、134a至134d、135、135a至135d贯通电极
- [0609] 104、104a至104d、108、204、204a至204d、208接触部
- [0610] 110、110a至110d、210、210a扩散区
- [0611] 111a至111h、111a1至111d1、111a2至111d2传送栅极电极
- [0612] 121、221、221A、221B复位栅极电极
- [0613] 131、131A、131B、231放大栅极电极
- [0614] 133、160、162、163配线
- [0615] 161、233延伸部
- [0616] 121a、131b、221a、231a、241a、251a栅极绝缘膜
- [0617] 121b、131b、221b、231b、241b、251b沟道形成区
- [0618] 205、222、222a、222b、223、224、232、234、242、242a、242b、243、252、253接触插塞
- [0619] 225、226、235过孔
- [0620] 231c侧壁
- [0621] 241、241A、241B选择栅极电极
- [0622] 251 开关栅极电极
- [0623] 260 屏蔽电极
- [0624] 265绝缘膜区域
- [0625] 410 第一半导体芯片
- [0626] 420 第二半导体芯片
- [0627] C 电容器
- [0628] FD、FD1、FD2、FDa至FDd浮动扩散区
- [0629] LD像素驱动线
- [0630] LD 31传送晶体管驱动线
- [0631] LD 32复位晶体管驱动线
- [0632] LD 34选择晶体管驱动线
- [0633] M1 第一金属配线
- [0634] M2 第二金属配线
- [0635] PD、PDa至PDh光电转换单元
- [0636] VSL垂直信号线。

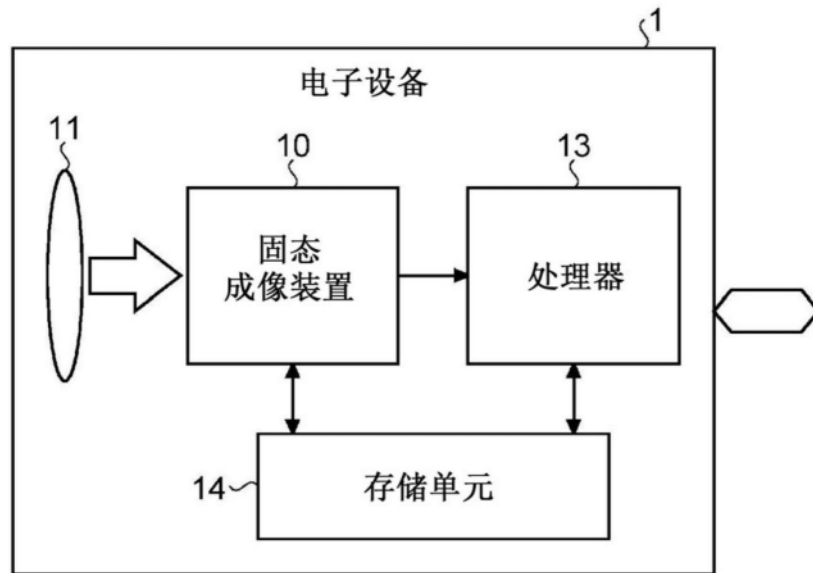


图1

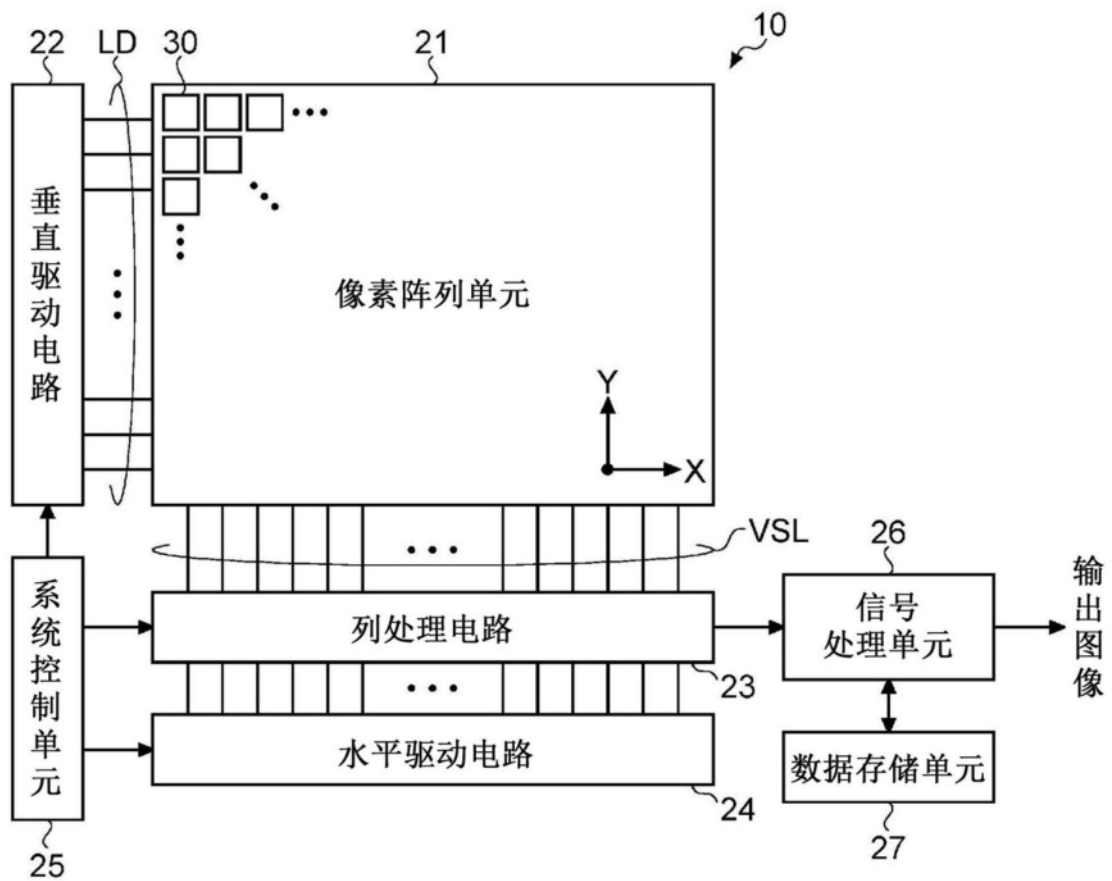


图2

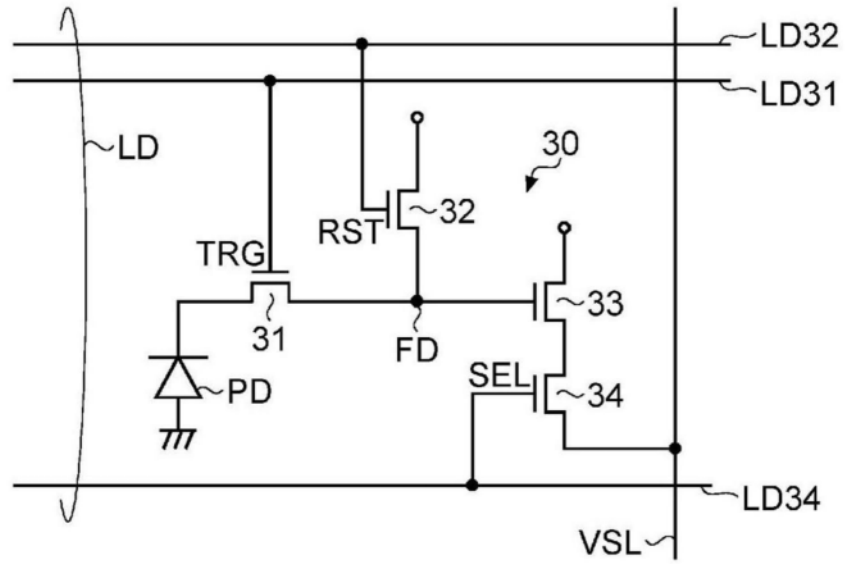


图3

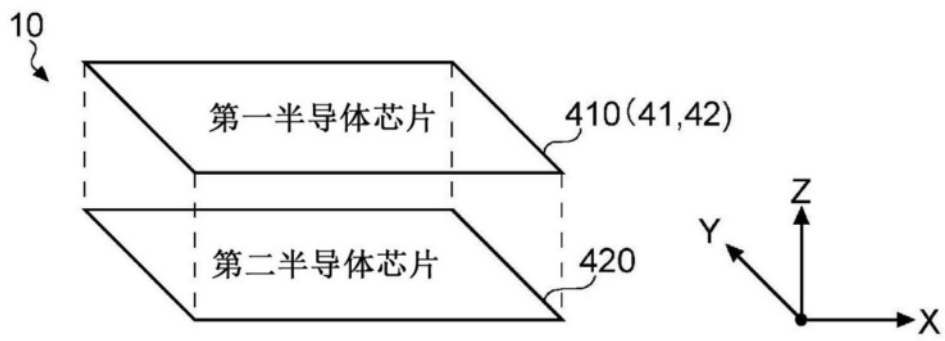


图4

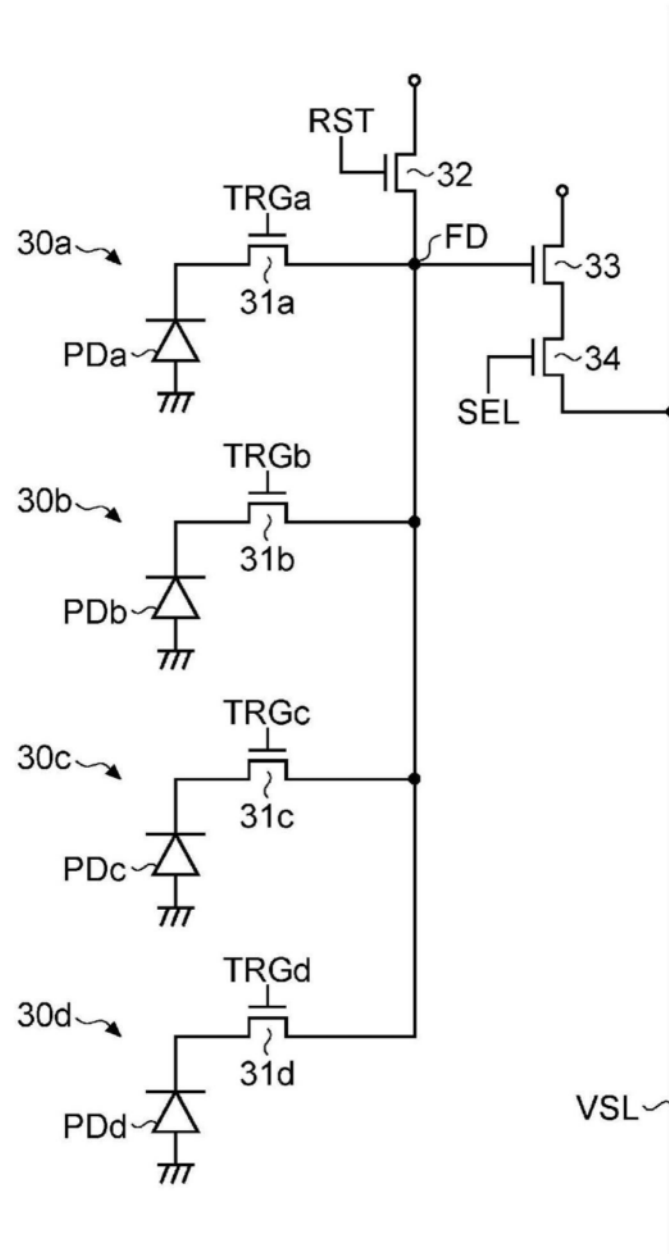


图6

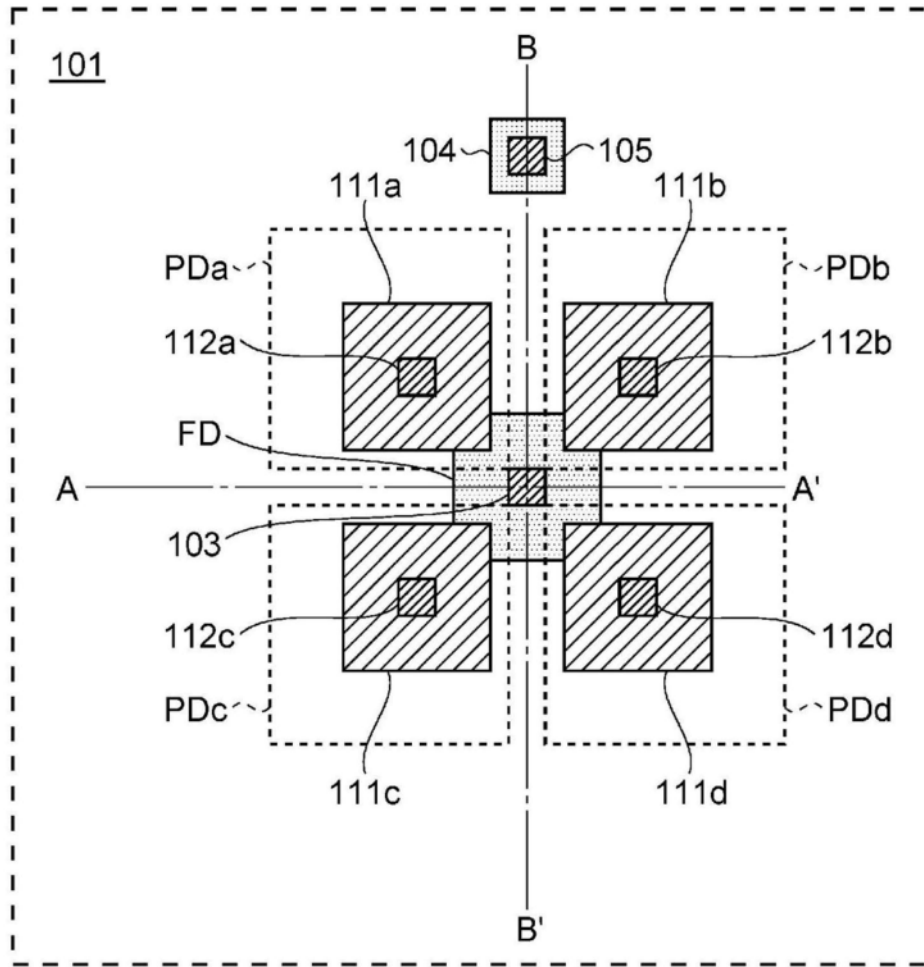


图7

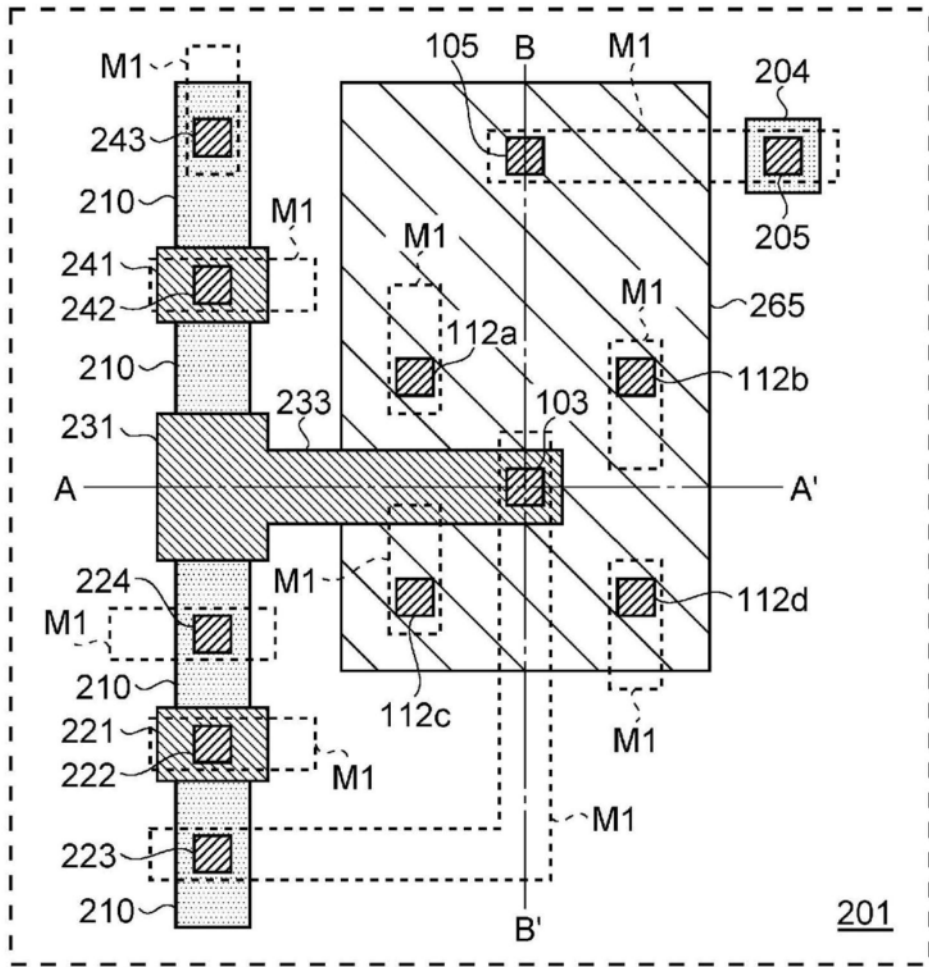


图8

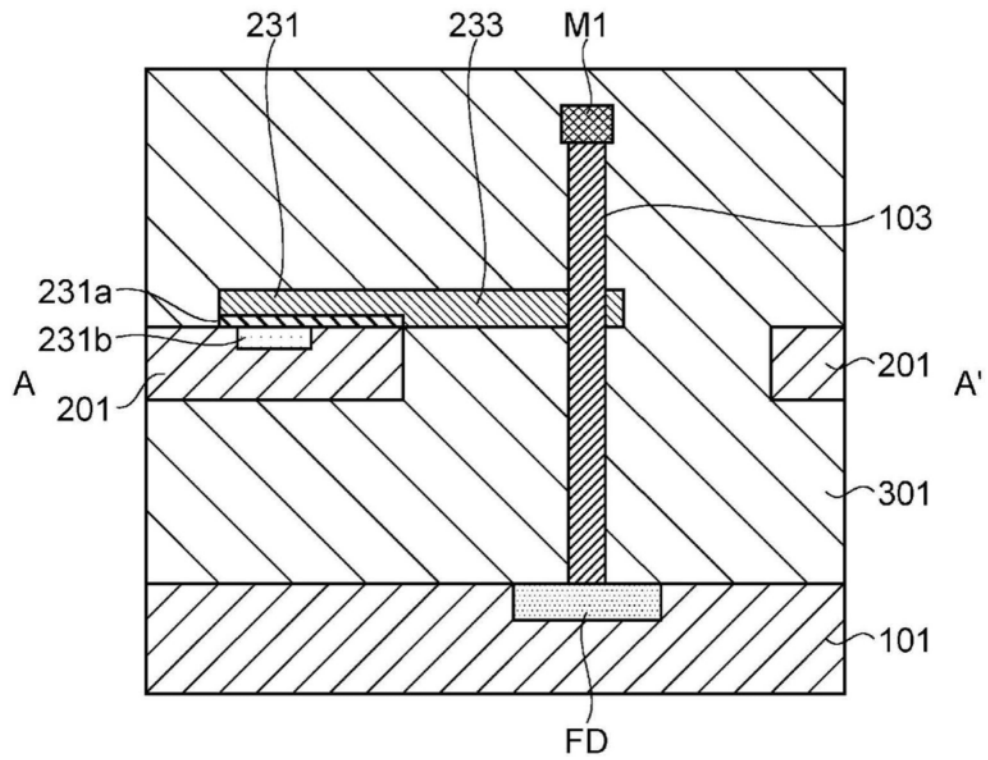


图9

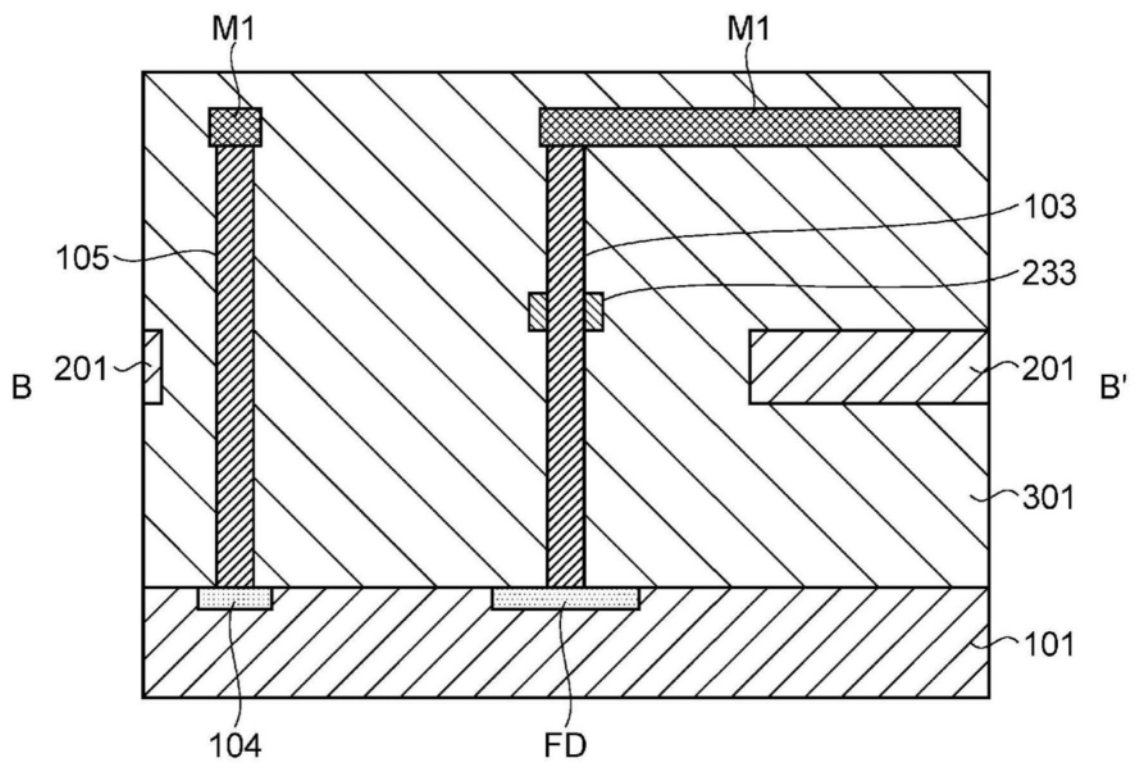


图10

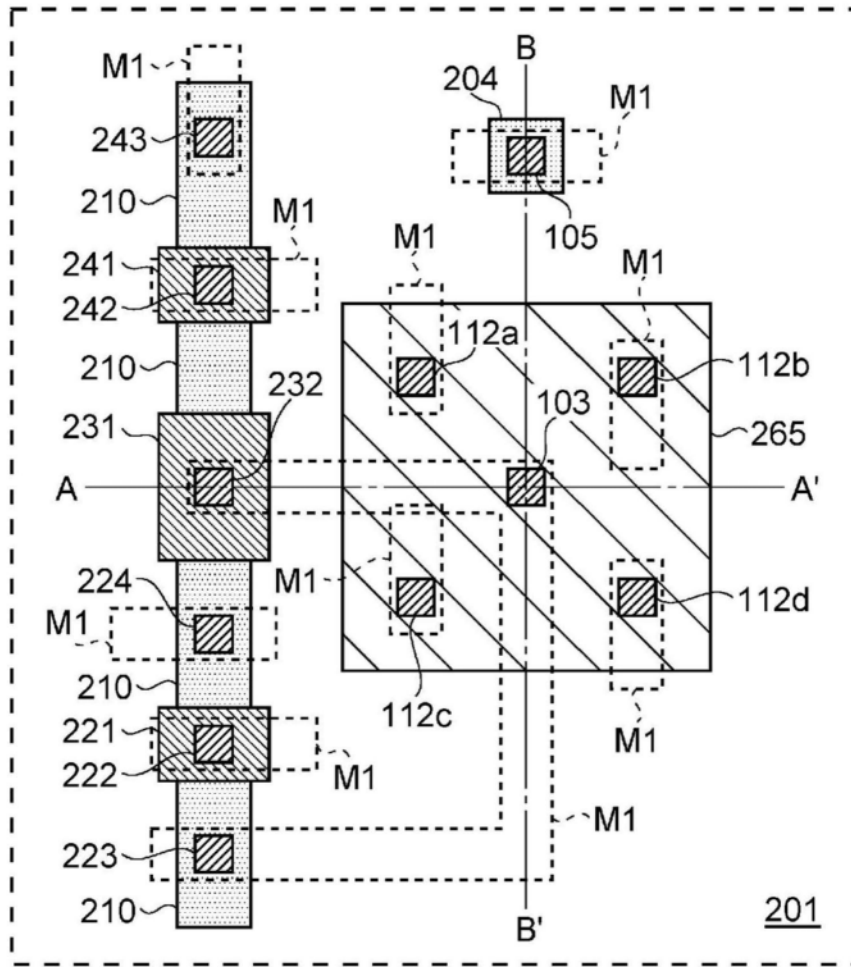


图11

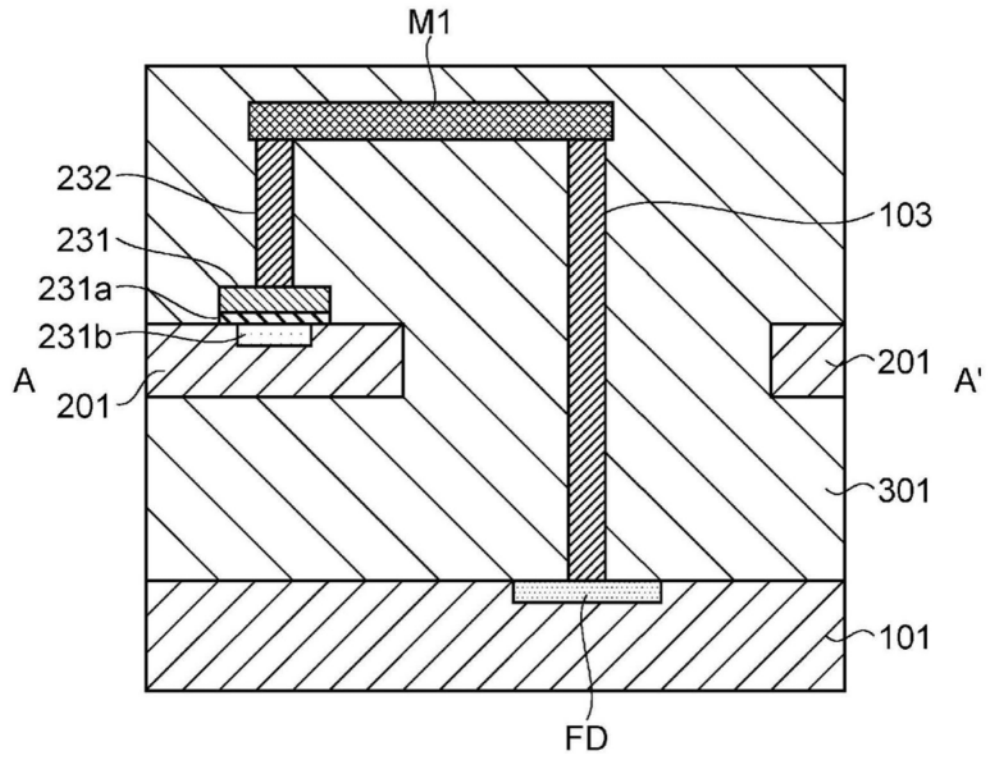


图12

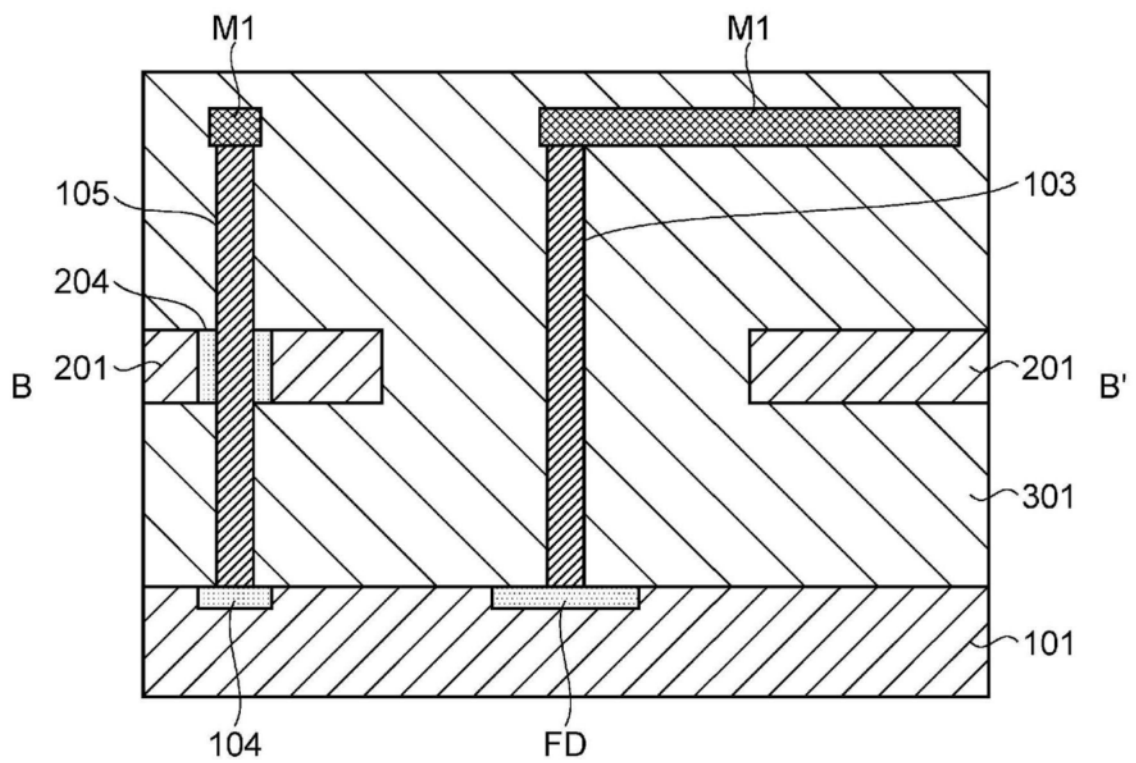


图13

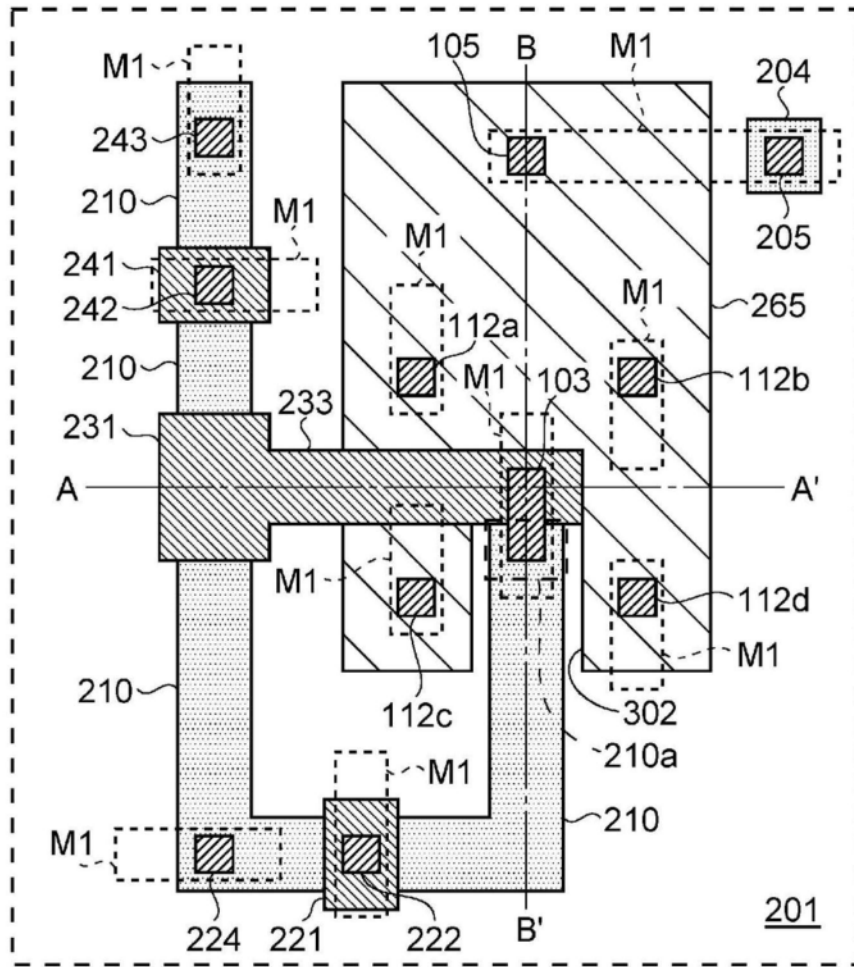


图14

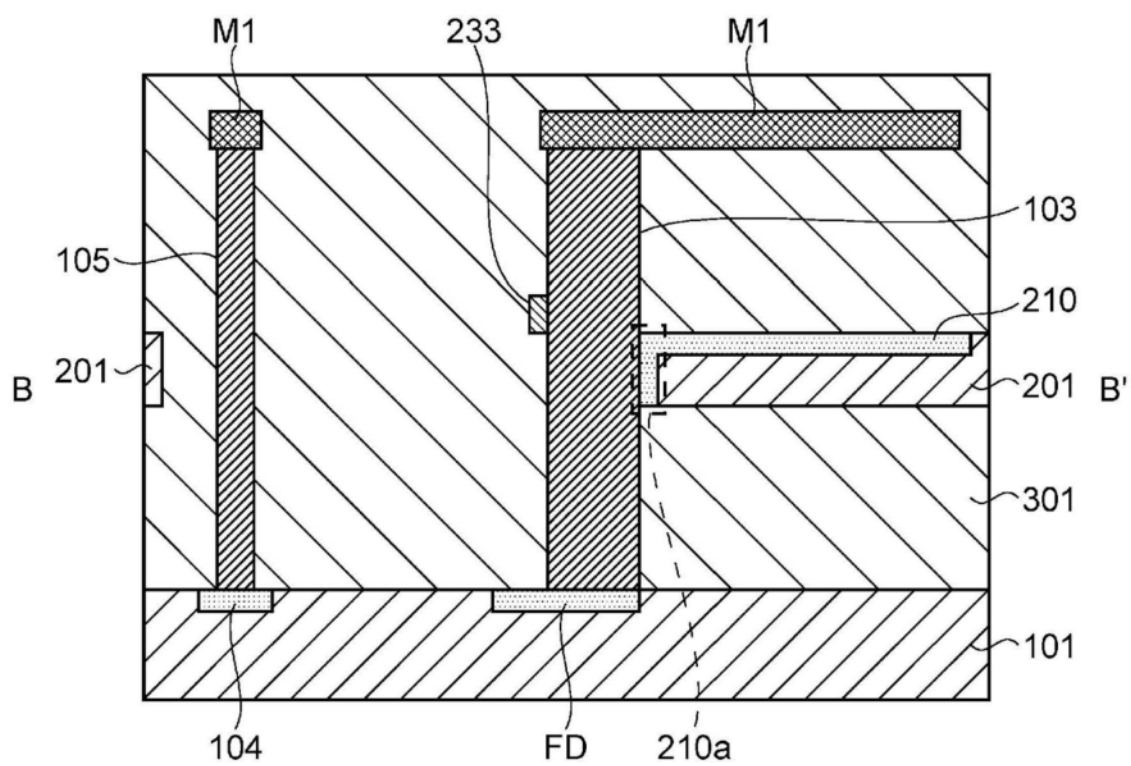


图15

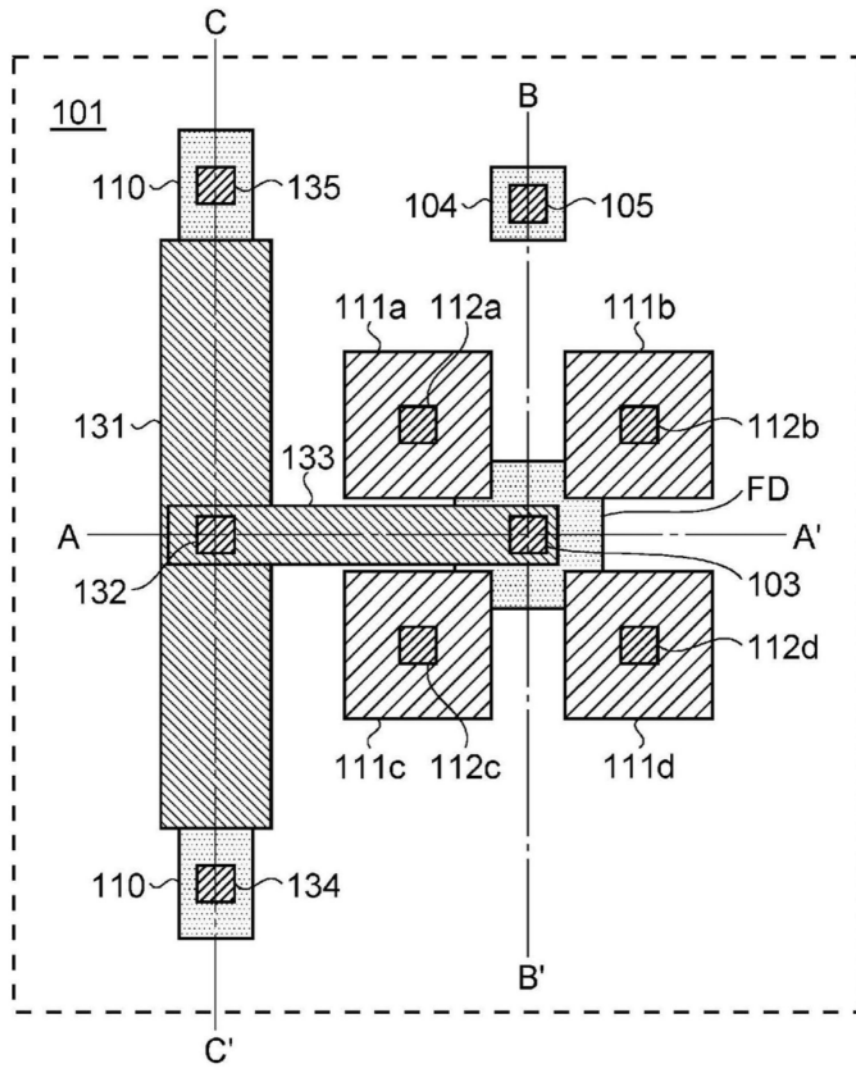


图16

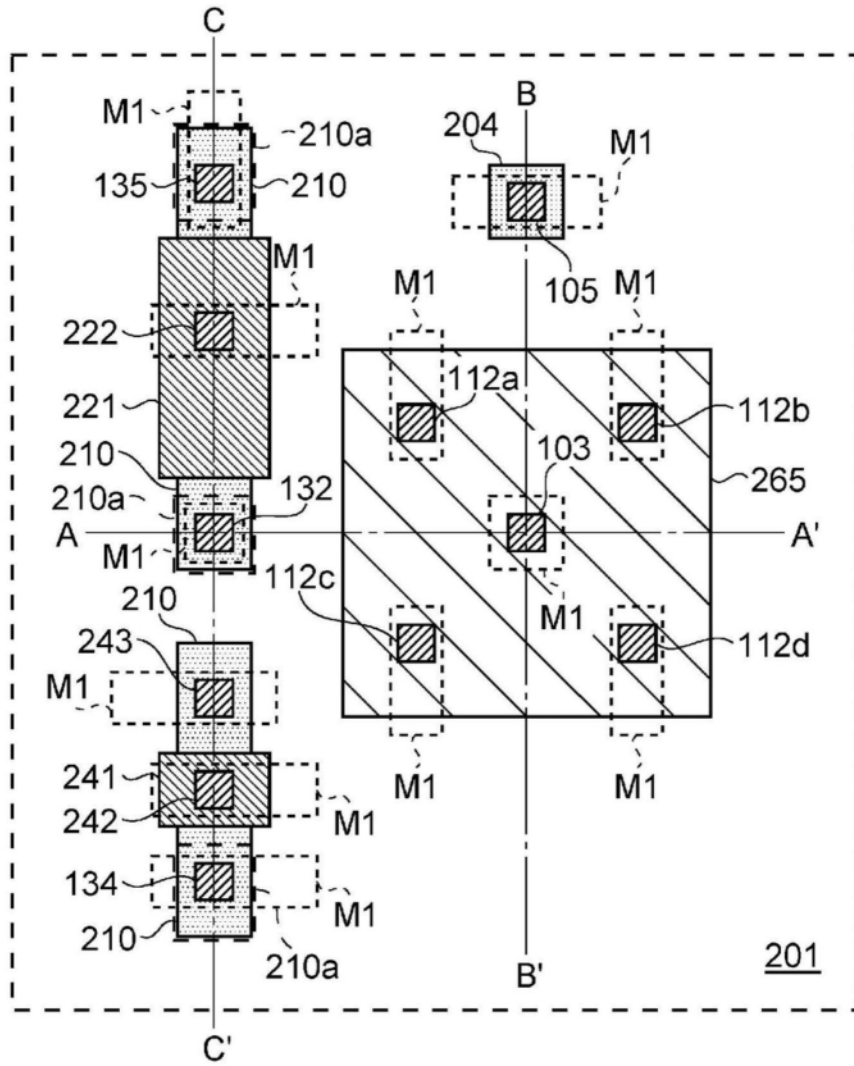


图17

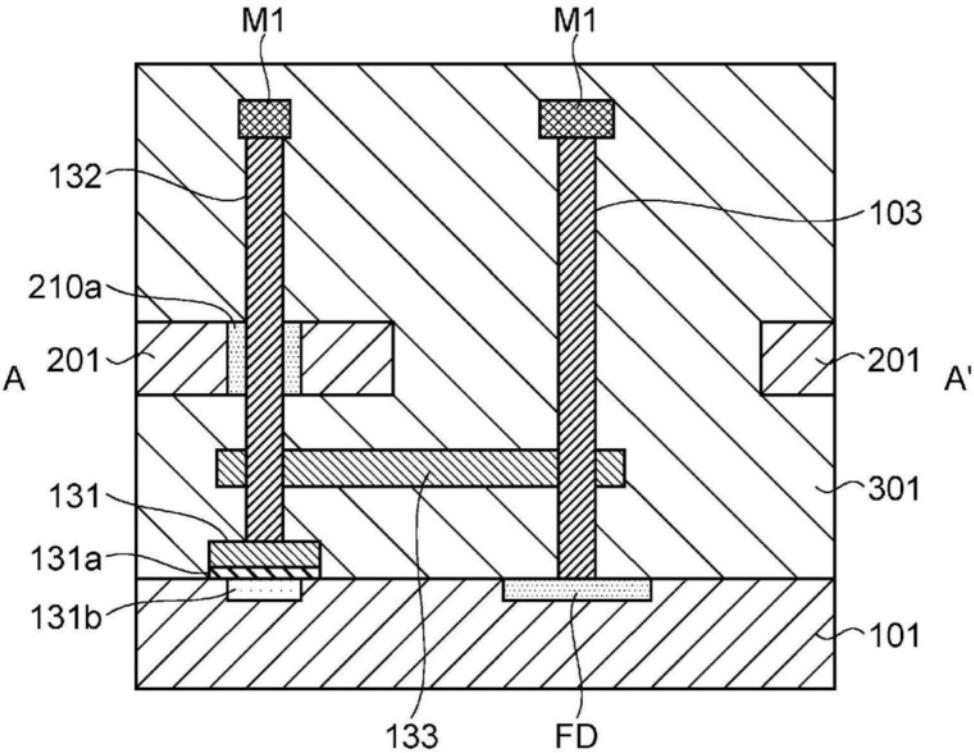


图18

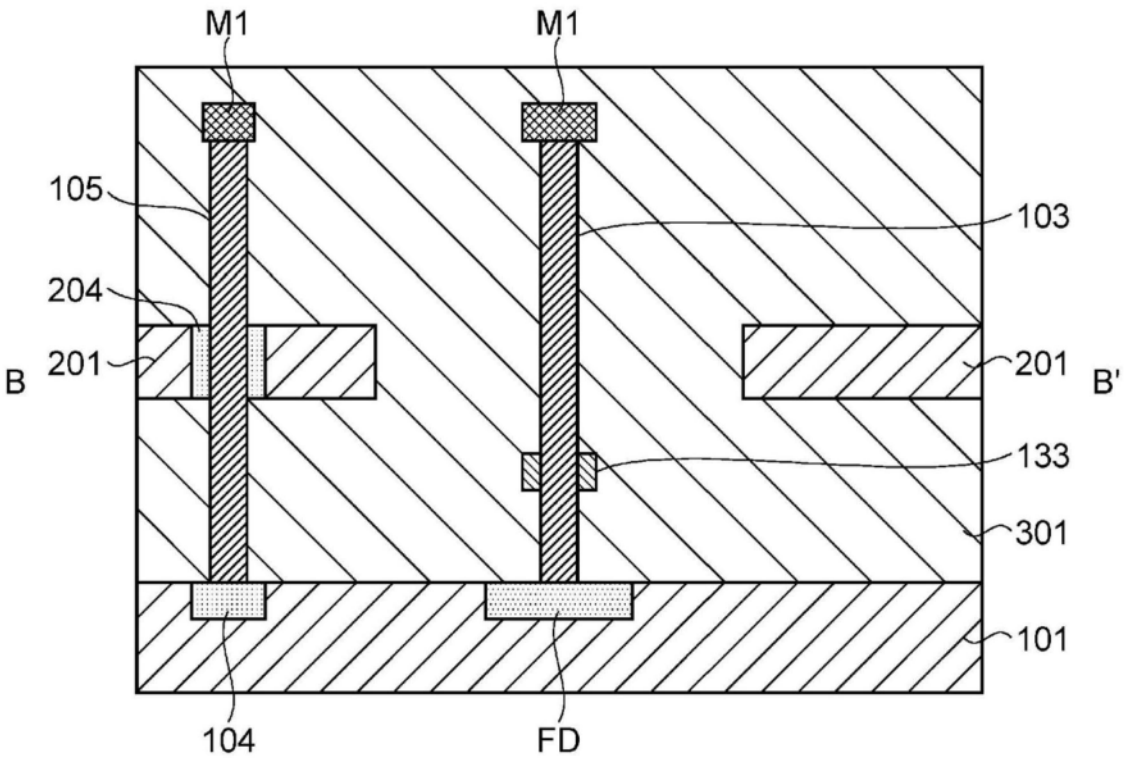


图19

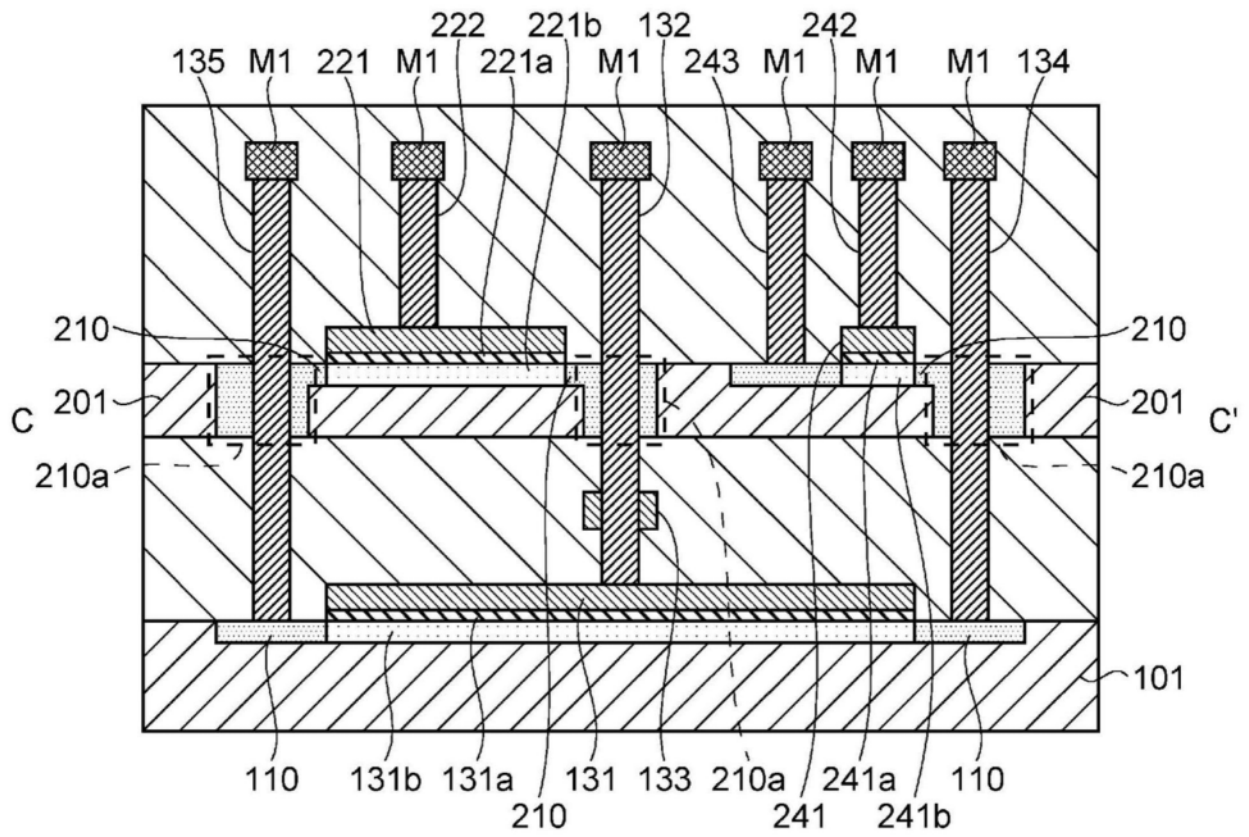


图20

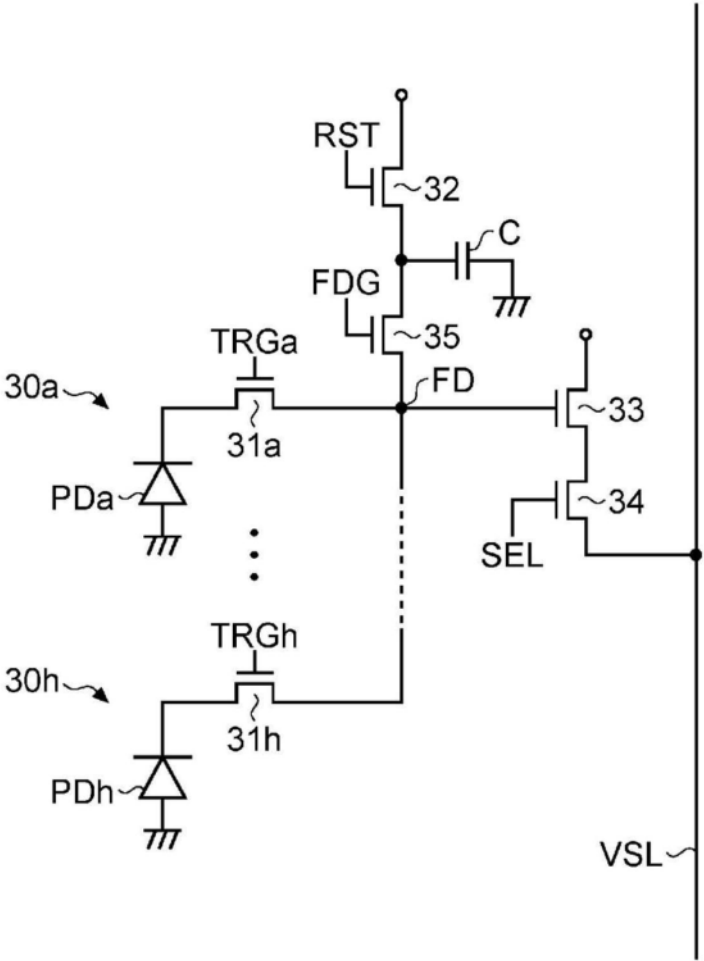


图21

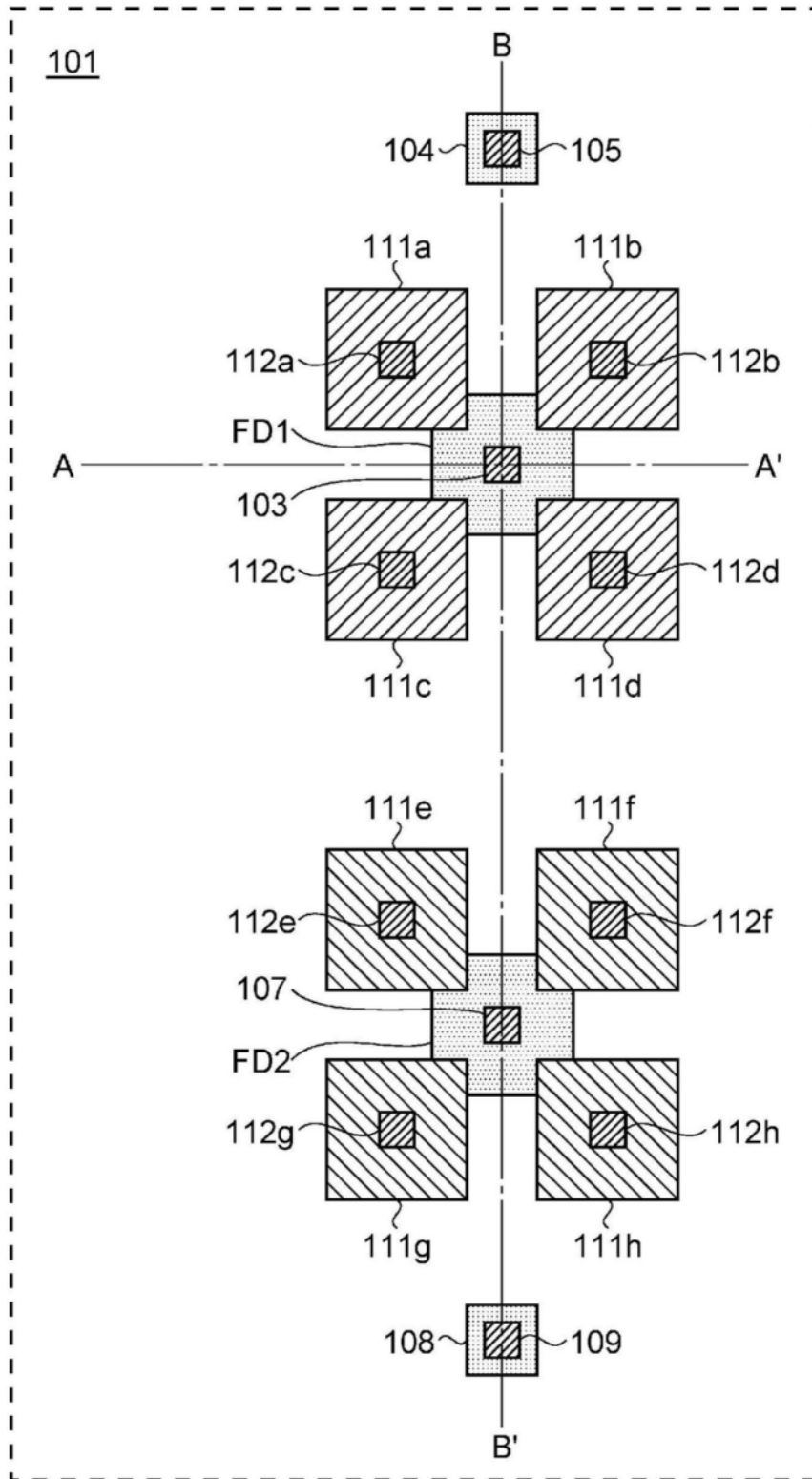


图22

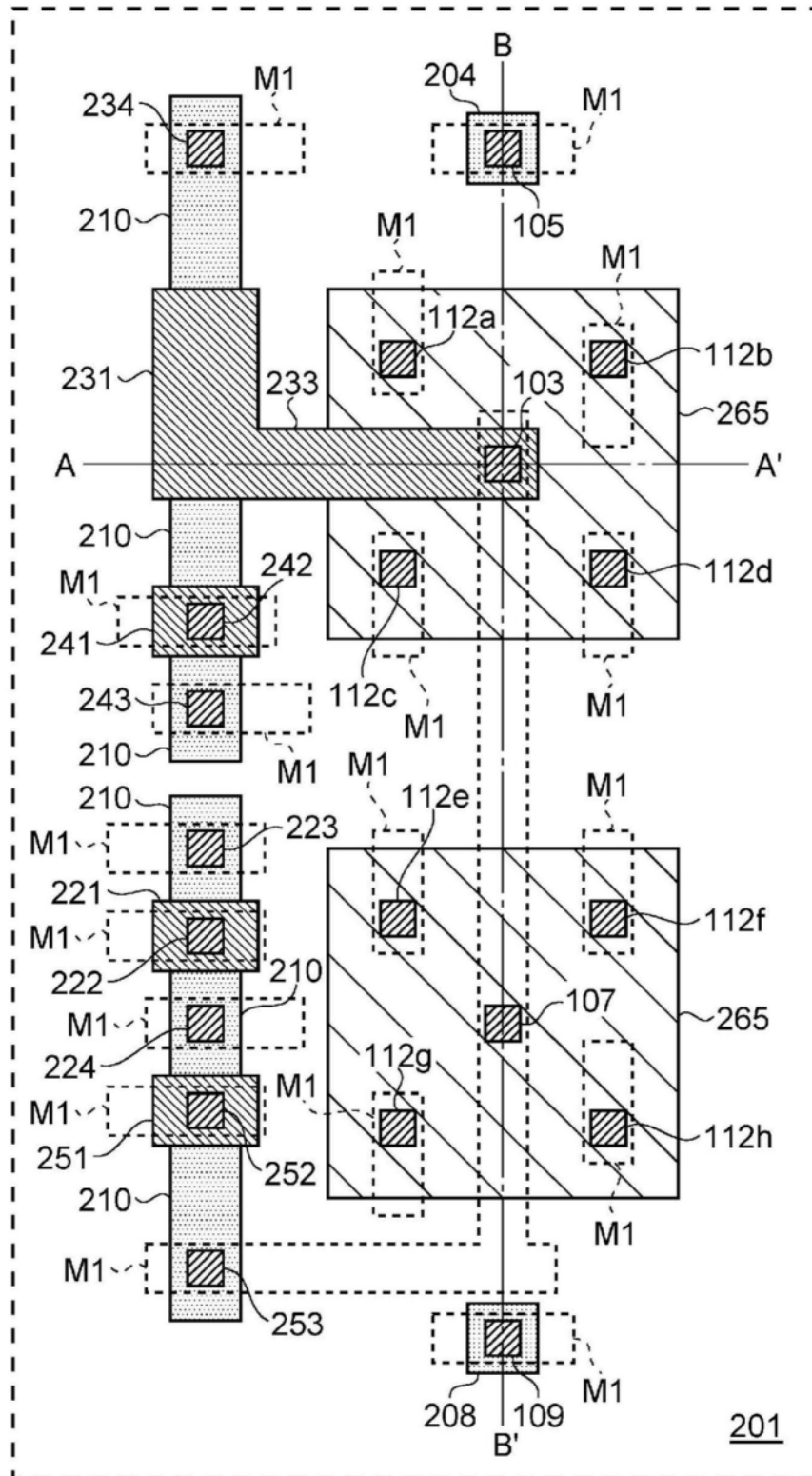


图23

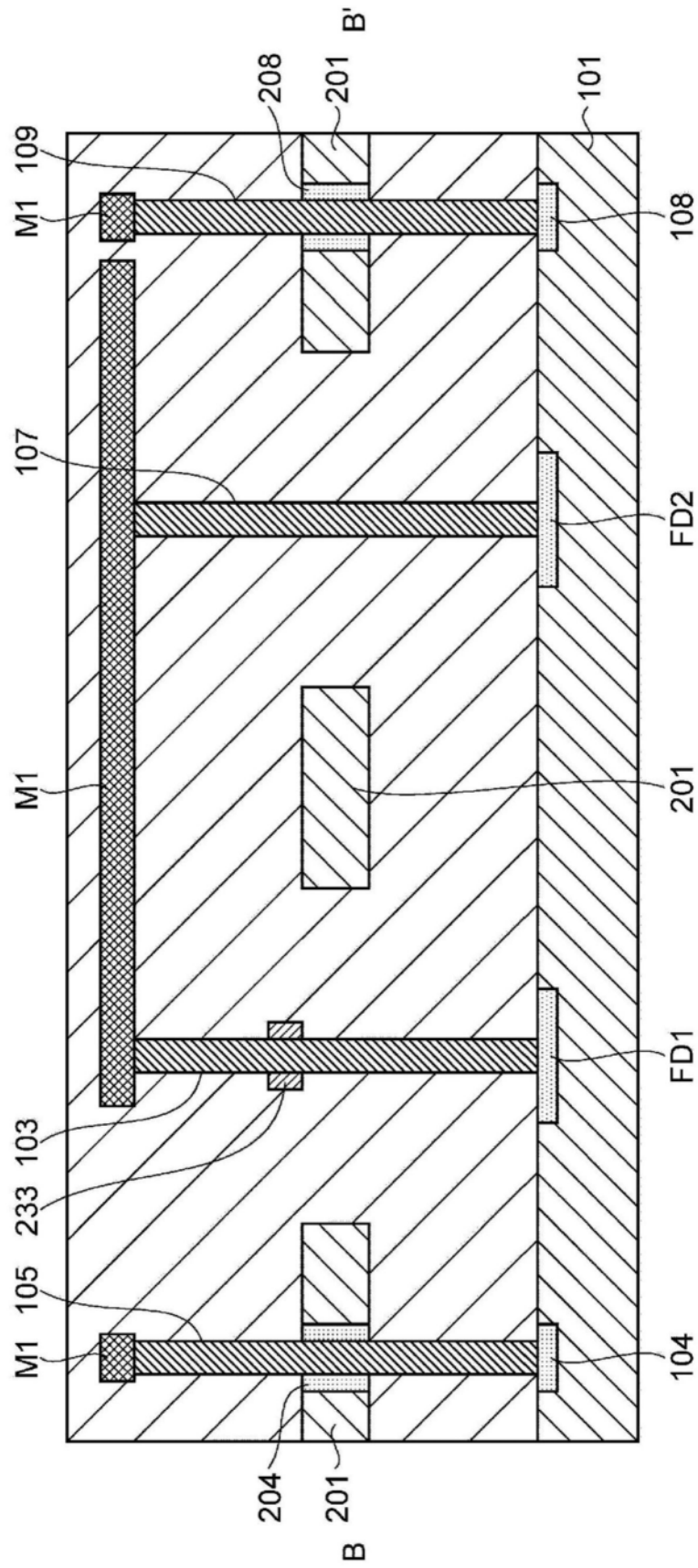


图24

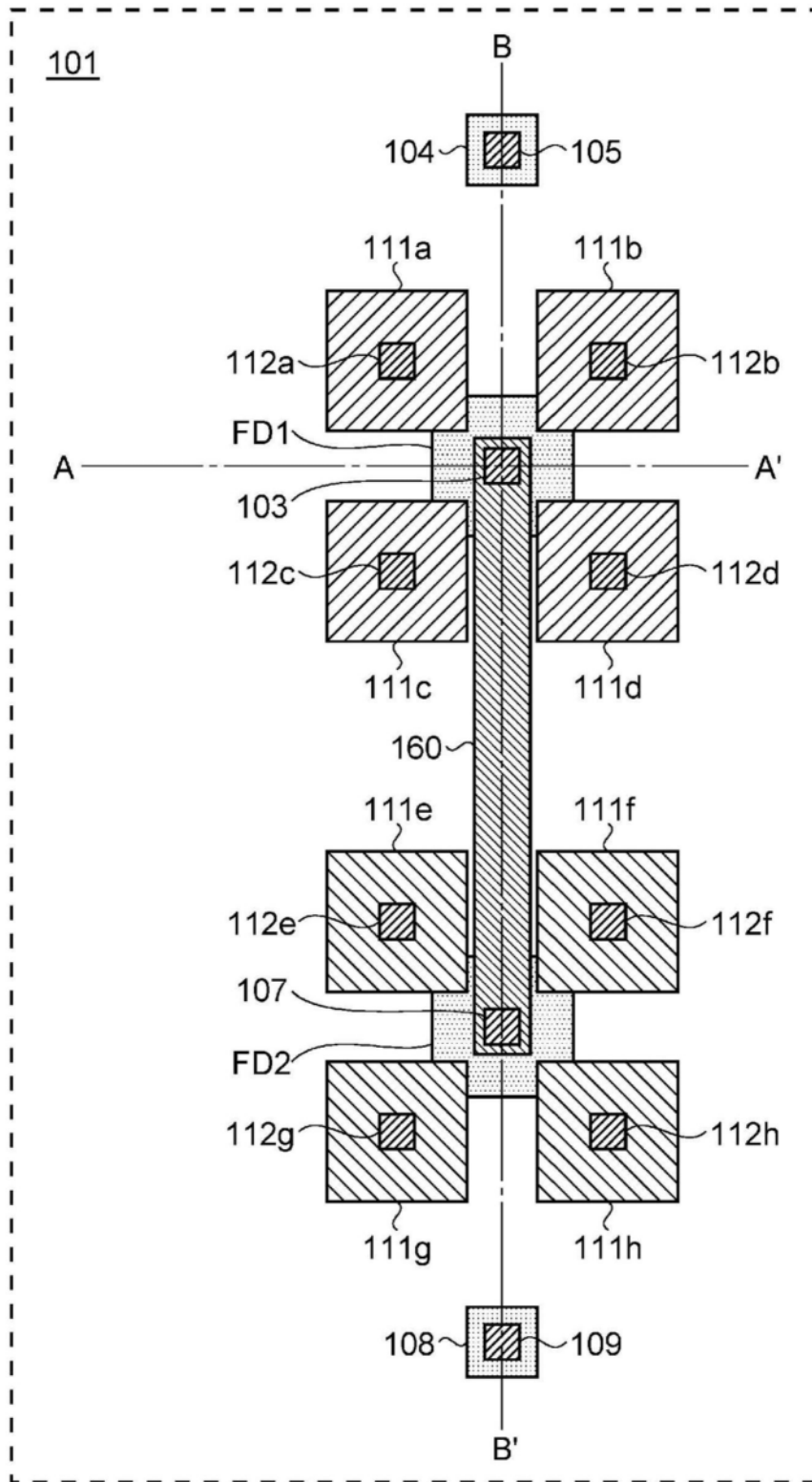


图25

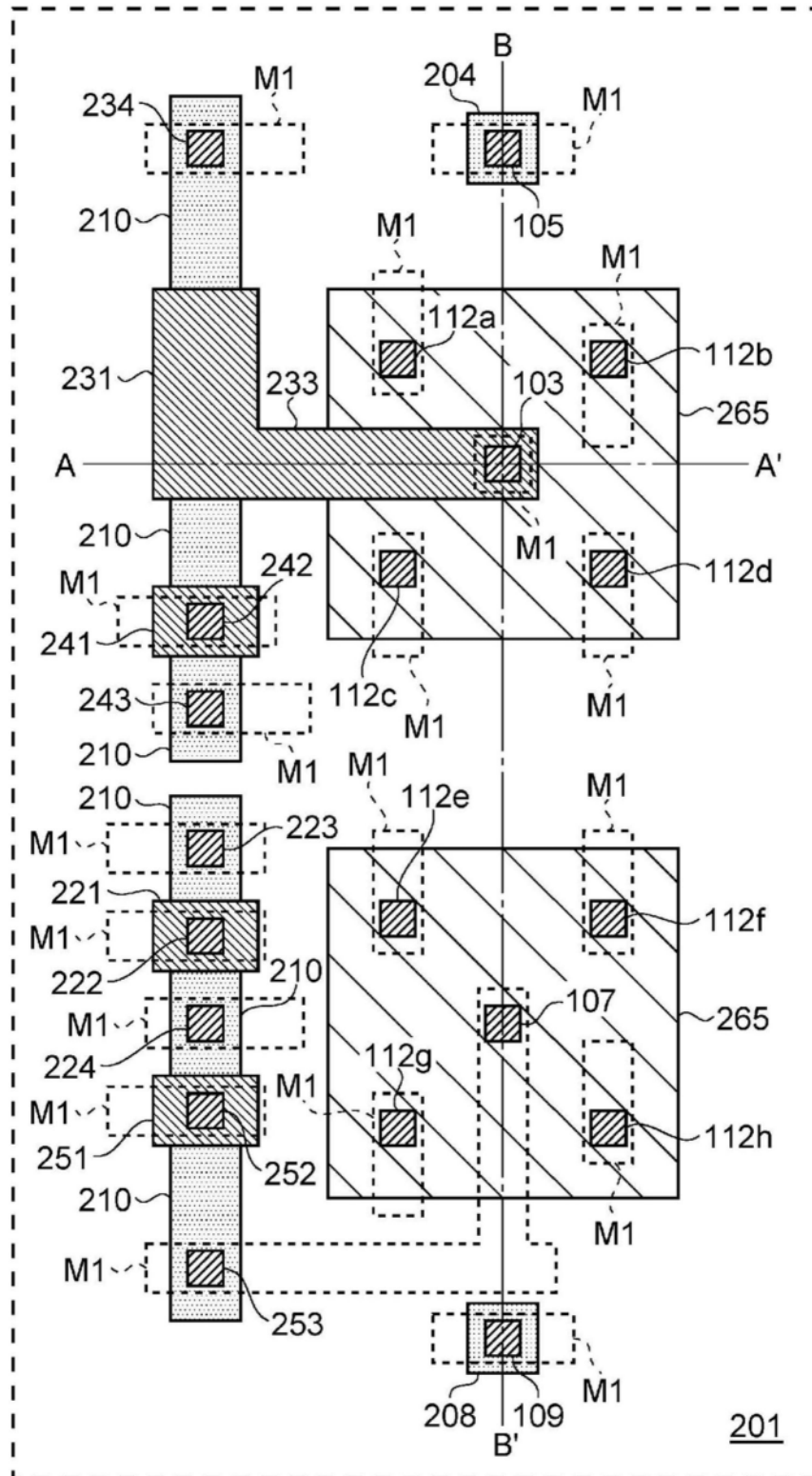


图26

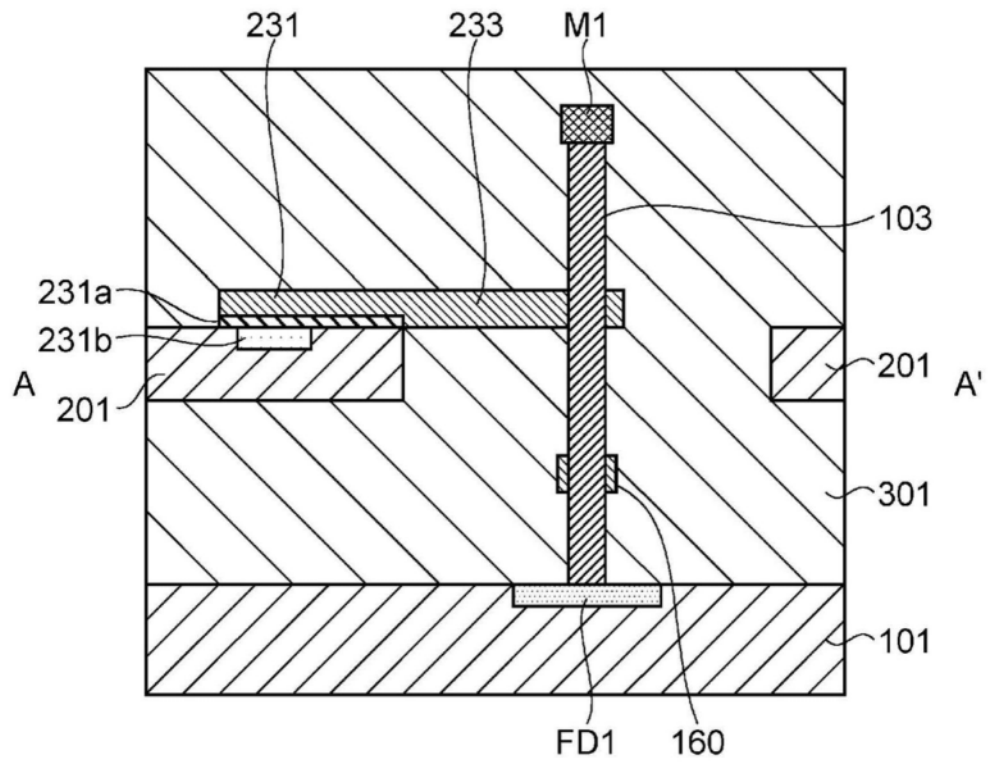


图27

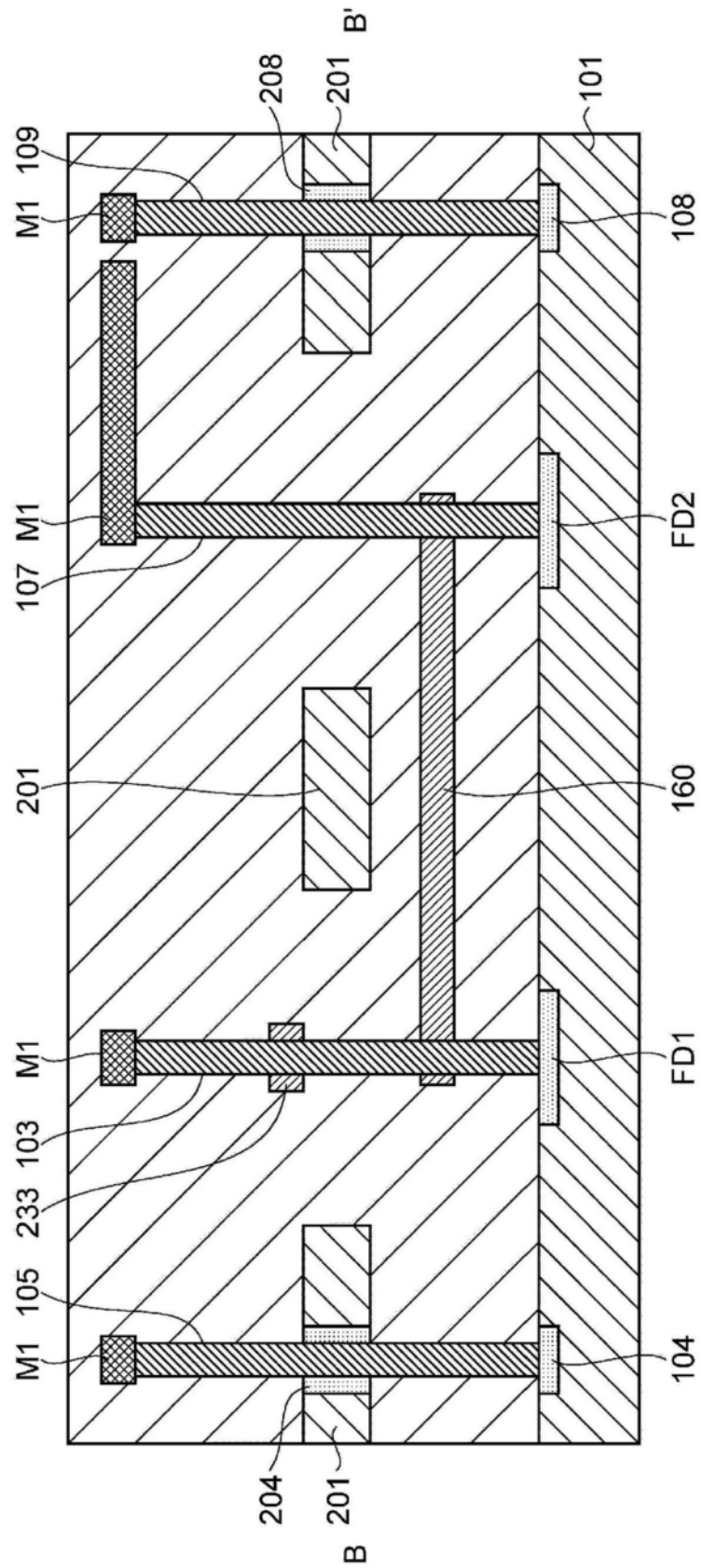


图28

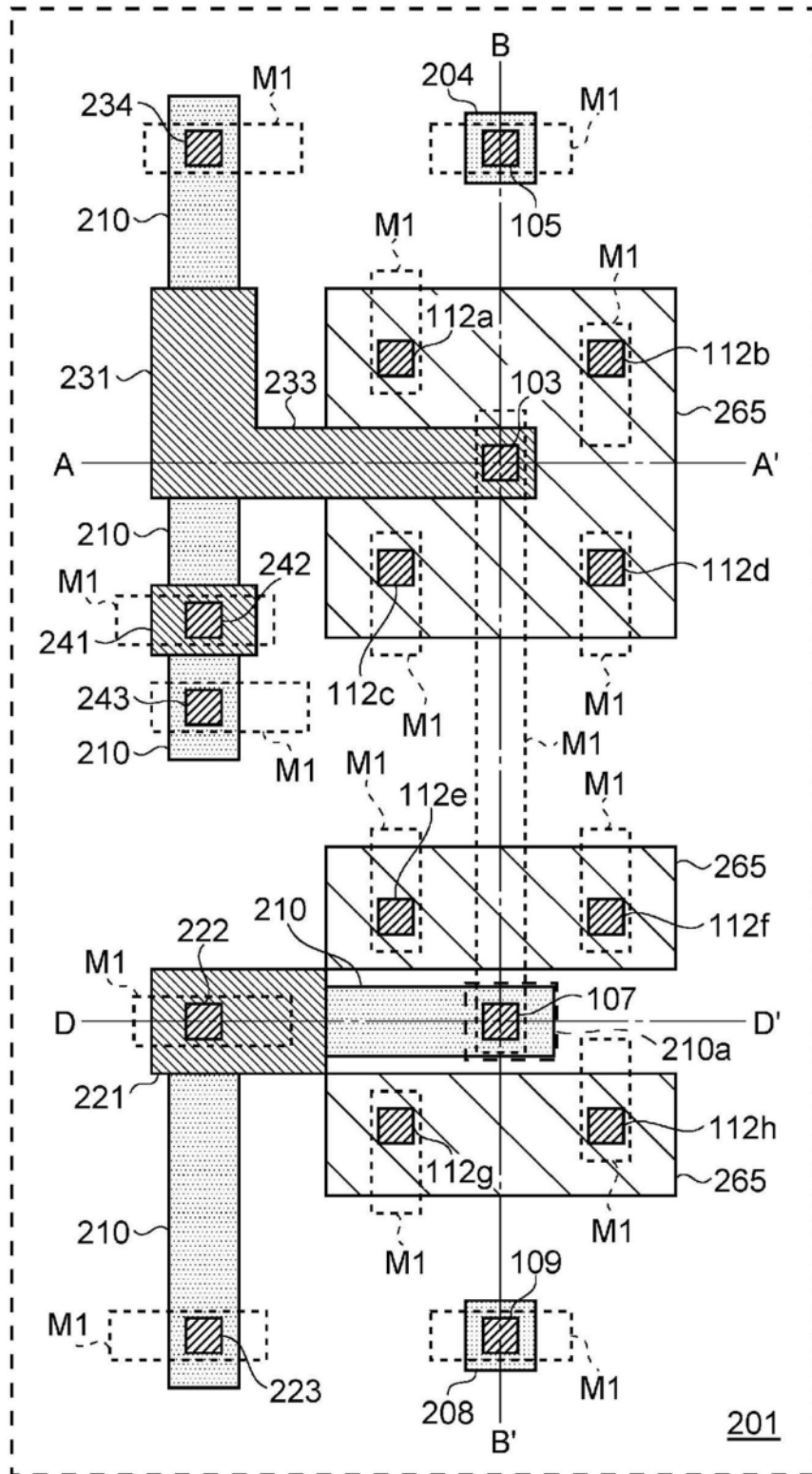


图29

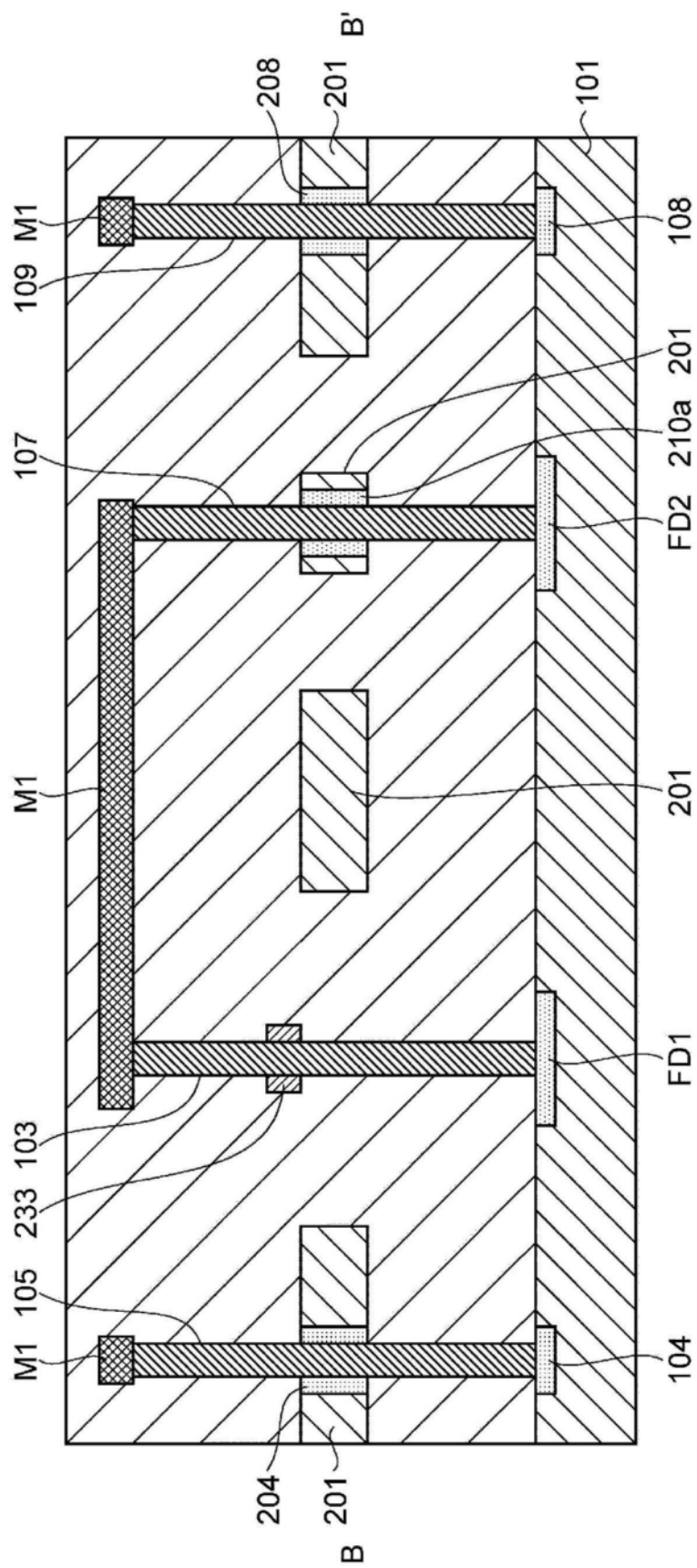


图30

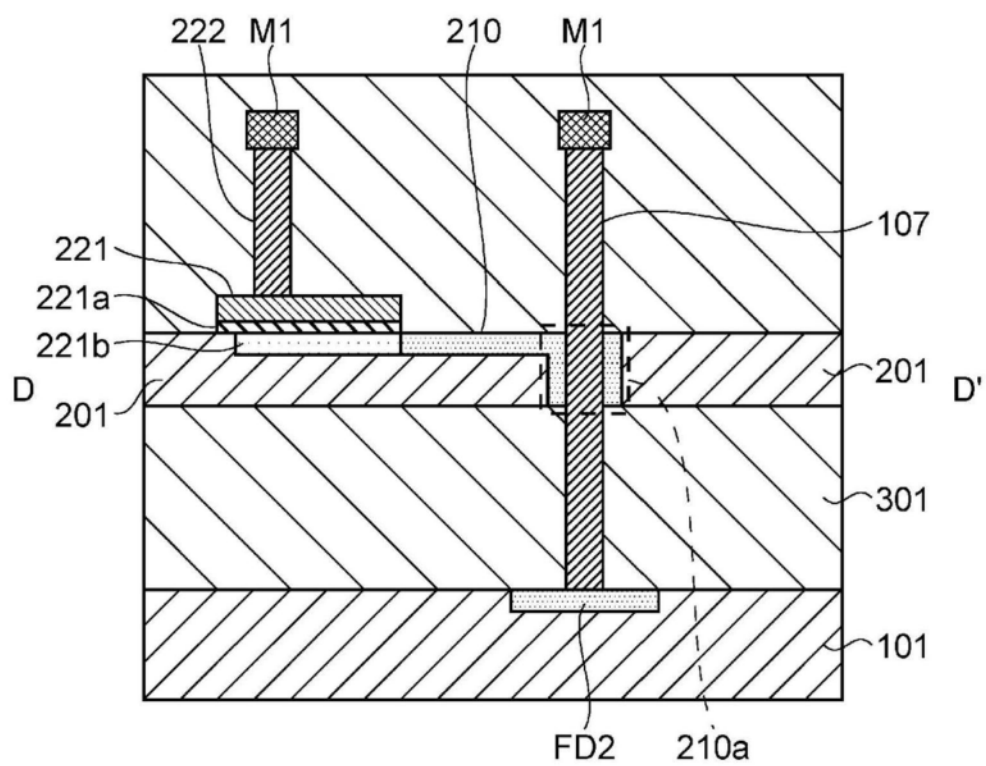


图31

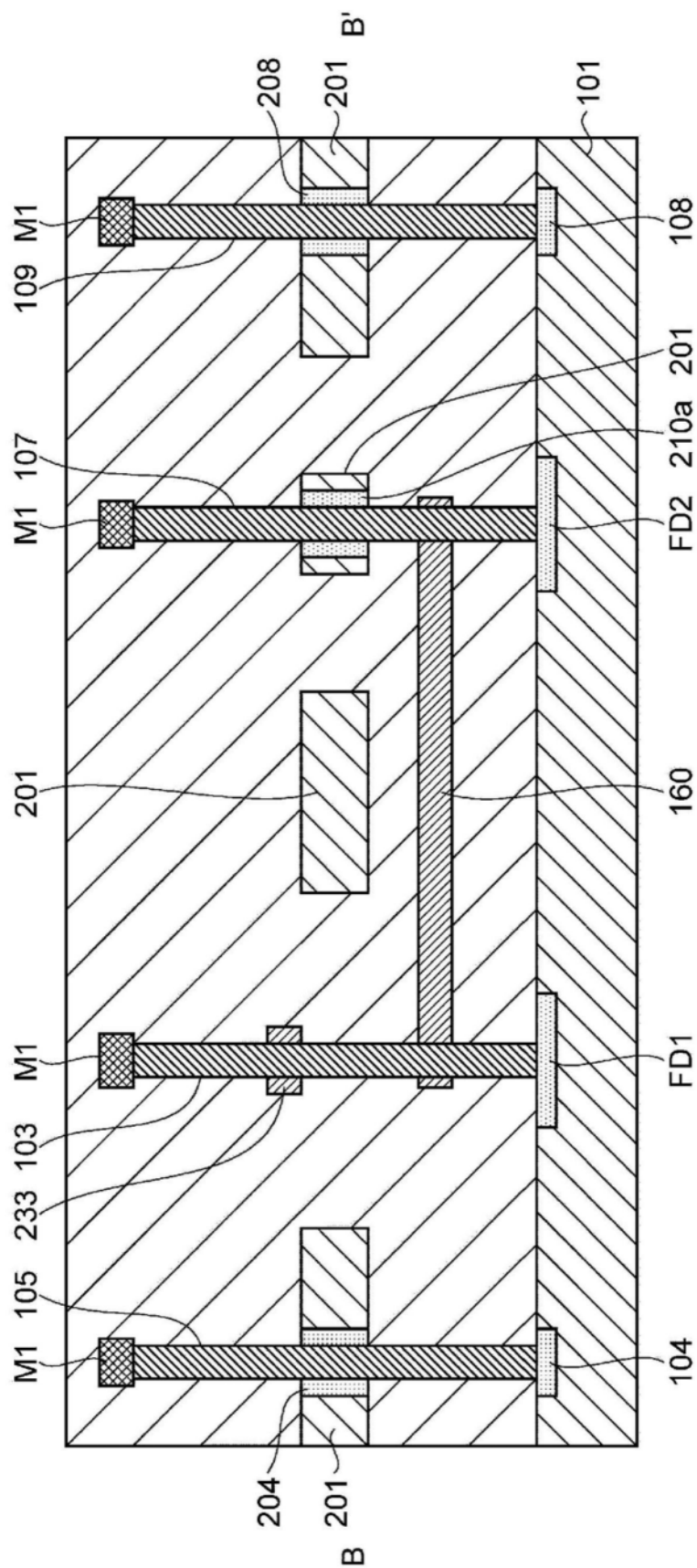


图33

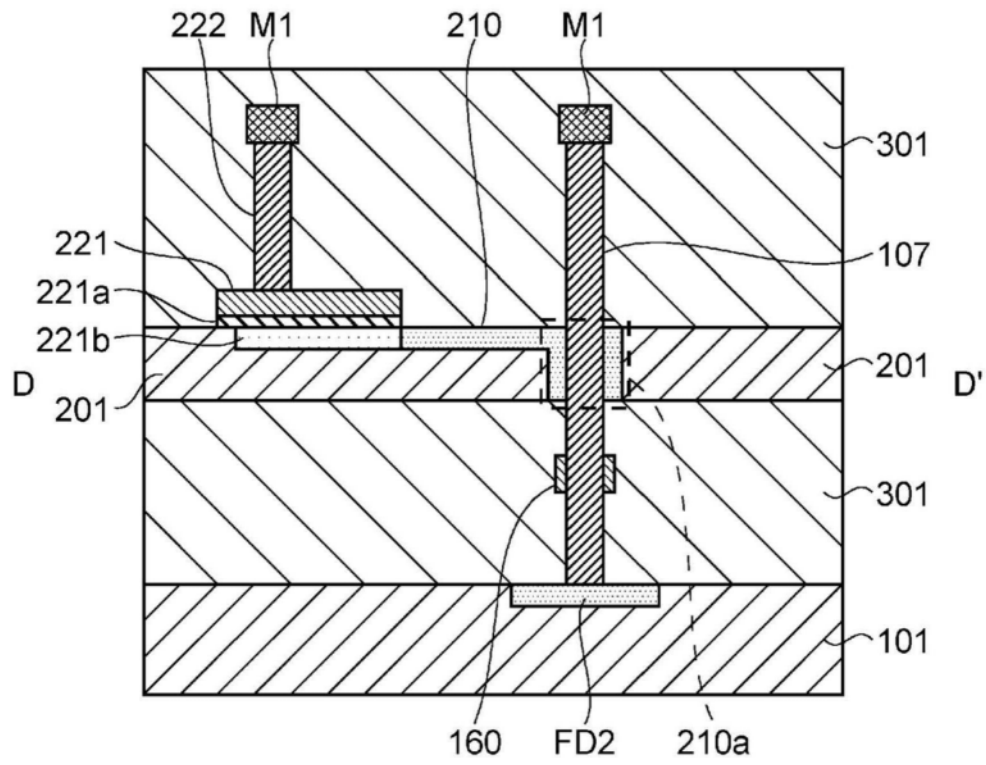


图34

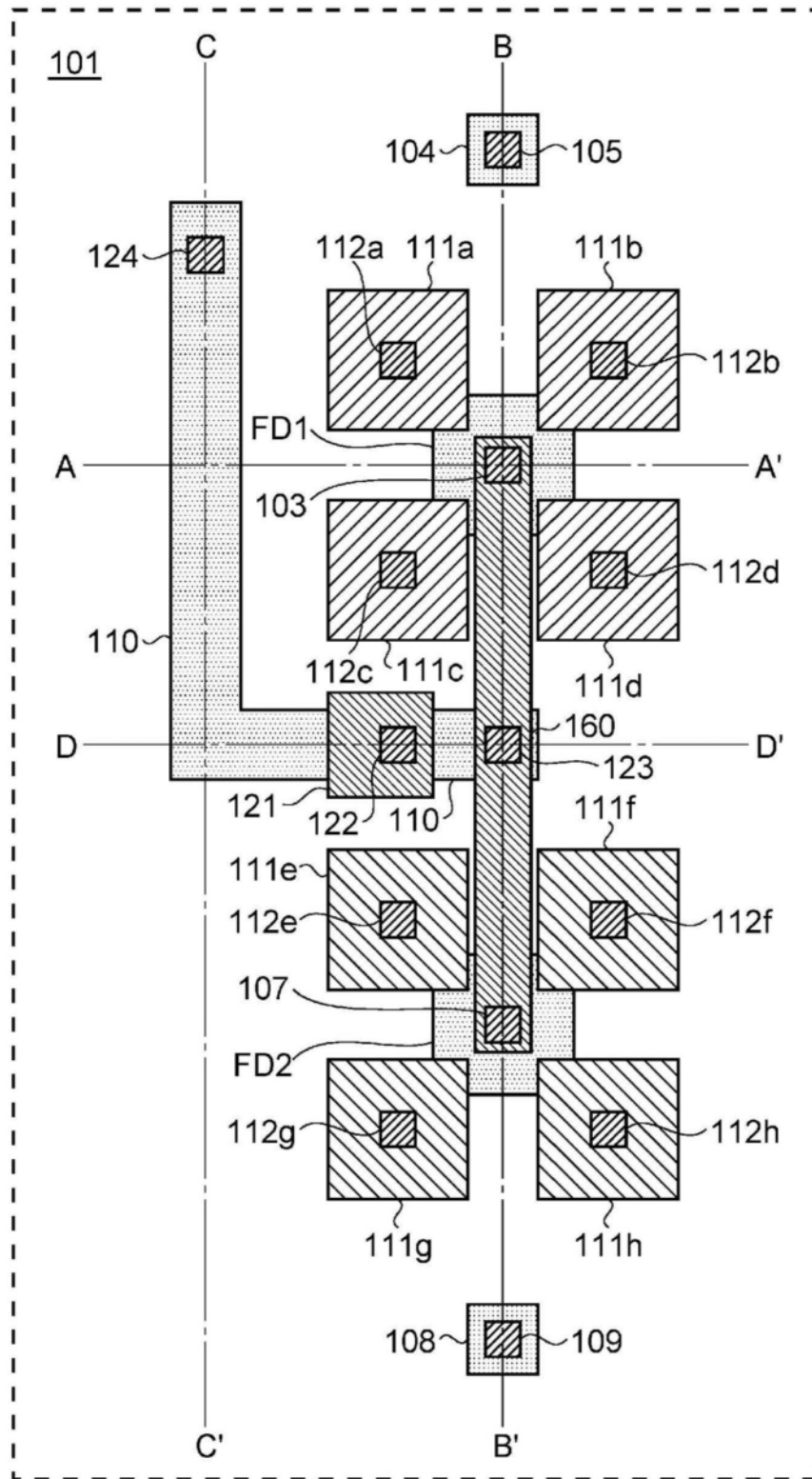


图35

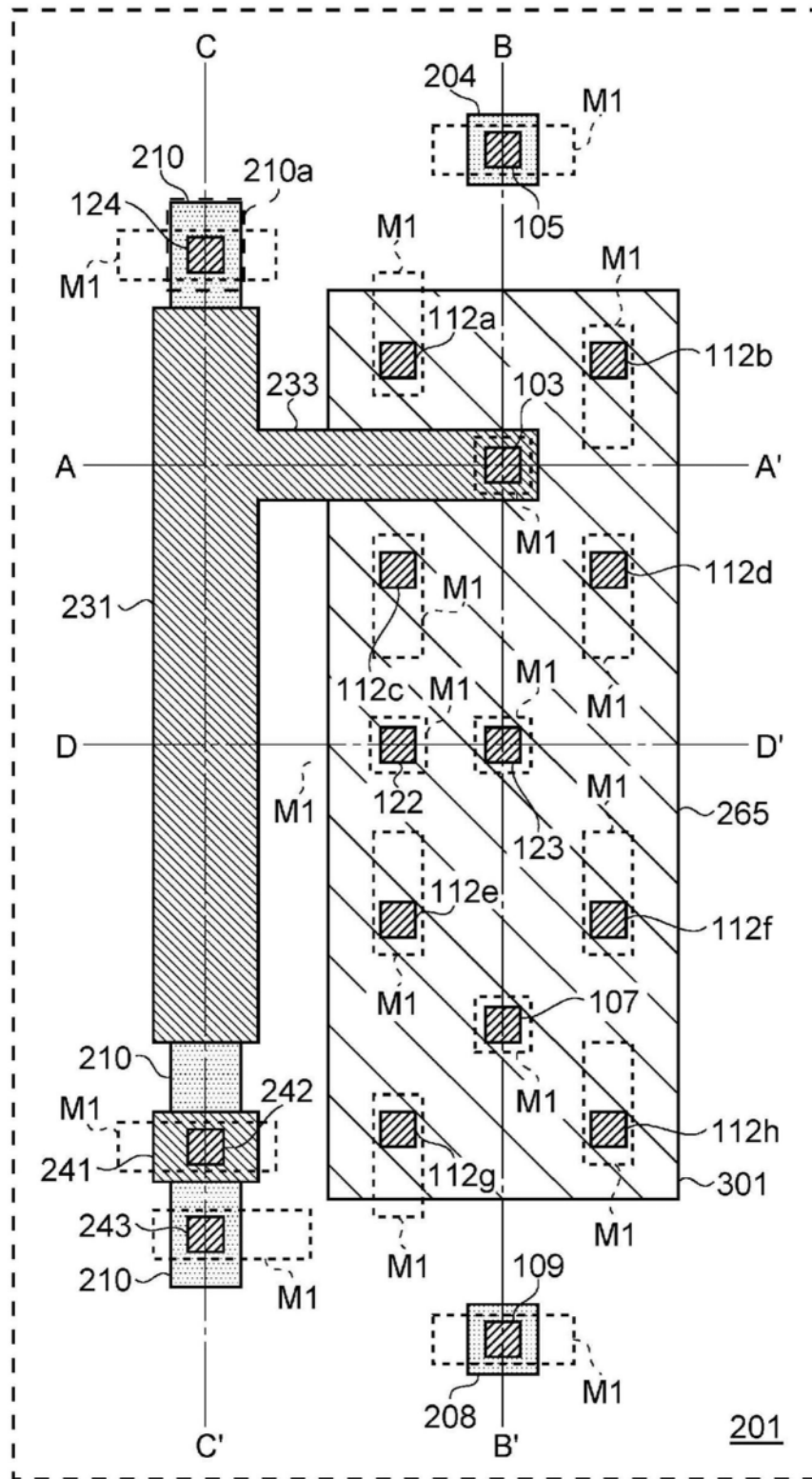


图36

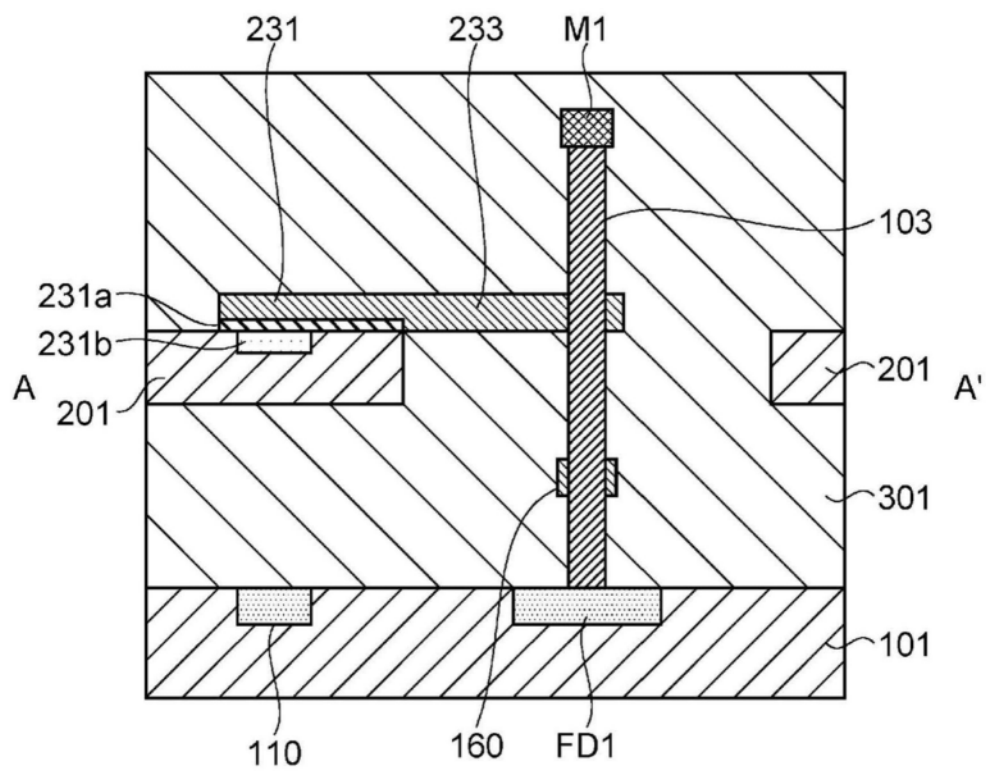


图37

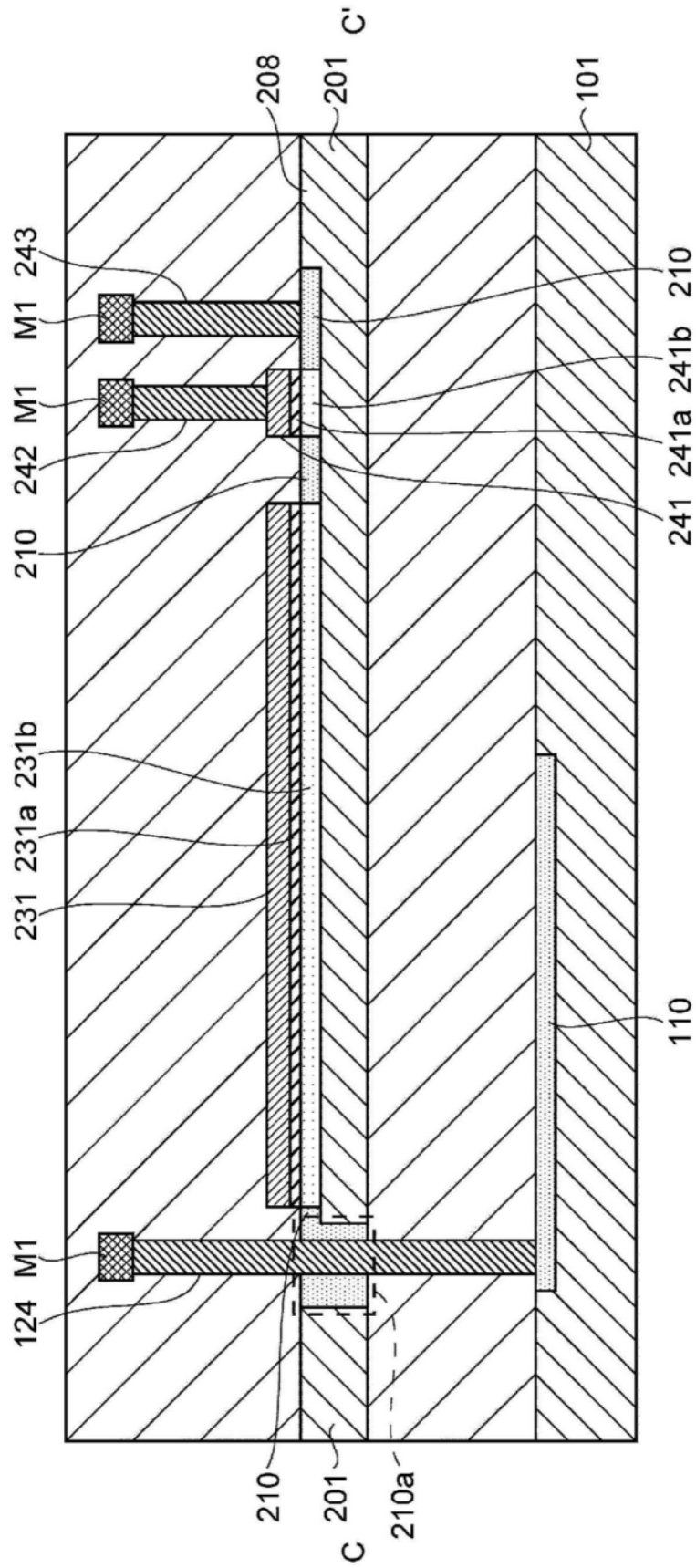


图38

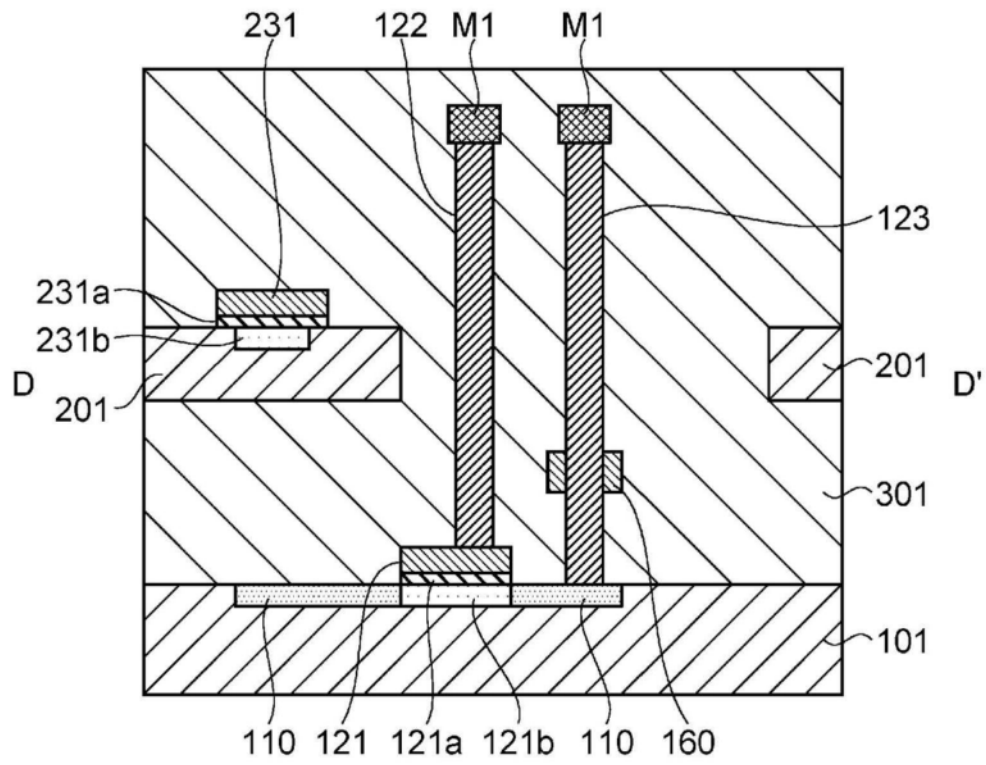


图39

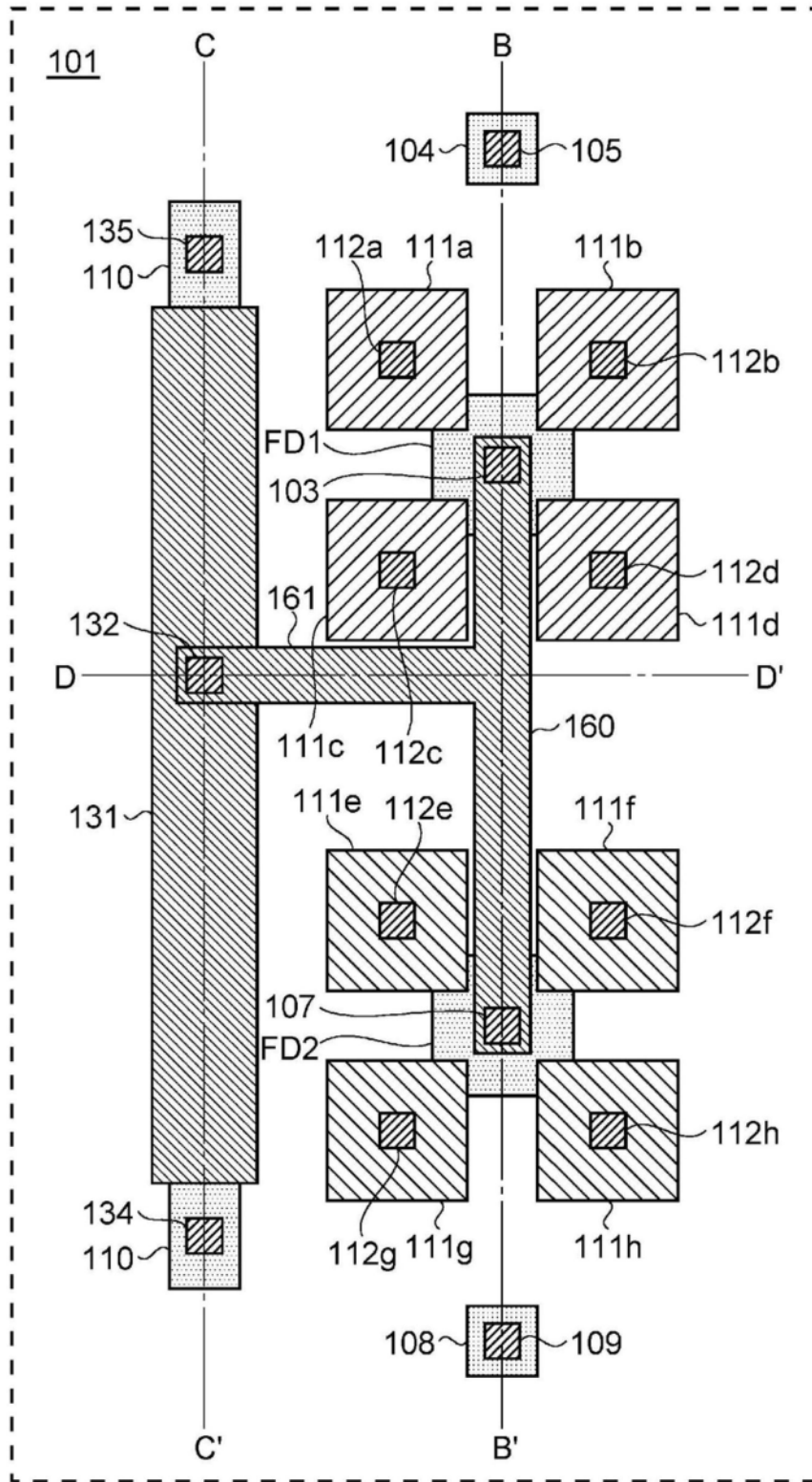


图40

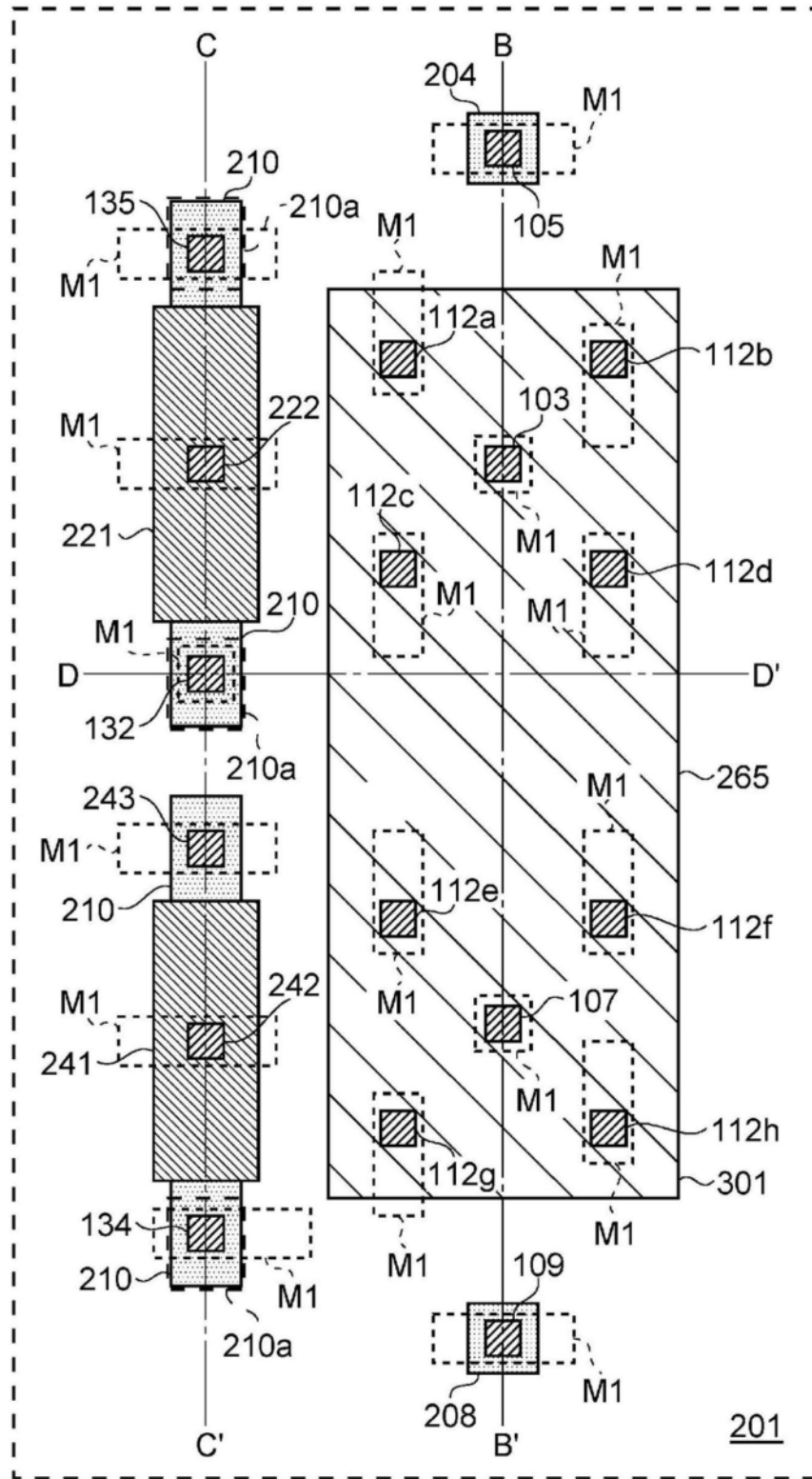


图41

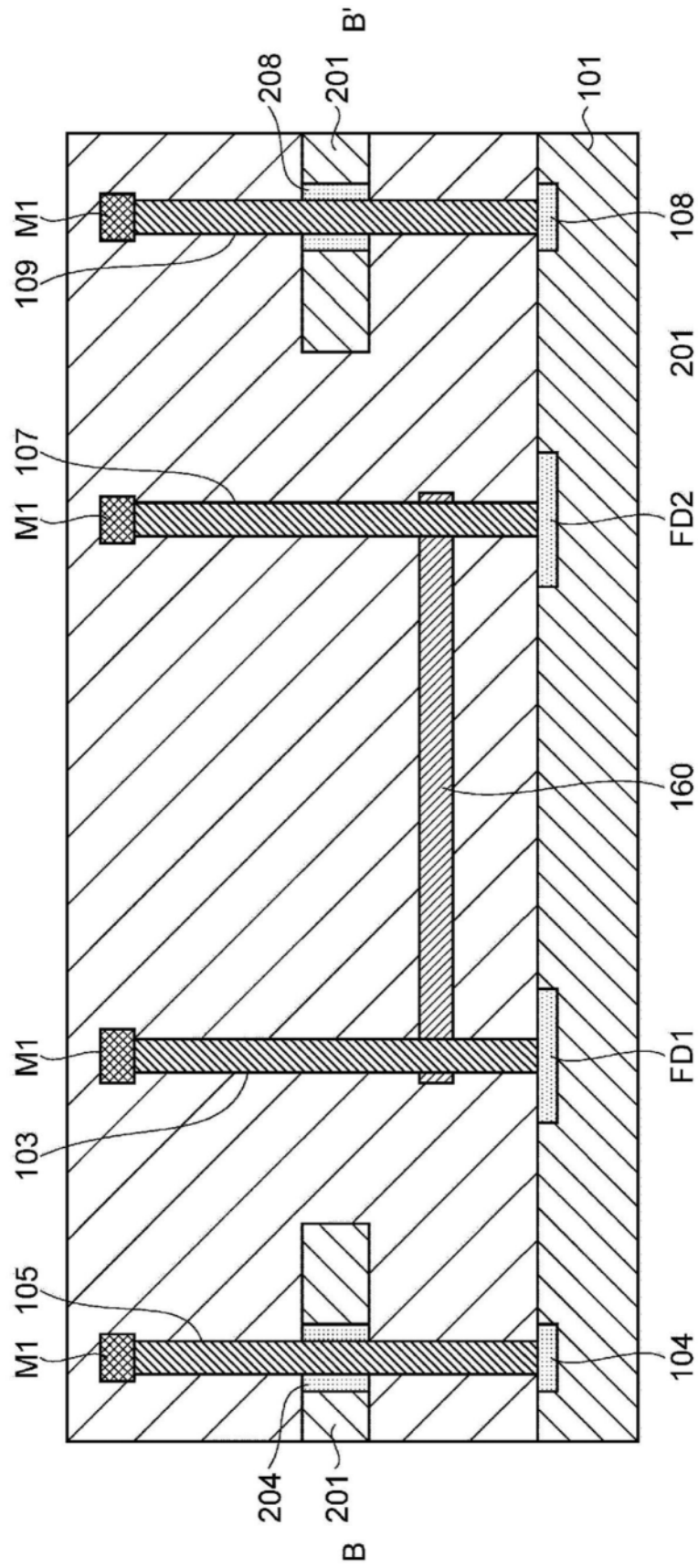


图42

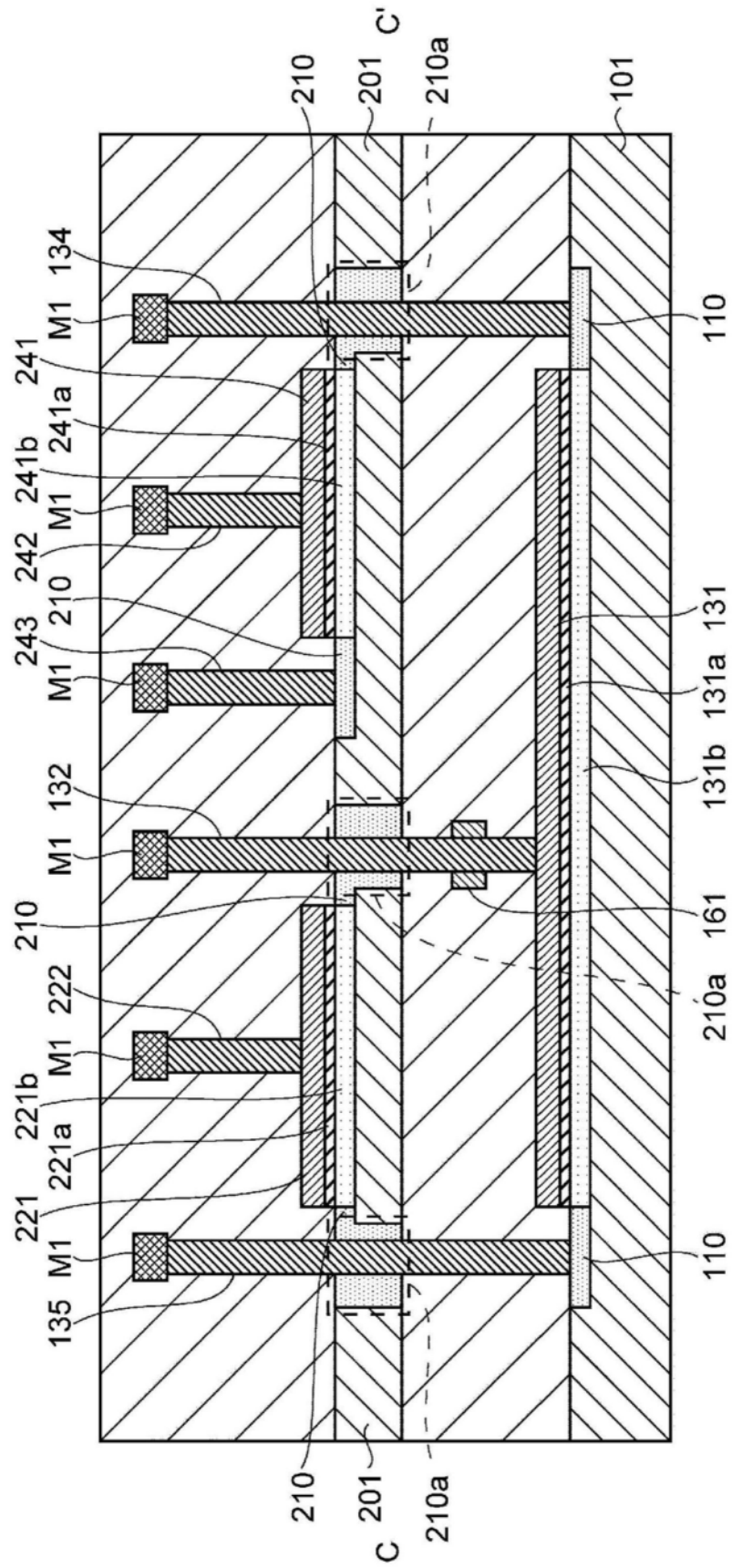


图43

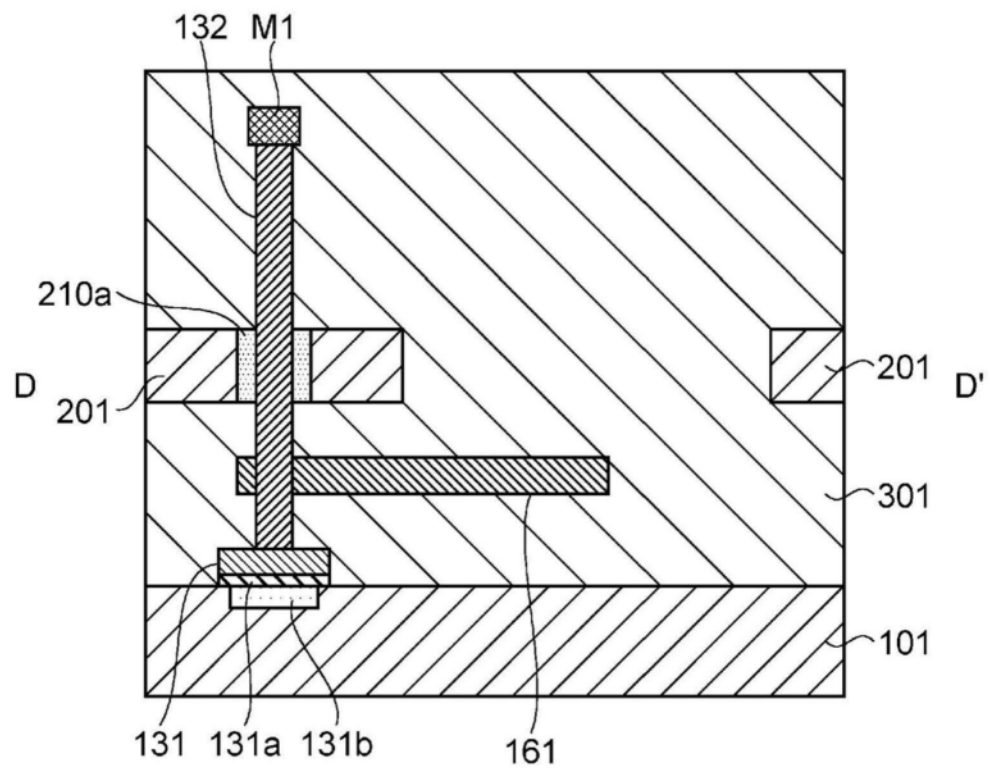


图44

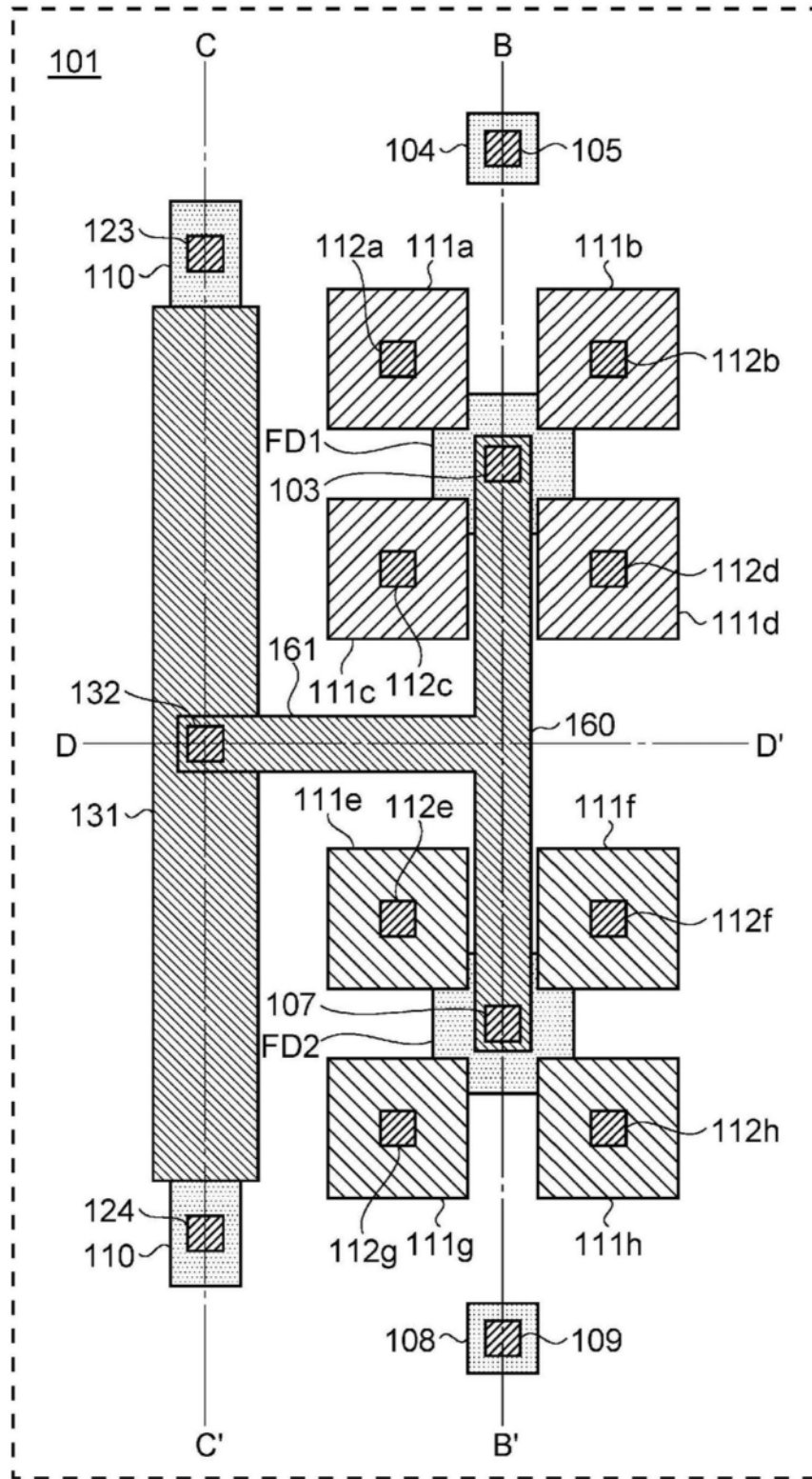


图45

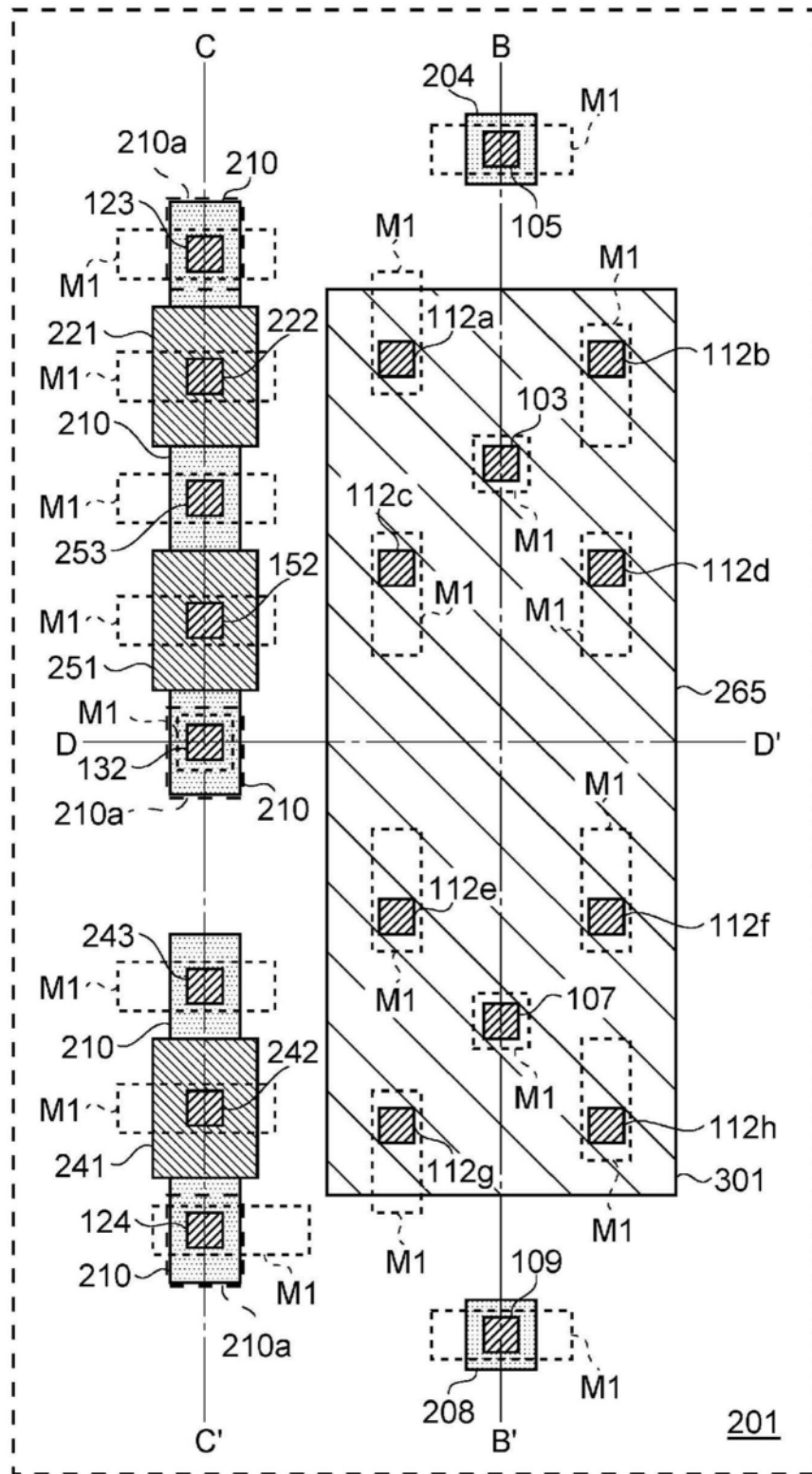


图46

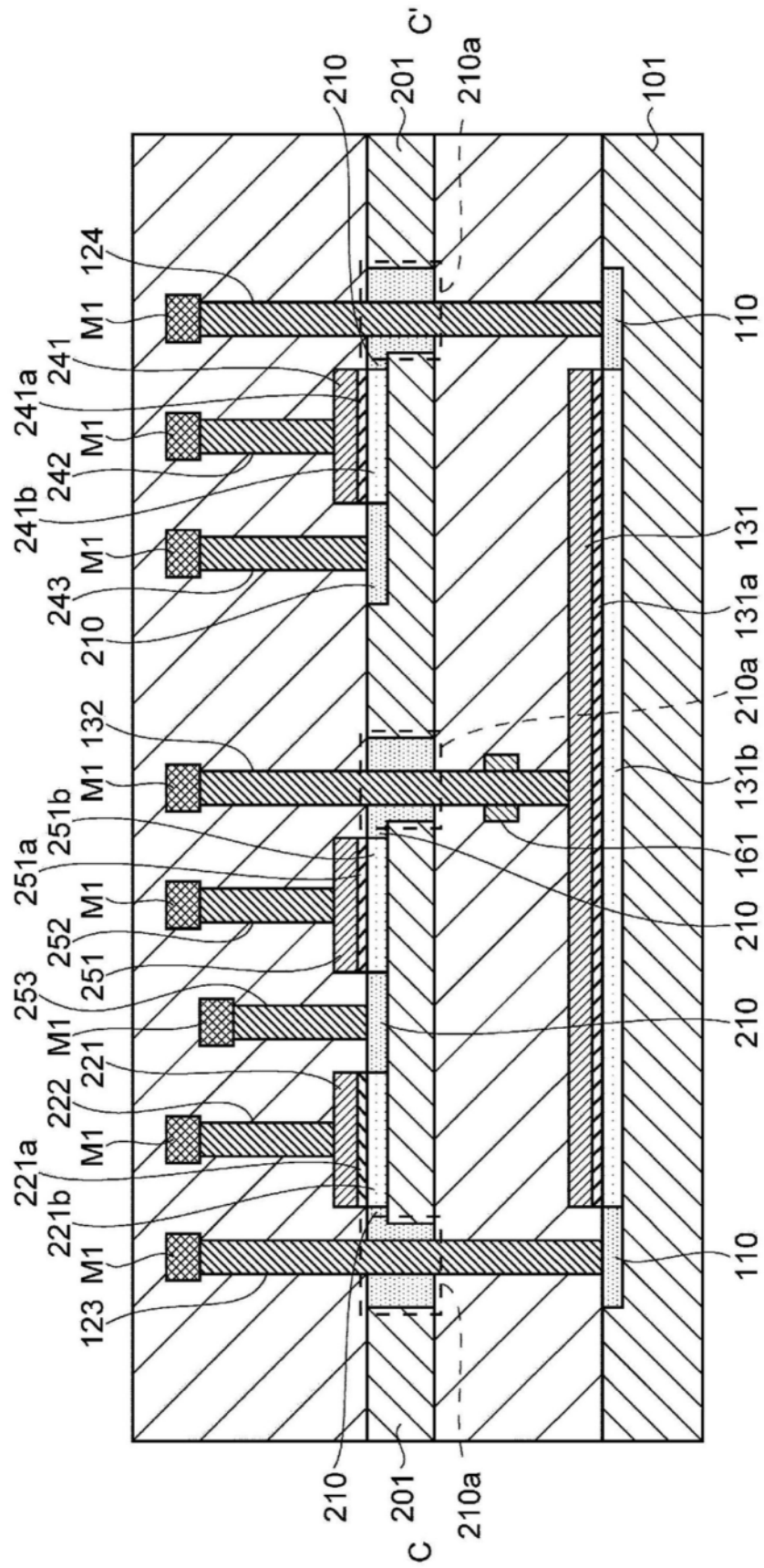


图47

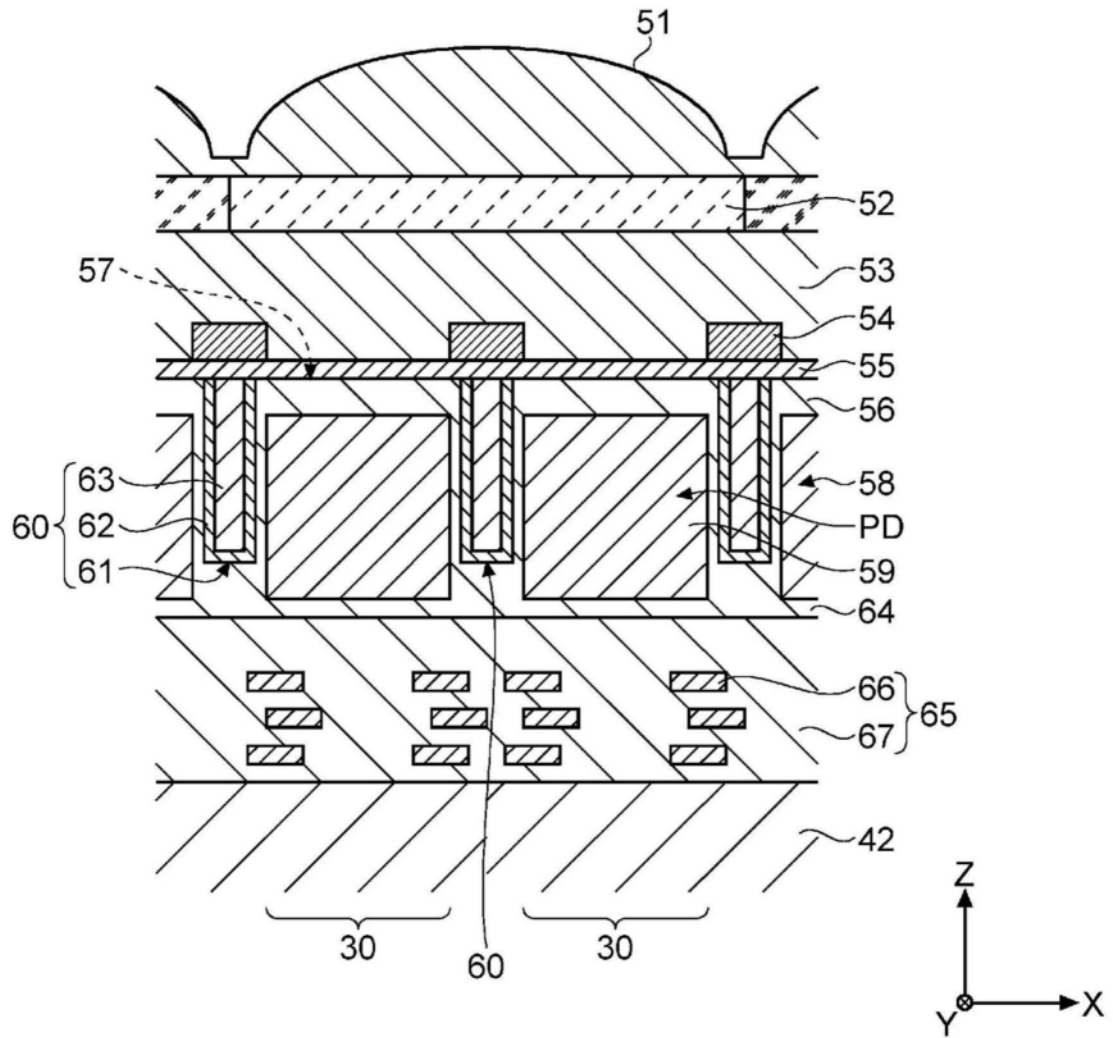


图48

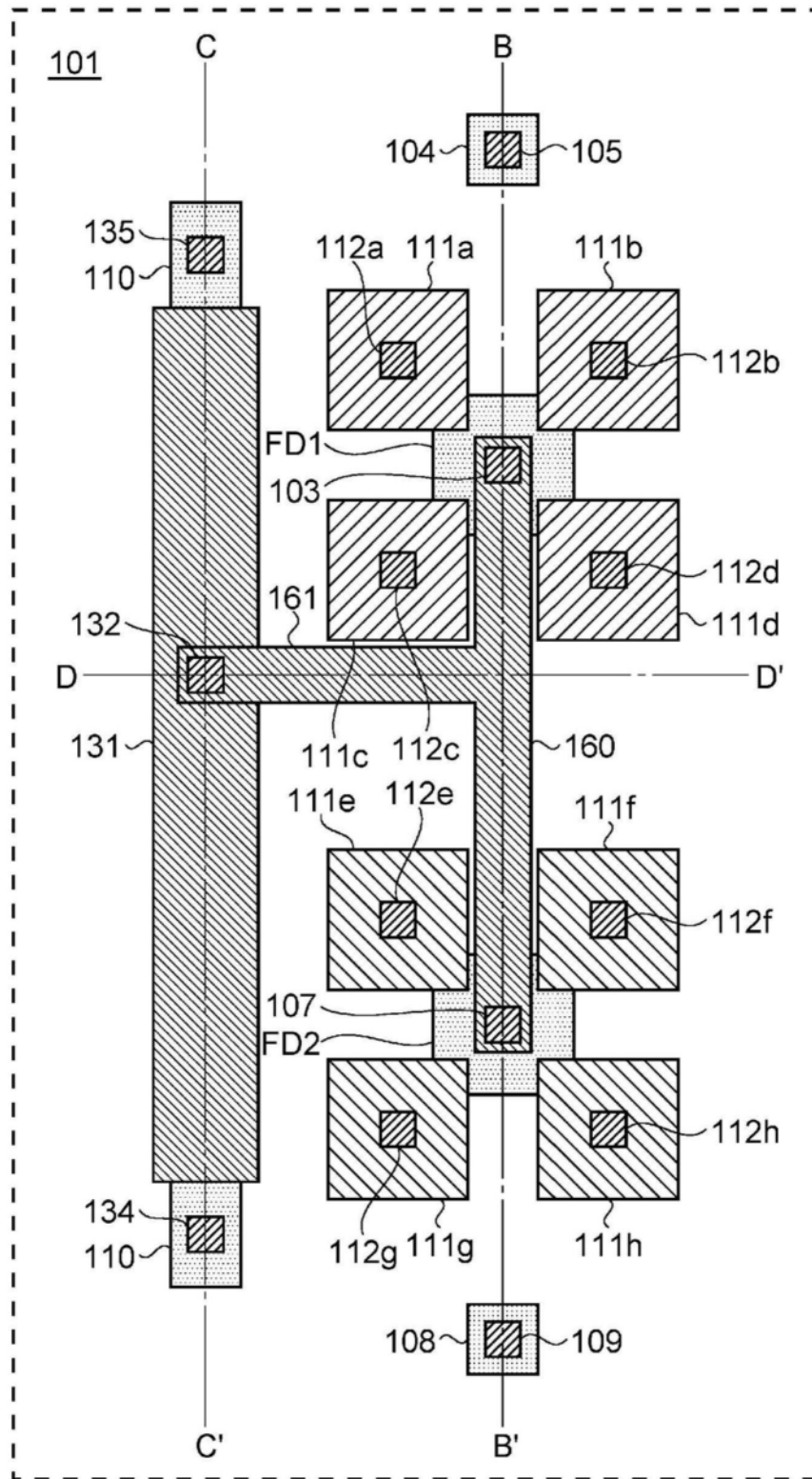


图49

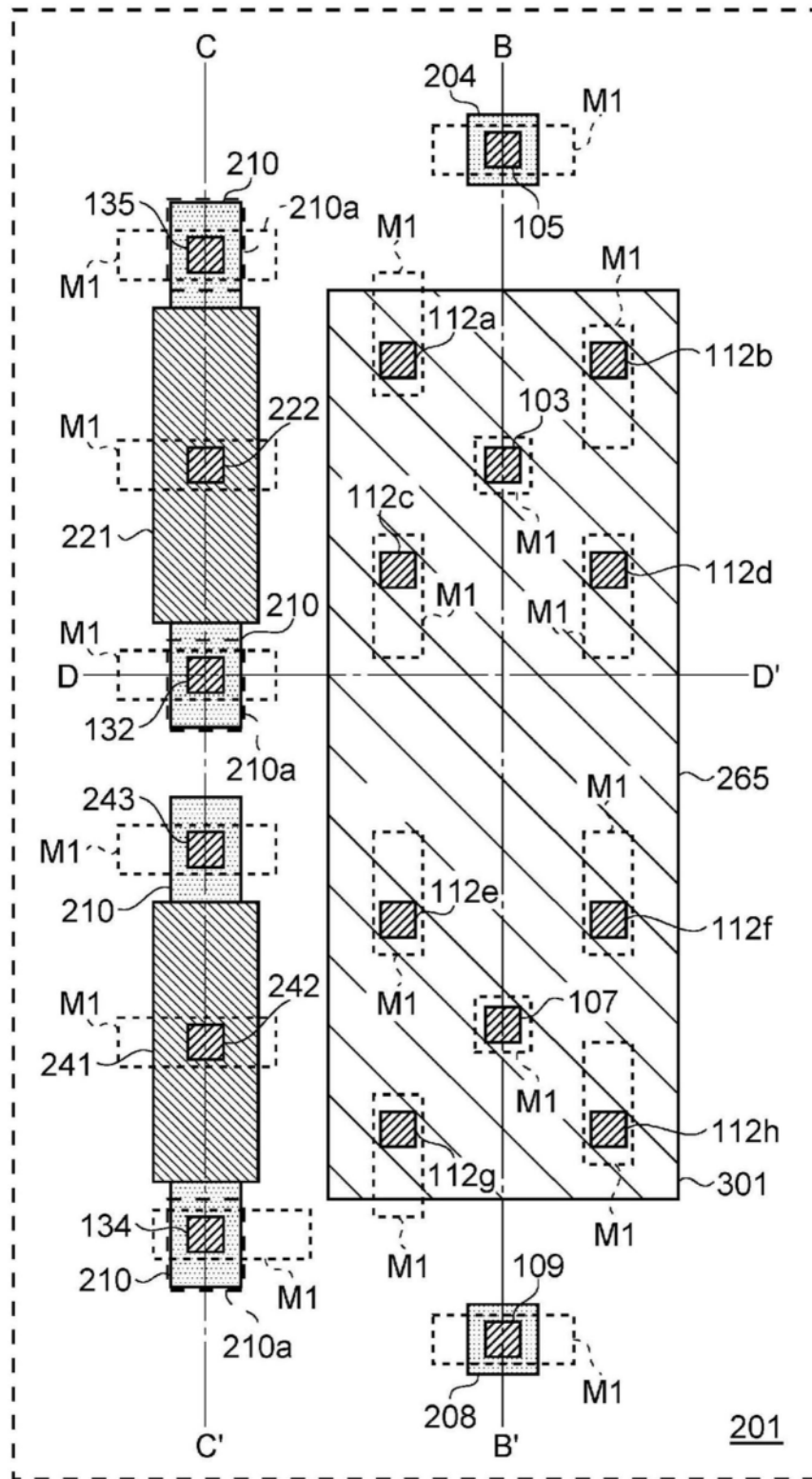


图50

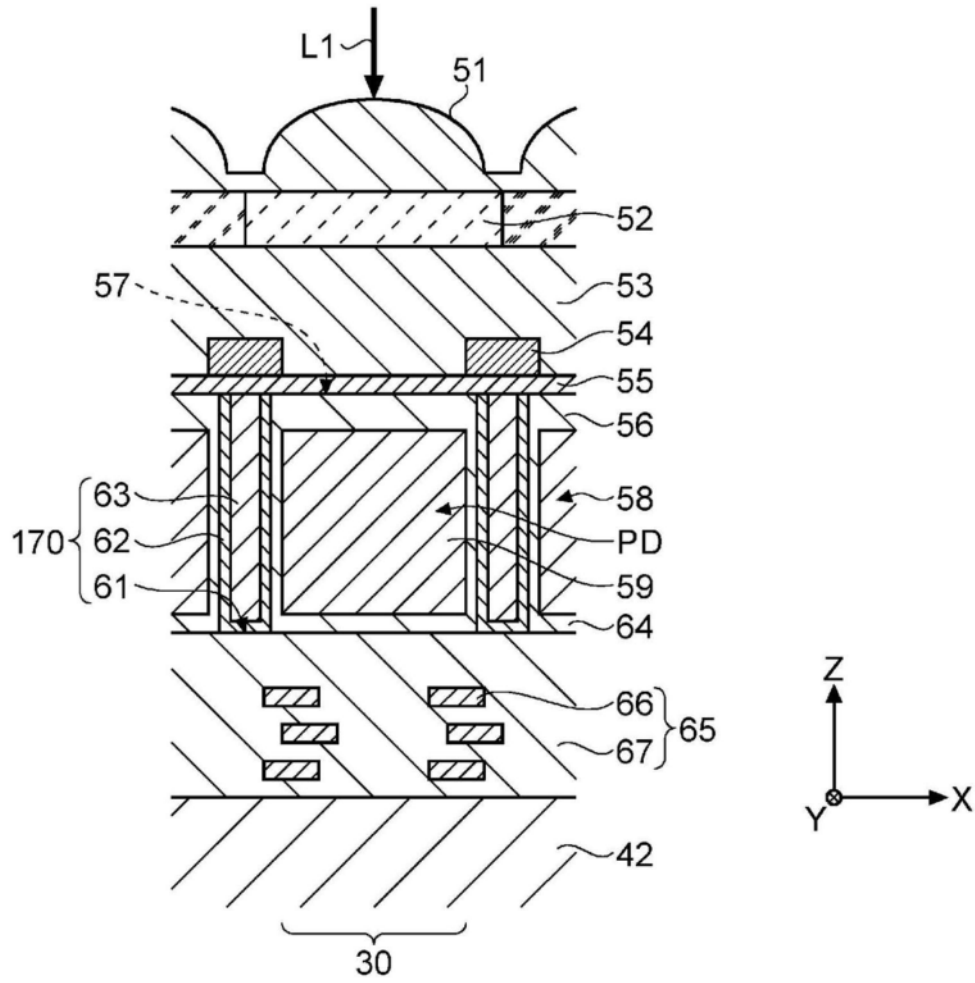


图52

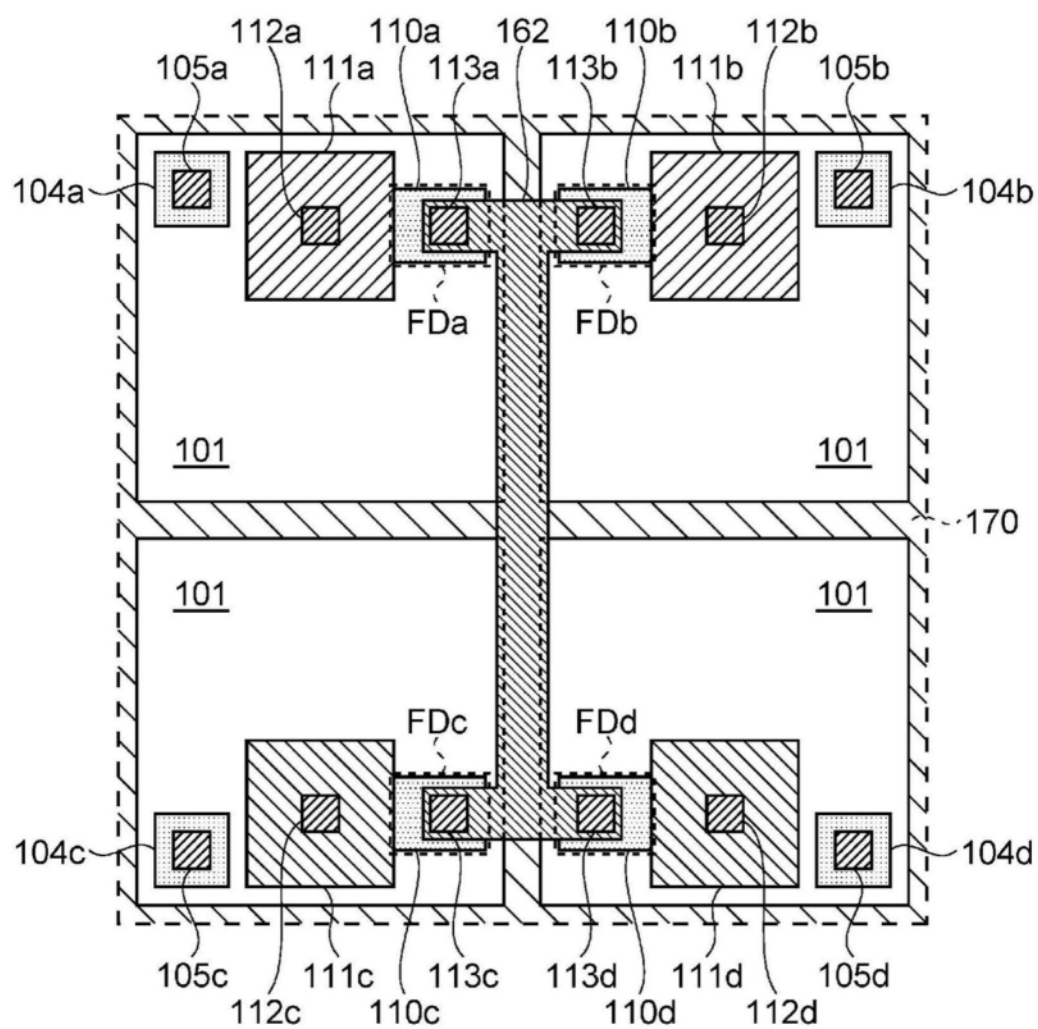


图53

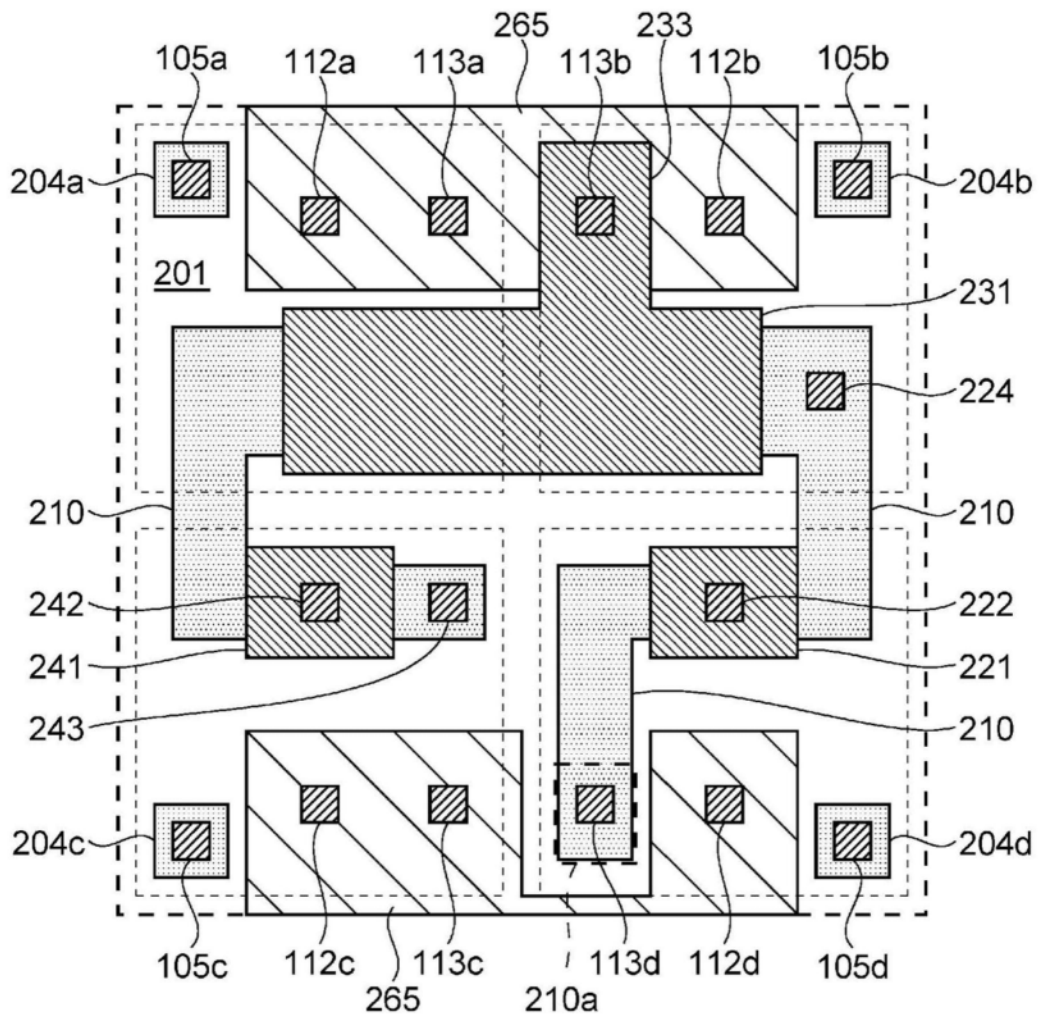


图54

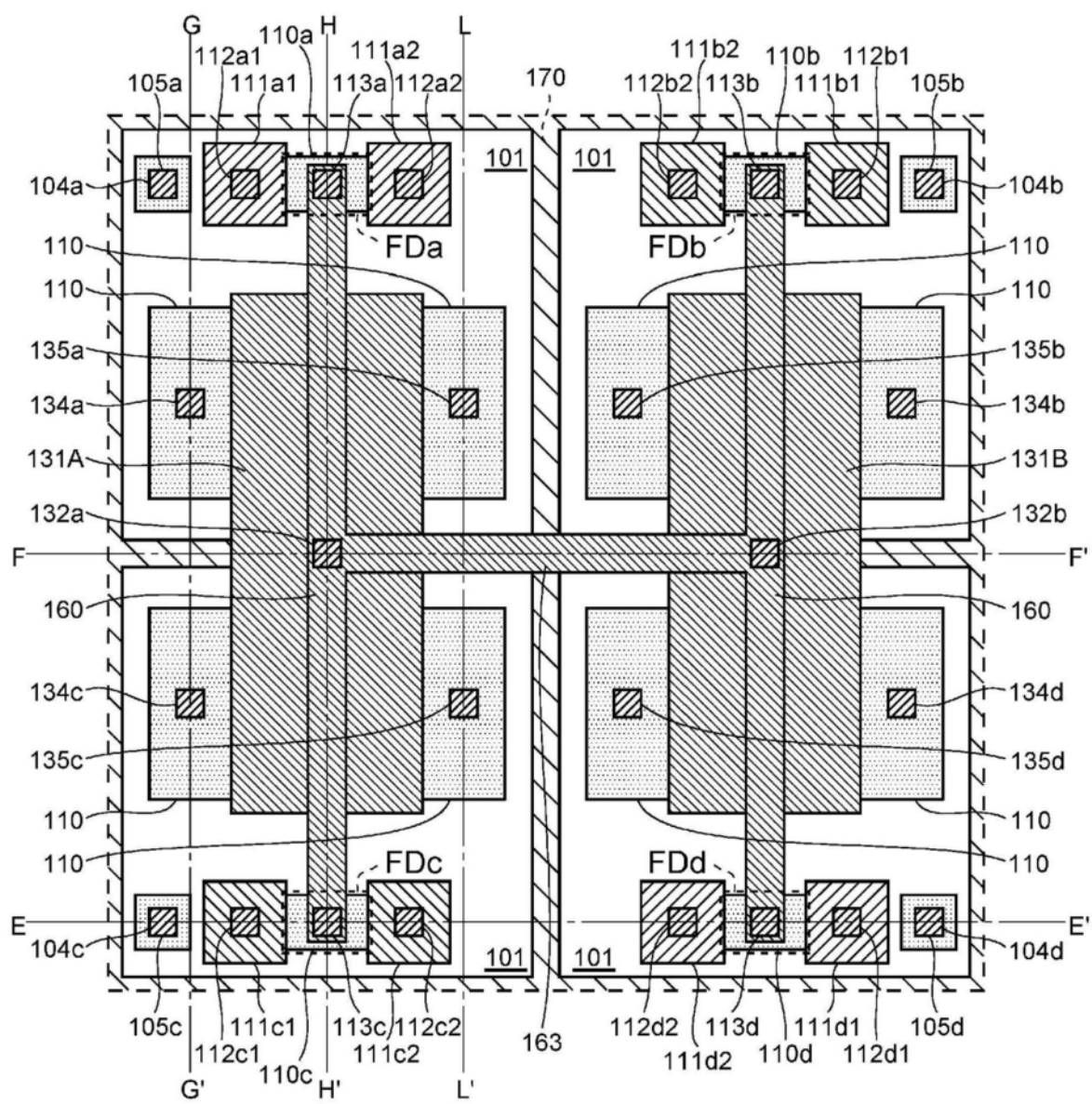


图56

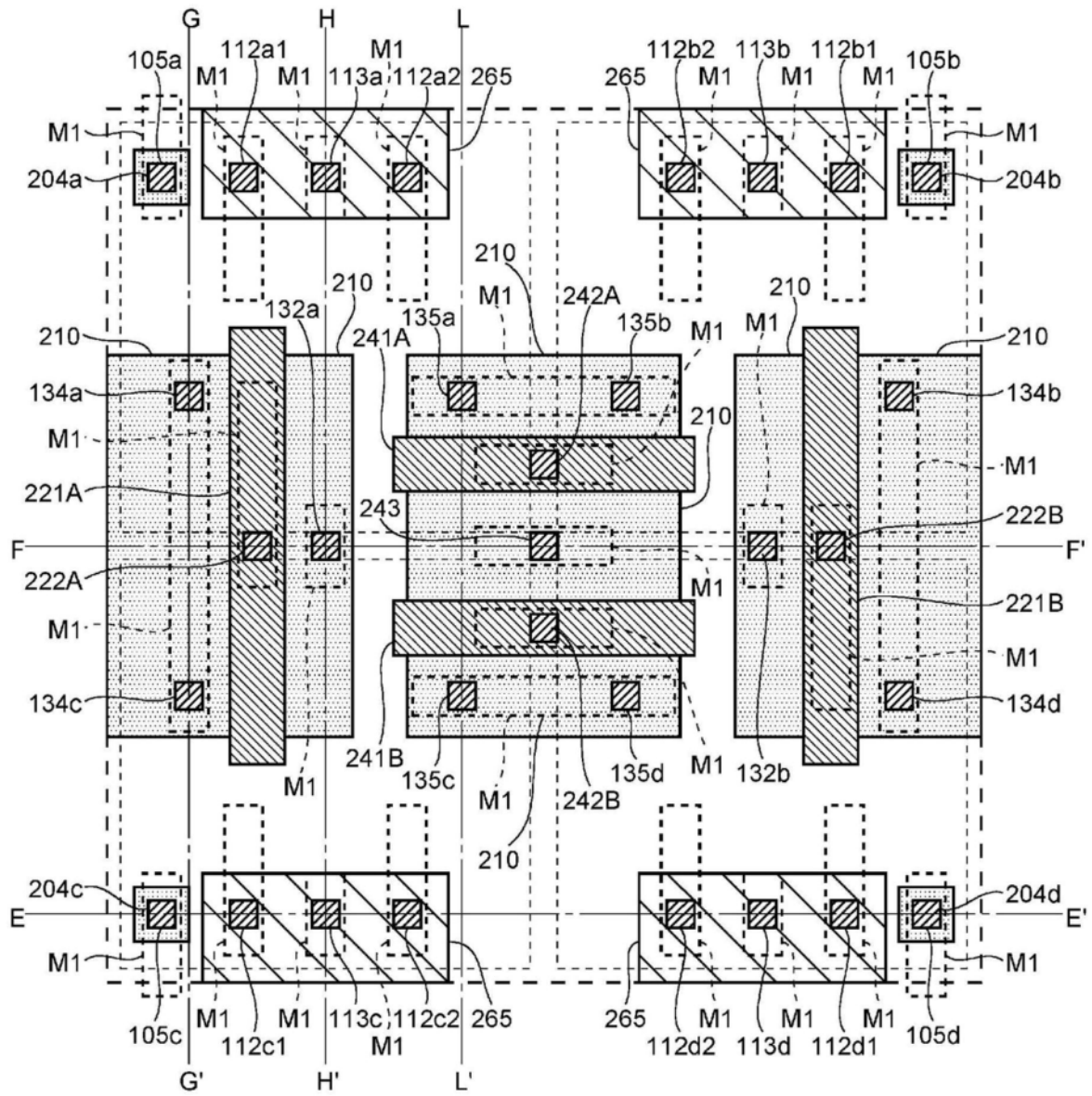


图57

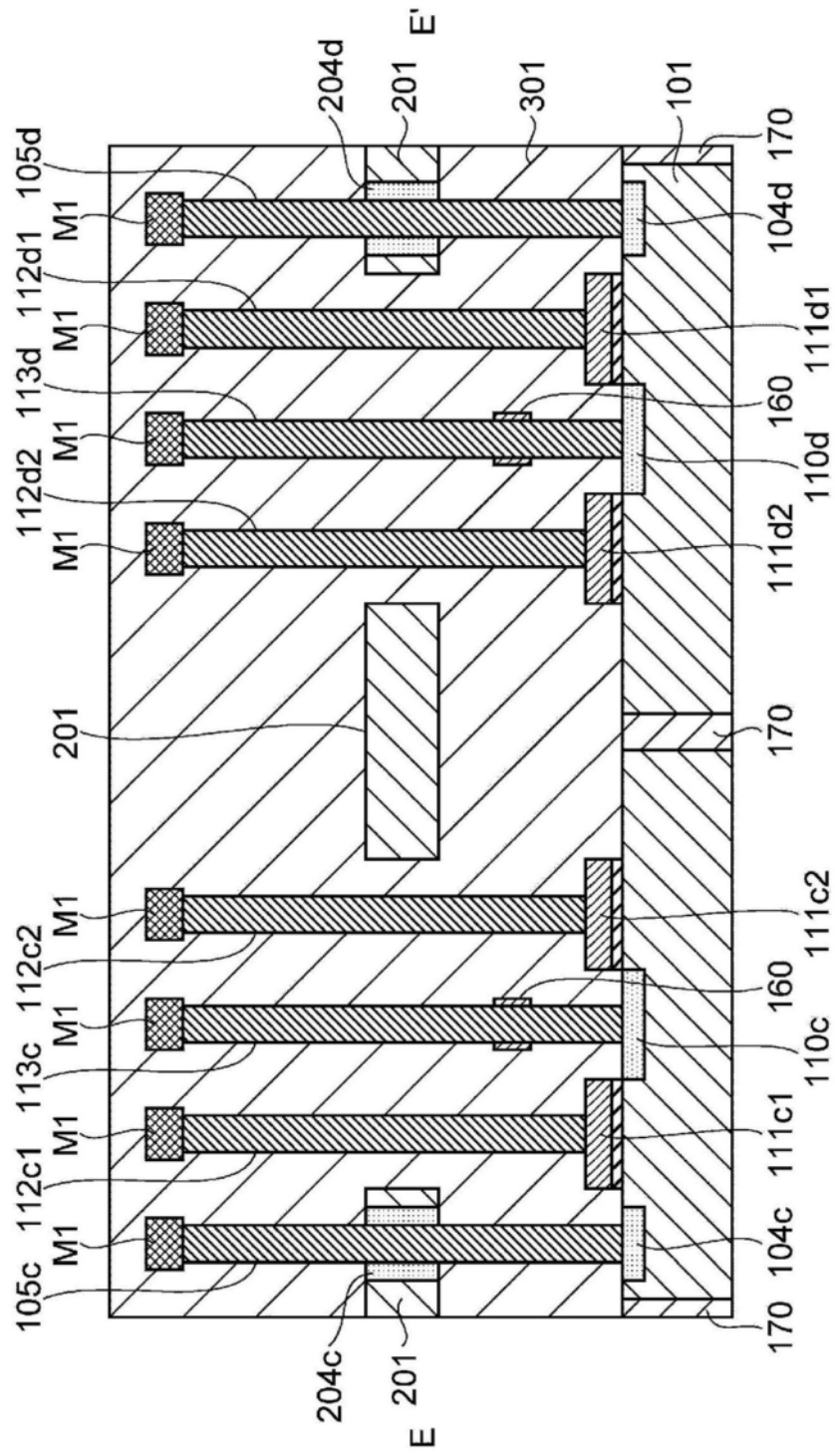


图58

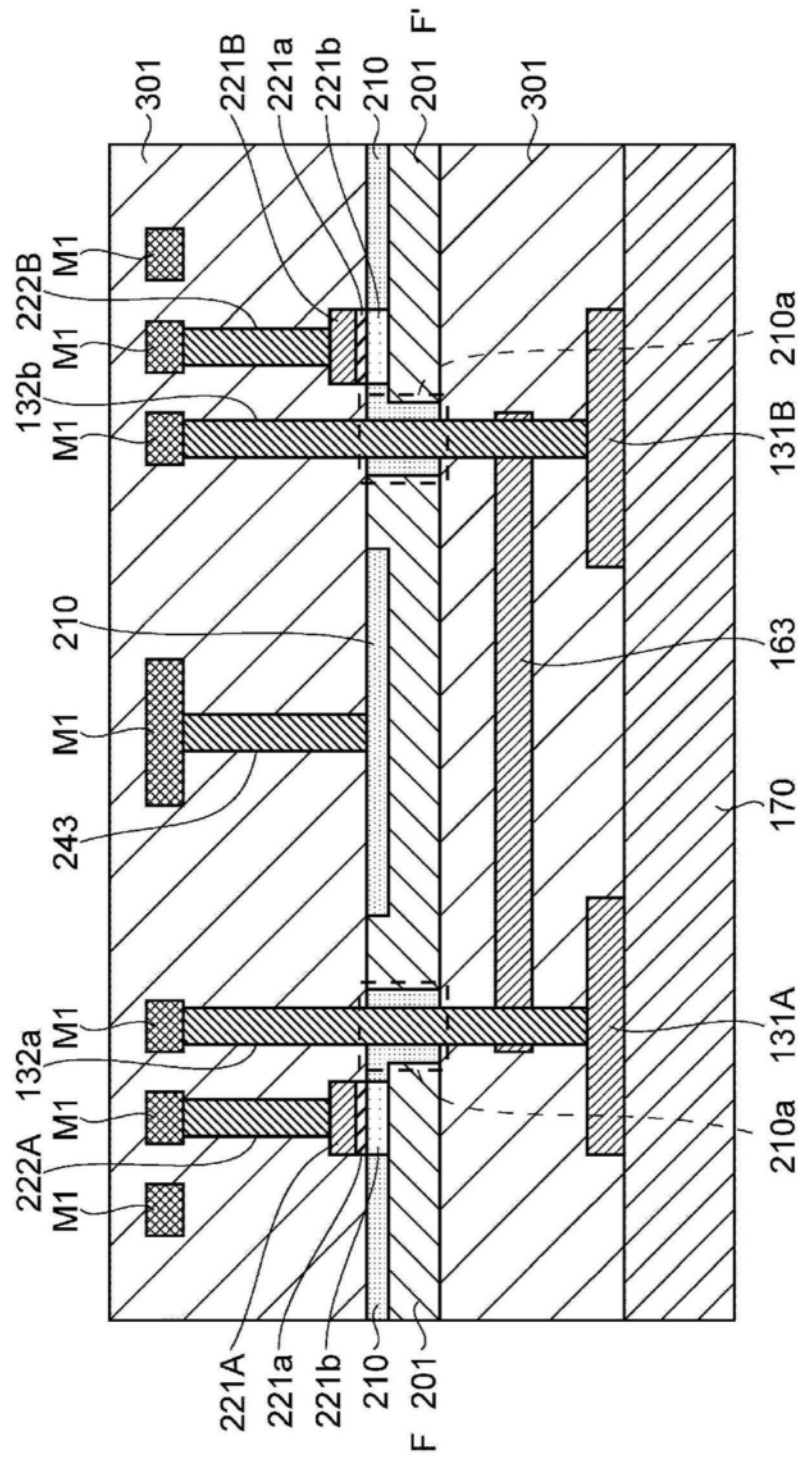


图59

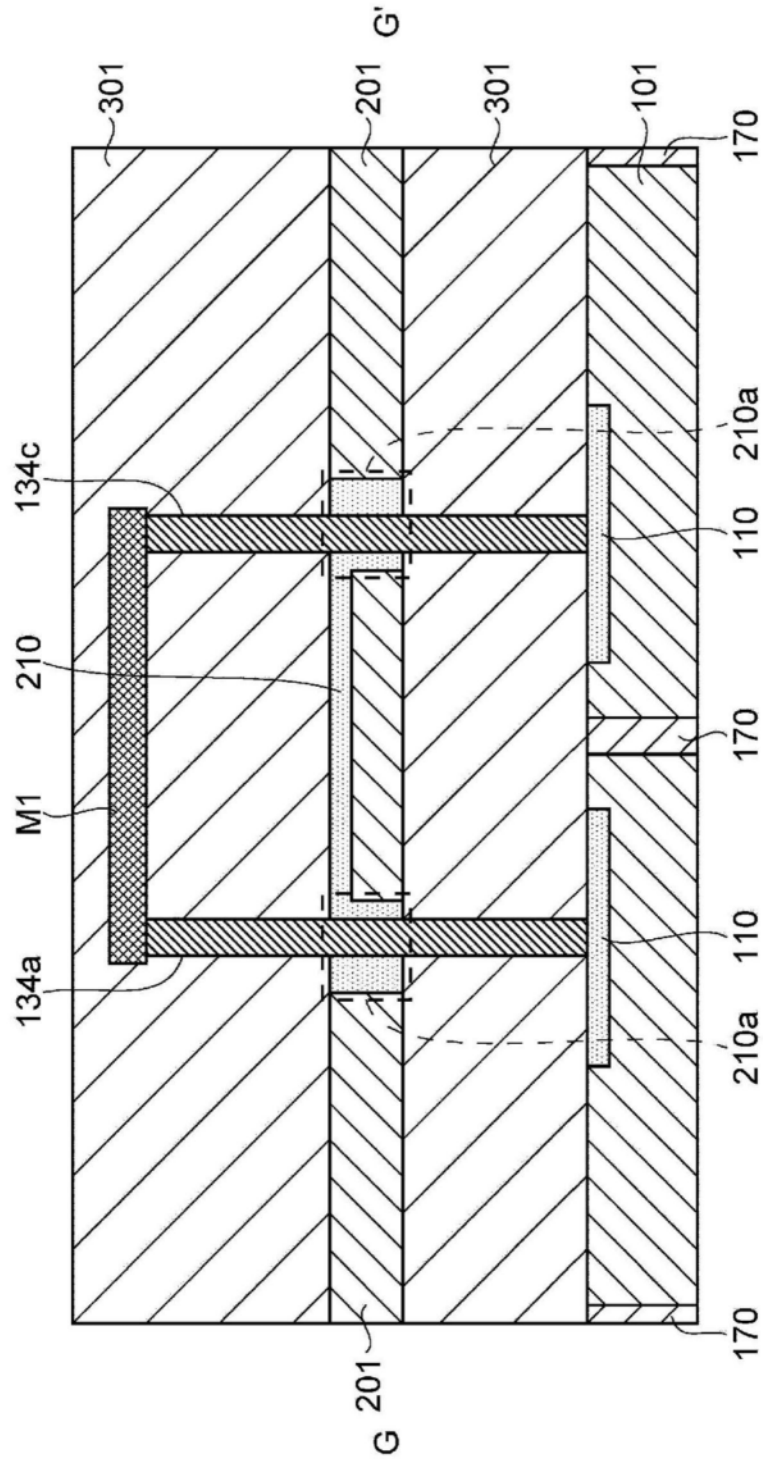


图60

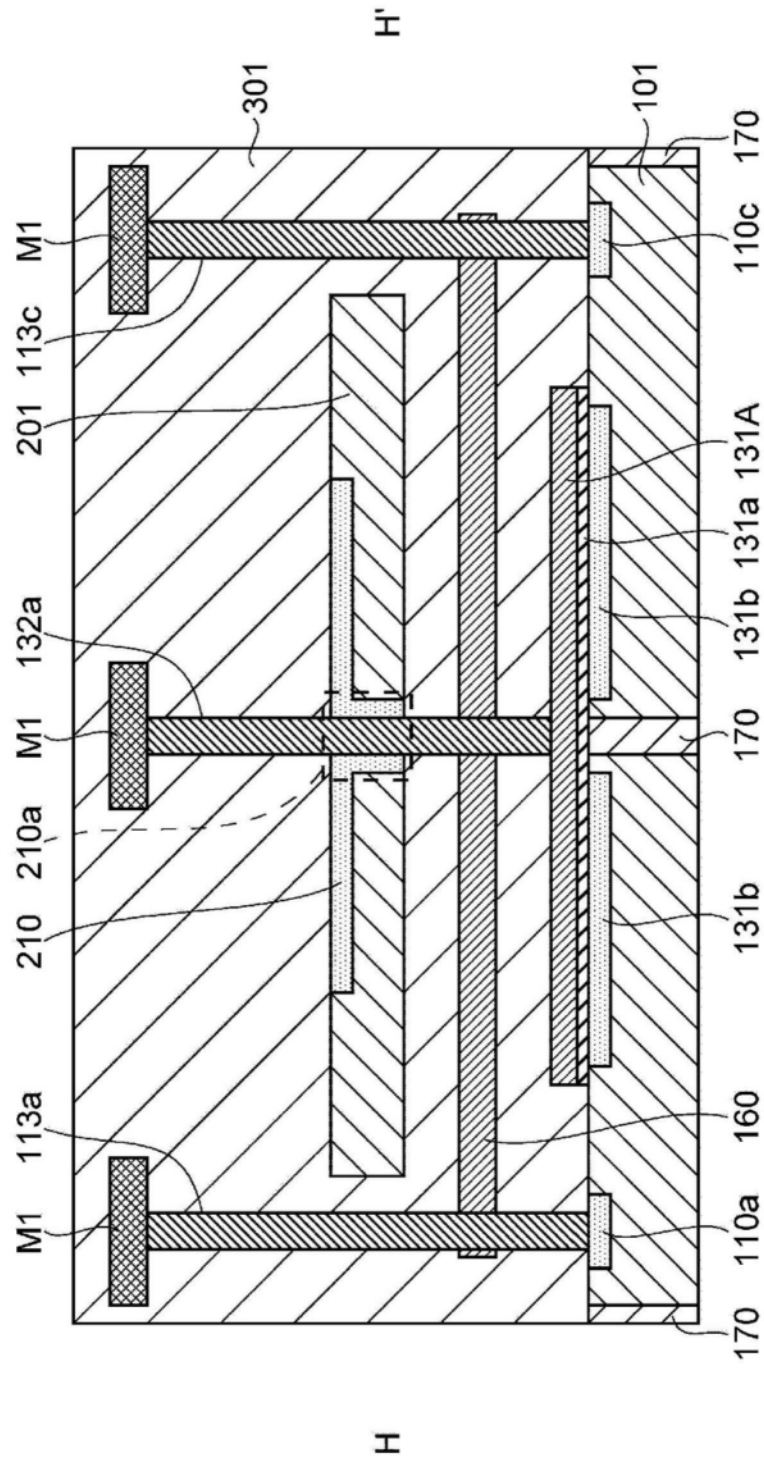


图61

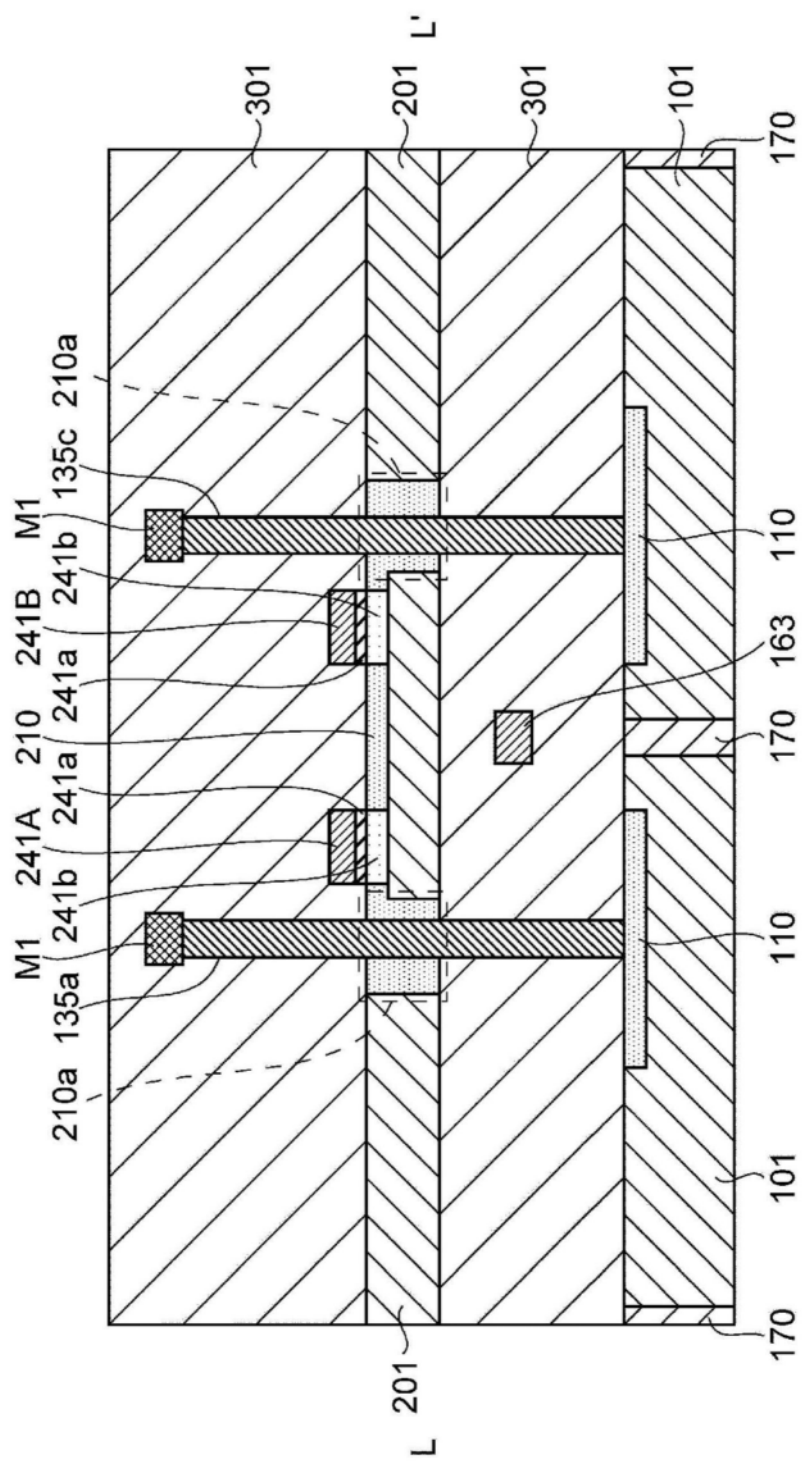


图62

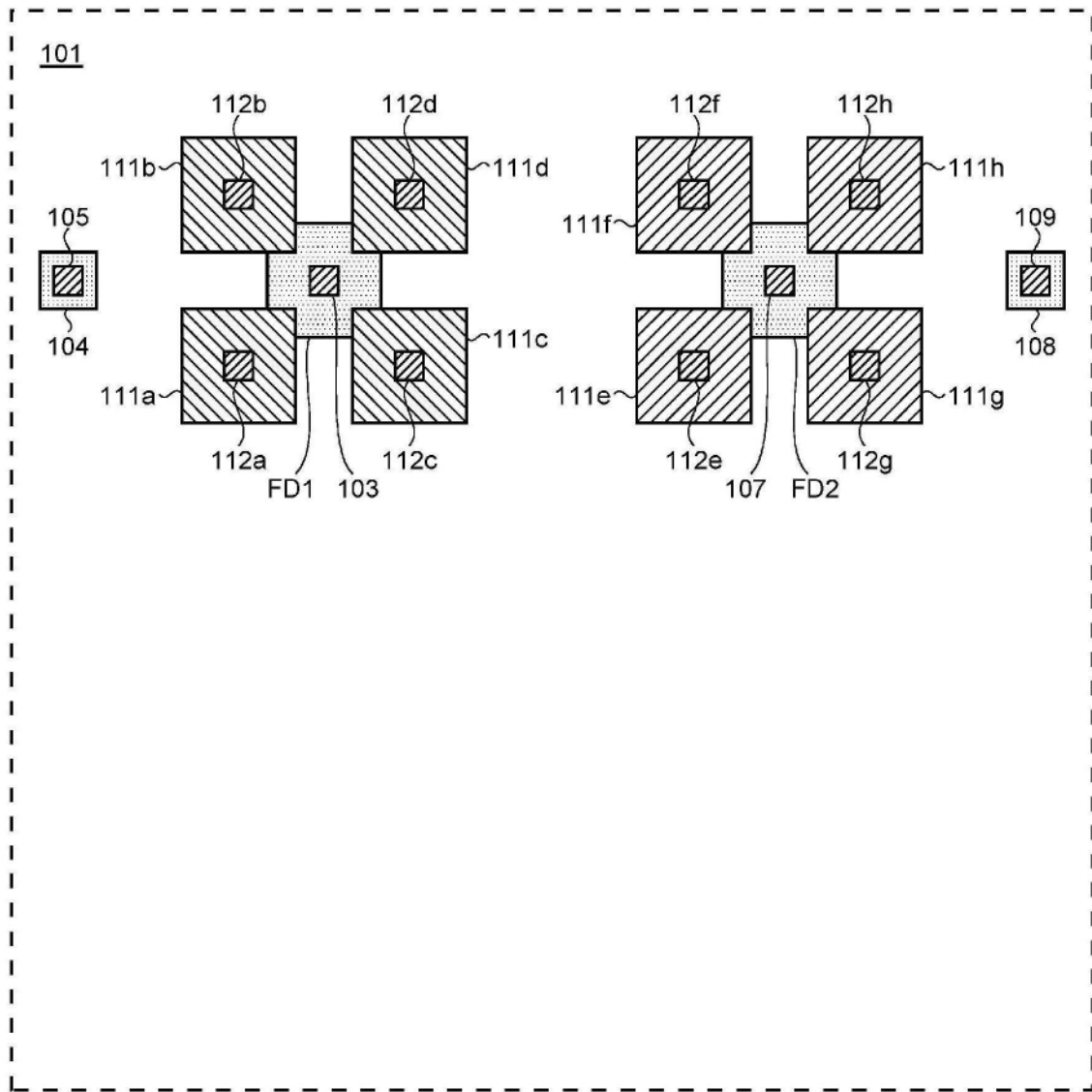


图63

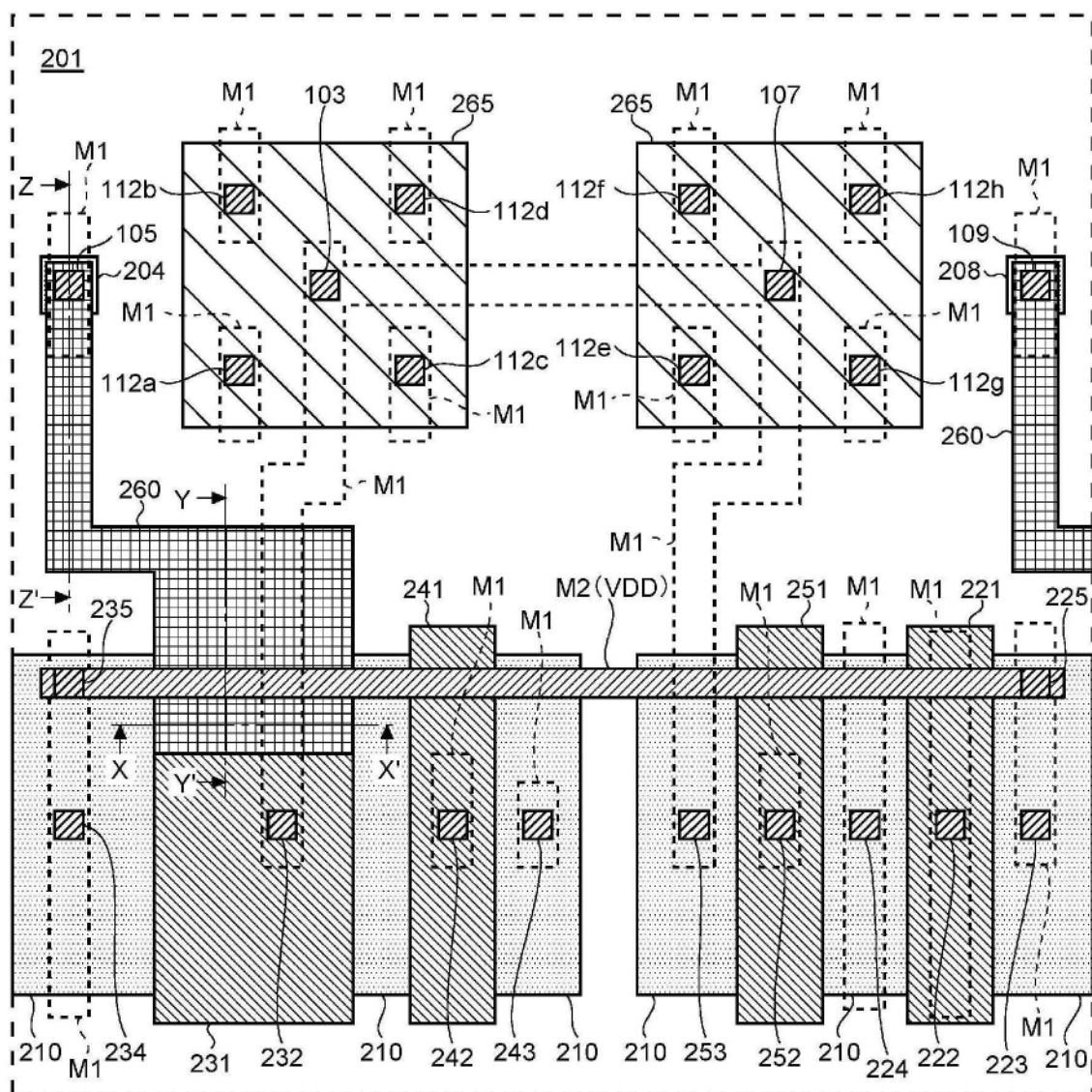


图65

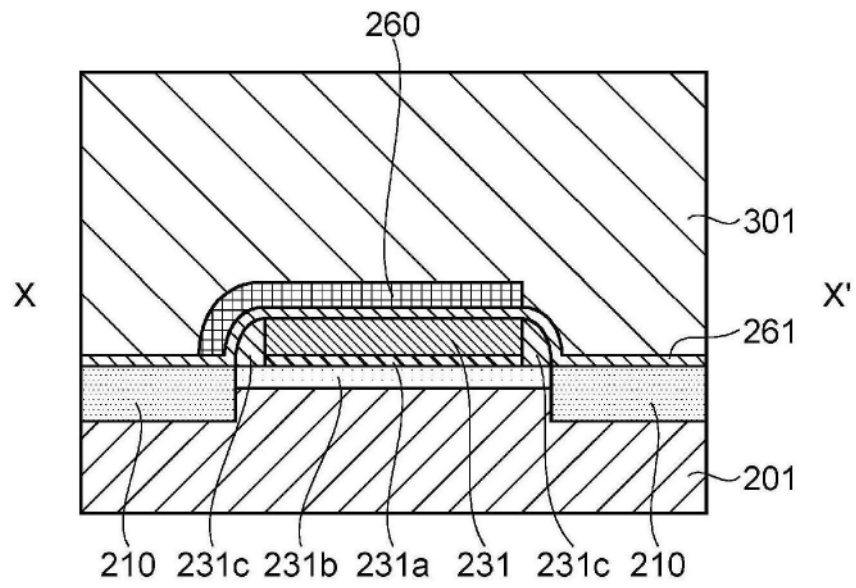


图66

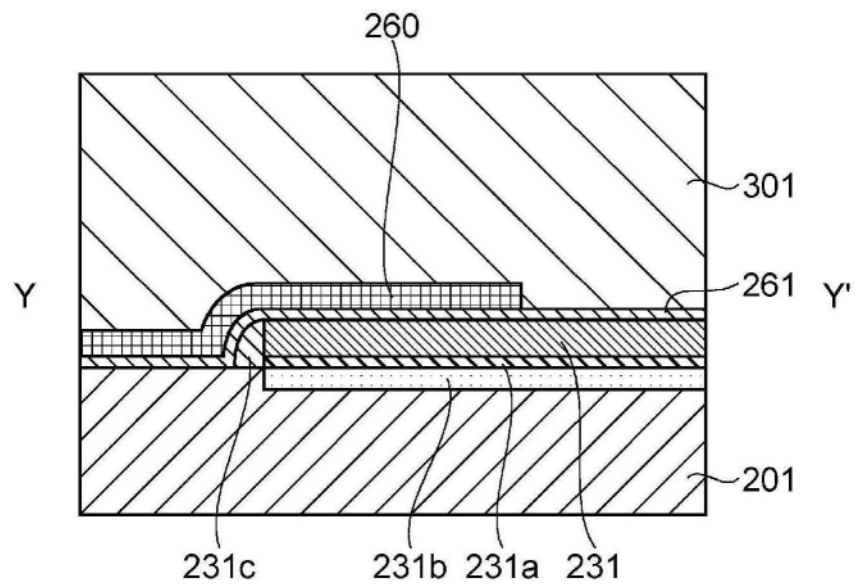


图67

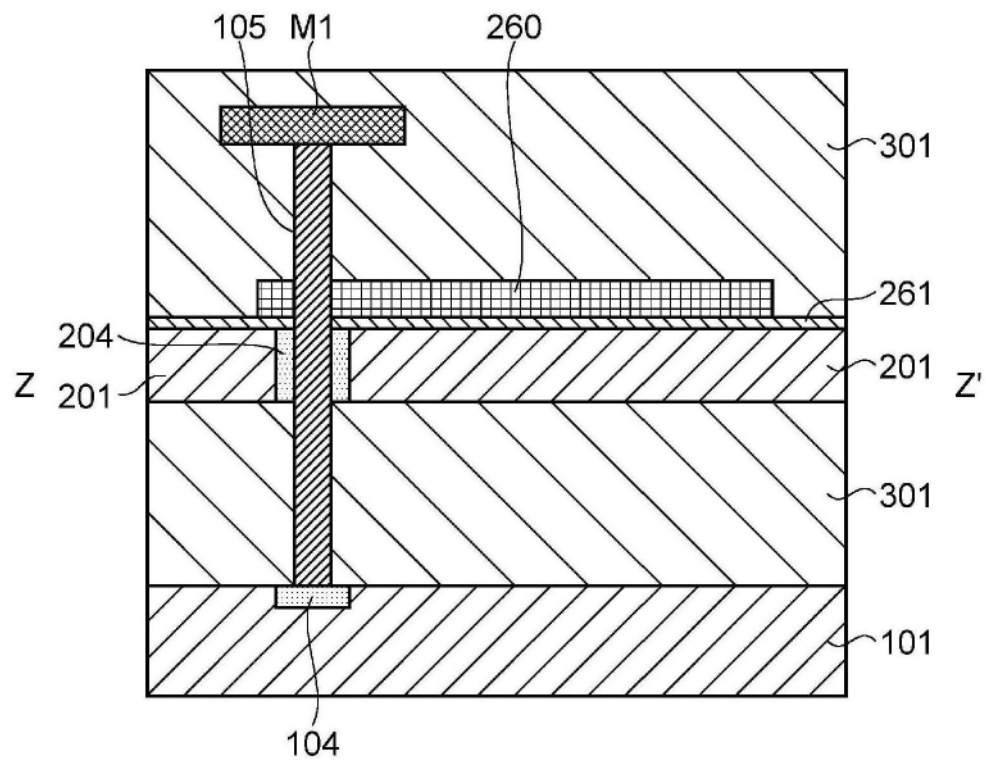


图68

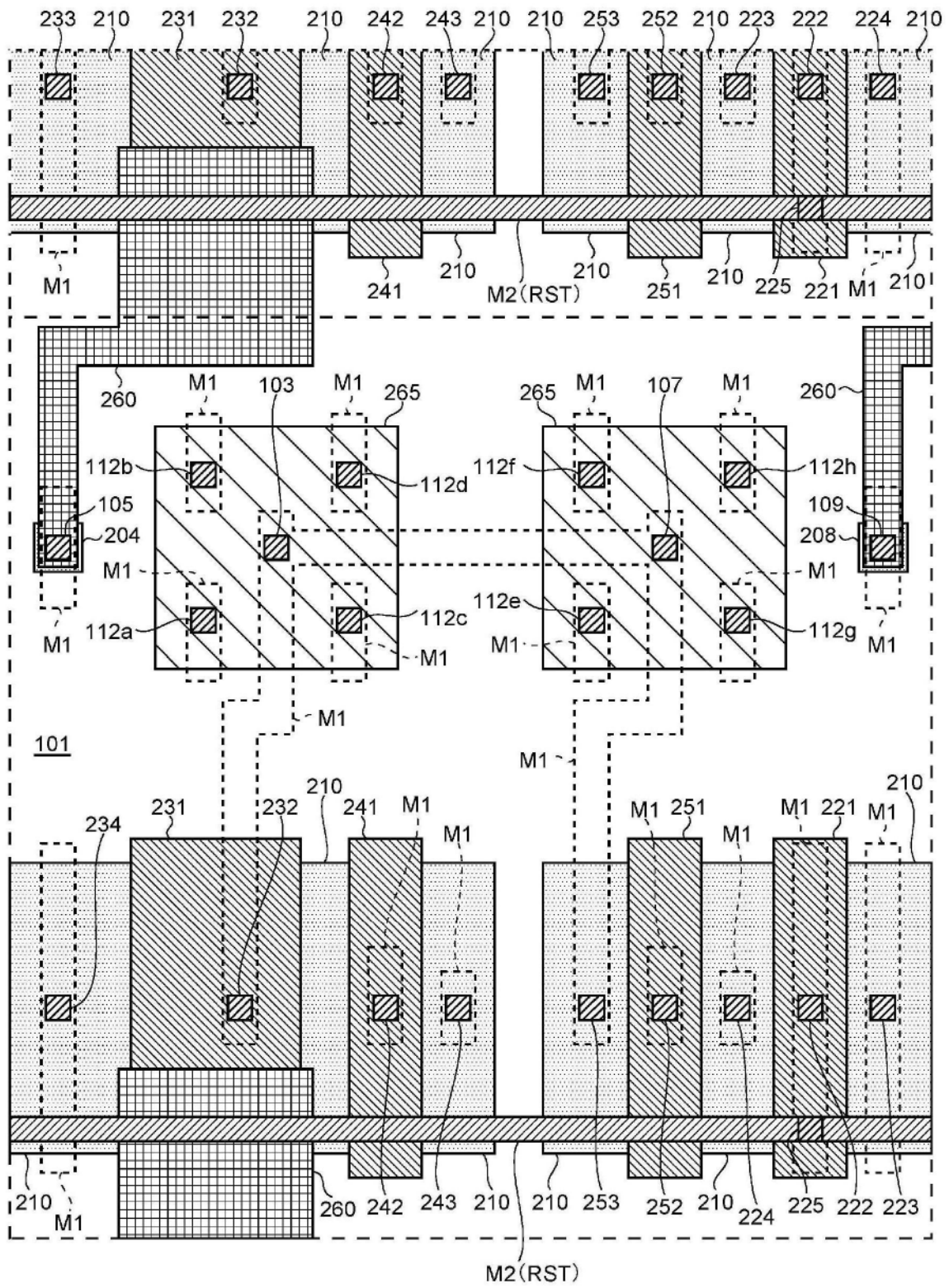


图69

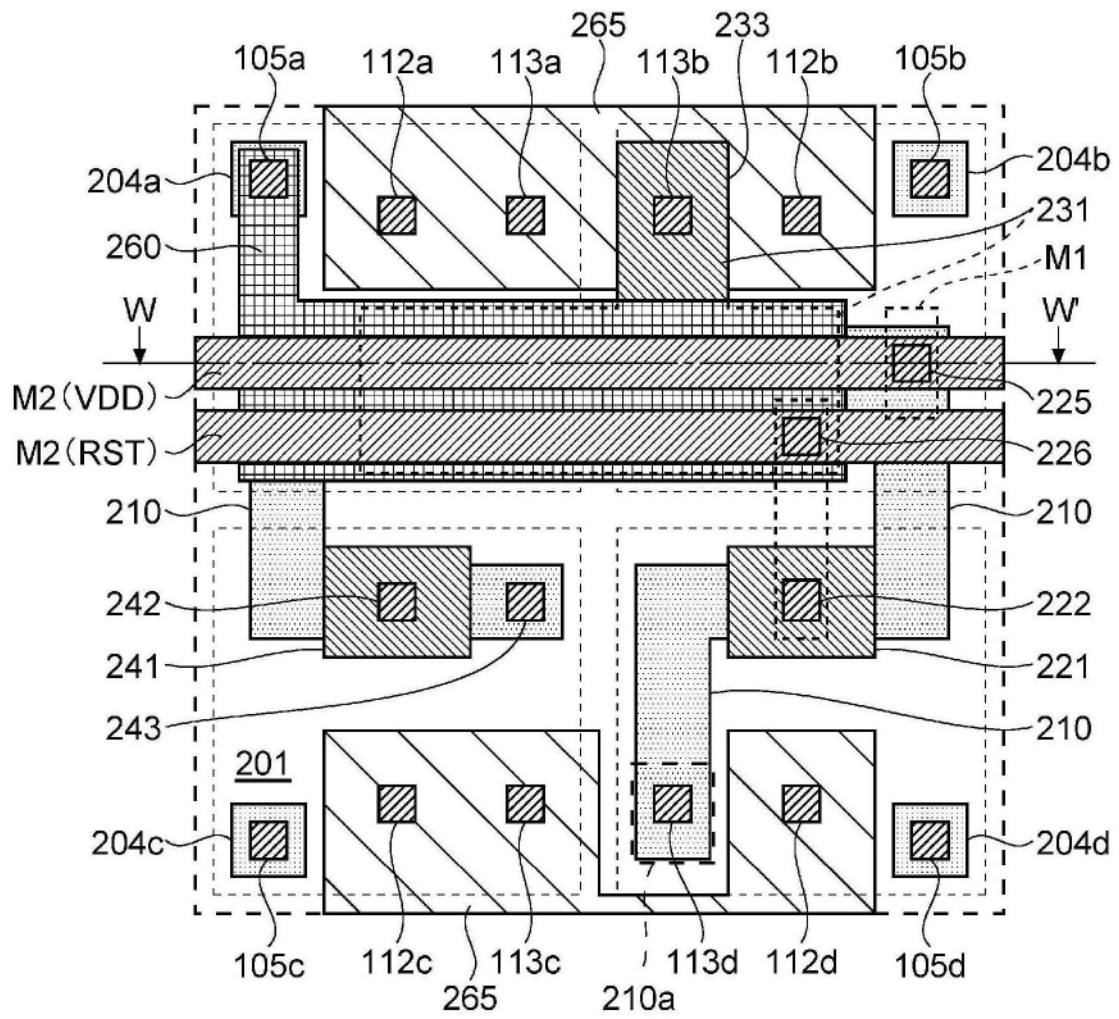


图70

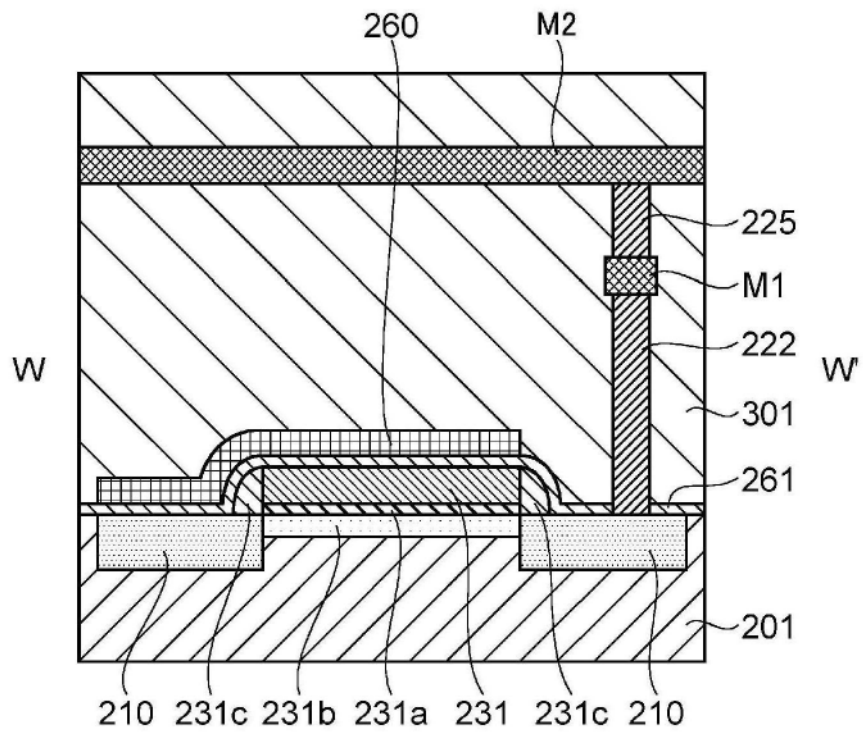


图71

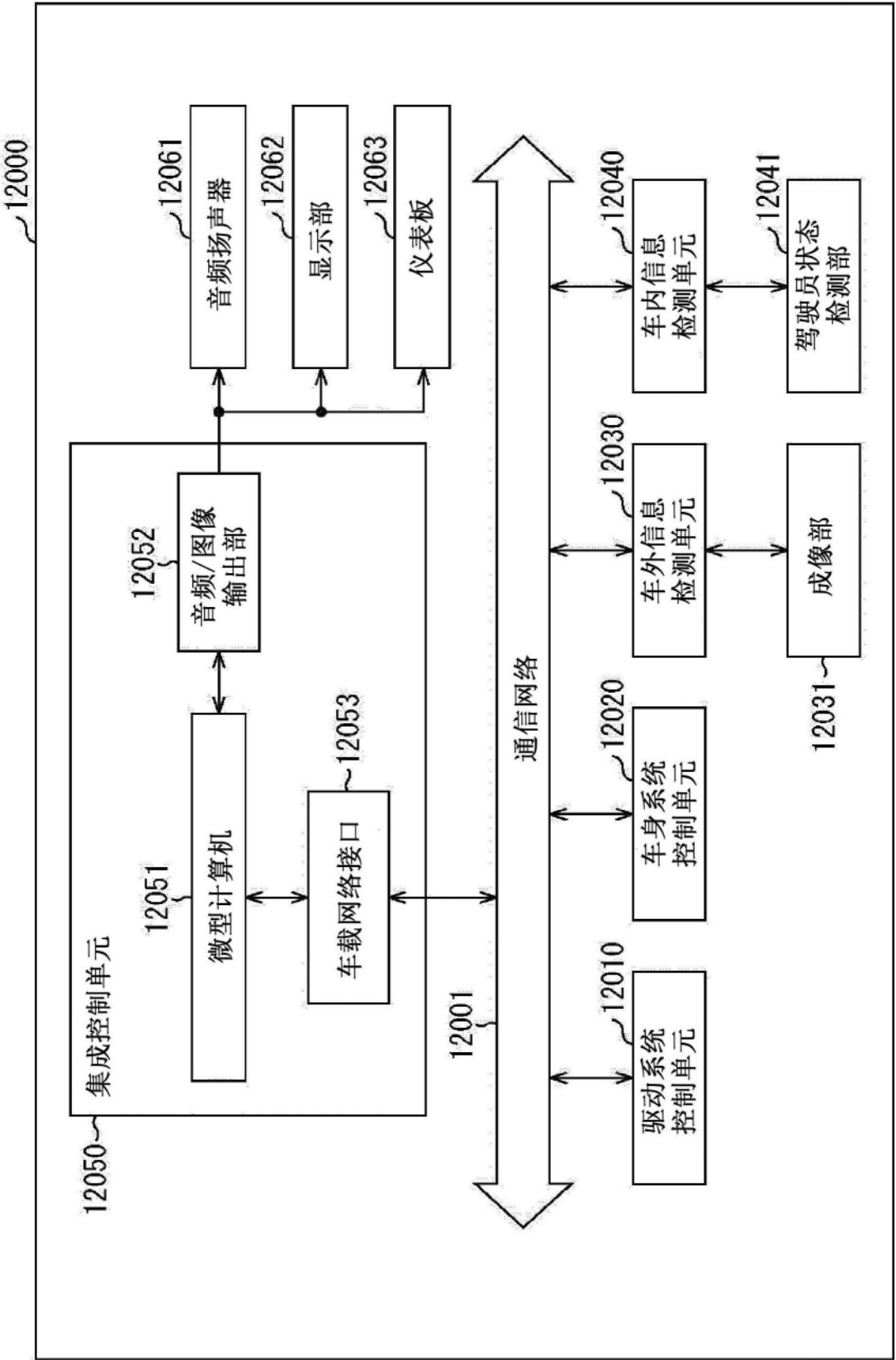


图75

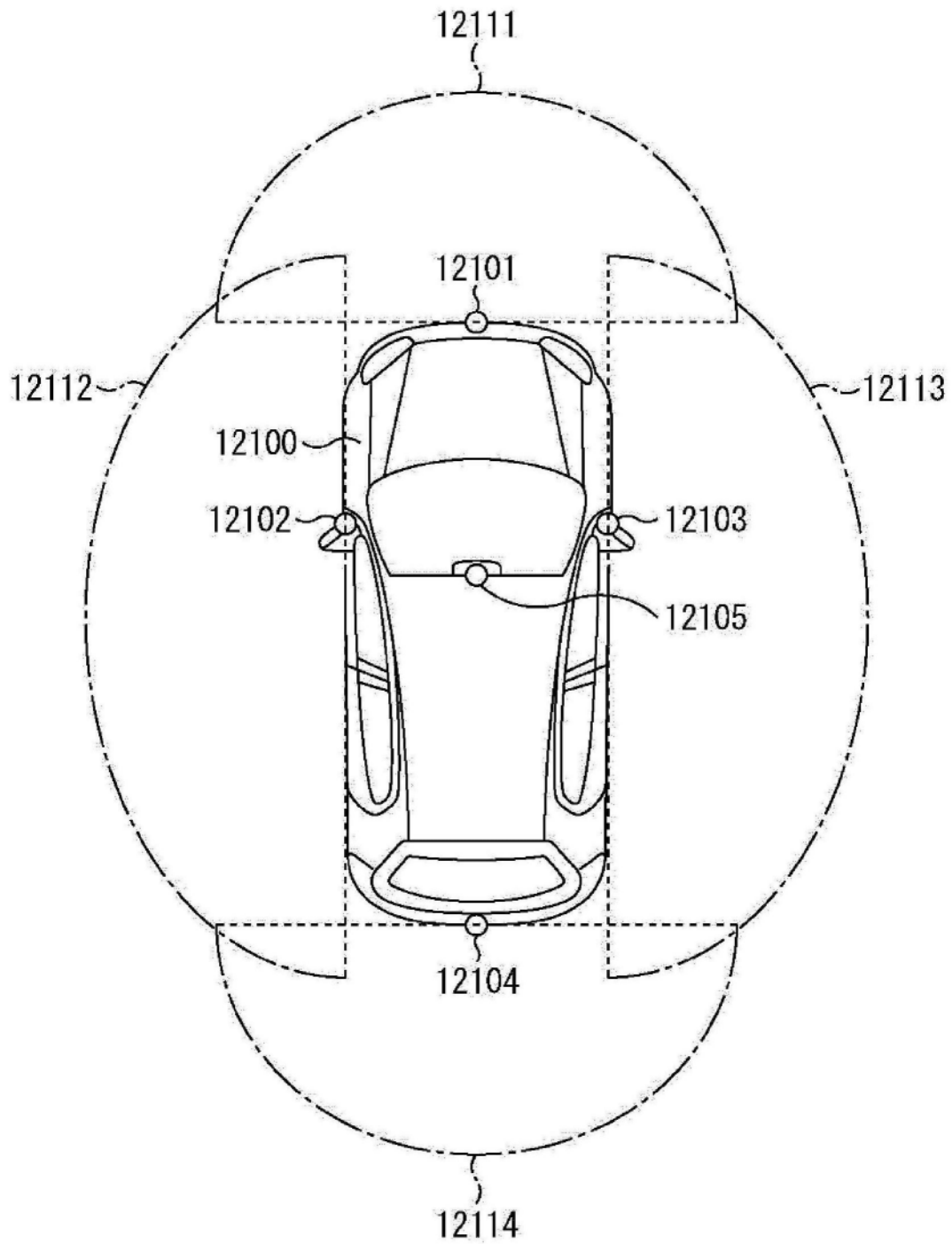


图76

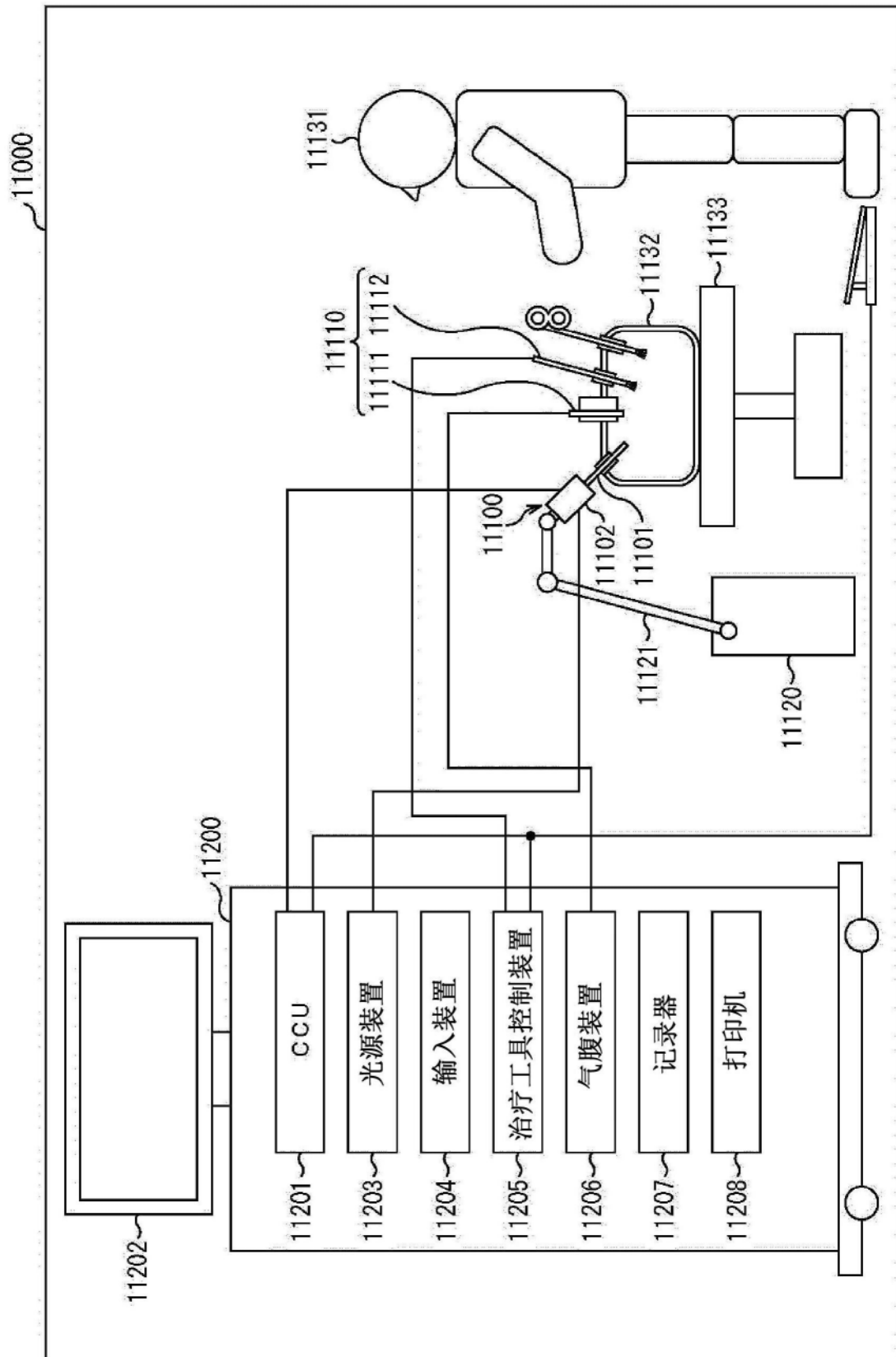


图77

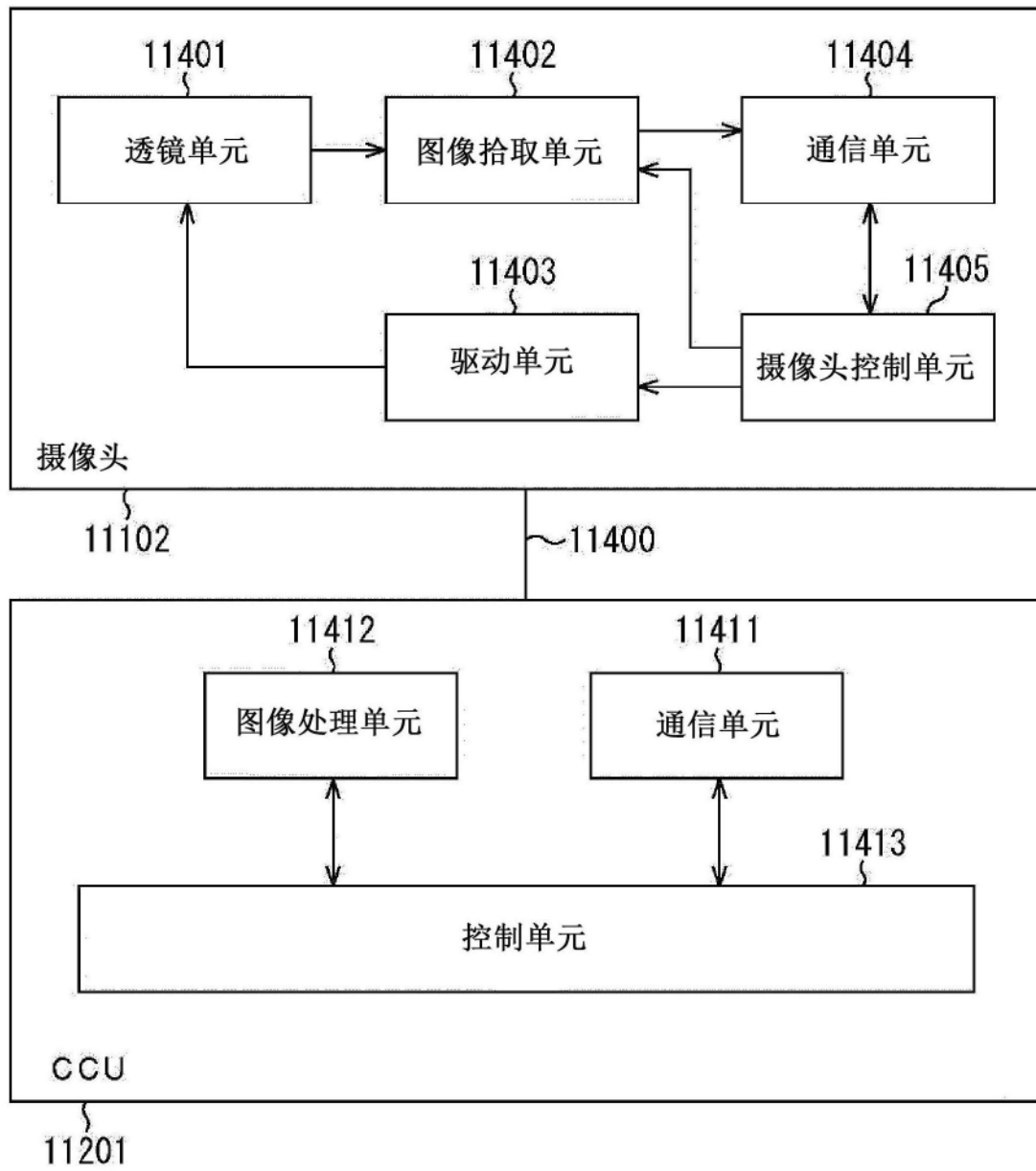


图78