

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-4082

(P2010-4082A)

(43) 公開日 平成22年1月7日(2010.1.7)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/8242 (2006.01)	H O 1 L 27/10 6 5 1	5 F O 8 3
H O 1 L 27/108 (2006.01)	H O 1 L 27/10 4 4 4 B	
H O 1 L 21/8246 (2006.01)	H O 1 L 27/10 6 2 1	
H O 1 L 27/105 (2006.01)		

審査請求 有 請求項の数 6 O L (全 15 頁)

(21) 出願番号	特願2009-231557 (P2009-231557)	(71) 出願人	591024111
(22) 出願日	平成21年10月5日 (2009.10.5)		株式会社ハイニックスセミコンダクター
(62) 分割の表示	特願2002-265456 (P2002-265456) の分割		HYNIX SEMICONDUCTOR I N C.
原出願日	平成14年9月11日 (2002.9.11)		大韓民国京畿道利川市夫鉢邑牙美里山13 6-1
(31) 優先権主張番号	2001-056143		S a n 1 3 6-1, A m i-R i, B u b a l-E u p, I c h o n-S h i, K y o u n g k i-D o, K o r e a
(32) 優先日	平成13年9月12日 (2001.9.12)	(74) 代理人	100065215
(33) 優先権主張国	韓国 (KR)		弁理士 三枝 英二
(31) 優先権主張番号	2001-057368	(74) 代理人	100114616
(32) 優先日	平成13年9月17日 (2001.9.17)		弁理士 眞下 晋一
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100124028
			弁理士 松本 公雄

最終頁に続く

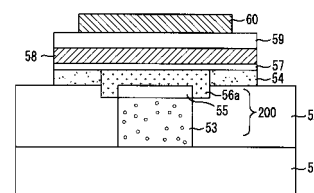
(54) 【発明の名称】 半導体素子の製造方法

(57) 【要約】

【課題】段差の発生を抑えてキャパシタの下部電極の平坦性を確保し、キャパシタ特性を安定化させることができる半導体素子の製造方法を提供すること。

【解決手段】基礎導電膜51と、層間膜コンタクトホールを有し、基礎導電膜51上面に形成された、層間絶縁膜52と、層間膜コンタクトホールと連続した接着層コンタクトホールを有し、層間絶縁膜上面に形成された接着層54と、層間膜コンタクトホール及び接着層コンタクトホールからなる複合コンタクトホール内に、基礎導電膜51に接続され、接着層54の上面に合わせて平坦化されて形成された接続部200と、接続部200及び接着層54の上面に形成された第1電極57、58、誘電体膜59、及び第2電極60を備えたキャパシタとを装備する半導体素子を製造する。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

トランジスタが形成された半導体基板上面に層間絶縁膜を成長させる層間絶縁膜成長工程と、

前記層間絶縁膜をパターニングして、前記半導体基板の所定領域の表面を露出させる層間膜コンタクトホールを形成する層間膜コンタクトホール形成工程と、

前記層間膜コンタクトホール内、及び前記層間絶縁膜の上面に、シリコン含有物質からなるプラグ埋込層を成長させ、前記層間膜コンタクトホール内にプラグを形成するプラグ形成工程と、

前記プラグ及び前記層間絶縁膜の上面に形成された前記プラグ埋込層をエッチバック法で平坦化するプラグ埋込層平坦化工程と、

前記プラグ及び前記層間絶縁膜の上面に所定の厚さを有する反応予備膜を形成する反応予備膜形成工程と、

前記反応予備膜の上面にイリジウム含有物質を含むイリジウム反応層を成長させ、前記反応予備膜のシリコンと前記イリジウム反応層のイリジウムとを反応させて、前記プラグ及び前記層間絶縁膜の上面に、シリコン及びイリジウムを含有する接着層を成長させる接着層成長工程と、

前記接着層をパターニングして、前記プラグの上面を露出させる接着層コンタクトホールを形成する接着層コンタクトホール形成工程と、

前記接着層コンタクトホール内、及び前記接着層上面に導電性のバリア埋込層を成長させるバリア埋込層成長工程と、

前記接着層の表面が露出するまで、前記バリア埋込層を平坦化して、前記バリア層を形成するバリア埋込層平坦化工程と、

前記バリア層及び前記接着層の上面に第 1 電極と、誘電体膜と、第 2 電極とを含んで構成されるキャパシタを形成するキャパシタ形成工程とを含むことを特徴とする半導体素子の製造方法。

【請求項 2】

前記接着層形成工程を、約 500 ～ 約 800 の温度範囲で前記イリジウム反応層を成長させる条件で行うことを特徴とする請求項 1 記載の半導体素子の製造方法。

【請求項 3】

前記プラグ形成工程が、
前記プラグ埋込層としてポリシリコン層を成長させることを特徴とする請求項 1 記載の半導体素子の製造方法。

【請求項 4】

前記反応予備膜を、約 10 ～ 約 1000 の範囲内の厚さに形成することを特徴とする請求項 1 記載の半導体素子の製造方法。

【請求項 5】

前記バリア埋込層平坦化工程を、CMP 法により、前記バリア層と前記接着層との研磨選択比が約 50:1 ～ 80:1 の範囲内となる条件で行うことを特徴とする請求項 1 記載の半導体素子の製造方法。

【請求項 6】

前記キャパシタ形成工程が、前記第 1 電極を形成する第 1 電極形成工程と、前記第 2 電極を形成する第 2 電極形成工程とを含み、前記第 1 電極形成工程または前記第 2 電極形成工程が、TiN、RuTiN、IrTiN、Ir、IrO_x、Ru、RuO_x、Rh、RhO_x、Pt 及びこれらを組み合わせたもののうち、いずれかの物質を成長させる処理を含むことを特徴とする請求項 1 記載の半導体素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子及びその製造方法に関し、特に、キャパシタを備える半導体素子

10

20

30

40

50

及びその製造方法に関する。

【背景技術】

【0002】

半導体素子の高集積化や小型化、高速化が進められるにつれ、キャパシタの占有面積が減少してきている。しかし、半導体素子の高集積化や小型化がなされても、駆動に必要なキャパシタの静電容量を確保する必要がある、そのための研究が進められている。

【0003】

キャパシタの静電容量を確保するための一つの方法として、キャパシタの下部電極をシリンドラ(Cyclinder)構造、スタック(Stack)構造、ピン(Pin)構造、凹状(Concave)構造などの多様な構造にして、制限された面積下でキャパシタ下部電極の有効表面積を拡大する方法がある。

10

【0004】

また、他の方法として、キャパシタ誘電体膜にBST、 Ta_2O_5 などの高誘電体膜や、SBTN((Sr, Bi)(Ta, Nb) $_2O_9$)、SBT((Sr, Bi)Ta $_2O_9$)、BLT((Bi, La)Ti $_3O_{12}$)のような強誘電体膜を用いる方法がある。なお、このような高誘電体膜や強誘電体膜を用いる場合、電気的特性面でキャパシタの上部電極や下部電極には、白金(Pt)、イリジウム(Ir)、ルテニウム(Ru)、イリジウム酸化膜(IrO)、ルテニウム酸化膜(RuO)、白金合金(Pt-alloy)、TiNなどの導電性膜が用いられている。

【0005】

このような導電性膜を用いてキャパシタ下部電極を形成する場合、ソース/ドレイン領域や、ワードライン、ビットラインのようなトランジスタ形成工程が完了した半導体基板上に、これらのトランジスタ等に接続されたストレージノードコンタクトプラグを先に形成しておき、該ストレージノードコンタクトプラグに接続された下部電極を形成して得られるPP(Polysilicon Plug)構造が広く用いられている。

20

【0006】

図1A及び図1Bは、従来の技術に係る半導体素子の一製造過程における素子の構造を示す断面図である。

【0007】

図1Aに示すように、まず半導体基板11上にゲート酸化膜12及びワードライン13を形成する。

30

【0008】

引き続き、ワードライン13両側の半導体基板11の表層部に不純物をイオン注入してソース14a及びドレイン14b(またはドレイン領域14a及びソース領域14b)を形成した後、半導体基板11及びワードライン13の上面に第1層間絶縁膜15を形成する。

【0009】

次いで、第1層間絶縁膜15をパターニングして、ドレイン領域14bを露出する第1コンタクトホールを形成した後、第1コンタクトホール内及び第1層間絶縁膜15の上面にタングステン層を成長させる。

【0010】

次いで、第1層間絶縁膜15の上面が露出するまで、タングステン層をエッチバック法または化学機械的研磨(Chemical Mechanical Polishing; CMP)法等で平坦化して第1コンタクトホール内に埋め込まれたビットラインコンタクト、すなわちタングステンプラグ16を形成する。

40

【0011】

そして、タングステンプラグ16及び第1層間絶縁膜15の上面にビットライン用導電膜を成長させた後、パターニングしてタングステンプラグ16を介してドレイン14bに接続されたビットライン17を形成する。このようにして、トランジスタ製造工程を実施しておく。

【0012】

次いで、ビットライン17及び第1層間絶縁膜15の上面に、第2層間絶縁膜18を成長させて平坦化した後、パターニングした感光膜(図示せず)をマスクとして、第2層間絶縁膜18と

50

第1層間絶縁膜15とをエッチングし、ソース領域14aの表面を露出する第2コンタクトホールを形成する。この第2コンタクトホールは、通常ストレージノードコンタクトホール(Storage Node Contact hole)と呼ばれる。

【0013】

次いで、第2コンタクトホール内及び第2層間絶縁膜18の上面にポリシリコン層を成長させた後、エッチバック法やCMP法により第2コンタクトホール内の上方部分に隙間を有して埋め込まれたポリシリコンプラグ19を形成する。

【0014】

次いで、ポリシリコンプラグ19及び第2層間絶縁膜18上にチタニウム(Ti)を成長させ、急速熱処理(Rapid Thermal Process ; RTP)を施して、ポリシリコンプラグ19のシリコン(Si)とチタニウム(Ti)とを反応させて、ポリシリコンプラグ19の上面にチタニウムシリサイド(Ti-Si)膜20を形成する。このチタニウムシリサイド膜20は、ポリシリコンプラグ19と下部電極との間でオーミックコンタクトを形成する役割を果たす。

【0015】

次に、ウェットエッチング等で未反応のチタニウムを除去し、チタニウムシリサイド膜20及び第2層間絶縁膜18の上面にチタニウムナイトライド(TiN)層を成長させた後、第2層間絶縁膜18の表面が露出されるまでチタニウムナイトライド層をエッチバック法やCMP法で平坦化して、第2コンタクトホール内に完全に埋め込まれたチタニウムナイトライド膜21を形成する。このチタニウムナイトライド膜21は、ポリシリコンプラグ19と下部電極との間の相互拡散を防止するバリヤ層として作用する。

【0016】

次いで、チタニウムナイトライド膜21及び第2層間絶縁膜18の上面に接着層22を形成した後、接着層22をパターニングして、チタニウムナイトライド膜21を露出させる第3コンタクトホールを形成する。

【0017】

この第3コンタクトホールは、非導電性の接着層22を貫通して、後続する拡散バリヤ膜とチタニウムナイトライド膜21とを電気的に接続させるために、チタニウムナイトライド膜21が埋め込まれた第2コンタクトホールより広い幅で形成される。なお、接着層22は、下部電極と第2層間絶縁膜18との間の接着力を強化するためのものであって、この接着層22には IrO_2 等が用いられる。

【0018】

次に、図1Bに示すように、第3コンタクトホールが形成された接着層22、チタニウムナイトライド膜21及び第2層間絶縁膜18の上面に拡散バリヤ膜23、下部電極24、誘電体膜25、上部電極26を形成するための層を順に成長させた後、上部電極26を先にパターニングして形成し、次いで誘電体膜25、下部電極24、拡散バリヤ膜23及び接着層22を順にパターニングして形成する。このようにしてキャパシタ構造を形成する。

【0019】

上述したような構造はCOB(Capacitor Over Bitline)構造といわれるが、この構造では、ポリシリコンプラグ19、チタニウムシリサイド膜20及びチタニウムナイトライド21からなるストレージノードコンタクト(SNC)を形成する工程、及び該ストレージノードコンタクトに接続される拡散バリヤ膜23を形成する工程が極めて重要である。

【0020】

ストレージノードコンタクトを形成する工程では、後続する誘電体膜25の結晶化の際に必須の高温熱処理時に十分な耐熱特性を有する構造を形成することが要求される。

【0021】

また、該誘電体膜25を形成する際の下層となる拡散バリヤ膜23を形成する工程では、拡散バリヤ膜23の上面が十分に平坦であることが要求される。これは、誘電体膜25を有機金属気相成長法(Metal Organic Chemical Vapor Deposition ; MOCVD法)や、ゾル-ゲル(Sol-gel)法により形成する場合、特に重要となる。

【0022】

10

20

30

40

50

しかし、拡散バリア膜23とプラグとの間を接着するためには、接着層22が必要であり、これによって、拡散バリア膜23の平坦性が損なわれていた。その理由は、接着層22の開口によってトポロジー(topology)、すなわち段差が発生し、後続する強誘電体膜の成長時に悪影響を与えていたためである。この弊害を抑えるために、接着層22を薄膜化することによって平坦性を確保することが試みられた。拡散バリア膜23の平坦性は、接着層22の厚さが薄ければ薄いほど良くなるからである。

【0023】

図2は、図1Aに示した第3コンタクトホールを形成したときの素子の構造をより詳細に示す断面図である。

【0024】

上述したように、薄膜化された接着層22を成長させると、次に、エッチングによりチタニウムナイトライド膜21を露出させる上記第3コンタクトホールを形成する。この場合、第2層間絶縁膜18に対する接着層22のエッチング選択比、及びチタニウムナイトライド膜21に対する接着層22のエッチング選択比を高くするエッチング条件でエッチングを行うことが必要となる。これは、接着層22の上面と第2層間絶縁膜18及びチタニウムナイトライド膜21の上面との間の段差を小さくし、後続する誘電体膜25の成長時にトポロジーによる弊害を抑えるためである。

【発明の概要】

【発明が解決しようとする課題】

【0025】

しかし、一般的に拡散バリア膜23には IrO_x/Ir の積層構造が用いられ、接着層22には、 IrO_2 が用いられる。 IrO_2 は、その接着特性こそ十分であるが、反応性の低い物質であるため、これをパターニングするときのエッチングは物理的な方法に限られる。したがって、第3コンタクトホール形成時のエッチングにおけるエッチング選択比は低いものに限られてしまう。その結果、被エッチング膜である接着層22をエッチングした後、マージン確保のために行うオーバエッチングでは、図示したようにチタニウムナイトライド膜21に対する第2層間絶縁膜18のエッチング選択比が高くなるなどの不具合が生じてしまい、チタニウムナイトライド膜21のメサ状構造を内部に有するトレンチAが第2層間絶縁膜18表層部に形成されてしまう等、拡散バリア膜23の平坦性を実現するには限界があった。

【0026】

そのため、後続する誘電体膜25を成長させる際に、トポロジーのために誘電体膜25の厚さが不均一となってしまう、誘電体膜25に熱処理を施す際にクラックなどが発生しやすくなり、また誘電体膜25のパターニングが困難になるという問題があった。

【0027】

さらに、トポロジーにより、上記熱処理工程において、拡散バリア膜23とストレージノードコンタクトとの接触状態や、誘電体膜25と下部電極24との接着状態に異常が発生し、メモリ素子においてエラーが発生するなど、強誘電体膜のキャパシタを備えた半導体素子はもちろん、熱処理工程が必要な誘電体膜のキャパシタを備えた全ての半導体素子において、安定したキャパシタ特性を実現するのが困難であるという問題があった。

【0028】

本発明は、上述した従来の技術が有する問題点を解決するためになされたものであって、トポロジーの発生を抑え、これにより、キャパシタの下部電極の平坦性を確保し、キャパシタ特性を安定化させることができる半導体素子の製造方法を提供することを目的としている。

【0029】

また、本発明は、上述したような接着層を用いる際にトポロジーの発生を抑制しつつ、プラグ、オーミックコンタクト層及びバリア層からなる接続部の耐酸化特性を向上させることができる半導体素子の製造方法を提供することを目的としている。

【課題を解決するための手段】

【0030】

10

20

30

40

50

本発明に係る半導体素子の製造方法は、トランジスタが形成された半導体基板上面に層間絶縁膜を成長させる層間絶縁膜成長工程と、前記層間絶縁膜をパターニングして、前記半導体基板の所定領域の表面を露出させる層間膜コンタクトホールを形成する層間膜コンタクトホール形成工程と、前記層間膜コンタクトホール内、及び前記層間絶縁膜の上面に、シリコン含有物質からなるプラグ埋込層を成長させ、前記層間膜コンタクトホール内にプラグを形成するプラグ形成工程と、前記プラグ及び前記層間絶縁膜の上面に形成された前記プラグ埋込層をエッチバック法で平坦化するプラグ埋込層平坦化工程と、前記プラグ及び前記層間絶縁膜の上面に所定の厚さを有する反応予備膜を形成する反応予備膜形成工程と、前記反応予備膜の上面にイリジウム含有物質を含むイリジウム反応層を成長させ、前記反応予備膜のシリコンと前記イリジウム反応層のイリジウムとを反応させて、前記プラグ及び前記層間絶縁膜の上面に、シリコン及びイリジウムを含有する接着層を成長させる接着層成長工程と、前記接着層をパターニングして、前記プラグの上面を露出させる接着層コンタクトホールを形成する接着層コンタクトホール形成工程と、前記接着層コンタクトホール内、及び前記接着層上面に導電性のバリヤ埋込層を成長させるバリヤ埋込層成長工程と、前記接着層の表面が露出するまで、前記バリヤ埋込層を平坦化して、前記バリヤ層を形成するバリヤ埋込層平坦化工程と、前記バリヤ層及び前記接着層の上面に第1電極と、誘電体膜と、第2電極とを含んで構成されるキャパシタを形成するキャパシタ形成工程とを含むことを特徴としている。

10

【0031】

ここで、前記接着層形成工程を、前記接着層形成工程を、約500 ~ 約800 の温度範囲で前記イリジウム反応層を成長させる条件で行うことが望ましい、その後、約500 ~ 約800 の温度範囲での熱処理を、少なくとも一回以上施して行うこともできる。

20

【0032】

また、前記プラグ形成工程が、前記プラグ埋込層としてポリシリコン層を成長させることが望ましい。

【0033】

また、前記反応予備膜を、約10 ~ 約1000 の範囲内の厚さに形成することが望ましい。

【0034】

また、前記バリヤ埋込層平坦化工程を、CMP法により、前記バリヤ層と前記接着層との研磨選択比が約50:1 ~ 80:1の範囲内となる条件で行うことが望ましい。

30

【0035】

また、前記キャパシタ形成工程が、前記第1電極を形成する第1電極形成工程と、前記第2電極を形成する第2電極形成工程とを含み、前記第1電極形成工程または前記第2電極形成工程が、TiN、RuTiN、IrTiN、Ir、IrO_x、Ru、RuO_x、Rh、RhO_x、Pt及びこれらを組み合わせたもののうち、いずれかの物質を成長させる処理を含むことが望ましい。

【発明の効果】

【0036】

本発明によれば、トポロジーの発生を抑え、これによって、キャパシタの下部電極の平坦性を確保し、キャパシタ特性を安定化させることができる。したがって、下部電極と誘電体膜の有効接触面積を増加させて、素子の電気特性を向上させることができる。また、キャパシタから出る電荷量の制御を容易にすることができ、それにより、素子の特性を均一にすることができる。

40

【0037】

また、本発明によれば、拡散バリヤ膜を均一に形成することができ、誘電体膜の結晶化のための熱処理での耐熱特性を高め、またプラグ及びバリヤ層の酸化を防止することができ、製造工程を安定化させることができるという優れた効果がある。

【図面の簡単な説明】

【0038】

【図1A】従来の技術に係る半導体素子の一製造過程における素子の構造を示す断面図で

50

ある。

【図 1 B】従来の技術に係る半導体素子の一製造過程における素子の構造を示す断面図である。

【図 2】図 1 A に示した第 3 コンタクトホールを形成したときの素子の構造をより詳細に示す断面図である。

【図 3】本発明の第 1 の実施の形態に係る半導体素子の構造を示す断面図である。

【図 4 A】本発明の第 1 の実施の形態に係る半導体素子の一製造過程における素子の構造を示す断面図である。

【図 4 B】本発明の第 1 の実施の形態に係る半導体素子の一製造過程における素子の構造を示す断面図である。

【図 4 C】本発明の第 1 の実施の形態に係る半導体素子の一製造過程における素子の構造を示す断面図である。

【図 4 D】本発明の第 1 の実施の形態に係る半導体素子の一製造過程における素子の構造を示す断面図である。

【図 4 E】本発明の第 1 の実施の形態に係る半導体素子の一製造過程における素子の構造を示す断面図である。

【図 5】本発明の第 2 の実施の形態に係る半導体素子の構造を示す断面図である。

【図 6 A】本発明の第 2 の実施の形態に係る半導体素子の一製造過程における素子の構造を示す断面図である。

【図 6 B】本発明の第 2 の実施の形態に係る半導体素子の一製造過程における素子の構造を示す断面図である。

【図 6 C】本発明の第 2 の実施の形態に係る半導体素子の一製造過程における素子の構造を示す断面図である。

【図 6 D】本発明の第 2 の実施の形態に係る半導体素子の一製造過程における素子の構造を示す断面図である。

【図 6 E】本発明の第 2 の実施の形態に係る半導体素子の一製造過程における素子の構造を示す断面図である。

【発明を実施するための形態】

【0039】

以下、添付した図面を参照しながら、本発明に係る実施の形態を詳しく説明する。

【0040】

図3は、本発明の第 1 の実施の形態に係る半導体素子の構造を示す断面図である。ここでは、半導体素子のうち半導体基板に接続されたキャパシタの部分のみを示している。

【0041】

図3に示すように、本発明の実施の形態に係る半導体素子は、基礎導電膜となる半導体基板31と、層間膜コンタクトホールとなる第 1 コンタクトホールを有し、半導体基板31上面に形成された層間絶縁膜32と、前記第 1 コンタクトホールと連続した接着層コンタクトホールとなる第 2 コンタクトホールを有し、層間絶縁膜32上面に形成された接着層34と、接着層34及び層間絶縁膜32を貫通した、前記第 1 コンタクトホール及び前記第 2 コンタクトホールからなる複合コンタクトホール内に、半導体基板31に接続され、接着層34の上面に合わせて平坦化されて形成された接続部100と、接続部100及び接着層34の上面に形成された第 1 電極となる拡散バリア膜37及び下部電極38の積層構造と、第 1 電極上面に形成された誘電体膜39と、誘電体膜39上面に形成された第 2 電極となる上部電極40とを備えたキャパシタを含んで構成されている。

【0042】

接着層34は、イリジウムとシリコンとが含まれた金属膜、例えばイリジウムシリサイド (IrSi_x) ($x=1\sim 2$)に限らず、イリジウム酸化膜 (IrO_2)、 Al_2O_3 、 Ta_2O_5 、 TiO_x ($x=1\sim 2$)、 ZrO_x ($x=1\sim 2$)、 HfO_x ($x=1\sim 2$)及びこれらを組み合わせたもののうち、いずれかを含んで構成されていることが望ましい。

【0043】

10

20

30

40

50

また、本実施の形態では、接続部100は、半導体基板31上に形成されたプラグとなるポリシリコンプラグ33、オーミックコンタクト層となるチタニウムシリサイド膜35、及びバリア層となるチタニウムナイトライド膜36aを含んで構成されており、接続部100の上面となるチタニウムナイトライド膜36aの上面は、接着層34の上面とほぼ同じ高さとなっている。

【0044】

本実施の形態では接続部100のプラグとして、ポリシリコンを用いているが、別の実施の形態では、タングステン(W)、タングステンシリサイド(W-Si)、TiN、TiAlN、TaSiN、TiSiN、TaN、TaAlN、TiSi、TaSi及びこれらを組み合わせたもののうち、いずれかを含んで構成されていてもよい。

10

【0045】

また、接続部100のバリア層は、本実施の形態で用いたチタニウムナイトライド(TiN)に限らず、TaNのような二元系窒化膜、TiSiN、TiAlN及びRuTiNのような三元系窒化膜、RuTiO及びこれらを組み合わせたもののうち、いずれかを含んで構成されていてもよい。

【0046】

そして、接続部100のオーミックコンタクト層は、本実施の形態で用いたチタニウムシリサイドに限らず、CoSiや、MoSi等をを含んで構成されていてもよい。

【0047】

一方、層間絶縁膜32は、BSG(Boron Silicate Glass)膜、BPSG(Boron PhosphoSilicate Glass)膜、HDP(High Density Plasma)酸化膜、USG(Undoped SilicateGlass)膜、TEOS(Tetra Ethyl Ortho Silicate)膜、APL(advanced planarization layer)酸化膜、SOG(Spin On Glass)膜及びこれらを組み合わせた積層膜のうち、いずれかを含んで構成されていることが望ましい。

20

【0048】

また、第1電極となる拡散バリア膜37及び下部電極38の積層構造、及び第2電極となる上部電極40は、Pt、Ir、 IrO_x 、Ru、 RuO_x 、Rh、 RhO_x 、 CaRuO_3 、 SrRuO_3 、 BaRuO_3 、 BaSrRuO_3 、 CaIrO_3 、 SrIrO_3 、 BaIrO_3 、 $(\text{La}, \text{Sr})\text{CoO}_3$ 、Cu、Al、Ta、Mo、W、Au、Ag、 WSi_2 、 TiSi_2 、 MoSi_x ($x=0.3 \sim 2$)、 CoSi_x ($x=1 \sim 2$)、 NbSi_x ($x=0.3 \sim 2$)、 TaSi_x ($x=1 \sim 2$)、TiN、TaN、WN、TiSiN、TiAlN、TiBN、ZrSiN、ZrAlN、MoSiN、MoAlN、RuTiN、IrTiN、TaSiN、TaAlN、Os、 OsO_x ($x=1 \sim 2$)、Pd、 PdO_x ($x=1 \sim 2$)及びこれらを組み合わせたもののうち、いずれかを含んで構成されていることが望ましい。

30

【0049】

また、誘電体膜39としては、 Ta_2O_5 、STO(SrTiO_3)、BST、PZT、PLZT($(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$)、BTO(BaTiO_3)、PMN($\text{Pb}(\text{Ng}_{1/3}\text{Nb}_{2/3})\text{O}_3$)、SBTN($(\text{Sr}, \text{Bi})(\text{Ta}, \text{Nb})_2\text{O}_9$)、SBT($(\text{Sr}, \text{Bi})\text{Ta}_2\text{O}_9$)、BLT($(\text{Bi}, \text{La})\text{Ti}_3\text{O}_{12}$)、PT(PbTiO_3)及びこれらを組み合わせたもののうち、いずれかを含んで構成されていることが望ましい。

【0050】

図4A～図4Eは、図3に示した半導体素子の一製造工程における素子の構造を示す断面図である。図示していないが、半導体基板31にはワードライン、ソース及びドレインを備えたトランジスタや、ビットラインコンタクト、ビットラインが形成されており、このことは以下においても同様である。

40

【0051】

まず、層間絶縁膜成長工程として、上記トランジスタ等が形成された半導体基板31上面に層間絶縁膜32を成長させて、半導体基板31表面におけるトランジスタ等の凹凸形状(図示せず)を埋め込んで平坦化する。

【0052】

次いで、層間膜コンタクトホール形成工程として、層間絶縁膜32をパターニングして、半導体基板31に形成されたソース領域やドレイン領域等の所定領域の表面を露出する層間膜コンタクトホールとして第1コンタクトホールを形成する。

【0053】

50

次に、プラグ形成工程のプラグ埋込層成長工程として、第1コンタクトホール内、及び層間絶縁膜32の上面に、シリコン含有物質からなる導電性のプラグ埋込層33を成長させる。本実施の形態では、プラグ埋込層33としてポリシリコン層を成長させ、第1コンタクトホール内に埋め込まれ、半導体基板31に接続されたポリシリコンプラグ33aと、該ポリシリコンプラグ33a及び層間絶縁膜32の上面に所定の厚さを有する反応予備膜33bとを形成する。

【0054】

このプラグ埋込層成長工程を、プラグ埋込層を、化学気相成長法(CVD法)、物理気相成長法(PVD法)、原子層成長法(ALD法)及びこれらを組み合わせた成長法のうち、いずれかの成長法を用いて成長させて行うことが望ましい。

10

【0055】

しかし、ポリシリコン層を成長させるだけではプラグ埋込層33における反応予備膜33bの厚さや平坦性を十分に制御できない場合がある。プラグ埋込層33における反応予備膜33bは、後にイリジウムと反応させるので、このとき膜全体が反応するのに適した所定の厚さで形成されることが望ましい。

【0056】

そのため、上記のような場合には、反応予備膜が厚めになるようにプラグ埋込層33を成長させた後、プラグ形成工程のプラグ埋込層平坦化工程として、ポリシリコンプラグ33a及び層間絶縁膜32上面のプラグ埋込層33をエッチバック法で平坦化することが望ましい。

【0057】

以上のようにして、反応予備膜33bをコンタクトホールの外側の層間絶縁膜32上面に、約10 ~ 約1000 の範囲内の厚さで形成することが望ましい。

20

【0058】

次いで、接着層成長工程として、反応予備膜33bの上面にイリジウム含有物質を含むイリジウム反応層(図示せず)を成長させ、反応予備膜33bのシリコンと前記イリジウム反応層のイリジウムとを反応させて、図4Bに示すように、ポリシリコンプラグ33a及び層間絶縁膜32の上面に、シリコン及びイリジウムを含有するイリジウムシリサイド(IrSi_x)からなる接着層34を成長させる。このとき、前記第1コンタクトホール内のポリシリコンプラグ33aが残留する。なお、本実施の形態では、イリジウム含有物質としてイリジウムを用いている。

30

【0059】

この接着層成長工程を、約500 ~ 約800 の温度範囲でイリジウム反応層を成長させるとともに、反応予備膜33bのシリコンとイリジウムとを反応させて行うことが望ましい。

【0060】

この場合、上述のように反応予備膜33bを所定の厚さにしておくと、層間絶縁膜32と接着層34との間にポリシリコンは残留しない。

【0061】

接着層34は、特に、 SiO_2 系の層間絶縁膜32との間で優れた接着力を有し、また、イリジウムが含まれた拡散バリア膜及び下部電極との間でも優れた接着力を有する。これは、層間絶縁膜32がシリコンを、拡散バリア膜及び下部電極がイリジウムを各々成分に有しているからである。

40

【0062】

本実施の形態では、接着層成長工程を、イリジウムを約500 ~ 約800 の温度範囲で成長させるとともに反応予備膜33bのシリコンとイリジウムとを反応させて行っているが、接着層成長工程を、約500 ~ 約800 の温度範囲で前記イリジウム反応層を成長させる条件で行った後、約500 ~ 約800 の温度範囲での熱処理を、少なくとも一回以上施して行うこともできる。

【0063】

なお、上記のようにイリジウムシリサイドを形成する場合、イリジウムとシリコンとの組成比は熱処理の温度や雰囲気により決定され、組成によって電気導電性に差が生じる。

50

【0064】

次に、接着層コンタクトホール形成工程として、図4Cに示すように、接着層34をパターンニングして、ポリシリコンプラグ33aの上面を露出させる第2コンタクトホールを形成する。

【0065】

次いで、バリア層形成工程として、図4Dに示すように、第2コンタクトホール内に、ポリシリコンプラグ33aに接続され、接着層34の上面に合わせて平坦化された、チタニウムシリサイド膜35とチタニウムナイトライド膜36aとの積層構造からなるバリア層を形成する。

【0066】

まず、第2コンタクトホール内及び接着層34の上面にチタニウム層（図示せず）を成長させ、急速熱処理(RTP)を施して、ポリシリコンプラグ33aのシリコンとチタニウム層のチタニウムとを反応させて、ポリシリコンプラグ33a上面にチタニウムシリサイド(Ti-Si)膜35を形成する。チタニウムシリサイド膜35は、ポリシリコンプラグ33aと第1電極との間にオーミックコンタクトを形成する役割を果たす。

【0067】

次いで、ウェットエッチング等で未反応のチタニウムを除去した後、バリア層形成工程のバリア埋込層成長工程として、図4Cに示すように、第2コンタクトホール内のチタニウムシリサイド膜35上面、及び接着層34上面に、導電性のバリア埋込層としてチタニウムナイトライド(TiN)層36を成長させる。このようにバリア層形成工程は、TiN、Ta₂N、TiSiN、TiAlN、RuTiN、RuTiO₂及びこれらを組み合わせたもののうち、いずれかの物質を成長させる処理を含むことが望ましい。

【0068】

そして、バリア層形成工程のバリア埋込層平坦化工程として、図4Dに示すように、接着層34の表面が露出するまで、チタニウムナイトライド層36をCMP法で平坦化して、第2コンタクトホールに埋め込まれたバリア層となるチタニウムナイトライド膜36aを形成する。

【0069】

このバリア埋込層平坦化工程を、チタニウムナイトライド膜36aと接着層34との研磨選択比が約50:1~80:1の範囲内となる条件で行うことが望ましく、そのため、スラリーなどの研磨条件を設定し、CMP法による接着層34の損失を低減させるとよい。

【0070】

このチタニウムナイトライド膜36aは、コンタクト抵抗を低下させ、拡散防止特性を向上させるという役割を果たす。そのためには、チタニウムナイトライド膜36aを50~5000の範囲内の厚さで形成することが好ましく、またN₂、N₂O、NH₃及びO₂のうち、いずれかのガス雰囲気中でプラズマ処理を施すことによって、酸化防止特性をより一層向上させることができる。

【0071】

次に、キャパシタ形成工程として、図4Eに示すように、チタニウムナイトライド36a及び接着層34の上面に第1電極となる拡散バリア膜37及び下部電極38と、誘電体膜39と、第2電極となる上部電極40とを含んで構成されるキャパシタを形成する。

【0072】

本実施の形態では、誘電体膜39を、MOCVD法、ゾル-ゲル法、スピンオン法、CVD法、ALD法、PVD法及びこれらを組み合わせた成長法のうち、いずれか一つの成長法により成長させることが望ましい。そして、拡散バリア膜37、下部電極38及び上部電極40を、MOCVD法、CVD法、ALD法、PVD法及びこれらを組み合わせた成長法のうち、いずれかの成長法により成長させることが望ましい。

【0073】

次いで、上部電極40を先にパターンニングし、誘電体膜39、下部電極38、拡散バリア膜37及び接着層34を順にパターンニングして、下部電極38の幅が上部電極40の幅より広いキャパ

10

20

30

40

50

シタを形成する。

【0074】

この場合、誘電体膜39をパターニングした後、300 ～850 で一回以上の熱処理を施し、キャパシタを形成した後に、キャパシタの特性を向上させるために窒素を含んだガス雰囲気、例えばアンモニア(NH₃)雰囲気下でプラズマ処理を施すことが望ましい。

【0075】

例えば、誘電体膜39をパターニングした後、300 ～500 の温度範囲で、プラズマ熱処理またはUV-O₃熱処理を施して、膜内の酸素の欠乏を十分に補う。その後、500 ～850 の温度範囲で急速熱処理(RTP)、または通常の熱処理を施して、膜内に残留する炭素、水素などの不純物を除去する。これにより、優れた誘電体特性を得ることができる。

10

【0076】

図5は、本発明の第2の実施の形態に係る半導体素子の構造を示す断面図である。

【0077】

図5に示すように、本発明の第2の実施の形態に係る半導体素子は、基礎導電膜となる半導体基板51と、層間膜コンタクトホールとなる第3コンタクトホールを有し、半導体基板51上面に形成された層間絶縁膜52と、前記第3コンタクトホールと連続した接着層コンタクトホールとなる第4コンタクトホールを有し、層間絶縁膜52上面に形成された接着層54と、接着層54及び層間絶縁膜52を貫通した、前記第3コンタクトホール及び前記第4コンタクトホールからなる複合コンタクトホール内に半導体基板51に接続され、接着層54の上面に合わせて平坦化されて形成された接続部200と、接続部200及び接着層54の上面に形成された第1電極となる拡散バリア膜57及び下部電極58の積層構造、第1電極上面に形成された誘電体膜59、及び誘電体膜59上面に形成された第2電極となる上部電極60を備えたキャパシタを含んで構成されている。

20

【0078】

本実施の形態では、図示したように、コンタクトホールの形状が図3に示したものと大きく異なっている。すなわち、接着層コンタクトホールとなる第4コンタクトホールは、層間膜コンタクトホールとなる第3コンタクトホールより広い幅を有し、層間絶縁膜52の上部を窪ませる絶縁膜凹部を備えている。

【0079】

これにより、接続部200は、第3コンタクトホール内に形成されたプラグとなるポリシリコンプラグ53と、絶縁膜凹部を含む第4コンタクトホール内に形成されたオーミックコンタクト層となるチタニウムシリサイド膜55及びバリア層となるチタニウムナイトライド膜56aとを含んで構成されている。そして、接続部200の上端面となるチタニウムナイトライド膜56aは、接着層34の上面とほぼ同じ高さとなっており、また、ポリシリコンプラグ53に比べてその幅がより広がっている。すなわち、接続部200は、その上面の面積が底面の面積に比べてより広がっている。

30

【0080】

しかし、本実施の形態における接着層54、接続部200、層間絶縁膜52、第1電極となる拡散バリア膜57及び下部電極58、第2電極となる上部電極60、及び誘電体膜59等を構成する物質については、図3に示したものと同様である。

40

【0081】

図6A～図6Eは、図5に示した半導体素子の一製造工程における素子の構造を示す断面図である。なお、ここでも、半導体基板51にトランジスタ等が省略されている。

【0082】

図6A及び図6Bに示す層間絶縁膜成長工程、層間膜コンタクトホール形成工程、プラグ形成工程及び接着層成長工程を経て、半導体基板51上面に層間絶縁膜52及びポリシリコンプラグ53aを形成し、その上面に接着層54を形成するまでの工程は、図4A及び図4Bに示したものと同様であるので、ここではその説明を省略する。

【0083】

本実施の形態では、接着層コンタクトホール形成工程として、図6Cに示すように、接着

50

層54をパターンニングして、ポリシリコンプラグ53aの上面を露出させる第4コンタクトホールを形成する。この第4コンタクトホールは、層間絶縁膜52の上部を窪ませた絶縁膜凹部を備えており、ポリシリコンプラグ53aより広い幅をもって、埋め込まれた上記第3コンタクトホールと連続している。

【0084】

この場合、絶縁膜凹部形成のために接着層54をエッチングした後、層間絶縁膜52をオーバエッチングすることとなるが、このとき、層間絶縁膜52とポリシリコンプラグ53aとのエッチングの選択比を調節することにより、ポリシリコンプラグ53aの上方部分を残留させておく。

【0085】

次いで、バリヤ層形成工程として、図6Dに示すように、絶縁膜凹部を含む第4コンタクトホール内に、チタニウムシリサイド膜55及びチタニウムナイトライド膜56aからなるバリヤ層を形成する。

【0086】

まず、絶縁膜凹部を含む第4コンタクトホール内、及び接着層54上面に、チタニウム層（図示せず）を成長させ、急速熱処理(RTP)を施して、ポリシリコンプラグ53aのシリコンとチタニウムとを反応させる。このようにして、ポリシリコンプラグ53a上面にオーミックコンタクト層となるチタニウムシリサイド(Ti-Si)膜55を形成する。チタニウムシリサイド膜55は、ポリシリコンプラグ53aと第1電極との間にオーミックコンタクトを形成する役割を果たす。

【0087】

次いで、ウェットエッチング等で未反応チタニウムを除去した後、バリヤ層形成工程のバリヤ埋込層成長工程として、図6Cに示すように、絶縁膜凹部を含む第4コンタクトホール内、及び接着層54上面に、導電性のバリヤ埋込層としてチタニウムナイトライド(TiN)層56を成長させる。

【0088】

そして、バリヤ層形成工程のバリヤ埋込層平坦化工程として、図6Dに示すように、接着層54の表面が露出するまで、チタニウムナイトライド層56をCMP法で平坦化して、第4コンタクトホールに埋め込まれたバリヤ層となるチタニウムナイトライド膜56aを形成する。チタニウムナイトライド膜56aの研磨条件等については、図4C及び図4Dに示した場合と同様である。

【0089】

次に、キャパシタ形成工程として、図6Eに示すように、チタニウムナイトライド膜56a及び接着層54上面に第1電極となる拡散バリヤ膜57及び下部電極58と、誘電体膜59と、上部電極60とを順に形成するが、これについても図4Eに示した実施の形態と同様であるので、その詳細な説明を省略する。

【0090】

上述したような第1の実施の形態又は第2の実施の形態によれば、バリヤ層となるチタニウムナイトライド膜36a又は56aと第1電極となる拡散バリヤ膜37又は57及び下部電極38又は58の積層構造との間を接続するための接着層コンタクトホールを形成した後、接着層34又は54の上面に合わせて平坦化されたチタニウムナイトライド膜36a又は56aを形成することにより、上述したトポロジーの発生を抑制することができる。

【0091】

また、前記した実施の形態では、積層型(Stack)キャパシタの場合を示したが、本発明は、キャパシタの誘電体膜を備え、プラグと下部電極との間バリヤ層を備える全ての半導体素子に適用することができる。したがって、下部電極を形成する部分の平坦性が要求される凹状(concave)キャパシタや、シリンダー型(cylinder)キャパシタにも適用することができる。

【0092】

また、本発明は、トランジスタのソース/ドレイン領域に接続されるキャパシタの他に

10

20

30

40

50

、トランジスタのゲート電極のような導電膜に接続されるキャパシタの製造にも適用することができる。したがって、ビットライン上にキャパシタが形成されるCOB(Capacitor Over Bitline)構造や、キャパシタ上にビットラインが形成されるCUB(Capacitor Under Bitline)構造の半導体素子に適用することができる。

【 0 0 9 3 】

尚、本発明は、上記実施の形態に限られるものではない。当業者は、本発明の趣旨から逸脱しない範囲内で多様に変更することが可能であるが、これらも本発明の技術的範囲に属する。

【 符号の説明 】

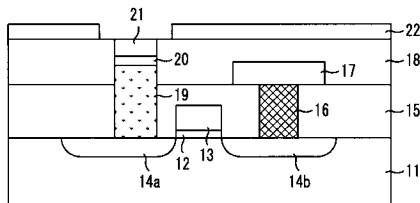
【 0 0 9 4 】

- 31、51 半導体基板
32、52 層間絶縁膜
33、53 プラグ埋込層
33a、53a ポリシリコンプラグ
34、54 接着層
35、55 チタニウムシリサイド
36a、56a チタニウムナイトライド
37、57 拡散バリア膜
38、58 下部電極
39、59 誘電体膜
40、60 上部電極

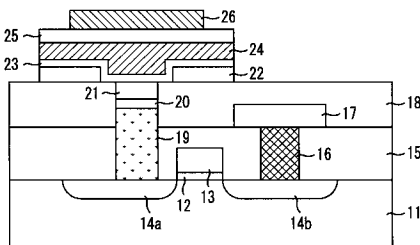
10

20

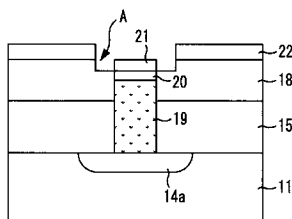
【 図 1 A 】



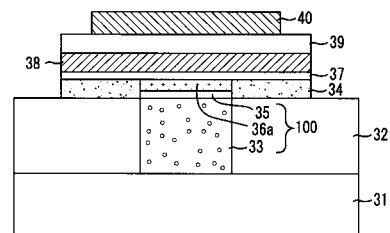
【 図 1 B 】



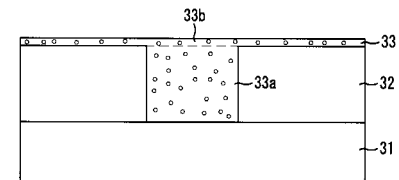
【 図 2 】



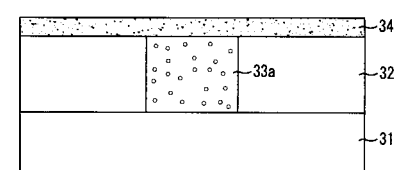
【 図 3 】



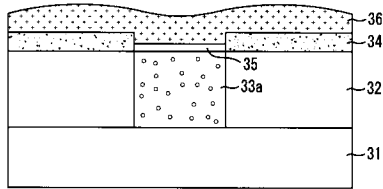
【 図 4 A 】



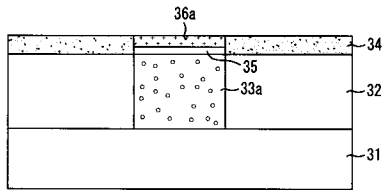
【 図 4 B 】



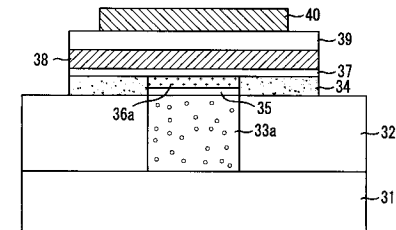
【図 4 C】



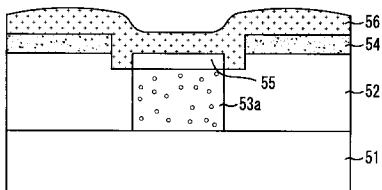
【図 4 D】



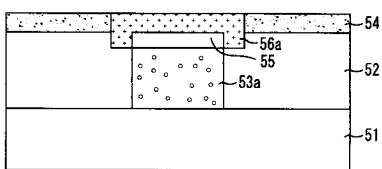
【図 4 E】



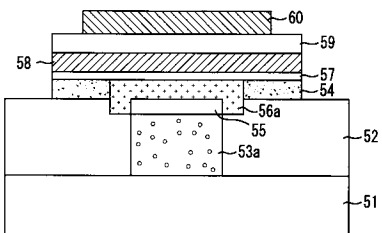
【図 6 C】



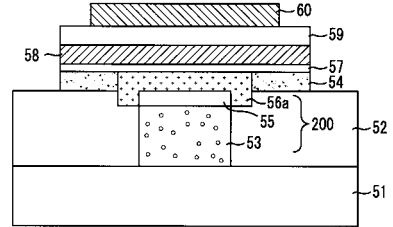
【図 6 D】



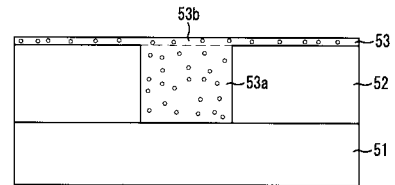
【図 6 E】



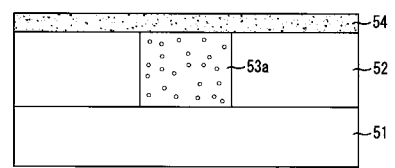
【図 5】



【図 6 A】



【図 6 B】



フロントページの続き

(72)発明者 権 純 容

大韓民国京畿道利川市夫鉢邑牙美里山 1 3 6 - 1

(72)発明者 ▲廉▼ ▲勝▼ 振

大韓民国京畿道利川市夫鉢邑牙美里山 1 3 6 - 1

(72)発明者 崔 殷 碩

大韓民国京畿道利川市夫鉢邑牙美里山 1 3 6 - 1

(72)発明者 成 鎮 溶

大韓民国京畿道利川市夫鉢邑牙美里山 1 3 6 - 1

F ターム(参考) 5F083 AD21 AD48 AD49 FR01 JA06 JA14 JA15 JA17 JA35 JA38
JA40 JA43 JA45 MA05 MA06 MA17 PR33