



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년02월12일

(11) 등록번호 10-1593438

(24) 등록일자 2016년02월03일

(51) 국제특허분류(Int. Cl.)

H03F 3/38 (2006.01) H03F 3/217 (2006.01)

(21) 출원번호 10-2009-0087600

(22) 출원일자 2009년09월16일

심사청구일자 2014년09월03일

(65) 공개번호 10-2011-0029776

(43) 공개일자 2011년03월23일

(56) 선행기술조사문헌

US7492219 B1\*

JP2005311472 A\*

JP2000500625 A

JP2005348361 A

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

김봉주

경기도 화성시 삼성전자로 1, 삼성반도체 화성사업장 지적재산팀 (반월동)

염왕섭

경기도 화성시 삼성전자로 1, 삼성반도체 화성사업장 지적재산팀 (반월동)

(뒷면에 계속)

(74) 대리인

박영우

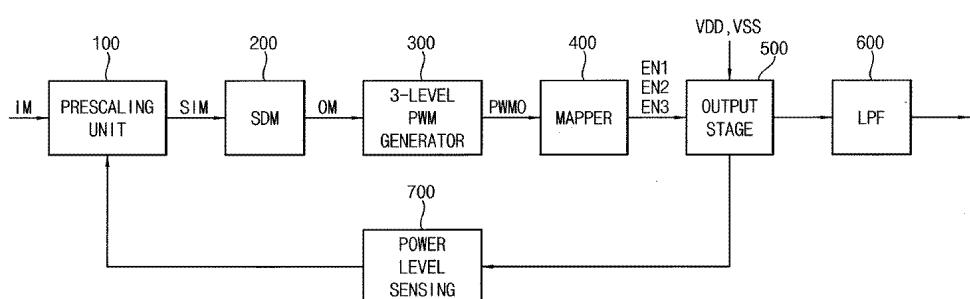
전체 청구항 수 : 총 9 항

심사관 : 손희수

(54) 발명의 명칭 하프-브릿지 3-레벨 펄스폭 변조 증폭기, 이의 구동 방법 및 오디오 처리 장치

**(57) 요약**

하프-브릿지 3-레벨 PWM 증폭기가 개시된다. 하프-브릿지 3-레벨 PWM 증폭기는 프리스케일링부, PWM 생성기 및 출력 스테이지를 포함한다. PWM 생성기는 프리스케일링부에서 제공되는 스케일링된 신호의 크기에 따라 3-레벨 펄스폭 변조 신호를 생성한다. 출력 스테이지는 3-레벨 펄스폭 변조 신호에 기초하여 출력 노드를 구동한다.

**대 표 도**20

(72) 발명자

**이용희**

경기도 화성시 삼성전자로 1, 삼성반도체 화성사업  
장 지적재산팀 (반월동)

**유승빈**

경기도 화성시 삼성전자로 1, 삼성반도체 화성사업  
장 지적재산팀 (반월동)

---

**석춘균**

경기도 화성시 삼성전자로 1, 삼성반도체 화성사업  
장 지적재산팀 (반월동)

## 특허청구의 범위

### 청구항 1

입력 신호를 개인 값에 따라 스케일링하여 스케일링된 신호로 제공하는 프리스케일링부;

상기 스케일링된 신호의 크기에 따라 제1 레벨의 펄스폭 또는 제2 레벨의 펄스폭을 가변하여, 상기 제1 레벨, 상기 제2 레벨 및 기준 레벨을 가지는 3-레벨 펄스폭 변조 신호를 생성하는 PWM(pulse width modulation) 생성기; 및

상기 3-레벨 펄스폭 변조 신호에 기초하여 부하의 일 단자에 연결되는 출력 노드를 제1 전원 전압, 제2 전원 전압, 또는 제3 전원 전압 레벨로 구동하는 출력 스테이지를 구비하고, 상기 개인 값은 상기 전원 전압들의 레벨 변동을 역으로 보상하는 크기이고,

상기 프리스케일링부는,

상기 기준 레벨에 기초하여 상기 입력 신호를 상기 기준 레벨 이상인 제1 입력 신호와 상기 기준 레벨 이하인 제2 입력 신호로 분리하는 신호 분리기;

상기 제1 입력 신호 또는 상기 제2 입력 신호에 상기 개인 값을 곱하여 제1 스케일링된 신호 및 제2 스케일링된 신호로 제공하는 스케일러; 및

상기 제1 스케일링된 신호 및 상기 제2 스케일링된 신호를 합산하여 상기 스케일링된 신호로 제공하는 합산기를 포함하고,

상기 프리스케일링부는 상기 제1 입력 신호와 상기 제2 입력 신호에 대하여 비대칭적으로 상기 스케일링을 수행하는 하프-브릿지 3-레벨 PWM 증폭기.

### 청구항 2

제1항에 있어서,

상기 제3 전원 전압은 그라운드 레벨이고,

상기 제1 전원 전압은 상기 제3 전원 전압보다 높은 양의 전압이며,

상기 제2 전원 전압은 상기 제3 전원 전압보다 낮은 음의 전압이고,

상기 제1 전원 전압과 상기 제2 전원 전압의 레벨 변화에 기초하여 상기 프리스케일링부에 상기 개인 값을 제공하는 전원 전압 감지부를 더 포함하고,

상기 전원 전압 감지부는,

상기 제1 전원 전압과 상기 제2 전원 전압 각각의 레벨에 따른 디지털 값을 제공하는 아날로그 디지털 변환기; 및

상기 디지털 값에 기초하여 상기 개인 값을 연산하여 상기 개인 값을 제공하는 연산부를 포함하는 것을 특징으로 하는 하프-브릿지 3-레벨 PWM 증폭기.

### 청구항 3

삭제

### 청구항 4

삭제

### 청구항 5

제2항에 있어서, 상기 연산부는,

상기 제1 전원 전압과 상기 제2 전원 전압 각각의 레벨에 따른 디지털 값의 크기를 비교하여 상기 개인 값을 제

공하는 것을 특징으로 하는 하프-브릿지 3-레벨 PWM 증폭기.

#### 청구항 6

제2항에 있어서, 상기 연산부는

상기 제1 전원 전압과 상기 제2 전원 전압 각각의 레벨이 변동되기 전의 정상 레벨과 상기 제1 전원 전압과 상기 제2 전원 전압 각각의 변동분에 기초하여 상기 게인 값을 제공하는 것을 특징으로 하는 하프-브릿지 3-레벨 PWM 증폭기.

#### 청구항 7

삭제

#### 청구항 8

제1항에 있어서, 상기 프리스케일링부는

상기 제1 입력 신호 및 상기 제2 입력 신호에 대하여 각각 상기 게인 값에 포함되는 제1 게인 값 제2 게인 값을 곱하여 상기 제1 스케일링된 신호 및 상기 제2 스케일링된 신호로 제공하는 것을 특징으로 하는 하프-브릿지 3-레벨 PWM 증폭기.

#### 청구항 9

제1항에 있어서, 상기 프리스케일링부는

상기 제1 입력 신호에 대하여 상기 게인 값을 곱하여 상기 제1 스케일링된 신호로 제공하는 것을 특징으로 하는 하프-브릿지 3-레벨 PWM 증폭기.

#### 청구항 10

제1항에 있어서, 상기 프리스케일링부는

상기 제2 입력 신호에 대하여 상기 게인 값을 곱하여 상기 제2 스케일링된 신호로 제공하는 것을 특징으로 하는 하프-브릿지 3-레벨 PWM 증폭기.

#### 청구항 11

삭제

#### 청구항 12

제1항에 있어서, 상기 PWM 생성기는

상기 기준 레벨 이상인 상기 제1 스케일링된 신호의 크기에 따라 상기 제1 레벨의 펄스폭을 가변한 제1 펄스폭 변조 신호와 상기 기준 레벨 이하인 상기 제2 스케일링된 신호의 크기에 따라 상기 제2 레벨의 펄스폭을 가변한 제2 펄스폭 변조 신호를 결합하여 상기 3-레벨 펄스폭 변조 신호를 출력하는 것을 특징으로 하는 하프-브릿지 3-레벨 PWM 증폭기.

#### 청구항 13

삭제

#### 청구항 14

삭제

#### 청구항 15

제1항에 있어서, 상기 출력 스테이지는

제1 인에이블 신호에 응답하여 상기 출력 노드를 상기 제1 전원 전압으로 구동하는 풀업부;

제2 인에이블 신호에 응답하여 상기 출력 노드를 상기 제2 전원 전압으로 구동하는 풀다운부; 및  
 제3 인에이블 신호에 응답하여 상기 출력 노드를 상기 제3 전원 전압으로 구동하는 스위칭부를 포함하고,  
 상기 제3 전원 전압은 그라운드 레벨이고,  
 상기 제1 전원 전압은 상기 제3 전원 전압보다 높은 양의 전압이며,  
 상기 제2 전원 전압은 상기 제3 전원 전압보다 낮은 음의 전압인 것을 특징으로 하는 하프-브릿지 3-레벨 PWM  
 증폭기.

### 청구항 16

삭제

### 청구항 17

삭제

### 청구항 18

삭제

### 청구항 19

삭제

### 청구항 20

삭제

### 청구항 21

삭제

## 명세서

### 발명의 상세한 설명

#### 기술 분야

[0001] 본 발명은 증폭기 분야에 관한 것으로, 보다 상세하게는 하프-브리지(half-bride) PWM 방식의 증폭기에 관한 것이다.

#### 배경 기술

[0002] PWM 방식은 변조 신호의 크기에 따라서 펄스의 폭을 변화시켜 변조하는 방식으로서, 고효율, 고해상도 및 저전력 특성으로 인해 증폭기(예컨대, 클래스 D 증폭기)나 오디오 장치에 많이 사용된다. 따라서 PWM 증폭기는 클래스-D 증폭기라 불리우기도 한다.

[0003] 일반적으로 PWM 방식의 오디오 장치는 오디오 신호의 샘플레이트에 비해 높은 주파수를 갖는 PWM 변조 신호에 오디오 신호를 실어서 전달한다. PWM 증폭기는 오디오 신호를 디지털 신호의 한 형태인 PWM 신호로 변환시키고 이를 증폭하여 스피커나 헤드폰(헤드셋, 이어폰 등)으로 출력한다.

[0004] 스피커를 구동하기 위해서는 통상 풀-브릿지(full-bridge) 형태의 PWM 증폭기가 사용되며, 헤드폰과 같이 제로(zero) 전압인 그라운드 레벨을 기준으로 입력 신호가 인가되는 장치를 구동하기 위해서는 일반적으로 하프-브릿지(Half-Bridge) 형태의 PWM 증폭기가 사용된다.

[0005] 통상의 PWM 신호의 구동 방식은 2-레벨 구동 방식으로서, PWM 신호에 따라 미리 정해진 양(+) 전압과 그라운드 레벨을 스위칭하는 방식이거나 양 전압과 음(-) 전압을 스위칭하는 방식이다.

[0006] 이러한 2-레벨PWM 구동 방식은 입력 신호가 '0' 일 때에도 출력 스테이지는 계속50:50 의 PWM 드티를 유지하면서 스위칭 하기 때문에 오디오 신호가 소모하는 동적(dynamic) 전류 이외의 불필요한 정적(Static) 전류가 항상

소모되면서 출력 효율이 떨어진다.

[0007] 또한 출력 스테이지의 전원전압의 레벨이 변동하여 전원전압들 간의 레벨에 미스매치가 발생한 경우는 복원되는 오디오 신호에서 이러한 미스매치로 인한 왜곡이 발생하게 된다.

## 발명의 내용

### 해결 하고자하는 과제

[0008] 이에 따라, 본 발명의 일 목적은 정적(static) 전류 소모를 줄여 효율을 높임과 동시에 전원전압의 비대칭으로 인한 왜곡을 방지할 수 있는 하프-브릿지 3-레벨 PWM 증폭기 및 그 구동방법을 제공하는 것이다.

[0009] 본 발명의 다른 목적은 상기 하프-브릿지 3-레벨 PWM 증폭기를 구비하는 오디오 처리 장치를 제공하는 것이다.

[0010] 상기한 본 발명의 일 목적을 달성하기 위하여 본 발명의 일 실시예에 따른 하프-브릿지 3-레벨 PWM 증폭기는 프리스케일링부, PWM(pulse width modulation) 생성기 및 출력 스테이지를 포함한다. 상기 프리스케일링부는 입력 신호를 개인 값에 따라 스케일링하여 스케일링된 신호로 제공한다. 상기 PWM 생성기는 상기 스케일링된 신호의 크기에 따라 제1 레벨의 펄스폭 또는 제2 레벨의 펄스폭을 가변하여, 상기 제1 레벨, 상기 제2 레벨 및 기준 레벨을 가지는 3-레벨 펄스폭 변조 신호를 생성한다. 상기 출력 스테이지는 상기 3-레벨 펄스폭 변조 신호에 기초하여 부하의 일 단자에 연결되는 출력 노드를 제1 전원 전압, 제2 전원 전압, 또는 제3 전원 전압 레벨로 구동한다. 상기 개인 값은 상기 전원들의 레벨 변동을 역으로 보상하는 크기이다.

[0011] 실시예에 있어서, 상기 제3 전원 전압은 그라운드 레벨이고, 상기 제1 전원 전압은 상기 제3 전원 전압보다 높은 양의 전압이며, 상기 제2 전원 전압은 상기 제3 전원 전압보다 낮은 음의 전압일 수 있다.

[0012] 실시예에 있어서, 상기 제1 전원 전압과 상기 제2 전원 전압의 레벨 변화에 기초하여 상기 프리스케일링부에 상기 개인 값을 제공하는 전원 전압 감지부를 더 포함할 수 있다.

[0013] 상기 전원전압 감지부는 상기 제1 전원 전압과 상기 제2 전원 전압 각각의 레벨에 따른 디지털 값을 제공하는 아날로그 디지털 변환기 및 상기 디지털 값을 기초하여 상기 개인 값을 연산하여 상기 개인 값을 제공하는 연산부를 포함할 수 있다.

[0014] 상기 연산부는 상기 제1 전원 전압과 상기 제2 전원 전압 각각의 레벨에 따른 디지털 값의 크기를 비교하여 상기 개인 값을 제공할 수 있다.

[0015] 상기 연산부는 상기 제1 전원 전압과 상기 제2 전원 전압 각각의 레벨이 변동되기 전의 정상 레벨과 상기 제1 전원 전압과 상기 제2 전원 전압 각각의 변동분에 기초하여 상기 개인 값을 제공할 수 있다.

[0016] 실시예에 있어서, 상기 프리스케일링부는 상기 기준 레벨에 기초하여 상기 입력 신호를 상기 기준 레벨 이상인 제1 입력 신호와 상기 기준 레벨 이하인 제2 입력 신호로 분리하는 신호 분리기, 상기 제1 입력 신호 또는 상기 제2 입력 신호에 상기 개인 값을 곱하여 제1 스케일링된 신호 및 제2 스케일링된 신호로 제공하는 스케일러 및 상기 제1 스케일링된 신호 및 상기 제2 스케일링된 신호를 합산하여 상기 스케일링된 신호로 제공하는 합산기를 포함할 수 있다.

[0017] 상기 프리스케일링부는 상기 제1 입력 신호 및 상기 제2 입력 신호에 대하여 각각 상기 개인 값에 포함되는 제1 개인 값 제2 개인 값을 곱하여 상기 제1 스케일링된 신호 및 상기 제2 스케일링된 신호로 제공할 수 있다.

[0018] 상기 프리스케일링부는 상기 제1 입력 신호에 대하여 상기 개인 값을 곱하여 상기 제1 스케일링된 신호로 제공할 수 있다.

[0019] 상기 프리스케일링부는 상기 제2 입력 신호에 대하여 상기 개인 값을 곱하여 상기 제2 스케일링된 신호로 제공할 수 있다.

[0020] 상기 프리스케일링부는 상기 제1 입력 신호와 상기 제2 입력 신호에 대하여 비대칭적으로 상기 스케일링을 수행할 수 있다.

[0021] 실시예에 있어서, 상기 PWM 생성기는 상기 스케일링된 신호 중 상기 기준 레벨 이상인 제1 스케일링된 신호의 크기에 따라 상기 제1 레벨의 펄스폭을 가변한 제1 펄스폭 변조 신호와 상기 스케일링된 신호 중 상기 기준 레벨 이하인 제2 스케일링된 신호의 크기에 따라 상기 제2 레벨의 펄스폭을 가변한 제2 펄스폭 변조 신호를 결합하여 상기 3-레벨 펄스폭 변조 신호를 출력할 수 있다.

[0022] 상기 기준 레벨은 그라운드 레벨이고, 상기 제1 스케일링된 신호는 양의 스케일링된 신호이고, 상기 제2 스케일링된 신호는 음의 스케일링된 신호일 수 있다.

[0023] 상기 PWM 생성기는 상기 양의 스케일링된 신호를 상기 제1 레벨과 상기 기준 레벨 사이를 스윙하는 제1 삼각파 신호와 비교하여 상기 제1 펄스폭 변조 신호를 제공하는 제1 비교기 및 상기 음의 스케일링된 신호를 상기 기준 레벨과 상기 제2 레벨 사이를 스윙하는 제2 삼각파 신호와 비교하여 상기 제2 펄스폭 변조 신호를 제공하는 2 비교기를 구비하며, 상기 제2 삼각파 신호는 상기 제1 삼각파 신호와 위상차이가 180도일 수 있다.

[0024] 실시예에 있어서, 상기 출력 스테이지는 제1 인에이블 신호에 응답하여 상기 출력 노드를 상기 제1 전원 전압으로 구동하는 풀업부, 제2 인에이블 신호에 응답하여 상기 출력 노드를 상기 제2 전원 전압으로 구동하는 풀다운부 및 제3 인에이블 신호에 응답하여 상기 출력 노드를 상기 제3 전원 전압으로 구동하는 스위칭부를 포함하고, 상기 제3 전원 전압은 그라운드 레벨이고, 상기 제1 전원 전압은 상기 제3 전원 전압보다 높은 양의 전압이며, 상기 제2 전원 전압은 상기 제3 전원 전압보다 낮은 음의 전압일 수 있다.

[0025] 실시예에 있어서, 상기 풀업부는 상기 출력 노드와 상기 제1 전원 전압 사이에 연결되고, 상기 제1 인에이블 신호에 응답하여 턴온되는 풀-업 트랜지스터를 포함하고, 상기 풀다운부는 상기 출력 노드와 상기 제2 전원 전압 사이에 연결되고, 상기 제2 인에이블 신호에 응답하여 턴온되는 풀-다운 트랜지스터를 포함하고, 상기 스위칭부는 상기 출력 노드와 상기 제3 전원 전압 사이에 연결되고, 상기 제3 인에이블 신호에 응답하여 턴온되는 적어도 하나의 스위치를 포함할 수 있다.

[0026] 실시예에 있어서, 상기 스케일링된 신호는 시그마/델타 변조된 신호일 수 있다.

[0027] 상기한 본 발명의 다른 목적을 달성하기 위하여 본 발명의 일 실시예에 따른 오디오 처리 장치는 볼륨 조절부 및 하프-브릿지 3-레벨 PWM 증폭기를 포함한다. 상기 볼륨 조절부는 볼륨 제어 신호에 응답하여 오디오 소스 데이터를 볼륨 조절하여 입력 신호로 제공한다. 상기 하프-브릿지 3-레벨 PWM 증폭기는 상기 입력 신호를 제1 레벨, 제2 레벨 및 기준 레벨을 가지는 3-레벨 펄스폭 변조 신호로 변환하고, 변환된 3-레벨 펄스폭 변조 신호에 기초하여 부하의 일 단자에 연결되는 출력 노드를 구동한다.

[0028] 실시예에 있어서, 상기 하프-브릿지 3-레벨 PWM 증폭기는 상기 입력 신호를 개인 값에 따라 스케일링하여 스케일링된 신호로 제공하는 프리스케일링부; 상기 스케일링된 신호의 크기에 따라 상기 제1 레벨의 펄스폭 또는 상기 제2 레벨의 펄스폭을 가변하여, 상기 제1 레벨, 상기 제2 레벨 및 상기 기준 레벨을 가지는 상기 3-레벨 펄스폭 변조 신호를 생성하는 PWM(pulse width modulation) 생성기; 및 상기 부하의 일 단자에 연결되는 상기 출력 노드를 제1 전원 전압, 제2 전원 전압, 또는 제3 전원 전압 레벨로 구동하는 출력 스테이지를 구비하고, 상기 개인 값은 상기 전원 전압들의 레벨 변동을 역으로 보상하는 크기일 수 있다.

[0029] 상기한 본 발명의 일 목적을 달성하기 위하여 본 발명의 일 실시예에 따른 하프-브릿지 3-레벨 PWM 증폭기의 구동 방법에서는 입력 신호를 개인 값에 따라 프리스케일링하여 스케일링된 신호로 제공한다. 제1 레벨, 기준 레벨 및 제2 레벨을 스윙하며, 상기 스케일링된 신호의 크기에 따라 상기 제1 레벨의 펄스폭 또는 상기 제2 레벨의 펄스폭이 가변되는 3-레벨 펄스폭 변조 신호를 생성한다. 상기 3-레벨 펄스폭 변조 신호에 기초하여 부하의 일 단자에 연결되는 출력 노드를 제1 전원 전압, 제2 전원 전압 또는 제3 전원 전압 레벨로 구동하고, 상기 개인 값은 상기 전원 전압들의 레벨 변동을 역으로 보상하는 크기이다.

[0030] 실시예에 있어서, 상기 제3 전원 전압은 그라운드 레벨이고, 상기 제1 전원 전압은 상기 제3 전원 전압보다 높은 양의 전압이며, 상기 제2 전원 전압은 상기 제3 전원 전압보다 낮은 음의 전압이며 상기 제1 전원 전압과 상기 제2 전원 전압의 레벨 변동에 기초하여 상기 개인 값을 제공할 수 있다.

## 효과

[0031] 본 발명에 따르면, 불필요한 정적 전류의 방지 뿐만 아니라 전원전압의 레벨이 변동되더라도 비대칭이 발생하지 않는 오디오 신호(AS)를 복원할 수 있어 전력 소모를 감소시키고 신호의 왜곡을 방지할 수 있다.

## 발명의 실시를 위한 구체적인 내용

[0032] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.

- [0033] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 구성요소에 대해 사용하였다.
- [0034] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0035] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0036] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 설시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0037] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0038] 한편, 어떤 실시예가 달리 구현 가능한 경우에 특정 블록 내에 명기된 기능 또는 동작이 순서도에 명기된 순서와 다르게 일어날 수도 있다. 예를 들어, 연속하는 두 블록이 실제로는 실질적으로 동시에 수행될 수도 있고, 관련된 기능 또는 동작에 따라서는 상기 블록들이 거꾸로 수행될 수도 있다.
- [0039] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0040] 도 1은 증폭기 입력 신호의 일 예를 나타내는 파형도이다.
- [0041] 도 2는 도 1에 도시된 증폭기 입력 신호에 대한 통상의 2-레벨 PWM 변조 신호를 나타낸다.
- [0042] 도 1에 도시된 바와 같이, 증폭기 입력 신호를 양의 피크 전압(MAX)와 음의 피크 전압(MIN) 사이를 스윙하는 신호로 가정한다.
- [0043] 이 경우에 통상의 PWM 변조 신호는 2-레벨(VDD와 VSS)을 가지는 펄스 신호다. 도 2에 도시된 바와 같이, 증폭기 입력 신호가 양의 피크 전압(MAX)일 때는 VDD 레벨을 가지는 'High' 구간이 최대이고, 증폭기 입력 신호가 음의 피크 전압(MIN)일 때는 VSS 레벨을 가지는 'Low' 구간이 최대이다. 즉 증폭기 입력 신호가 양의 피크 전압(MAX) 쪽으로 증가할 때는 PWM 변조 신호는 VDD 레벨을 갖는 'High' 구간이 점점 커지고, 입력 신호가 음의 피크 전압(MIN) 쪽으로 감소할 때는, PWM 변조 신호는 VSS 레벨을 갖는 'Low' 구간이 점점 커진다. 그리고 입력 신호가 제로('0')일 때는 PWM 변조 신호의 'High' 구간과 'Low' 구간의 지속 시간이 같아져서 50:50의 러시비(duty ratio)를 갖는다.
- [0044] PWM 증폭기(즉, Class-D 증폭기)는 기존의 Class-A, Class-B, Class-AB 증폭기에 비하여 비교적 높은 효율을 갖는다. 그러나 PWM 증폭기 역시 VDD 레벨과 VSS 레벨(혹은 그라운드 레벨)로 스위칭하면서 신호성분 외에 불필요한 정적 전류가 계속적으로 소모된다. PWM 증폭기의 전력 소모를 줄여 효율을 높이기 위하여는 이러한 정적 전류의 소모를 줄일 필요가 있다.
- [0045] 도 3은 본 발명의 일 실시예에 따른 하프-브릿지 3-레벨 PWM 증폭기(10)의 개략적인 구성을 나타내는 블록도이

다.

[0046] 도 3을 참조하면, 하프-브릿지 3-레벨 PWM 증폭기(10)는 프리스케일링부(100), 시그마-델타 변조기(sigma-delta modulator, 200, SDM), 3-레벨 PWM 생성기(300), 매퍼(400) 및 출력 스테이지(500)을 포함한다. 하프-브릿지 PWM 증폭기(10)는 로우 패스 필터(600, LPF)를 더 포함할 수도 있다.

[0047] 도 4는 본 발명의 다른 실시예에 따른 하프-브릿지 3-레벨 PWM 증폭기(20)의 개략적인 구성을 나타내는 블록도이다.

[0048] 도 4를 참조하면, 하프-브릿지 3-레벨 PWM 증폭기(10)는 프리스케일링부(100), 시그마-델타 변조기(sigma-delta modulator, 200, SDM), 3-레벨 PWM 생성기(300), 매퍼(400), 출력 스테이지(500), 로우 패스 필터(600) 및 전원 전압 감지부(700)를 포함하여 구성될 수 있다.

[0049] 프리스케일링부(100)는 입력 신호(IM)를 개인 값(G)에 따라 프리스케일링하여 스케일링된 신호(SIM)로 제공한다. 여기서 개인 값(G)은 출력 단(500)에 제공되는 전원 전압들(VDD, VSS)의 레벨 변동을 역으로 보상할 수 있는 값으로서 미리 설정될 수 있거나 또는 도 4의 전원 전압 감지부(700)에서 프리스케일링부(100)로 제공될 수 있다. 이에 대하여는 후술한다. 또한 입력 신호(IM)는 오디오 소스 신호가 PCM(pulse code modulation) 변조된 신호일 수 있다. 프리스케일링부(100)의 구성과 동작에 대하여는 후술한다.

[0050] 시그마-델타 변조기(200)는 입력 신호(IM)를 PCM 테이터의 비트 수보다 더 낮은 비트수로 양자화한다. 시그마-델타 변조는 오버 샘플링과 결합하여 PCM 테이터의 양자화 잡음을 줄이고, 적은 비트수로 고해상도를 얻기 위한 변조 방식이다. 도 3에 도시되지는 않았지만, 프리스케일링부(100), 시그마-델타 변조기(200) 사이에 오버샘플러가 삽입될 수 있다. 예를 들어, 증폭기가 오디오 증폭기인 경우에 오버샘플링된 오디오 입력 신호는 직접 PWM 신호로 변환하기에는 해상도(resolution)가 높다. 따라서 시그마-델타 변조기(200)를 거쳐서 스케일링된 신호(SIM)의 해상도를 PWM 신호로 변환하기에 적합한 수준까지 낮출 필요가 있다.

[0051] 도 5는 도 3에 도시된 시그마/델타 변조기(200)의 일 실시예를 개략적으로 나타내는 블록도이다.

[0052] 도 5를 참조하면, 시그마/델타 변조기(200)는 가산기(210), 루프 필터(220) 및 M-비트 양자화기(230)를 구비한다. 따라서 시그마-델타 변조기(200)의 출력 신호(OM)는 M 비트로 양자화된 신호이다. M은 오디오 소스 신호가 PCM 변조된 스케일링된 신호(SIM)의 비트수에 비하여 훨씬 적은 비트수로서, 예를 들어 스케일링된 신호(SIM)가 16 비트 혹은 20비트로 구성되면, 시그마-델타 변조기(200)의 출력 신호(OM)는 4 비트 또는 5 비트로 구성될 수 있다.

[0053] 도 6은 도 3에 도시된 3-레벨 PWM 생성기(300)의 일 실시예를 개략적으로 나타내는 블록도이다.

[0054] 도 6을 참조하면, 3-레벨 PWM 생성기(300)는 입력 신호(즉 시그마-델타 변조기(200)의 출력 신호)의 크기(레벨)에 따라서 펄스의 폭을 가변하여 변조함으로써 펄스폭 변조 신호(PWM0)를 생성한다.

[0055] 3-레벨 PWM 생성기(300)는 아날로그 방식의 PWM 생성기일 수 있다. 3-레벨 PWM 생성기(300)는 램프 신호 발생기(330), 제1 비교기(310), 제2 비교기(320) 및 가산기(340)를 포함할 수 있다. 램프 신호 발생기(330)는 제1 삼각파 신호(SA1) 및 제2 삼각파 신호(SA2)를 발생한다. 제1 삼각파 신호(SA1)는 도 13에 도시된 바와 같이 제1 레벨(LEVEL1, 예를 들어 미리 정해진 양의 전압)과 기준 레벨(예를 들어 그라운드 레벨) 사이를 주기적으로 증감하는 삼각파형의 신호일 수 있다. 제2 삼각파 신호(SA2)는 도 8에 도시된 바와 같이 기준 레벨과 제2 레벨(LEVEL2, 예를 들어 미리 정해진 음의 레벨) 사이를 주기적으로 증감하는 삼각파형의 신호일 수 있다. 제1 삼각파 신호(SA1)와 제2 삼각파 신호(SA2)는 주기와 파형은 동일하나 위상차가 180도인 신호일 수 있다.

[0056] 제1 비교기(310)는 제1 삼각파 신호(SA1)와 제1 입력 신호(OM1, 즉 양의 스케일링된 신호)를 비교하여 그 비교 결과를 출력한다. 제2 비교기(320)는 제2 삼각파 신호(SA2)와 제2 입력 신호(OM2, 즉 음의 스케일링된 신호)를 비교하여 그 비교 결과를 출력한다. 가산기(340)는 제1 비교기(310)의 출력 신호(PWM01)과 제2 비교기(320)의 출력 신호(PWM02)를 더하여 펄스폭 변조 신호(PWM0)로 출력한다.

[0057] 여기서 제1 입력 신호(OM1, 즉 양의 스케일링된 신호)는 시그마-델타 변조기(200)의 출력 신호(OM) 중 기준 레벨(예를 들어 그라운드 레벨 즉 '0') 이상의 신호일 수 있다. 제2 입력 신호(OM2, 즉 양의 스케일링된 신호)는 시그마-델타 변조기(200)의 출력 신호(OM) 중 기준 레벨(예를 들어 그라운드 레벨 즉 '0') 이하의 신호일 수 있다. 제1 비교기(310)는 제1 입력 신호(OM1)가 제1 삼각파 신호(SA1)보다 크면 제1 레벨(LEVEL1)을 출력하고, 작으면 기준 레벨(예를 들어 그라운드 레벨)을 출력하고, 제2 비교기(320)는 제2 입력 신호(OM2)가 제2 삼각파 신호(SA2)보다 크면 기준 레벨(예를 들어 그라운드 레벨)을 출력하고, 작으면 제2 레벨(LEVEL2)을 출력한다. 이와

같이, 3-레벨 PWM 생성기(300)는 제1 레벨, 제2 레벨 및 기준 레벨을 가지는 3-레벨 펄스폭 변조 신호인 PWM 변조 신호(PWMO)를 출력할 수 있다.

[0058] 도 7은 도 3에 도시된 출력 스테이지(500)의 구성을 나타내는 회로도이다.

[0059] 출력 스테이지(500)은 3-레벨 PWM 변조 신호(PWMO)에 기초하여 출력 노드(NO)를 제1 전원 전압(VDD), 제2 전원 전압(VSS) 또는 제3 전원 전압(GND) 레벨로 구동한다.

[0060] 도 7을 참조하면, 출력 스테이지(500)은 풀-업 트랜지스터(510), 풀-다운 트랜지스터(520) 및 스위칭부(530)를 포함한다. 풀-업 트랜지스터(510)는 제 1 전원전압(VDD)과 출력 노드(NO) 사이에 연결되고, 제1 인에이블 신호(EN1)에 응답하여 출력 노드(NO)를 제1 전원전압(VDD) 레벨로 구동한다. 출력 노드(NO)는 부하(540, 예를 들어 헤드폰, 이어폰, 헤드셋 등)의 일 단자에 연결된다. 부하(540)의 다른 단자는 그라운드(GND)에 연결된다.

[0061] 풀-다운 트랜지스터(520)는 출력 노드(NO)와 제2 전원전압(VSS) 사이에 연결되고, 제2 인에이블 신호(EN2)에 응답하여 출력 노드(NO)를 제2 전원 전압(VSS) 레벨로 구동한다. 스위칭부(530)는 출력 노드(NO)와 제3 전원전압(GND) 사이에 연결되고, 제3 인에이블 신호(EN3)에 응답하여 온/오프된다. 스위칭부(530)가 온되는 경우 출력 노드(NO)는 제3 전원 전압(예를 들어, 그라운드)에 접속되어 출력 노드(NO)의 전압은 그라운드 레벨이 된다. 스위칭부(530)는 하나 이상의 스위치 소자(SW)로 구성될 수 있으며, 스위치 소자(SW)는 트랜지스터나 트랜스미션 게이트 등으로 구현될 수 있다.

[0062] 출력 스테이지(500)에서 제공되는 출력신호(OUT)는 로우 패스 필터(600)에서 신호 성분을 제외한 고주파 부분이 필터링되어 오디오 신호(AS)로 복원된다. 로우 패스 필터(AS)에서 복원되는 오디오 신호(AS)가 원래의 오디오 소스 신호와 거의 동일하게 복원되기 위하여는 출력 스테이지(500)에 제공되는 제1 전원 전압(VDD) 및 제 2 전원전압(VSS)의 레벨이 서로 매칭되어야 한다. 만일 제1 전원 전압(VDD) 및 제 2 전원전압(VSS)의 레벨이 서로 매칭되지 않는다면 오디오 신호(AS)에도 제1 전원 전압(VDD) 및 제 2 전원전압(VSS)의 레벨이 서로 매칭되지 않는 정도만큼 비대칭 현상이 발생한다. 이러한 오디오 신호(AS)에서의 비대칭 현상은 오디오 신호의 하모닉 디스토션(harmonic distortion)을 크게 증가시켜서 증폭기의 성능을 저해하는 원인이 된다. 본 발명의 실시예에서는 이러한 전원전압들(VDD, VSS)의 물리적인 비대칭을 피할 수 없는 상황에서 복원된 오디오 신호(AS)에서 발생하게 될 비대칭 왜곡을 PWM 변환을 수행하기 전에 미리 보상한다.

[0063] 도 8은 도 3의 출력 스테이지(500)에서 제1 전원전압과 제2 전원전압에 레벨 변동이 발생한 경우를 나타낸다.

[0064] 도 8에서는 출력 스테이지(500)에 제공되는 제1 전원전압(VDD)과 제2 전원전압(VSS)에 레벨 변동이 발생하여 제1 전원전압(VDD)과 제2 전원전압(VSS)의 크기(절대값)에 비대칭이 발생한 경우이다. 이러한 경우에는 출력 스테이지(500)에서 부하(540)를 구동하는 출력신호(540)의 양의 성분과 음의 성분 사이에 비대칭이 발생하여 복원되는 오디오 신호(AS)에 왜곡이 발생하게 된다. 이러한 왜곡은 제1 전원전압(VDD)과 제2 전원전압(VSS)의 크기가 증가할 수록 더 커지게 된다.

[0065] 도 9는 본 발명의 일 실시예에 따른 도 3의 프리스케일링부의 구성을 개략적으로 나타내는 블록도이다.

[0066] 도 9의 실시예에서는 입력 신호(IM) 중 기준 레벨 이상인 제1 입력 신호(IM1)와 기준 레벨 이하인 제2 입력 신호(IM2) 각각에 대하여 스케일링하는 실시예이다. 또한 입력 신호(IM)의 제1 입력 신호(IM1)와 제2 입력 신호(IM2)는 서로 대칭을 이루고 있다.

[0067] 도 9를 참조하면, 프리스케일링부(110)는 신호 분리기(111), 스케일러(115) 및 합산기(119)를 포함한다. 스케일러(115)는 제1 곱셈기(116) 및 제2 곱셈기(118)를 포함하여 구성될 수 있다. 또한 신호 분리기(111)는 제1 선택기(112) 및 제2 선택기(114)를 포함하여 구성될 수 있다.

[0068] 신호 분리기(111)에서는 입력 신호(IM)를 기준 레벨(예를 들어 그라운드) 이상인 제1 입력 신호(IM1)와 기준 레벨 이하인 제2 입력 신호(IM2)로 분리한다. 구체적으로 제1 선택기(112)는 입력 신호(IM)의 사인 비트(SB)에 따라서 입력 신호(IM) 중에서 기준 레벨 이상인 부분만을 선택하여 제1 입력 신호(IM1)로 제공한다. 사인 비트(SB)는 입력 신호(IM)가 기준 레벨 이상인 경우는 '0'이고 입력 신호(IM)가 기준 레벨 이하인 경우는 '1'이다. 따라서 입력 신호(IM)가 기준 레벨 이상인 경우는 제1 선택기(112)에서 제1 입력 신호(IM1)가 제공되고, 입력 신호(IM)가 기준 레벨 이하인 경우는 제2 선택기(114)에서 제2 입력 신호(IM2)가 제공될 수 있다.

[0069] 스케일러(115)는 제1 곱셈기(116) 및 제2 곱셈기(118)와 포함한다. 제1 곱셈기(116)는 제1 입력 신호(IM1)에 제1 계인(G1)을 곱하여 제1 스케일링된 신호(SIM1)로 제공한다. 제2 곱셈기(118)는 제2 입력 신호(IM2)에 제2 계인(G2)을 곱하여 제2 스케일링된 신호(SIM2)로 제공한다. 합산기(119)는 제1 스케일링된 신호(SIM1)와 제2 스케

일령된 신호(SIM2)를 합산하여 스케일링된 신호(SIM)로 제공한다. 제1 게인(G1) 값과 제2 게인(G2) 값은 미리 설정되거나 도 4의 전원 전압 감지부(700)에서 제공될 수 있다.

[0070] 도 8에서와 같이 제1 전원전압(VDD)의 레벨이 정상 레벨( $VDD_{ideal}$ )보다  $\triangle VDD$ 만큼 감소하고 제2 전원전압(VSS)의 레벨이 정상 레벨( $VSS_{ideal}$ )보다  $\triangle VSS$ 만큼 증가하여 출력 스테이지(500)에 제공된다고 가정하자. 만일 프리스케일링부(100)가 포함되지 않는다면 복원되는 오디오 신호(AS)의 양의 부분은  $(VDD_{ideal} - \triangle VDD) / VDD_{ideal}$ 만큼 변하고 복원되는 오디오 신호(AS)의 음의 부분은  $(VSS_{ideal} - \triangle VSS) / VSS_{ideal}$ 만큼 변하게 되므로 오디오 신호(AS)에 상당한 비대칭이 발생할 것이다.

[0071] 하지만 본 발명의 실시예에서는 복원되는 오디오 신호(AS)의 변동분을 상쇄할 만큼의 게인 값을 프리스케일링부(110)에서 미리 스케일링해주어 복원되는 오디오 신호(AS)가 대칭을 이루도록 해준다. 여기서 제1 게인(G1) 값은 오디오 신호(AS)의 양의 부분의 변동분을 상쇄할 만큼의 값이므로  $VDD_{ideal} / (VDD_{ideal} - \triangle VDD)$ 이 되고, 제2 게인(G2) 값은 오디오 신호(AS)의 음의 부분의 변동분을 상쇄할 만큼의 값이므로  $VSS_{ideal} / (VSS_{ideal} - \triangle VSS)$ 이 된다. 따라서 제1 스케일링된 신호(SIM1)는 제1 입력 신호(IM1)보다 레벨이  $VDD_{ideal} / (VDD_{ideal} - \triangle VDD)$ 만큼 변하게(여기서는 증가) 되고, 제2 스케일링된 신호(SIM2)는 제2 입력 신호(SIM2)보다 레벨이  $VSS_{ideal} / (VSS_{ideal} - \triangle VSS)$ 이 변하게(여기서는 감소)하게 된다. 이렇게 스케일링된 신호(SIM)가 시그마-델타 변조기(200) 및 3-레벨 PWM 생성기(300) 및 출력 스테이지(500)을 통과하게 되고, 출력 스테이지(500)에서 제1 전원 전압(VDD)과 제2 전원 전압(VSS)의 레벨 변동이 있어도 이 레벨 변동을 상쇄할 만큼의 스케일링이 프리스케일링부(100)에서 이미 이루어져 있으므로 오디오 신호(AS)의 양의 부분과 음의 부분에는 비대칭이 발생하지 않는다.

[0072] 이러한 스케일링은 도 9의 실시예에서와 같이 제1 입력 신호(IM1)와 제2 입력 신호(IM2)에 대하여 각각 수행될 수도 있고, 또는 제1 입력 신호(IM1)와 제2 입력 신호(IM2) 중 어느 하나에 대하여만 수행될 수도 있다.

[0073] 도 10은 본 발명의 다른 실시예에 따른 도 3의 프리스케일링부의 구성을 나타내는 블록도이다.

[0074] 도 10의 실시예에서는 입력 신호(IM) 중 기준 레벨 이하인 제2 입력 신호(IM2)에 대하여 스케일링하는 실시예이다.

[0075] 도 10을 참조하면, 프리스케일링부(120)는 신호 분리기(121), 스케일러(125) 및 합산기(129)를 포함한다. 스케일러(125)는 곱셈기(128)를 포함하여 구성될 수 있다. 또한 신호 분리기(120)는 제1 선택기(122) 및 제2 선택기(124)를 포함하여 구성될 수 있다.

[0076] 신호 분리기(121)에서는 입력 신호(IM)를 기준 레벨(예를 들어 그라운드) 이상인 제1 입력 신호(IM1)와 기준 레벨 이하인 제2 입력 신호(IM2)로 분리한다. 구체적으로 제1 선택기(122)는 입력 신호(IM)의 사인 비트(SB)에 따라서 입력 신호(IM) 중에서 기준 레벨 이상인 부분만을 선택하여 제1 입력 신호(IM1)로 제공한다. 사인 비트(SB)는 입력 신호(IM)가 기준 레벨 이상인 경우는 '0'이고 입력 신호(IM)가 기준 레벨 이하인 경우는 '1'이다. 따라서 입력 신호(IM)가 기준 레벨 이상인 경우는 제1 선택기(122)에서 제1 입력 신호(IM1)가 제공되고, 입력 신호(IM)가 기준 레벨 이하인 경우는 제2 선택기(124)에서 제2 입력 신호(IM2)가 제공될 수 있다.

[0077] 도 10의 실시예에서는 스케일러(125)가 하나의 곱셈기(128)만을 포함하여 제2 입력 신호(IM2)에 게인 값(G2)을 곱하여 제2 스케일링된 신호(SIM2)로 제공한다. 합산기(129)는 제1 입력 신호(IM1)와 제2 스케일링된 신호(SIM2)를 합산하여 스케일링된 신호(SIM)로 제공한다. 따라서 스케일링된 신호(SIM)의 양의 부분은 입력 신호(IM)의 양의 부분(제1 입력 신호(IM1))과 동일하고 스케일링된 신호(SIM)의 음의 부분은 입력 신호(IM)의 음의 부분(제2 입력 신호(IM2))에 비하여 게인(G2)만큼 레벨이 변하게(여기서는 감소) 된다. 게인(G2) 값은 미리 설정될 수도 있도 도 4의 전원 전압 감지부(700)에서 제공될 수도 있다.

[0078] 도 10의 실시예에서 게인(G2) 값은  $|VDD| / |VSS|$ 가 될 수 있다. 도 10의 실시예에서와 같이 제2 입력 신호(IM2)만이 스케일링되어도 복원되는 오디오 신호(AS)에서 비대칭은 발생하지 않는다.

[0079] 도 11은 본 발명의 또 다른 실시예에 따른 도 3의 프리스케일링부의 구성을 나타내는 블록도이다.

[0080] 도 11의 실시예에서는 입력 신호(IM) 중 기준 레벨 이상인 제1 입력 신호(IM2)에 대하여 스케일링하는 실시예이다.

[0081] 도 11을 참조하면, 프리스케일링부(130)는 신호 분리기(131), 스케일러(135) 및 합산기(139)를 포함한다. 스케

일러(135)는 곱셈기(136)를 포함하여 구성될 수 있다. 또한 신호 분리기(131)는 제1 선택기(132) 및 제2 선택기(134)를 포함하여 구성될 수 있다.

[0082] 신호 분리기(131)에서는 입력 신호(IM)를 기준 레벨(예를 들어 그라운드) 이상인 제1 입력 신호(IM1)와 기준 레벨 이하인 제2 입력 신호(IM2)로 분리한다. 구체적으로 제1 선택기(132)는 입력 신호(IM)의 사인 비트(SB)에 따라서 입력 신호(IM) 중에서 기준 레벨 이상인 부분만을 선택하여 제1 입력 신호(IM1)로 제공한다. 사인 비트(SB)는 입력 신호(IM)가 기준 레벨 이상인 경우는 '0'이고 입력 신호(IM)가 기준 레벨 이하인 경우는 '1'이다. 따라서 입력 신호(IM)가 기준 레벨 이상인 경우는 제1 선택기(132)에서 제1 입력 신호(IM1)가 제공되고, 입력 신호(IM)가 기준 레벨 이하인 경우는 제2 선택기(134)에서 제2 입력 신호(IM2)가 제공될 수 있다.

[0083] 도 11의 실시예에서는 스케일러(135)가 하나의 곱셈기(136)만을 포함하여 제1 입력 신호(IM1)에 개인 값(G1)을 곱하여 제1 스케일링된 신호(SIM1)로 제공한다. 합산기(139)는 제1 스케일링된 신호(SIM1)와 제2 입력 신호(IM2)를 합산하여 스케일링된 신호(SIM)로 제공한다. 따라서 스케일링된 신호(SIM)의 음의 부분은 입력 신호(IM)의 음의 부분(제2 입력 신호(IM2))과 동일하고 스케일링된 신호(SIM)의 양의 부분은 입력 신호(IM)의 음의 부분(제1 입력 신호(IM1))에 비하여 개인(G1)만큼 레벨이 변하게(여기서는 증가) 된다. 개인(G1) 값은 미리 설정될 수도 있고 도 4의 전원 전압 감지부(700)에서 제공될 수도 있다.

[0084] 도 11의 실시예에서 개인(G1) 값은  $|VSS| / |VDD|$  가 될 수 있다. 도 11의 실시예에서와 같이 제1 입력 신호(IM1)만이 스케일링되어도 복원되는 오디오 신호(AS)에서 비대칭은 발생하지 않는다.

[0085] 도 9 내지 도 11의 실시예에 대한 설명에서 제1 전원전압(VDD)은  $\triangle VDD$ 만큼 레벨이 감소하고 제2 전원전압(VS S)은  $\triangle VSS$ 만큼 레벨이 증가하는 경우를 설명하였지만 본 발명은 제1 전원전압(VDD)은  $\triangle VDD$ 만큼 레벨이 증가하고 제2 전원전압(VSS)은  $\triangle VSS$ 만큼 레벨이 감소하는 경우에도 동일하게 적용될 수 있다. 즉 본 발명은 제1 전원전압(VDD)과 제2 전원전압(VSS)의 레벨 변동이 발생하는 경우에 적용될 수 있다.

[0086] 즉 프리스케일링부(100)는 제1 입력 신호(IM1) 및 제2 입력 신호(IM2)에 대하여 비대칭적으로 스케일링을 수행할 수 있다.

[0087] 도 12a는 본 발명의 일 실시예에 따른 도 4의 전원 전압 감지부의 구성을 개략적으로 나타내는 블록도이다.

[0088] 도 12a의 실시예에 따른 전원 전압 감지부(710)는 도 9의 프리스케일러(110)와 함께 도 4의 3-레벨 PWM 증폭기(20)에 채용될 수 있다.

[0089] 도 12a를 참조하면, 전원 전압 감지부(710)는 아날로그-디지털 변환기(711) 및 연산부(713)를 포함하여 구성될 수 있다. 아날로그-디지털 변환기(711)는 제1 전원 전압(VDD)과 제2 전원전압(VDD) 각각의 레벨에 따른 디지털 값을 제공한다. 연산부(713)는 아날로그-디지털 변환기(711)에서 제공되는 디지털 값을 기초하여 개인 값을 연산하고 연산된 개인 값을 프리스케일링부(100)에 제공한다. 보다 구체적으로 연산부(713)는 제1 전원 전압(VDD)의 디지털 값과 정상 레벨( $VDD_{ideal}$ )의 차이를 연산하고 그 연산된 차이값에 따라  $VDD_{ideal} / (VDD_{ideal} - \triangle VDD)$ 의 제1 개인값(G1)을 프리스케일링부(100)에 제공한다. 또한 연산부(713)는 제2 전원 전압(VSS)의 디지털 값과 정상 레벨( $VSS_{ideal}$ )의 차이를 연산하고 그 연산된 차이값에 따라  $VSS_{ideal} / (VSS_{ideal} - \triangle VSS)$ 의 제2 개인값(G2)을 프리스케일링부(100)에 제공한다.

[0090] 도 12b는 발명의 다른 실시예에 따른 도 4의 전원 전압 감지부의 구성을 개략적으로 나타내는 블록도이다.

[0091] 도 12b의 실시예에 따른 전원 전압 감지부(720)는 도 10의 프리스케일러(120) 또는 도 11의 프리스케일러(130)와 함께 도 4의 3-레벨 PWM 증폭기(20)에 채용될 수 있다.

[0092] 도 12b를 참조하면, 전원 전압 감지부(720)는 아날로그-디지털 변환기(721) 및 연산부(723)를 포함하여 구성될 수 있다. 아날로그-디지털 변환기(721)는 제1 전원 전압(VDD)과 제2 전원전압(VSS) 각각의 레벨에 따른 디지털 값을 제공한다. 연산부(723)는 제1 전원 전압(VDD)과 제2 전원전압(VDD) 각각의 레벨에 따른 디지털 값의 크기를 비교하여 그 비교 결과에 따라 제1 개인(G1) 값 또는 제2 개인(G2)를 제공한다. 즉 연산부(723)는 제1 전원 전압(VDD)과 제2 전원전압(VDD) 각각의 절대값을 비교하여 제1 전원 전압(VDD)의 절대값이 제2 전원전압(VDD)의 절대값보다 큰 경우에는  $|VSS| / |VDD|$ 의 개인 값(G1)을 제공하고 제1 전원 전압(VDD)의 절대값이 제2 전원전압(VDD)의 절대값보다 작은 경우에는  $|VDD| / |VSS|$ 의 개인 값(G2)을 제공한다.

[0093] 도 4와 같이 전원전압 감지부(700)가 구비되는 3-레벨 PWM 증폭기(20)는 전원전압의 미스매치 되는 양이 증폭기

가 동작할 때마다 달라지거나 생성된 고정 편차에 따라 변동되어 개인 값(G1, G2)을 고정시키기가 어려운 경우에 적용가능하다.

[0094] 도 13, 도 14a 및 도 14b는 본 발명의 일 실시예에 따른 3-레벨 PWM 증폭기의 동작을 설명하기 위한 과정도로서, 도 13은 3-레벨 PWM 생성기(300)에 입력되는 입력신호들(OM1, OM2, SA1 및 SA2)의 과정도이고, 도 14a 및 도 14b는 3-레벨 펄스폭 변조 신호(또는 PWM 출력 신호, PWMO)의 과정도이다.

[0095] 도 13에서 점선은 본 발명과 비교하기 위하여 프리스케일링부(100)를 거치지 않은 입력 신호들을 나타낸다. 또한 도 14a에서 점선은 본 발명과 비교하기 위하여 프리스케일링부(100)를 거치지 않은 입력 신호들이 PWM 생성기(300)에 입력되었을 경우의 PWM 출력 신호를 나타낸다.

도 3 내지 도 14b를 참조하여 3-레벨 PWM 증폭기(10 또는 20)의 동작을 설명하면 다음과 같다.

[0097] 양의 입력 신호(입력 신호 중 0보다 큰 신호, OM1, 여기서 OM1은 제1 스케일링된 신호(SIM1)가 시그마-델타 변조된 신호임)가 입력되는 구간에서는, 제1 비교기(310)는 제1 삼각파 신호(SA1)와 양의 입력 신호(OM1)를 비교하여 양의 입력 신호(OM1)가 제1 삼각파 신호(SA1)보다 큰 구간에서는 제1 레벨(LEVEL1)의 신호를 출력하고, 작으면 기준 레벨(GND)의 신호를 출력한다. 여기서 양의 입력 신호(OM1)는 입력 신호(OM11)에 비하여 레벨 업 되어 있는데 이는 출력 단의 전원전압들(VDD, VSS)의 레벨 변동을 반영하여 프리스케일링부(100)에서 제1 입력 신호(IM1)에 제1 개인(G1)을 곱한 것이다.

[0098] 이 구간 동안 제2 비교기(320)는 도 14b에 도시된 바와 같이 제2 삼각파 신호(SA2)의 매 주기마다(예를 들어, 제2 삼각파 신호(SA2)가 0이 될 때마다) 제2 레벨(LEVEL2)을 가지는 최소 펄스 신호를 출력할 수 있다. PWM 출력 신호(PWMO)의 펄스폭은 미리 설정된 최소 크기에서부터 최대 크기까지 변화할 수 있다. 최소 펄스 신호란, PWM 출력 신호가 가질 수 있는 펄스 신호들 중 최소 크기의 펄스 폭을 가지는 신호로서, 리턴 제로 펄스라 칭하기도 한다.

[0099] 음의 입력 신호(입력 신호 중 0보다 작은 신호 OM2, 여기서 OM2는 제2 스케일링된 신호(SIM2)가 시그마-델타 변조된 신호임)가 입력되는 구간에서는, 제2 비교기(320)는 제2 삼각파 신호(SA2)와 음의 입력 신호(OM2)를 비교하여 음의 입력 신호(OM2)가 제2 삼각파 신호(SA2)보다 큰 구간에서는 기준 레벨(GND)의 신호를 출력하고, 작으면 제2 레벨(LEVEL2)의 신호를 출력한다. 여기서 음의 입력 신호(OM2)는 입력 신호(OM22)에 비하여 레벨 다운 되어 있는데 이는 출력 단의 전원전압들(VDD, VSS)의 레벨 변동을 반영하여 프리스케일링부(100)에서 제2 입력 신호(IM2)에 제2 개인(G2)을 곱한 것이다.

[0100] 이 구간 동안 제1 비교기(310)는 도 14a에 도시된 바와 같이 제1 삼각파 신호(SA1)의 매 주기마다(예를 들어, 제1 삼각파 신호(SA1)가 제1 레벨(LEVEL1)이 될 때마다) 제1 레벨(LEVEL1)을 가지는 최소 펄스 신호를 출력할 수 있다.

[0101] 따라서 제1 비교기(310)의 출력신호(PWM01)와 제2 비교기(320)의 출력 신호(PWM02)를 합산한 신호의 PWM 출력 신호(PWMO)는 도 14a에 도시된 바와 같이 제1 레벨(LEVEL1), 제2 레벨(LEVEL2) 및 기준 레벨(GND)를 가지는 3-레벨 펄스 신호들일 수 있다. 제1 비교기(310)와 제2 비교기(320)로부터 최소 펄스 신호(리턴 제로 펄스)가 출력된다면, PWM 출력 신호(PWMO)는 도 14b에 도시된 펄스 신호들일 수 있다.

[0102] 도 13 및 도 14a를 다시 참조하면, 제1 입력 신호(OM1)가 입력 신호(OM11)에 비하여 제1 개인(G1)만큼 스케일링되어 제1 비교기(310)의 출력신호(PWM01)의 펄스 폭이 제1 개인(G1)만큼 증가한 것을 알 수 있다. 즉 도 14a에서 제1 입력 신호(OM1)에 해당하는 부분에서 실선의 펄스 폭이 점선의 펄스 폭에 비하여 제1 개인(G1)만큼 증가한 것을 알 수 있다. 이는 후술할 출력 스테이지(500)에서 풀업 트랜지스터(510)가 온되는 시간이 그만큼 더 증가한다는 것을 의미한다. 또한 제2 입력 신호(OM2)가 입력 신호(OM22)에 비하여 제2 개인(G1)만큼 스케일링되어 제2 비교기(320)의 출력신호(PWM02)의 펄스 폭이 제2 개인(G1)만큼 감소한 것을 알 수 있다. 즉 도 14a에서 제2 입력 신호(OM2)에 해당하는 부분에서 실선의 펄스폭이 점선의 펄스폭에 비하여 제2 개인(G2)만큼 감소한 것을 알 수 있다. 이는 후술할 출력 스테이지(500)에서 풀-다운 트랜지스터(520)가 온되는 시간이 그만큼 더 감소한다는 것을 의미한다. 즉 본 발명의 실시예에서는 출력 스테이지(500)의 제1 전원 전압(VDD)과 제2 전원 전압(VSS)의 레벨 변동이 발생하더라도 이 레벨 변동분을 상쇄할 만큼의 개인 값들(G1, G2)로 입력 신호들(IM1, IM2)을 미리 스케일링한다. 따라서 이러한 스케일링에 의하여 출력 스테이지(500)의 풀-업 트랜지스터(510)와 풀-다운 트랜지스터(520)의 온/오프 시간을 증가시키거나 감소시켜 제1 전원 전압(VDD)과 제2 전원 전압(VSS)의 레벨 변동분을 상쇄할 수 있다.

[0103] 도 13에서는 편의상 입력 신호들(OM1, OM2)를 정현파 형태의 아날로그 신호로 도시하나, 실질적으로는 삼각파

신호(SA1, SA2)와 비교되는 신호는 상술한바와 같이 스케일링된 신호들(SIM1, SIM2)이 시그마-델타 변조된 신호일 수 있다. 따라서 도 13에 도시된 입력 신호(OM1, OM2)의 파형과는 다를 수 있다.

[0104] 또한 도 6에서 편의상 제1 비교기(310)와 제2 비교기(320)가 별도로 구비되는 것으로 도시하였으나, 이에 한정되는 것은 아니다. 예를 들어, 제1 비교기(310)와 제2 비교기(320)는 하나로 구현되어, 양의 입력 신호(OM1)이 입력되는 구간에서는 이를 제1 삼각파 신호(SA1)와 비교하여 PWM 출력 신호(PWMO)를 출력하고, 음의 입력 신호(OM2)가 입력되는 구간에서는 이를 제2 삼각파 신호(SA2)와 비교하여 PWM 출력 신호(PWMO)를 출력할 수 있다.

[0105] 도 15는 도 7에 도시된 출력 스테이지(500)의 각 레벨별 동작을 나타내는 회로도이다. 도 16은 PWM 출력 신호의 각 레벨을 나타내는 신호이다. 도 17은 도 3에 도시된 매퍼를 나타내는 테이블이다.

[0106] 도 15 내지 도 17을 참조하면, 본 발명의 일 실시예에 따른 PWM 생성기(300)의 출력 신호, 즉 PWM 출력 신호(PWMO)는 도 16에 도시된 바와 같이, 3-레벨(예컨대, 제1 레벨(LEVEL1), 기준 레벨(GND), 및 제2 레벨(LEVEL2))을 가진다. 여기서 제1 레벨(LEVEL1)보다 기준 레벨(GND)보다 높고 제2 레벨(LEVEL2)은 기준 레벨(GND)보다 낮을 수 있다.

[0107] 따라서, 출력 스테이지(500) 역시 PWM 출력 신호(PWMO)의 레벨에 따라 도 15에 도시된 바와 같이 3가지 동작 모드로 나눌 수 있다. 도 15에 도시된 바와 같이 출력 스테이지(500)를 구동하기 위하여, 매퍼(400)는 도 16에 도시된 바와 같이, PWM 출력 신호(PWMO)에 따라 인에이블 신호들(EN1, EN2, EN3)을 선택적으로 활성화할 수 있다.

[0108] PWM 출력 신호(PWMO)가 제1 레벨(LEVEL1)인 경우에는 제1 인에이블 신호(EN1)만 "0"으로 활성화되고 나머지 신호(EN2, EN3)는 비활성화됨으로써, 출력 스테이지(500)는 출력 노드(NO)를 제1 전원 전압(VDD)으로 구동한다.

[0109] PWM 출력 신호(PWMO)가 제2 레벨(LEVEL2)인 경우에는 제2 인에이블 신호(EN2)만 "1"로 활성화되고 나머지 신호(EN1, EN2)는 비활성화됨으로써, 출력 스테이지(500)는 출력 노드(NO)를 제2 전원 전압(VSS)으로 구동한다.

[0110] 그리고, PWM 출력 신호(PWMO)가 기준 레벨(GND)인 경우에는 제3 인에이블 신호(EN3)만 "1"로 활성화되고 나머지 신호(EN1, EN2)는 비활성화됨으로써, 출력 스테이지(500)는 출력 노드(NO)를 제3 전원 전압(GND)으로 구동한다.

[0111] 이러한 방법으로 PWM 출력 신호(PWMO)의 레벨에 따라 출력 노드(NO)를 구동할 때, 풀-업 트랜지스터(510)가 온 되는 시간을 제1 전원전압(VDD)의 변동분을 상쇄할 만큼 증가시키고, 풀-다운 트랜지스터(520)가 온 되는 시간을 제2 전원전압(VSS)의 변동분을 상쇄할 만큼 감소시킬 수 있다.

[0112] 도 18a는 3-레벨 PWM 증폭기의 입력 신호(IM)의 일 예를 나타내는 파형도이다. 도 18b는 스케일링된 신호(SIM)의 일 예를 나타내는 파형도이다. 도 19a 및 도 19b는 도 18b에 도시된 스케일링된 신호(SIM)에 대한 본 발명의 실시예에 따른 3-레벨 PWM 변조 신호(PWMO)를 나타낸다.

[0113] 도 18a에 도시된 바와 같이 증폭기의 입력 신호(IM)가 양의 피크 전압(MAX1)과 음의 피크 전압(MIN1) 사이를 스윙하는 신호로 가정한다. 이 경우 도 18b는 스케일링된 신호(SIM)는 양의 피크 전압(MAX2)과 음의 피크 전압(MIN2) 사이를 스윙하는 신호가 된다.

[0114] 도 18b 내지 도 19b를 참조하면, 도 18b에 나타난 8 단계의 스케일링된 신호(SIM)의 변화((1)~(8))에 대해서 각 경우별로 PWM 출력은 도 19a 및 19b에 도시된 바와 같이 3-레벨(LEVEL1, GND, LEVEL2)을 스위칭하게 된다.

[0115] 먼저 (1)과 같이 0에서 양의 피크 전압(MAX) 방향으로 증가하는 스케일링된 신호(SIM)에 대해서 PWM 출력 신호는 도 19a의 (1)과 같은 형태로 제1 레벨(LEVEL1)의 펄스 폭이 증가한다. 이 경우 PWM 출력 신호의 한 주기마다 제2 레벨(LEVEL2)의 최소 펄스도 출력될 수 있다. 점점 증가하는 펄스폭을 가지는 제1 레벨(LEVEL1) 펄스 외에는 그라운드 레벨이 출력되어 불필요한 정적 전류의 발생이 방지된다.

[0116] 스케일링된 신호(SIM)가 양의 피크 전압(MAX2)에 도달하면 PWM 출력 신호는 도 19a의 (2)와 같은 형태로 제1 레벨(LEVEL1)의 펄스는 최대 폭이 된다. 스케일링된 신호(SIM)가 양의 피크 전압(MAX2)에서 0을 향해 감소하는 동안에는 도 19a의 (3)과 같이 제1 레벨(LEVEL1)의 펄스의 폭이 감소한다.

[0117] 스케일링된 신호(SIM)가 0이 되면 도 19a의 (4)와 같이 PWM 출력 신호는 대부분의 시간 동안 그라운드 레벨을 유지하게 된다.

[0118] 도 1 및 2에 나타난 바와 같이, 통상의 2-레벨 PWM 출력인 경우에는 입력신호가 0 일 때 VDD 펄스와 VSS 펄스가 50:50 듀티를 갖고 스위칭하며 그라운드 레벨은 존재하지 않기 때문에 정적 전류가 최대로 소모되는 반면에 본

발명의 일 실시예에 따른 3-레벨 PWM 증폭기를 사용하면 0 입력에 대해 정적 전류가 거의 소모되지 않는다.

[0119] 0에서 음의 피크 전압(MIN) 방향으로 감소하는 스케일링된 신호(SIM)에 대해서 PWM 출력 신호는 도 19b의 (5)와 같은 형태로 제2 레벨(LEVEL2)의 펄스 폭이 증가한다. 이때 제2 레벨(LEVEL2)의 펄스 외에는 그라운드 레벨이 출력되어 불필요한 정적 전류가 발생하지 않는다.

[0120] 스케일링된 신호(SIM)가 음의 피크 전압(MIN2)에 도달하면 PWM 출력 신호는 도 19b의 (6)와 같은 형태로 제2 레벨(LEVEL2)의 펄스는 최대 폭이 된다. 스케일링된 신호(SIM)가 음의 피크 전압(MIN)에서 0을 향해 증가하는 동안에는 도 19b의 (7)과 같이 제2 레벨(LEVEL2)의 펄스의 폭이 감소한다. 스케일링된 신호(SIM)가 다시 0이 되면 도 19b의 (8)과 같이 PWM 출력 신호는 대부분의 시간 동안 그라운드 레벨을 유지하게 된다.

[0121] 도 13 내지 도 19b를 참조한 설명에서는 도 9에서와 같이 제1 입력 신호(IM1)와 제2 입력 신호(IM2)를 각각 스케일링한 경우를 설명하였다. 하지만 도 13 내지 도 19b의 설명은 도 10 또는 도 11에서와 같이 제1 입력 신호(IM1)와 제2 입력 신호(IM2) 중 어느 하나의 신호만을 스케일링한 경우에도 유사하게 적용될 수 있다. 예를 들어 도 10과 같이 제2 입력 신호(IM2)만을 스케일링하는 경우에는 도 18b의 스케일링된 신호(SIM) 중 음의 부분만이 스케일링된다. 또한 도 13 내지 도 19b를 참조한 설명에서 제1 전원전압(VDD)은  $\triangle VDD$ 만큼 레벨이 감소하고 제2 전원전압(VSS)은  $\triangle VSS$ 만큼 레벨이 증가하는 경우를 설명하였지만 본 발명은 제1 전원전압(VDD)은  $\triangle VDD$ 만큼 레벨이 증가하고 제2 전원전압(VSS)은  $\triangle VSS$ 만큼 레벨이 감소하는 경우에도 동일하게 적용될 수 있다.

[0122] 도 20은 본 발명의 일 실시예에 따른 오디오 처리 장치의 개략적인 구성을 나타내는 블록도이다.

[0123] 도 20을 참조하면, 본 발명의 일 실시예에 따른 오디오 처리 장치(800)는 볼륨 조절부(810) 및 하프-브릿지 3-레벨 PWM 증폭기(820)를 포함한다. 하프-브릿지 3-레벨 PWM 증폭기(820)는 프리스케일링부(830), 시그마/델타 변조기(840), 3-레벨 PWM 생성기(850) 및 출력부(860)를 포함하여 구성될 수 있다. 여기서 출력부(860)는 도 3의 매퍼(400)와 출력 스테이지(500)을 포함하여 구성될 수 있다.

[0124] 볼륨 조절부(810)는 볼륨 테이블(811) 및 곱셈기(813)를 포함하여 구성될 수 있다. 볼륨 테이블(811)은 볼륨 제어 신호(VCON)에 응답하여 볼륨값(VOL)을 출력한다. 볼륨값(VOL)은 오디오 소스 데이터(ASD)의 레벨을 조절하기 위한 레벨 조절값이다. 오디오 소스 데이터(ASD)는 펄스코드 변조(PCM) 데이터일 수 있다.

[0125] 이를 위하여 볼륨 테이블(811)은 각 볼륨 제어 신호(VCON)에 대응하는 볼륨값(VOL)을 매핑한 테이블을 저장할 수 있다. 오디오 처리 장치(800)의 사용자가 오디오 신호의 볼륨을 조절하면, 이에 상응하여 볼륨 제어 신호(VCON)가 발생할 수 있다. 볼륨 제어 신호(VCON)는 복수의 비트로 이루어진 디지털 코드일 수 있다. 예를 들어 볼륨 제어 신호(VCON)가 4 비트이면 16단계로 볼륨이 조절될 수 있다.

[0126] 곱셈기(813)는 오디오 소스 데이터(ASD)와 볼륨값(VOL)을 곱하여 볼륨 조절된 입력 신호(IM)를 출력한다. 즉 곱셈기(813)는 볼륨값(VOL)에 따라 오디오 소스 데이터(ASD)의 레벨을 증폭 또는 감쇄하는 역할을 한다. 볼륨값(VOL)이 1 (0dB) 이상이면, 오디오 소스 데이터(ASD)의 레벨은 증폭되고, 볼륨값이 1 (0dB) 이하이면, 오디오 소스 데이터(ASD)의 레벨은 감소된다. 통상적으로 최대 볼륨값(VOL)은 1 (0dB)이다.

[0127] 오디오 소스 데이터(ASD)는 아날로그 오디오 신호를 미리 정해진 샘플링 레이트(예를 들어 48kHz)로 샘플링한 신호를 펄스 부호 변조한 신호일 수 있다. 오디오 소스 데이터(ASD)는 복수(예를 들어, 16 혹은 20)의 비트들로 구성될 수 있다.

[0128] 프리스케일링부(830)는 입력 신호(IM)를 계인(G) 값에 따라 스케일링하여 스케일링된 신호(SIM)로 제공한다. 시그마/델타 변조기(840)는 스케일링된 신호(SIM)를 시그마/델타 변조하여 변조 신호(QS)로 제공한다. 3-레벨 PWM 생성기(850)는 변조 신호(QS)의 크기에 따라 제1 레벨의 펄스 폭 또는 제2 레벨의 펄스 폭을 가변하여 제1 레벨, 제2 레벨 및 기준 레벨을 가지는 3-레벨 펄스폭 변조 신호(PWMO)를 생성한다. 출력부(860)에서는 부하의 일 단자에 연결되는 출력 노드를 제1 전원 전압, 제2 전원 전압 또는 제3 전원 전압 레벨로 구동한다. 출력부(860)에서 제공되는 출력 신호(OUT)는 로우 패스 필터(870)에서 고주파 성분이 필터링되어 오디오 신호(AS)로 복원된다. 도 20의 하프-브릿지 3-레벨 PWM 증폭기(820)에는 도 3의 하프-브릿지 3-레벨 PWM 증폭기(10) 또는 도 4의 하프-브릿지 3-레벨 PWM 증폭기(20)가 채용될 수 있다.

[0129] 본 발명의 실시예들은 컴퓨터로 읽을 수 있는 기록매체에 컴퓨터가 읽을 수 있는 코드로서 구현하는 것이 가능하다. 컴퓨터가 읽을 수 있는 기록매체는 컴퓨터 시스템에 의하여 읽혀질 수 있는 데이터가 저장되는 모든 종류의 기록장치를 포함한다.

[0130] 컴퓨터가 읽을 수 있는 기록매체의 예로는 ROM, RAM, CD-ROM, 자기 테이프, 플로피 디스크, 광 데이터 저장장치

등이 있다.

[0131] 또한 컴퓨터가 읽을 수 있는 기록매체는 네트워크로 연결된 컴퓨터 시스템에 분산되어, 분산방식으로 컴퓨터가 읽을 수 있는 코드가 저장되고 실행될 수 있다.

### 산업이용 가능성

[0132] 본 발명에 따르는 3-레벨 하프-브릿지 PWM 증폭기는 불필요한 정적 전류의 방지 뿐만 아니라 전원전압의 레벨이 변동되더라도 비대칭이 발생하지 않는 오디오 신호(AS)를 복원할 수 있다. 따라서 향상된 효율을 제공하여 시스템의 전력 소모를 감소시키고 더 긴 동작 시간을 보장한다. 그러므로 시스템 설계상의 편의성과 신뢰성까지 동시에 제공할 수 있다.

[0133] 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

### 도면의 간단한 설명

[0134] 도 1은 증폭기 입력 신호의 일 예를 나타내는 과정도이다.

[0135] 도 2는 도 1에 도시된 증폭기 입력 신호에 대한 통상의 2-레벨 PWM 변조 신호를 나타낸다.

[0136] 도 3은 본 발명의 일 실시예에 따른 하프-브릿지 3-레벨 PWM 증폭기의 개략적인 구성을 나타내는 블록도이다.

[0137] 도 4는 본 발명의 다른 실시예에 따른 하프-브릿지 3-레벨 PWM 증폭기의 개략적인 구성을 나타내는 블록도이다.

[0138] 도 5는 도 3에 도시된 시그마/델타 변조기의 일 실시예를 개략적으로 나타내는 블록도이다.

[0139] 도 6은 도 3에 도시된 3-레벨 PWM 생성기의 일 실시예를 개략적으로 나타내는 블록도이다.

[0140] 도 7은 도 3에 도시된 출력 스테이지의 구성을 나타내는 회로도이다.

[0141] 도 8은 도 3의 출력 스테이지에서 제1 전원전압과 제2 전원전압에 레벨 변동이 발생한 경우를 나타낸다.

[0142] 도 9는 본 발명의 일 실시예에 따른 도 3의 프리스케일링부의 구성을 개략적으로 나타내는 블록도이다.

[0143] 도 10은 본 발명의 다른 실시예에 따른 도 3의 프리스케일링부의 구성을 나타내는 블록도이다.

[0144] 도 11은 본 발명의 또 다른 실시예에 따른 도 3의 프리스케일링부의 구성을 나타내는 블록도이다.

[0145] 도 12a는 본 발명의 일 실시예에 따른 도 4의 전원 전압 감지부의 구성을 개략적으로 나타내는 블록도이다.

[0146] 도 12b는 본 발명의 다른 실시예에 따른 도 4의 전원 전압 감지부의 구성을 개략적으로 나타내는 블록도이다.

[0147] 도 13은 3-레벨 PWM 생성기에 입력되는 입력신호들의 과정도이다.

[0148] 도 14a 및 도 14b는 3-레벨 펄스폭 변조 신호의 과정도이다.

[0149] 도 15는 도 7에 도시된 출력 스테이지의 각 레벨별 동작을 나타내는 회로도이다.

[0150] 도 16은 PWM 출력 신호의 각 레벨을 나타내는 신호이다.

[0151] 도 17은 도 3에 도시된 매퍼를 나타내는 테이블이다.

[0152] 도 18a는 3-레벨 PWM 증폭기의 입력 신호의 일 예를 나타내는 과정도이다.

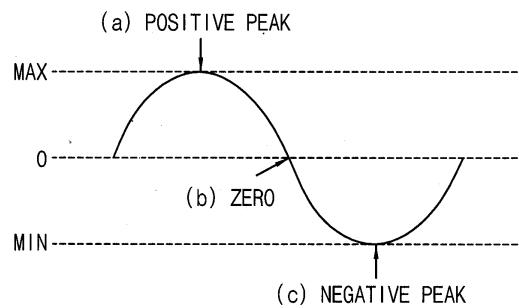
[0153] 도 18b는 스케일링된 신호(SIM)의 일 예를 나타내는 과정도이다.

[0154] 도 19a 및 도 19b는 도 18b에 도시된 스케일링된 신호에 대한 본 발명의 실시예에 따른 3-레벨 PWM 변조 신호를 나타낸다.

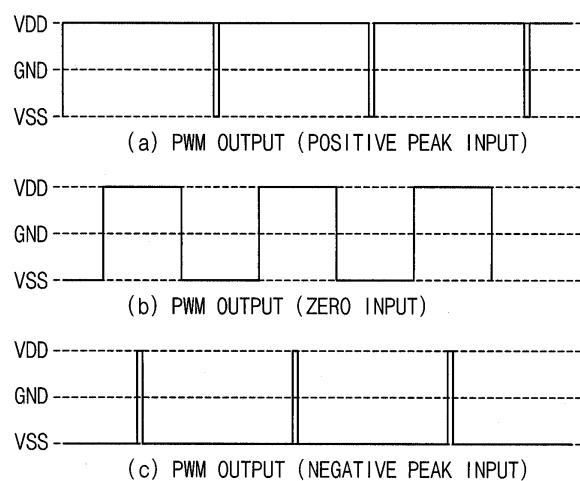
[0155] 도 20은 본 발명의 일 실시예에 따른 오디오 처리 장치의 개략적인 구성을 나타내는 블록도이다.

## 도면

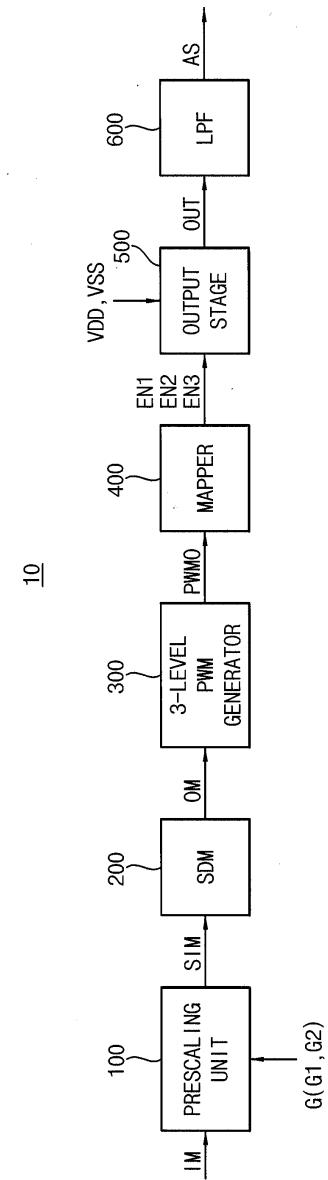
### 도면1



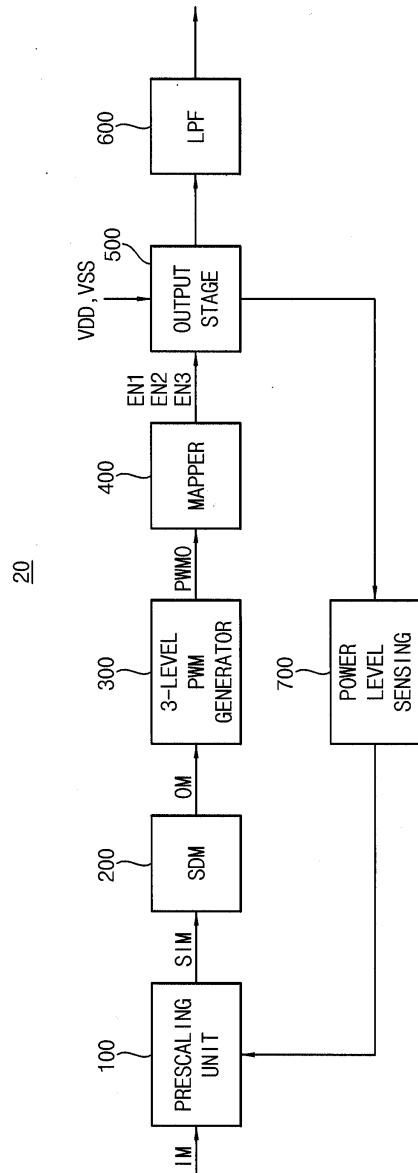
### 도면2



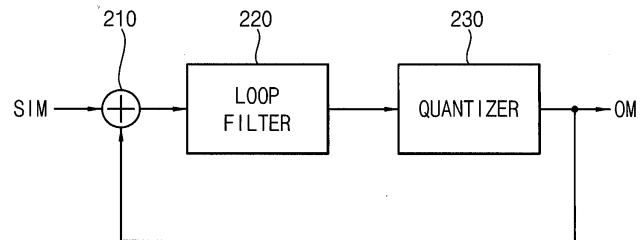
도면3



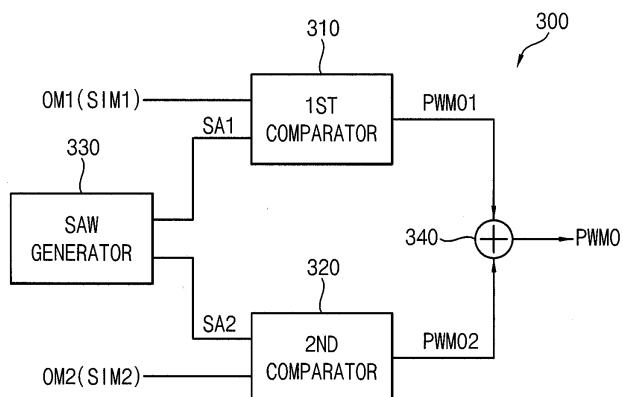
## 도면4



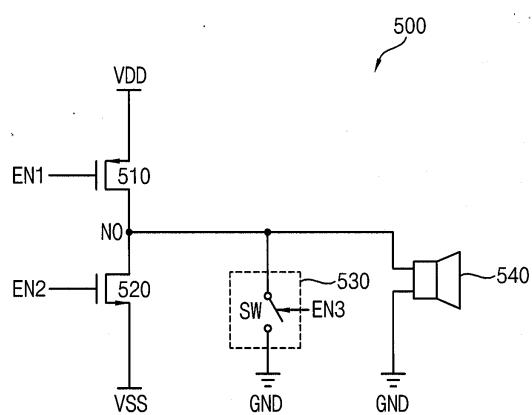
도면5

20

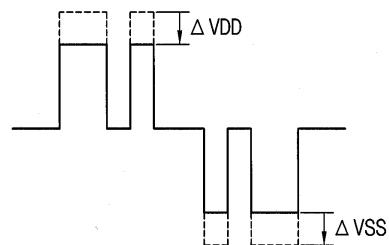
도면6



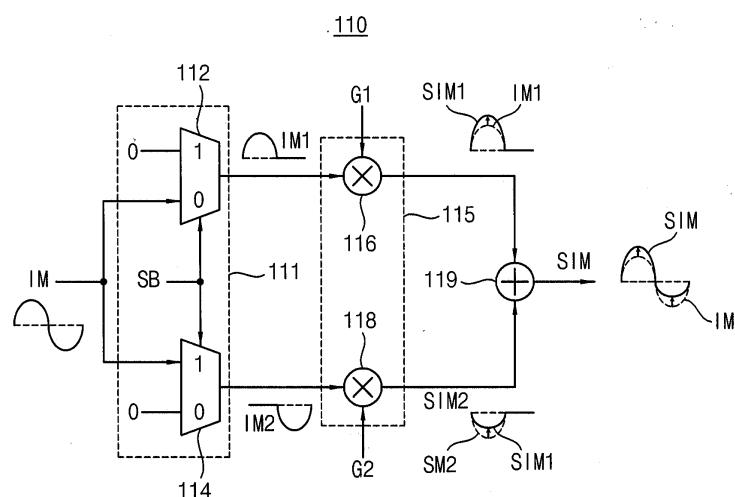
도면7



도면8

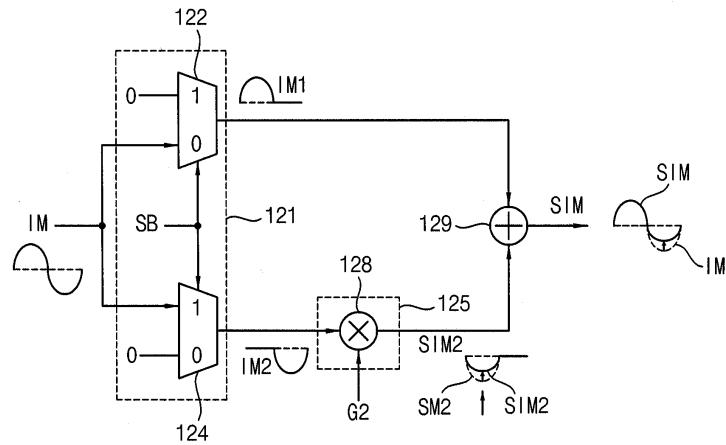


도면9



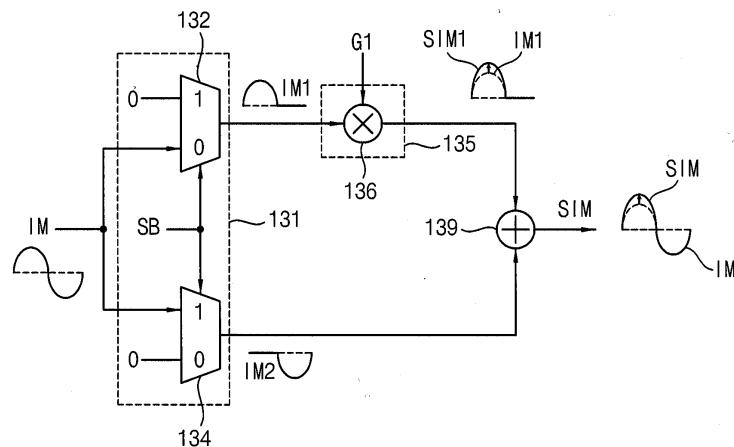
도면10

120

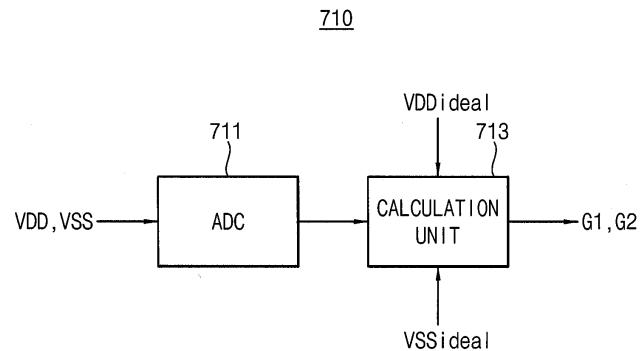


도면11

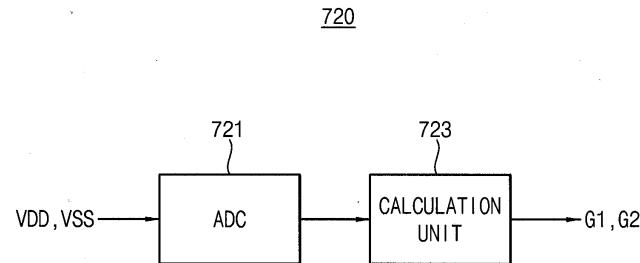
130



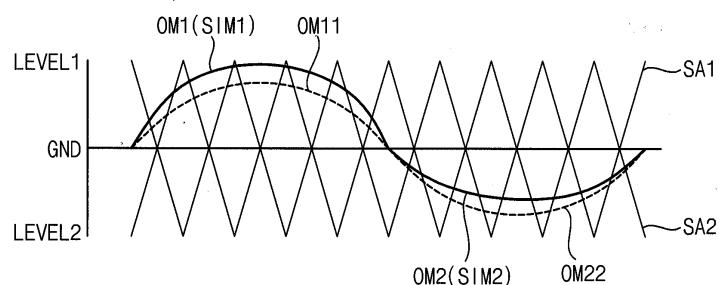
도면12a



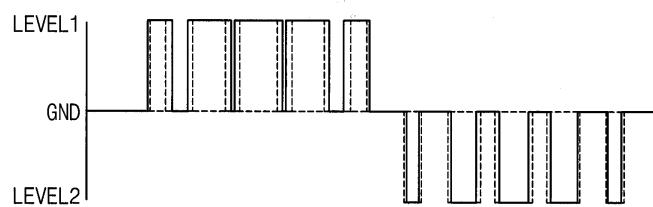
도면12b



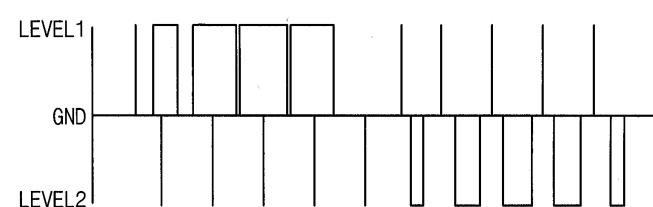
도면13



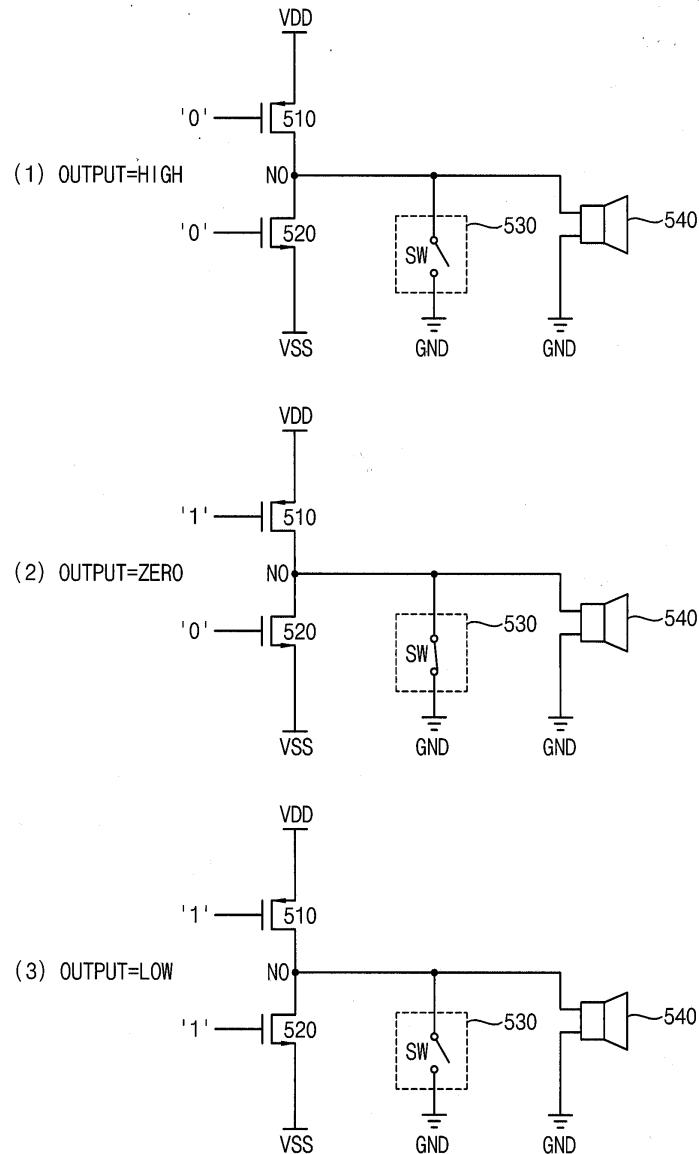
도면14a



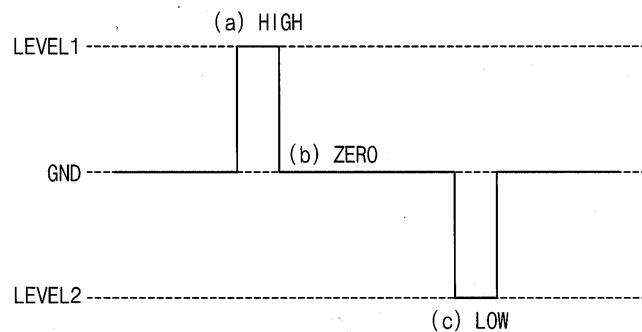
도면14b



## 도면15



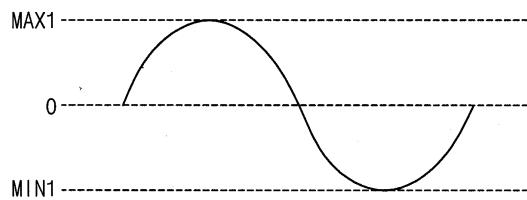
## 도면16



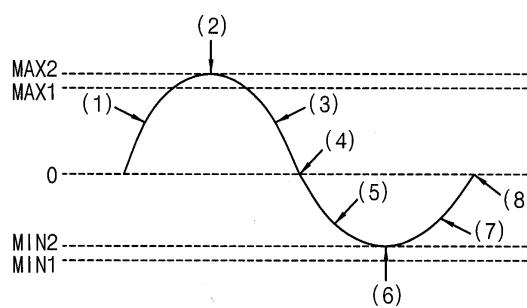
도면17

PWM0	EN1	EN2	EN3
LEVEL1	0	0	0
LEVEL2	1	1	0
GND	1	0	1

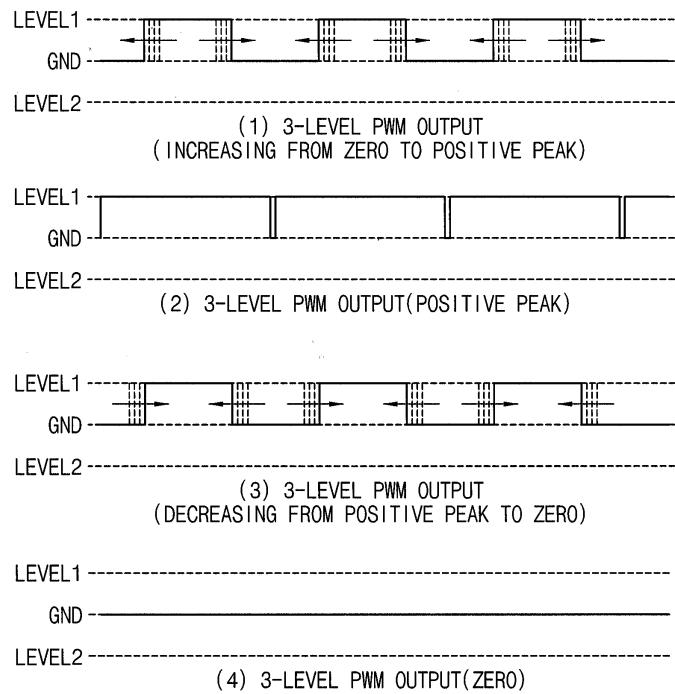
도면18a



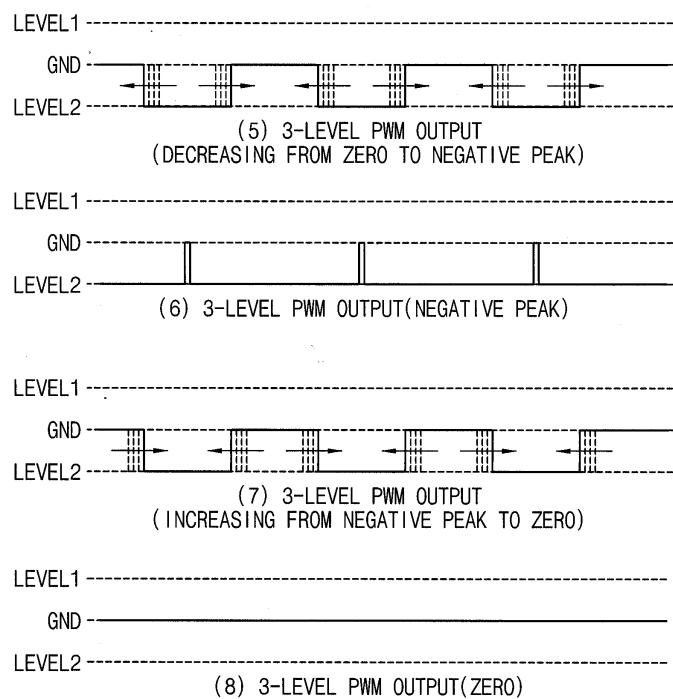
도면18b



## 도면19a



## 도면19b



도면20

