(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2008 年10 月23 日 (23.10.2008)

PCT

(10) 国際公開番号
WO 2008/126255 A1

(51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
H01L 21/318 (2006.01)

(21) 国際出願番号: PCT/JP2007/057114

(22) 国際出願日: 2007 年3 月30 日 (30.03.2007)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 富士通マイクロエレクトロニクス株式会社 (FUJITSU MICROELECTRONICS LIMITED) [JP/JP]; 〒1630722 東京都新宿区西新宿二丁目７番１号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 肖 石琴 (SHO, Sekikin) [CN/JP]; 〒2118588 神奈川県川崎市中原区上小田中４丁目１番１号 富士通株式会社内 Kanagawa (JP). 池田 和人 (IKEDA, Kazuto) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中４丁目１番１号 富士通株式会社内 Kanagawa (JP).

(74) 代理人: 北野 好人 (KITANO, Yoshihito); 〒1600015 東京都新宿区大京町９番地 エクシード四谷２階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

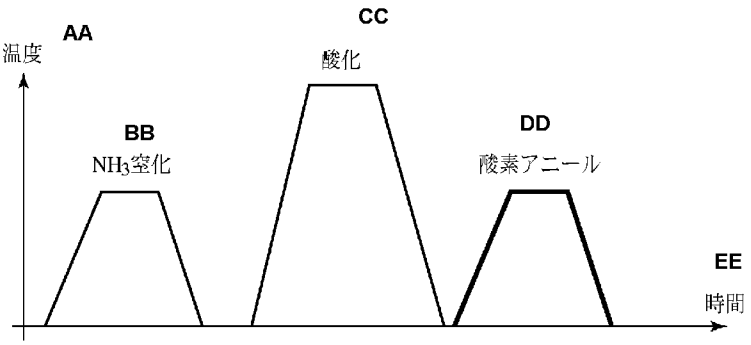
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

[続葉有]

(54) **Title:** PROCESS FOR PRODUCING SEMICONDUCTOR DEVICE

(54) **発明の名称:** 半導体装置の製造方法

[図3]



AA TEMP.
BB NH_3 NITRIDING
CC OXIDATION
DD OXYGEN ANNEAL
EE TIME

(57) **Abstract:** A process comprising the steps of nitriding silicon substrate (10) with ammonia while heating the substrate; heating the resultant silicon substrate (10) in an atmosphere containing nitrogen and oxygen to thereby form gate insulating film (22) having a silicon insulating film containing nitrogen and oxygen; annealing the resultant silicon substrate (10) in an oxygen atmosphere; and forming gate electrode (24) on the gate insulating film (22). Accordingly, defects in the gate insulating film (22) and in the interface between the gate insulating film (22) and the silicon substrate (10) can be reduced, and without increasing of the effective thickness of the gate insulating film (22), there can be enhanced film quality and interface characteristics.

(57) 要約: シリコン基板１０を加熱しながらアンモニアで窒化する工程と、次いで、シリコン基板１０を窒素と酸素を含む雰囲気中で加熱して、窒素と酸素を含むシリコン系絶

[続葉有]

WO 2008/126255 A1

SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

縁膜を有するゲート絶縁膜２２を形成する工程と、次いで、シリコン基板１０を酸素雰囲気中でアニールする工程と、ゲート絶縁膜２２上に、ゲート電極２４を形成する工程とを有する。これにより、ゲート絶縁膜２２とシリコン基板２４の界面或いはゲート絶縁膜２２中の欠陥を低減し、ゲート絶縁膜２２の実効的な膜厚を増加することなく、膜質や界面特性を向上することができる。

明 細 書

半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置の製造方法に係り、特に、窒素を含むシリコン系絶縁膜よりなるゲート絶縁膜を有する半導体装置の製造方法に関する。

背景技術

[0002] LSIの高速化・集積化は、スケーリング則によるMIS型電界効果トランジスタ(Metal-Insulator-Semiconductor Field Effect Transistor:以下、MISFETという)の微細化によって進められてきた。すなわち、ゲート絶縁膜の膜厚やゲート長等のMISFETの各部分を、高さ方向と横方向の寸法を同時に縮小することで微細化時に素子の特性を正常に保ち、また性能を上げることを可能にしてきた。現在もMISFETは微細化の一途をたどっており、次世代MISFETとしてはシリコン酸化膜換算で1nm以下の膜厚を有するゲート絶縁膜が要求されている。

[0003] 従来より、ゲート絶縁膜としては、シリコン酸化膜が広く用いられてきた。しかしながら、シリコン酸化膜では膜厚が約3nm程度以下になるとトンネルリーク電流が顕著となり、絶縁膜としての機能を果たさなくなるという問題が指摘されている。また、ゲート絶縁膜の薄膜化により、ゲート電極に添加されているドーパント不純物がゲート絶縁膜を突き抜けてシリコン基板のチャネル領域に拡散し、MIS特性が変動するという問題も指摘されている。

[0004] リーク電流の低減やドーパント不純物の突き抜けを防止する手法として、ゲート絶縁膜としてシリコン酸化膜に窒素を添加したシリコン窒化酸化膜を適用することが提案されている。

[0005] 例えば、特許文献1には、イオン注入によって、ゲート電極及びシリコン基板の少なくとも一方並びにゲート絶縁膜に窒素を導入することにより、ゲート絶縁膜の膜厚増加や絶縁性の劣化を引き起こすことなくシリコン基板とゲート絶縁膜との間の界面特性を改善する方法が提案されている。

[0006] また、特許文献2には、シリコン基板上にシリコン酸化膜及びシリコン窒化膜を形成

後、プラズマ窒化処理及び非酸化性ガス雰囲気中での熱処理を行うことにより、シリコン基板と絶縁膜との界面における窒素の偏析を抑制して、MIS容量の増加とリーク電流の低減を図る方法が提案されている。

[0007] また、特許文献3には、シリコン基板上にシリコン酸化膜を形成後、真空容器内で紫外線照射及び窒化又は酸窒化処理を行うことにより、シリコン基板と絶縁膜との界面における窒素の偏析を抑制しつつ表面近傍のみを高濃度に窒化して、高い信頼性を有するゲート絶縁膜を形成する方法が提案されている。

特許文献1:特開平06－029314号公報

特許文献2:特開2004－022902号公報

特許文献3:特開2006－019366号公報

特許文献4:国際公開第2004／097922号パンフレット

発明の開示

発明が解決しようとする課題

[0008] MISFETの微細化に伴い、65nm世代、45nm世代のゲート絶縁膜の物理膜厚は1．2nm以下になっている。このため、ゲート電極からのドーパント不純物の拡散を防止しリーク電流を低減するために、ゲート絶縁膜に導入する窒素濃度は益々高くなってきている。しかしながら、このような窒素濃度の高いシリコン酸化窒化膜では、シリコン酸化膜とシリコン酸化窒化膜との界面やシリコン窒化酸化膜中のチャージの増加により、リーク電流が増加することがあった。

[0009] また、ゲート絶縁膜の膜厚が薄くなるにつれ、成膜制御を可能にするために、成膜雰囲気中の酸素濃度を低下せざるを得ない。そのため、形成されたゲート絶縁膜の膜中に、酸素不足に起因する欠陥が導入されることがあった。

[0010] 本発明の目的は、窒素を含むシリコン系絶縁膜を有するゲート絶縁膜に関し、膜中や界面の欠陥を低減して膜質を向上しうる半導体装置の製造方法を提供することにある。

課題を解決するための手段

[0011] 本発明の一観点によれば、シリコン基板を加熱しながらアンモニアで窒化する工程と、次いで、前記シリコン基板を窒素と酸素を含む雰囲気中で加熱して、窒素と酸素

を含むシリコン系絶縁膜を有するゲート絶縁膜を形成する工程と、次いで、前記シリコン基板を酸素雰囲気中でアニールする工程と、前記ゲート絶縁膜上に、ゲート電極を形成する工程とを有する半導体装置の製造方法が提供される。

[0012] また、本発明の他の観点によれば、シリコン基板を加熱しながらアンモニアで窒化する工程と、次いで、前記シリコン基板を酸素雰囲気中でアニールする工程と、次いで、前記シリコン基板を窒素と酸素を含む雰囲気中で加熱して、窒素と酸素を含むシリコン系絶縁膜を有するゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に、ゲート電極を形成する工程とを有する半導体装置の製造方法が提供される。

[0013] また、本発明の更に他の観点によれば、シリコン基板上にシリコン酸化膜を形成する工程と、前記シリコン酸化膜上に、シリコン窒化膜を形成する工程と、次いで、酸素雰囲気中で前記シリコン基板をアニールし、窒素と酸素を含むシリコン系絶縁膜を有するゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に、ゲート電極を形成する工程とを有し、前記アニールする工程は、温度が400～850℃であり酸素分圧が0.03～90Torrである雰囲気中で行う半導体装置の製造方法が提供される。

発明の効果

[0014] 本発明によれば、シリコン基板上に窒素を含むシリコン系絶縁膜を有するゲート絶縁膜を形成する際に、シリコン基板の酸化による膜厚増加を伴わない酸素雰囲気中で熱処理を行い、ゲート絶縁膜とシリコン基板の界面或いはゲート絶縁膜中の欠陥を低減するので、ゲート絶縁膜の実効的な膜厚を増加することなく、膜質や界面特性を向上することができる。

図面の簡単な説明

[0015] [図1]図1は、本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その1)である。

[図2]図2は、本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その2)である。

[図3]図3は、本発明の第1実施形態による半導体装置の製造方法におけるゲート絶縁膜の形成工程での温度プロファイルを示す図である。

[図4]図4は、酸素アニールを行った試料と行っていない試料とにおけるゲートリーク

電流とシリコン酸化膜換算の実効膜厚との関係を示すグラフである。

[図5]図5は、酸素アニールの有無によるフラットバンド電圧の変化を示すグラフである。

[図6]図6は、本発明の第1実施形態の変形例による半導体装置の製造方法におけるゲート絶縁膜の形成工程での温度プロファイルを示す図である。

[図7]図7は、本発明の第2実施形態による半導体装置の製造方法を示す工程断面図である。

[図8]図8は、本発明の第2実施形態による半導体装置の製造方法におけるゲート絶縁膜の形成工程での温度プロファイルを示す図である。

[図9]図9は、酸素アニールの有無によるゲートリーク電流の変化を示すグラフである。

[図10]図10は、酸素アニールを行った試料と行っていない試料とにおけるゲート絶縁膜のTDDB寿命の累積確率分布を示すグラフである。

[図11]図11は、本発明の第3実施形態による半導体装置の製造方法を示す工程断面図である。

[図12]図12は、本発明の第3実施形態による半導体装置の製造方法におけるゲート絶縁膜の形成工程での温度プロファイルを示す図である。

符号の説明

[0016] 10…シリコン基板

12…素子分離膜

14…Nウェル

16, 20…シリコン窒化膜

18…シリコン酸化膜

22…ゲート絶縁膜

24…ゲート電極

26, 30…不純物拡散領域

28…側壁絶縁膜

32…ソース／ドレイン領域

34…金属シリサイド膜

発明を実施するための最良の形態

[0017] ［第1実施形態］

本発明の第1実施形態による半導体装置の製造方法について図1乃至図6を用いて説明する。

[0018] 図1及び図2は本実施形態による半導体装置の製造方法を示す工程断面図、図3及び図6はゲート絶縁膜の形成工程における温度プロファイルを示す図、図4は酸素アニールを行った試料と行わない試料とにおけるゲートリーク電流とシリコン酸化膜換算の実効膜厚との関係を示すグラフ、図5は酸素アニールの有無によるフラットバンド電圧の変化を示すグラフである。

[0019] まず、シリコン基板10上に、例えばSTI(Shallow Trench Isolation)法により、活性領域を画定する素子分離膜12を形成する。

[0020] 次いで、フォトリソグラフィ及びイオン注入により、活性領域のシリコン基板10内にN型不純物を導入する。このイオン注入には、ウェル注入、チャネルストップ注入、チャネル注入等が含まれる。これにより、活性領域のシリコン基板10内に、Nウェル14を形成する(図1(a))。

[0021] 次いで、例えば500～900℃の温度で、例えばアンモニア(NH_3)を用いた熱窒化処理を行い、シリコン基板10の活性領域上に、例えば膜厚0．3～1．5nmのシリコン窒化膜16を形成する(図1(b))。なお、シリコン窒化膜16の形成には、アンモニアプラズマを用いた窒化処理を適用してもよい。

[0022] 次いで、例えばN_2Oガスを用いた熱酸化法により、活性領域上に形成されたシリコン窒化膜16を熱酸化し、シリコン窒化膜16を、例えば膜厚0．3～1．5nmのシリコン窒化酸化膜に転換する。これにより、シリコン窒化酸化膜よりなるゲート絶縁膜22を形成する(図1(c))。シリコン窒化膜16の酸化条件は、例えば、酸化温度を800～1100℃、N_2O分圧を0．1～760Torrとする。

[0023] なお、上記酸化条件は、酸化膜厚の制御性を向上するために酸化力を弱めた条件であり、形成したシリコン窒化酸化膜中やシリコン基板10との界面には酸素不足に起因する欠陥が導入されているものと考えられる。

[0024] 次いで、酸素を含む雰囲気中で熱処理(酸素アニール)を行う。この酸素アニールにより、シリコン窒化酸化膜中やシリコン基板10との間の界面の酸素欠損が補填され、シリコン窒化酸化膜の膜質及び界面特性が向上する。

[0025] この酸素アニールは、ゲート絶縁膜22中に酸素を導入するための処理であるが、下地が酸化されてゲート絶縁膜22の膜厚が増加しないように、熱処理条件を適宜設定する。下地が酸化されてゲート絶縁膜22の膜厚が増加すると、MIS容量が低下してトランジスタ特性が劣化するからである。

[0026] 本願発明者等が検討を行ったところでは、熱処理温度を400～850℃の範囲に設定し、これに対応して酸素分圧を90～0．03Torrの範囲に設定することにより、本発明の効果を確認できた。熱処理温度の上限を850℃としているのは、熱処理温度が850℃を超えると、膜厚増加を抑えるためには酸素分圧を0．03Torr未満に設定する必要があり、制御が難しく再現性が低下するためである。熱処理温度の下限を400℃としているのは、本願発明者等が効果を確認した最低温度の条件が、400℃、90Torrの条件のためである。酸素分圧を更に高くすることにより、更に低い温度での処理でも効果を得られる可能性もある。

[0027] 図3は、シリコン窒化膜16の形成からシリコン窒化酸化膜の形成までの、ゲート絶縁膜22形成過程における処理温度の時間的変化を示したものである。図3に示すように、酸素アニール温度は、窒化温度と同程度かそれよりも高く、酸化温度よりも低い温度である。

[0028] 次いで、ゲート絶縁膜20が形成されたシリコン基板10上の全面に、例えばCVD法により、例えば膜厚100nmの多結晶シリコン膜を堆積する。

[0029] 次いで、フォトリソグラフィ及びドライエッチングにより多結晶シリコン膜をパターニングし、ゲート絶縁膜22上に、多結晶シリコン膜よりなるゲート電極24を形成する(図1(c))。

[0030] 次いで、ゲート電極24をマスクとして、活性領域のシリコン基板10内にP型不純物をイオン注入し、ゲート電極24の両側のシリコン基板10内に、エクステンション領域或いはLDD領域となる不純物拡散領域26を形成する(図1(d))。

[0031] 次いで、全面に、例えばCVD法により、例えばシリコン酸化膜を堆積する。

[0032] 次いで、ドライエッチングにより、シリコン酸化膜をエッチバックし、ゲート電極24の側壁部分にシリコン酸化膜よりなる側壁絶縁膜28を形成する。

[0033] 次いで、ゲート電極24及び側壁絶縁膜28をマスクとして、活性領域のシリコン基板10内にP型不純物をイオン注入し、ゲート電極24の両側のシリコン基板10内に、不純物拡散領域30を形成する(図2(a))。

[0034] 次いで、短時間アニールにより注入した不純物を活性化し、不純物拡散領域26, 30よりなるソース/ドレイン領域32を形成する(図2(b))。

[0035] 次いで、必要に応じて、サリサイドプロセスにより、ゲート電極24上及びソース/ドレイン領域32上に、金属シリサイド膜34を選択的に形成する(図2(c))。

[0036] こうして、ゲート絶縁膜22がシリコン窒化酸化膜により構成されたP型MISFETを完成する。

[0037] 図4は、膜厚1nmのシリコン窒化膜を形成し、N_2O雰囲気中で熱酸化を行い、その後、種々の条件で酸素アニールを行うことによりゲート絶縁膜24を形成した各種試料について、ゲートリーク電流とシリコン酸化膜換算の実効膜厚との関係をコロナチャージ法により測定した結果を示すグラフである。

[0038] 図中、○は酸素アニールを行っていない試料、△印は温度400℃、酸素分圧90Torrの条件で酸素アニールを行った試料、□印は温度450℃、酸素分圧90Torrの条件で酸素アニールを行った試料、●印は温度500℃、酸素分圧70Torrの条件で酸素アニールを行った試料、■印は温度800℃、酸素分圧0.03Torrの条件で酸素アニールを行った試料、▲印は温度850℃、酸素分圧0.03Torrの条件で酸素アニールを行った試料である。また、実線は、一般的に確認されているリーク電流と実効膜厚との関係(1桁/0.2nm)に基づいて記入した各条件における回帰直線である。

[0039] 図4に示すように、シリコン窒化酸化膜を形成した後に酸素アニールを行った試料では、ゲート絶縁膜24の実効膜厚を増加することなく、リーク電流を低減することができた。また、酸素アニール温度を高くするほどに、リーク電流を低減することができた。

[0040] 図5は、膜厚1nmのシリコン窒化膜を形成し、N_2O雰囲気中で熱酸化を行い、その後、種々の条件で酸素アニールを行うことによりゲート絶縁膜24を形成した各種試料

について、フラットバンド電圧（Vfb）をコロナチャージ法により測定した結果を示すグラフである。

[0041] 図中、左から、酸素アニールを行っていない試料（ref）、温度500℃、酸素分圧50Torrの条件で酸素アニールを行った試料、温度500℃、酸素分圧70Torrの条件で酸素アニールを行った試料、温度500℃、酸素分圧90Torrの条件で酸素アニールを行った試料、温度800℃、酸素分圧0．03Torrの条件で酸素アニールを行った試料である。この図では、酸素アニールを行っていない試料のフラットバンド電圧を基準として、他の各条件におけるフラットバンド電圧を示している。フラットバンド電圧が負方向に大きいほど、フラットバンド電圧のシフト量が小さいことを表している。すなわち、ゲート絶縁膜22の固定電荷密度が減少している。

[0042] 図5に示すように、酸素アニールを行ったすべての試料において、フラットバンド電圧Vfbが負方向に大きくなっており、フラットバンド電圧のシフト量を低減することができた。また、酸素アニール温度を高くするほどに、フラットバンド電圧のシフト量を低減することができた。

[0043] なお、上記の例では、シリコン窒化膜16を窒化してシリコン窒化酸化膜を形成した後に酸素アニールを行っているが、例えば図6に示すように、シリコン窒化膜16の形成後、酸化処理前に酸素アニールを行うことも有効である。酸化処理前に酸素アニールを予め行っておくことにより、シリコン基板10とシリコン窒化膜16との界面に予め酸素を導入しておくことができ、その後に形成するシリコン窒化酸化膜の膜質を向上することができる。酸化処理前に酸素アニールを行い、酸化処理後にも酸素アニールを行うようにしてもよい。

[0044] このように、本実施形態によれば、シリコン基板を熱窒化した後に熱酸化することによりシリコン窒化酸化膜よりなるゲート絶縁膜を形成する際に、熱酸化処理の後に、シリコン基板の酸化による膜厚増加を伴わない酸素雰囲気中で熱処理を行い、シリコン窒化酸化膜とシリコン基板の界面或いはシリコン窒化酸化膜中の酸素欠損を補填するので、ゲート絶縁膜の実効的な膜厚を増加することなく、シリコン窒化酸化膜の膜質や界面特性を向上することができる。

[0045] ［第2実施形態］

本発明の第2実施形態による半導体装置の製造方法について図7乃至図10を用いて説明する。

[0046] 図7は本実施形態による半導体装置の製造方法を示す工程断面図、図8はゲート絶縁膜の形成工程における温度プロファイルを示す図、図9は酸素アニールの有無によるゲートリーク電流の変化を示すグラフ、図10はゲート絶縁膜のTDDB寿命の累積確率分布を示すグラフである。

[0047] まず、シリコン基板10上に、例えばSTI(Shallow Trench Isolation)法により、活性領域を画定する素子分離膜12を形成する。

[0048] 次いで、フォトリソグラフィ及びイオン注入により、活性領域のシリコン基板10内にN型不純物を導入する。このイオン注入には、ウェル注入、チャネルストップ注入、チャネル注入等が含まれる。これにより、活性領域のシリコン基板10内に、Nウェル14を形成する(図7(a))。

[0049] 次いで、例えば熱酸化法により、シリコン基板10の活性領域上に、例えば膜厚0.9～1.3nmのシリコン酸化膜18を形成する(図7(b))。シリコン酸化膜18は、例えば850～950℃のドライ酸素雰囲気中でシリコン基板10を酸化することにより形成する。

[0050] なお、上記酸化条件は、酸化膜厚の制御性を向上するために酸化力を弱めた条件であり、形成したシリコン酸化膜18中やシリコン基板10との界面には酸素不足に起因する欠陥が導入されているものと考えられる。

[0051] 次いで、例えば熱窒化法又はプラズマイオンを用いた窒化法により、シリコン酸化膜18を窒化し、シリコン酸化膜18を、例えば膜厚0.9～1.7nmのシリコン窒化酸化膜に転換する。これにより、シリコン窒化酸化膜よりなるゲート絶縁膜22を形成する(図7(c))。シリコン酸化膜18の窒化処理としては、例えば、500℃以上の熱NH_3窒化や、窒素プラズマを用いた窒化を適用することができる。

[0052] 次いで、窒化後の酸素欠損を補填するために、酸化雰囲気中で後処理としての熱処理を行う。この熱処理は、シリコン酸化膜18の形成の際の酸化条件よりも高温且つ酸化力の弱い条件で行う。酸化力を弱くするのは、膜厚増加によるキャパシタ容量の低下を抑制するためである。高温の熱処理を行うのは、より強いSi－O結合を形成してゲート絶縁膜22の信頼性を向上するためである。

[0053] 次いで、酸素を含む雰囲気中で熱処理(酸素アニール)を行う。この酸素アニールにより、シリコン窒化酸化膜中やシリコン基板10との間の界面の酸素欠損(前述の後処理としての熱処理によって除去できていない欠陥)が補填され、シリコン窒化酸化膜の膜質が向上する。

[0054] この酸素アニールは、ゲート絶縁膜22中に酸素を導入するための処理であるが、下地が酸化されてゲート絶縁膜22の膜厚が増加しないように、熱処理条件を適宜設定する。下地が酸化されてゲート絶縁膜22の膜厚が増加すると、MIS容量が低下してトランジスタ特性が劣化するからである。

[0055] 本願発明者等が検討を行ったところでは、熱処理温度を400～850℃の範囲に設定し、これに対応して酸素分圧を90～0．03Torrの範囲に設定することにより、本発明の効果を確認できた。熱処理温度の上限を850℃としているのは、熱処理温度が850℃を超えると、膜厚増加を抑えるためには酸素分圧を0．03Torr未満に設定する必要があり、制御が難しく再現性が低下するためである。熱処理温度の下限を400℃としているのは、本願発明者等が効果を確認した最低温度の条件が、400℃、90Torrの条件のためである。酸素分圧を更に高くすることにより、更に低い温度での処理でも効果を得られる可能性もある。

[0056] 図8は、シリコン酸化膜18の形成からシリコン窒化酸化膜の形成までの、ゲート絶縁膜22形成過程における処理温度を示したものである。図7に示すように、酸素アニール温度は、窒化温度と同程度かそれよりも高く、酸化温度及び後処理温度よりも低い温度である。

[0057] 次いで、例えば図1(d)～図2(c)に示す第1実施形態による半導体装置の製造方法と同様にして、ゲート電極24、側壁絶縁膜28、ソース／ドレイン領域32、シリサイド膜34等を形成する(図7(d))。

[0058] こうして、ゲート絶縁膜22がシリコン窒化酸化膜により構成されたP型MISFETを完成する。

[0059] 図9は、酸素アニールを行わずにゲート絶縁膜を形成した試料と酸素アニールを行ってゲート絶縁膜を形成した試料とにおける、ゲートリーク電流の関係を示すグラフである。図中、条件1の試料と条件2の試料とは、図7(c)の工程におけるシリコン酸化

膜18の窒化条件が異なっている。また、試料ナンバー11及び14は酸素アニールを行っていない試料(O_2－ANなし)であり、試料ナンバー12, 13, 15, 16は酸素アニールを行った試料(O_2－ANあり)である。

[0060] 図9に示すように、酸素アニールを行った試料では、下地のシリコン窒化酸化膜を何れの条件で形成した場合にも、酸素アニールを行っていない試料と比較して、ゲートリーク電流を10%程度低減することができた。

[0061] 図10は、酸素アニールを行わずにゲート絶縁膜を形成した試料及び酸素アニールを行ってゲート絶縁膜を形成した試料について、TDDB(Time-Dependent Dielectric Breakdown)寿命をワイブルプロットしたグラフである。図中、○印及び△印が酸素アニールを行っていない試料であり、●印及び▲印が酸素アニールを行った試料である。また、条件1の試料と条件2の試料とは、図7(c)の工程におけるシリコン酸化膜18の窒化条件が異なっている。

[0062] 図10に示すように、酸素アニールを行った試料では、下地のシリコン窒化酸化膜を異なる窒化条件で形成した場合にも、酸素アニールを行っていない試料と比較して、TDDB寿命を改善することができた。また、Bモード不良を低減することができた。

[0063] このように、本実施形態によれば、シリコン基板を熱酸化した後に熱窒化することによりシリコン窒化酸化膜よりなるゲート絶縁膜を形成する際に、熱酸化処理の後に、シリコン基板の酸化による膜厚増加を伴わない酸素雰囲気中で熱処理を行い、シリコン窒化酸化膜とシリコン基板の界面或いはシリコン窒化酸化膜中の酸素欠損を補填するので、ゲート絶縁膜の実効的な膜厚を増加することなく、シリコン窒化酸化膜の膜質や界面特性を向上することができる。

[0064] [第3実施形態]

本発明の第3実施形態による半導体装置の製造方法について図11及び図12を用いて説明する。

[0065] 図11は本実施形態による半導体装置の製造方法を示す工程断面図、図12はゲート絶縁膜の形成工程における温度プロファイルを示す図である。

[0066] まず、シリコン基板10上に、例えばSTI(Shallow Trench Isolation)法により、活性領域を画定する素子分離膜12を形成する。

[0067] 次いで、フォトリソグラフィ及びイオン注入により、活性領域のシリコン基板10内にN型不純物を導入する。このイオン注入には、ウェル注入、チャネルストップ注入、チャネル注入等が含まれる。これにより、活性領域のシリコン基板10内に、Nウェル14を形成する(図11(a))。

[0068] 次いで、例えば熱酸化法により、シリコン基板10の活性領域上に、例えば膜厚0．7～1．5nmのシリコン酸化膜18を形成する(図11(b))。シリコン酸化膜18は、例えば700～1100℃のドライ酸素雰囲気中でシリコン基板10を酸化することにより形成する。

[0069] なお、上記酸化条件は、酸化膜厚の制御性を高めるために酸化力を弱めた条件であり、形成したシリコン酸化膜18中やシリコン基板10との界面には酸素不足に起因する欠陥が導入されているものと考えられる。

[0070] 次いで、例えばCVD法により、シリコン酸化膜18上に、例えば膜厚0．3～1．5nmのシリコン窒化膜20を堆積する。これにより、シリコン酸化膜18とシリコン窒化膜20との積層膜よりなるゲート絶縁膜22を形成する(図11(c))。シリコン窒化膜20の成長条件は、例えば、原料ガスとしてNH_3とSi_2H_4又はSiH_2Cl_2とを用い、成膜温度を例えば450～800℃とする。

[0071] 次いで、例えば800～1100℃の窒素又は酸化雰囲気中で、後処理としての熱処理を行う。

[0072] 次いで、酸素を含む雰囲気中で熱処理(酸素アニール)を行う。この酸素アニールにより、シリコン窒化酸化膜中やシリコン基板10との間の界面の酸素欠損が補填され、シリコン窒化酸化膜の膜質が向上する。

[0073] この酸素アニールは、ゲート絶縁膜22中に酸素を導入するための処理であるが、下地が酸化されてゲート絶縁膜22の膜厚が増加しないように、熱処理条件を適宜設定する。下地が酸化されてゲート絶縁膜22の膜厚が増加すると、MIS容量が低下してトランジスタ特性が劣化するからである。

[0074] 本願発明者等が検討を行ったところでは、熱処理温度を400～850℃の範囲に設定し、これに対応して酸素分圧を90～0．03Torrの範囲に設定することにより、本発明の効果を確認できた。熱処理温度の上限を850℃としているのは、熱処理温度が

850℃を超えると、膜厚増加を抑えるためには酸素分圧を0．03Torr未満に設定する必要があり、制御が難しく再現性が低下するためである。熱処理温度の下限を400℃としているのは、本願発明者等が効果を確認した最低温度の条件が、400℃、90Torrの条件のためである。酸素分圧を更に高くすることにより、更に低い温度での処理でも効果を得られる可能性もある。

[0075] 図12は、シリコン酸化膜18の形成からシリコン窒化酸化膜の形成までの、ゲート絶縁膜22形成過程における処理温度を示したものである。図11に示すように、酸素アニール温度は、シリコン窒化膜20の堆積温度と同程度かそれよりも高く、酸化温度及び後処理温度よりも低い温度である。

[0076] 次いで、例えば図1（d）～図2（c）に示す第1実施形態による半導体装置の製造方法と同様にして、ゲート電極24、側壁絶縁膜28、ソース／ドレイン領域32、シリサイド膜34等を形成する（図11（d））。

[0077] こうして、ゲート絶縁膜22がシリコン窒化酸化膜により構成されたP型MISFETを完成する。

[0078] このように形成したP型MISFETについてゲートリーク電流を測定したところ、本発明の酸素アニールを行った試料では、酸素アニールを行わない試料と比較して、ゲートリーク電流を80％程度まで低減することができた。

[0079] このように、本実施形態によれば、シリコン酸化膜とシリコン窒化膜との積層膜よりなるゲート絶縁膜を形成する際に、シリコン窒化膜の堆積後に、シリコン基板の酸化による膜厚増加を伴わない酸素雰囲気中で熱処理を行い、ゲート絶縁膜中或いはゲート絶縁膜とシリコン基板との界面における酸素欠損を補填するので、ゲート絶縁膜の実効的な膜厚を増加することなく、ゲート絶縁膜の信頼性を向上することができる。

[0080] ［変形実施形態］

本発明は上記実施形態に限らず種々の変形が可能である。

[0081] 例えば、上記第1実施形態ではシリコン基板を窒化した後に酸化することによりゲート絶縁膜を形成し、上記第2実施形態ではシリコン基板を酸化した後に窒化することによりゲート絶縁膜を形成し、上記第3実施形態ではシリコン基板を熱酸化した後にシリコン窒化膜を堆積することによりゲート絶縁膜を形成したが、本発明を適用でき

るゲート絶縁膜の構造及び基本的な製造方法は、これらに限定されるものではない。

[0082] 本発明は、窒素を高濃度に含むシリコン系絶縁膜における課題である、界面特性の低下や膜中に導入される電荷捕獲中心の増加を低減するために、酸素アニールを行い膜中に酸素を導入することを主たる特徴とするものであり、窒素を含むシリコン系絶縁膜を有する種々のゲート絶縁膜の製造方法に適用することが可能である。

[0083] したがって、シリコン窒化酸化膜の単層構造やシリコン酸化膜とシリコン窒化膜との積層構造のゲート絶縁膜のほか、更に高誘電率絶縁膜を含むゲート絶縁膜等においても、本発明を適用することができる。

[0084] また、上記実施形態において、酸化や窒化に用いた原料ガス、酸化温度、窒化温度、後処理温度、膜厚等の各種条件は、上記実施例に記載の条件に限定されるものではない。

[0085] また、上記実施形態では、P型MISFETの製造に本発明による半導体装置の製造方法を適用した場合について示したが、N型MISFETの製造においても同様に適用することができる。

産業上の利用可能性

[0086] 本発明による半導体装置の製造方法は、窒素を高濃度に含むシリコン系絶縁膜よりなるゲート絶縁膜の膜質を大幅に向上するものであり、微細なMISFETの特性を向上する上で極めて有用である。

請求の範囲

[1] シリコン基板を加熱しながらアンモニアで窒化する工程と、

次いで、前記シリコン基板を、窒素と酸素を含む雰囲気中で加熱して、窒素と酸素を含むシリコン系絶縁膜を有するゲート絶縁膜を形成する工程と、

次いで、前記シリコン基板を酸素雰囲気中でアニールする工程と、

前記ゲート絶縁膜上に、ゲート電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

[2] シリコン基板を加熱しながらアンモニアで窒化する工程と、

次いで、前記シリコン基板を酸素雰囲気中でアニールする工程と、

次いで、前記シリコン基板を窒素と酸素を含む雰囲気中で加熱して、窒素と酸素を含むシリコン系絶縁膜を有するゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、ゲート電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

[3] 請求の範囲第1項又は第2項に記載の半導体装置の製造方法において、

前記アンモニアによる窒化は、500～900℃の温度で行う

ことを特徴とする半導体装置の製造方法。

[4] 請求の範囲第1項乃至第3項のいずれか1項に記載の半導体装置の製造方法において、

前記窒素と酸素を含む雰囲気は、N_2O雰囲気である

ことを特徴とする半導体装置の製造方法。

[5] 請求の範囲第1項乃至第4項のいずれか1項に記載の半導体装置の製造方法において、

前記窒素と酸素を含む雰囲気の温度は、800～1000℃である

ことを特徴とする半導体装置の製造方法。

[6] 請求の範囲第1項乃至第5項のいずれか1項に記載の半導体装置の製造方法において、

前記酸素雰囲気の温度は、400～850℃である

ことを特徴とする半導体装置の製造方法。

[7] 請求の範囲第1項乃至第6項のいずれか1項に記載の半導体装置の製造方法において、

前記酸素雰囲気の酸素分圧は、0．03～90Torrである

ことを特徴とする半導体装置の製造方法。

[8] 請求の範囲第1項乃至第7項のいずれか1項に記載の半導体装置の製造方法において、

前記アンモニアで窒化する工程の前に、前記シリコン基板上にシリコン酸化膜を形成する工程を更に有する

ことを特徴とする半導体装置の製造方法。

[9] 請求の範囲第8項に記載の半導体装置の製造方法において、

前記シリコン酸化膜を形成する工程は、850～950℃の温度で行う

ことを特徴とする半導体装置の製造方法。

[10] シリコン基板上にシリコン酸化膜を形成する工程と、

前記シリコン酸化膜上にシリコン窒化膜を形成する工程と、

次いで、酸素雰囲気中で、前記シリコン基板をアニールし、窒素と酸素を含むシリコン系絶縁膜を有するゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、ゲート電極を形成する工程とを有し、

前記アニールする工程は、温度が400～850℃であり、酸素分圧が0．03～90Torrである雰囲気中で行う

ことを特徴とする半導体装置の製造方法。

[11] 請求の範囲第10項に記載の半導体装置の製造方法において、

前記シリコン窒化膜を形成する工程の後であって、前記ゲート絶縁膜を形成する工程の前に、窒素又は酸素雰囲気中で熱処理を行う工程を更に有する

ことを特徴とする半導体装置の製造方法。

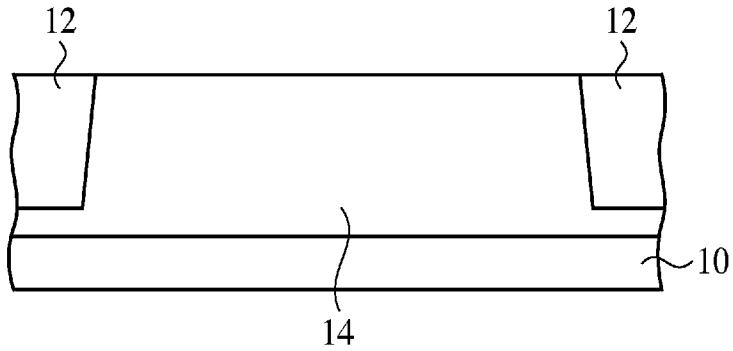
[12] 請求の範囲第10項又は第11項に記載の半導体装置の製造方法において、

前記シリコン窒化膜を形成する工程では、原料ガスにNH_3とSi_2H_4又はSiH_2Cl_2とを用いて前記シリコン窒化膜を形成する

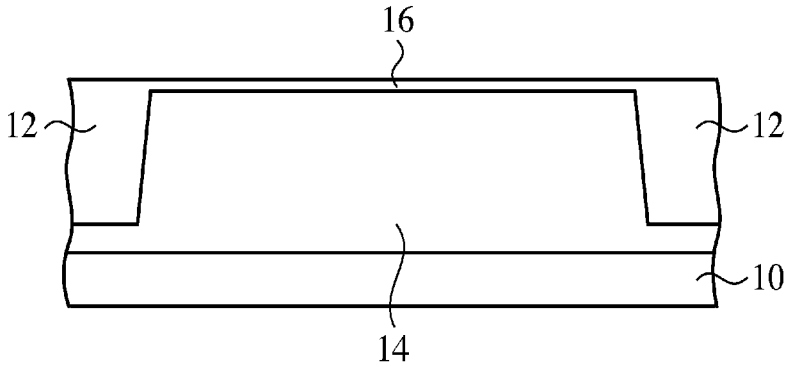
ことを特徴とする半導体装置の製造方法。

[図1]

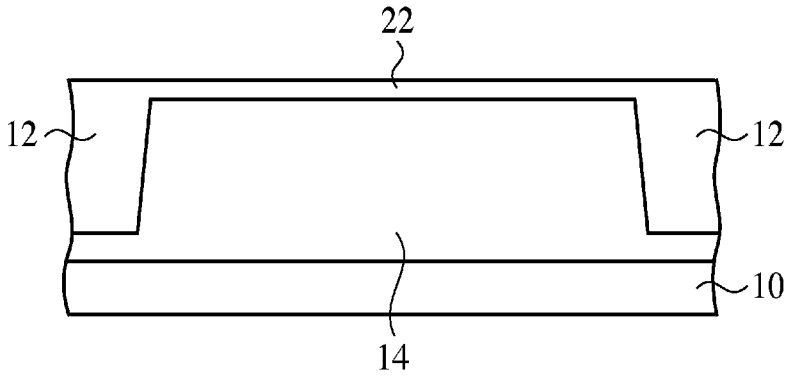
(a)



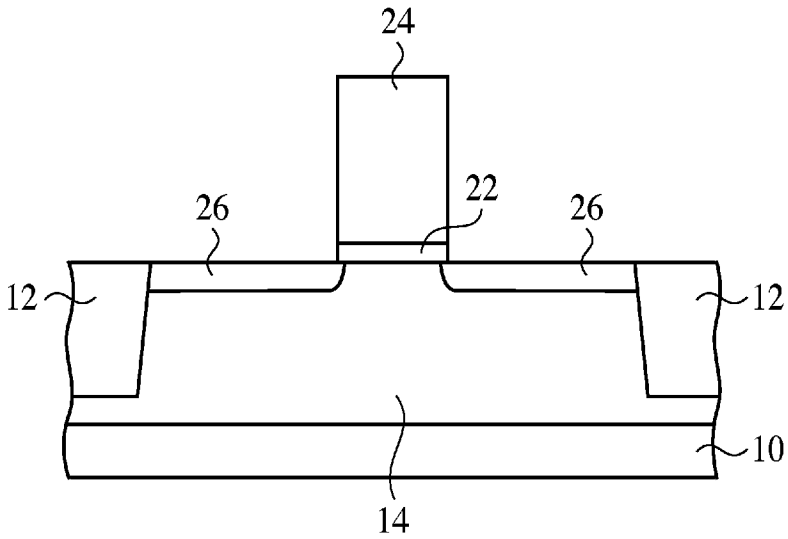
(b)



(c)

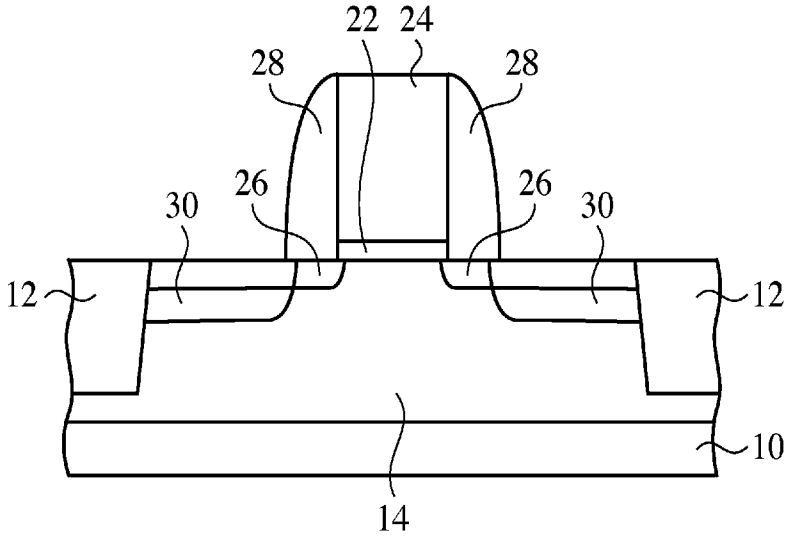


(d)

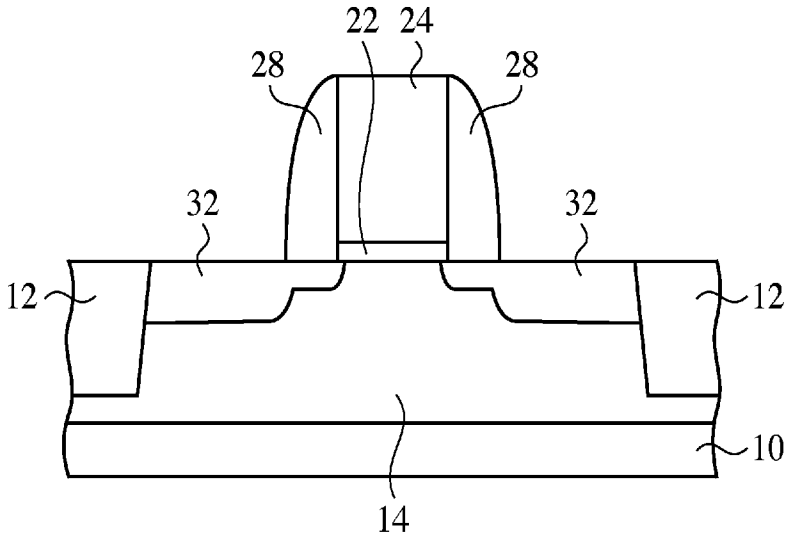


[図2]

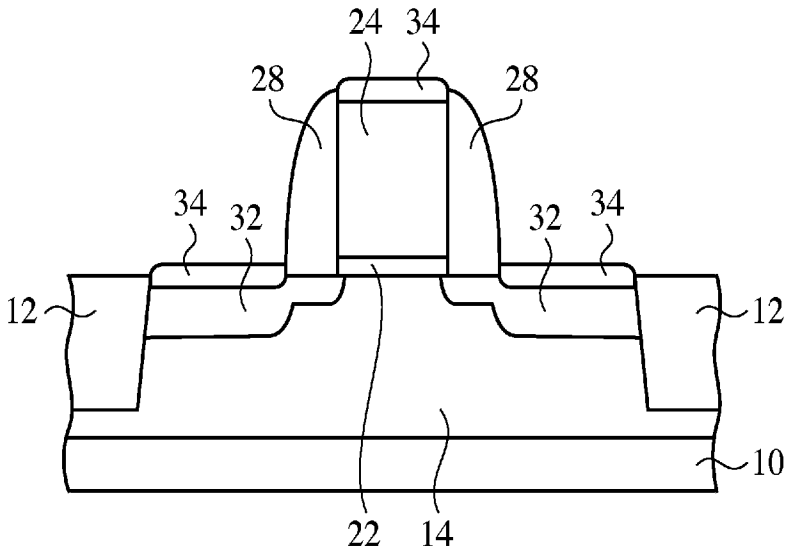
(a)


22
24
28
28
26
26
30
30
12
12
10
14

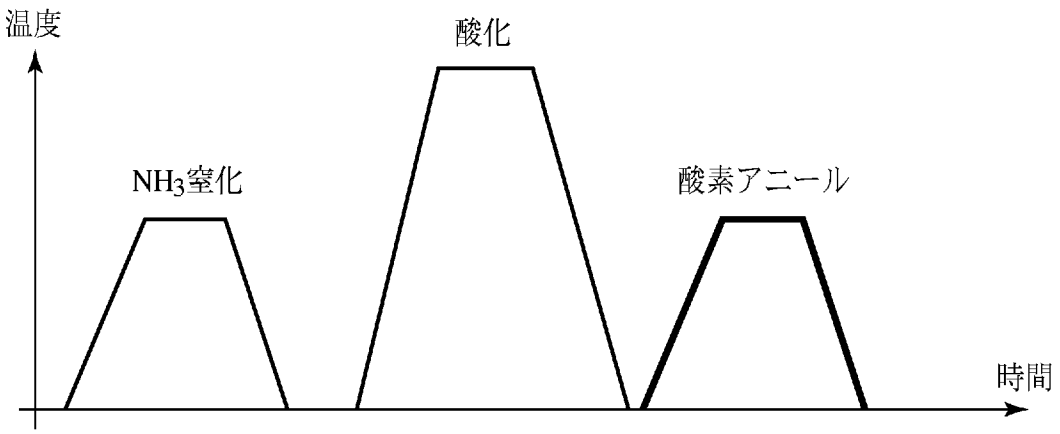
(b)


22
24
28
28
32
32
12
12
10
14

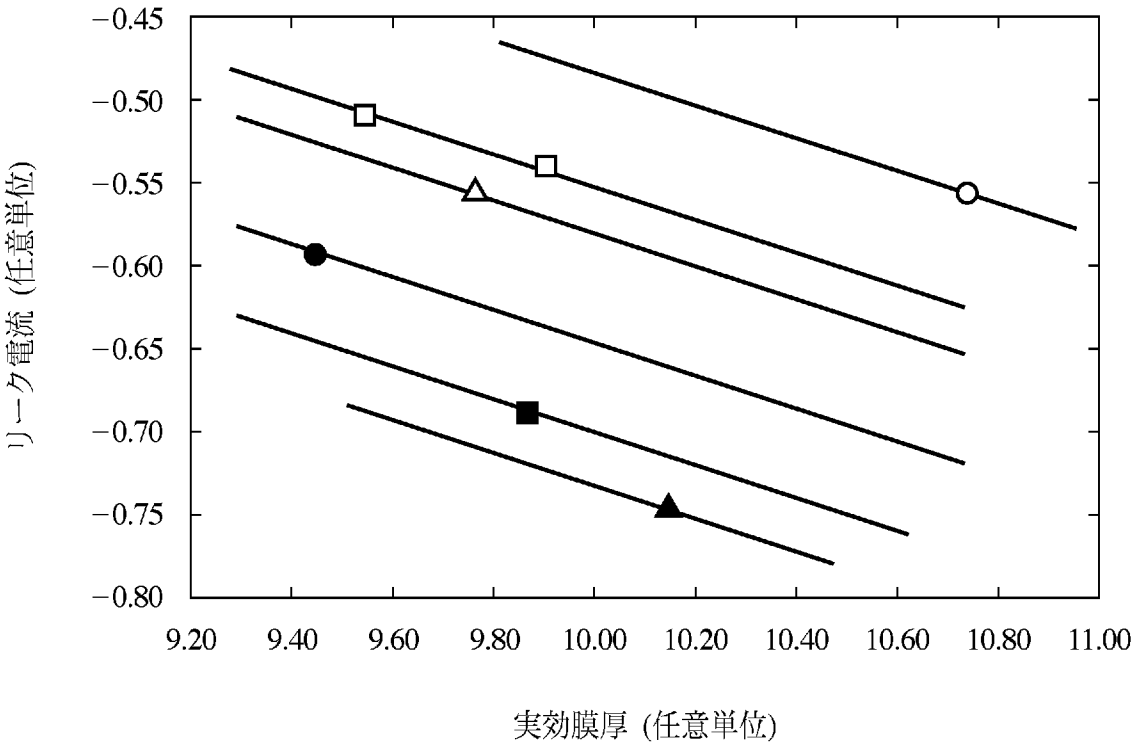
(c)


24
34
28
28
34
32
32
34
12
12
10
22
14

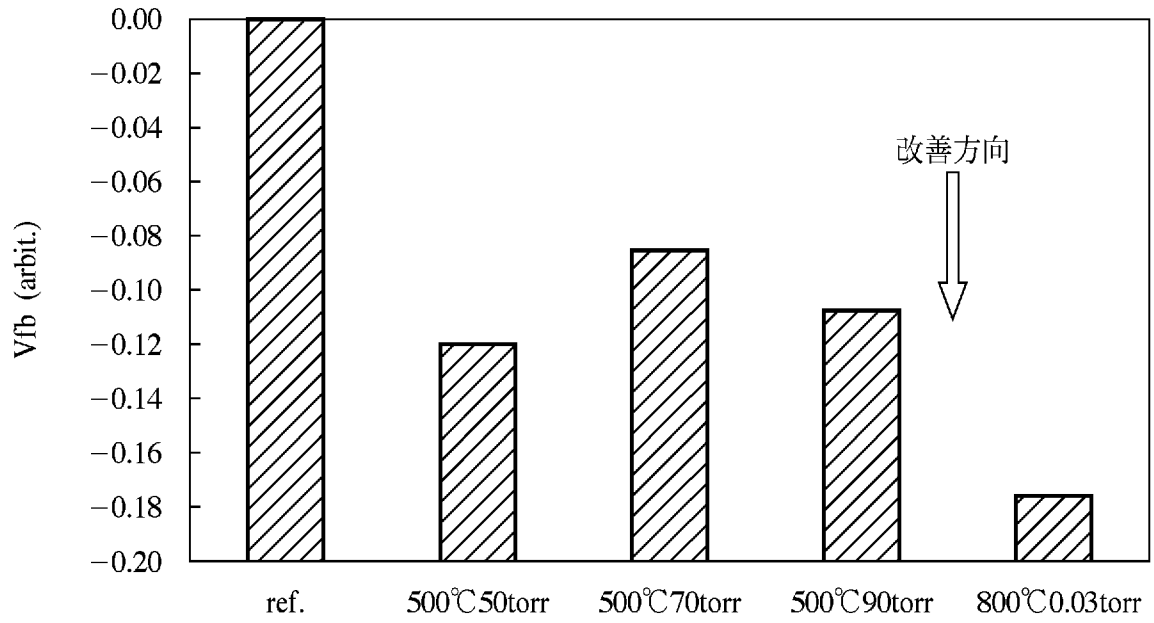
[図3]


温度
酸化
NH3窒化
酸素アニール
時間

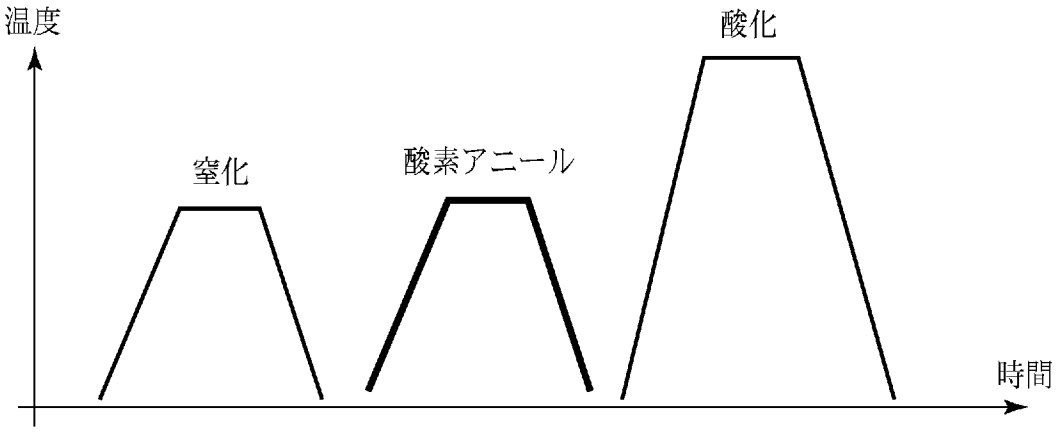
[図4]


−0.45
−0.50
−0.55
−0.60
−0.65
−0.70
−0.75
−0.80
リーク電流 (任意単位)
9.20
9.40
9.60
9.80
10.00
10.20
10.40
10.60
10.80
11.00
実効膜厚 (任意単位)

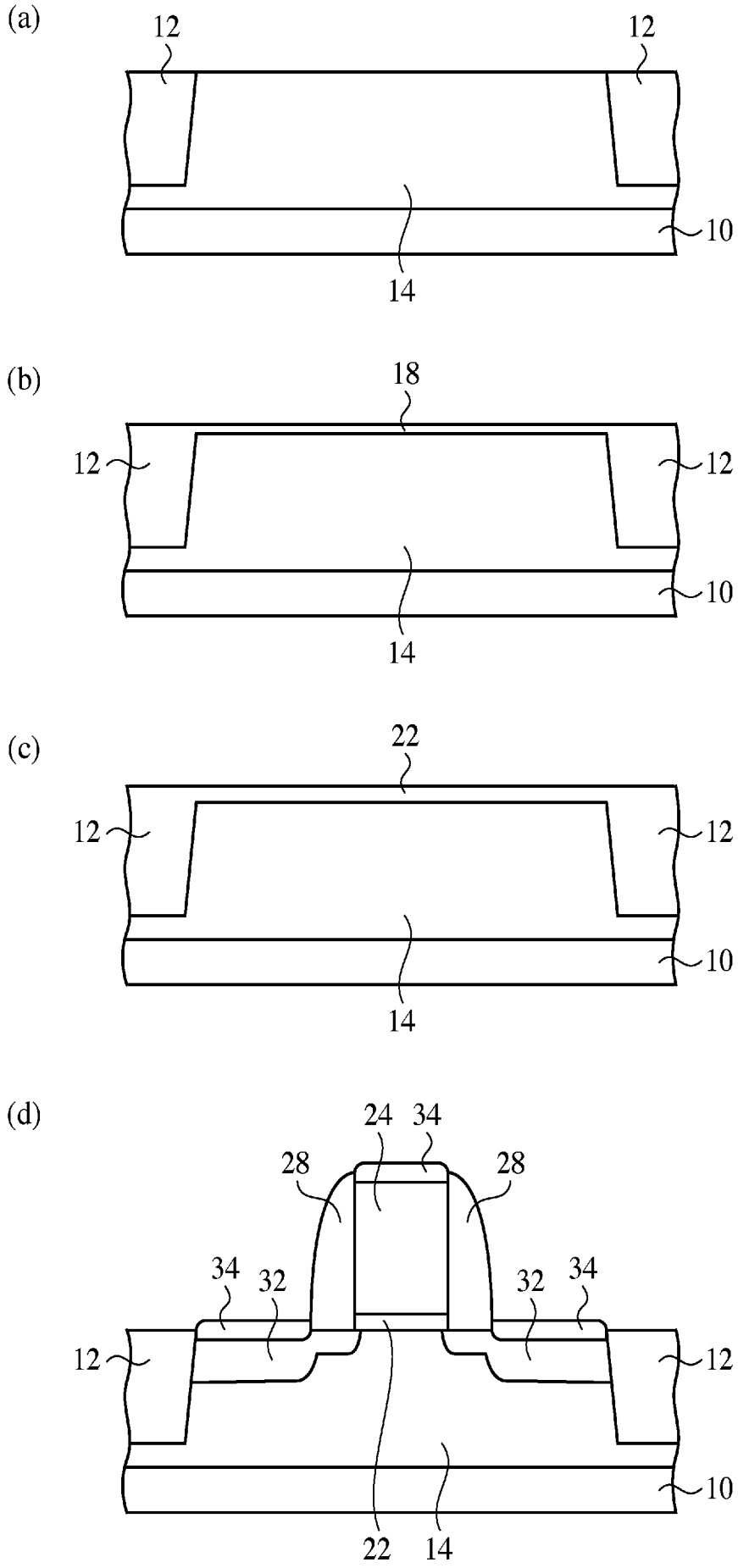
[図5]


0.00
−0.02
−0.04
−0.06
−0.08
−0.10
−0.12
−0.14
−0.16
−0.18
−0.20
Vfb (arbit.)
改善方向
ref.
500℃50torr
500℃70torr
500℃90torr
800℃0.03torr

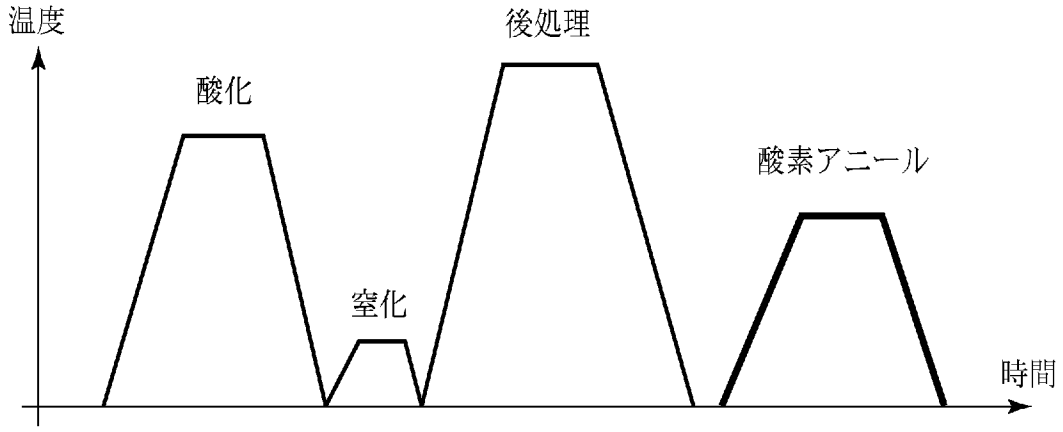
[図6]


温度
窒化
酸素アニール
酸化
時間

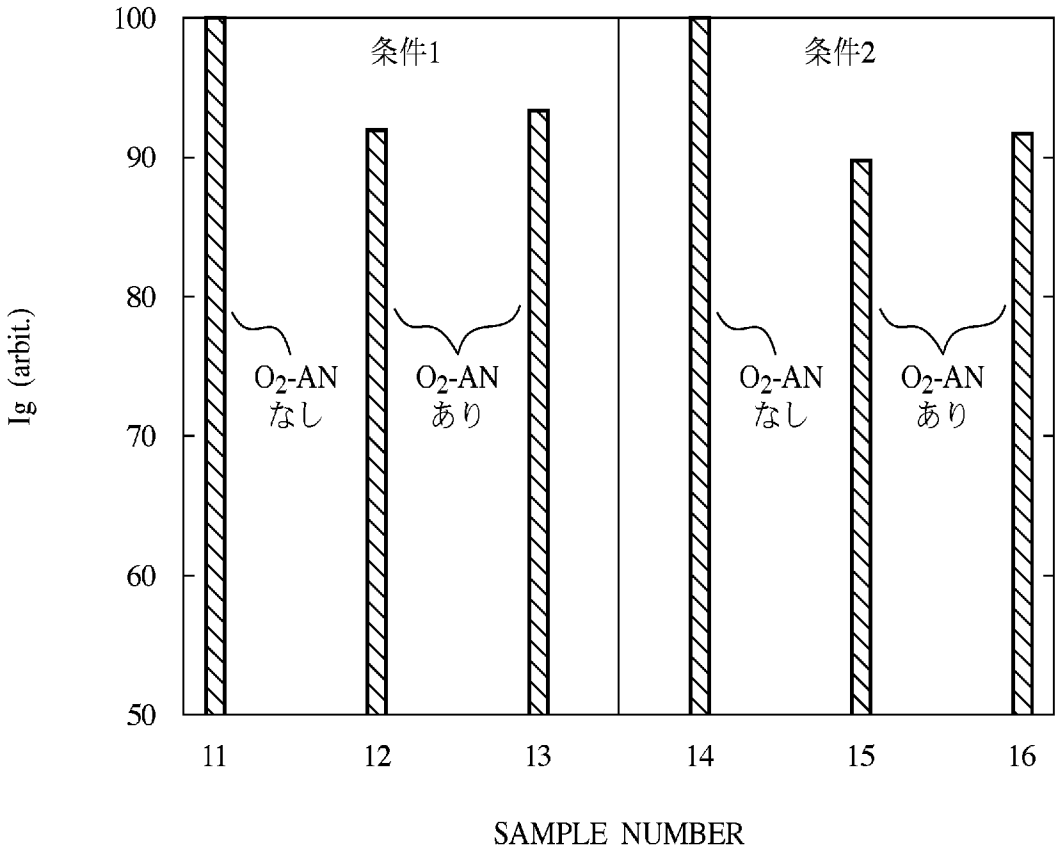
[図7]


(a)
12
12
10
14
(b)
18
12
12
10
14
(c)
22
12
12
10
14
(d)
24
34
28
28
34
32
32
34
12
12
10
22
14

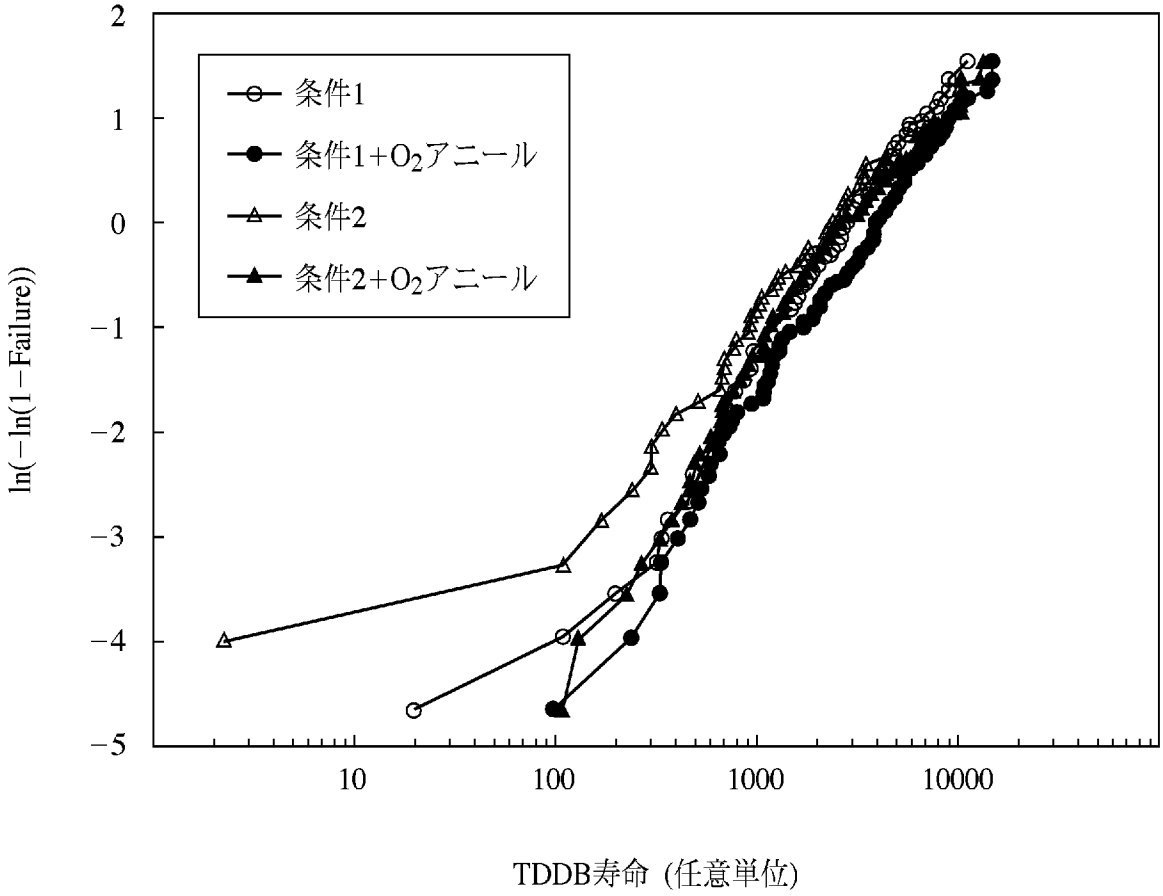
[図8]


温度
酸化
窒化
後処理
酸素アニール
時間

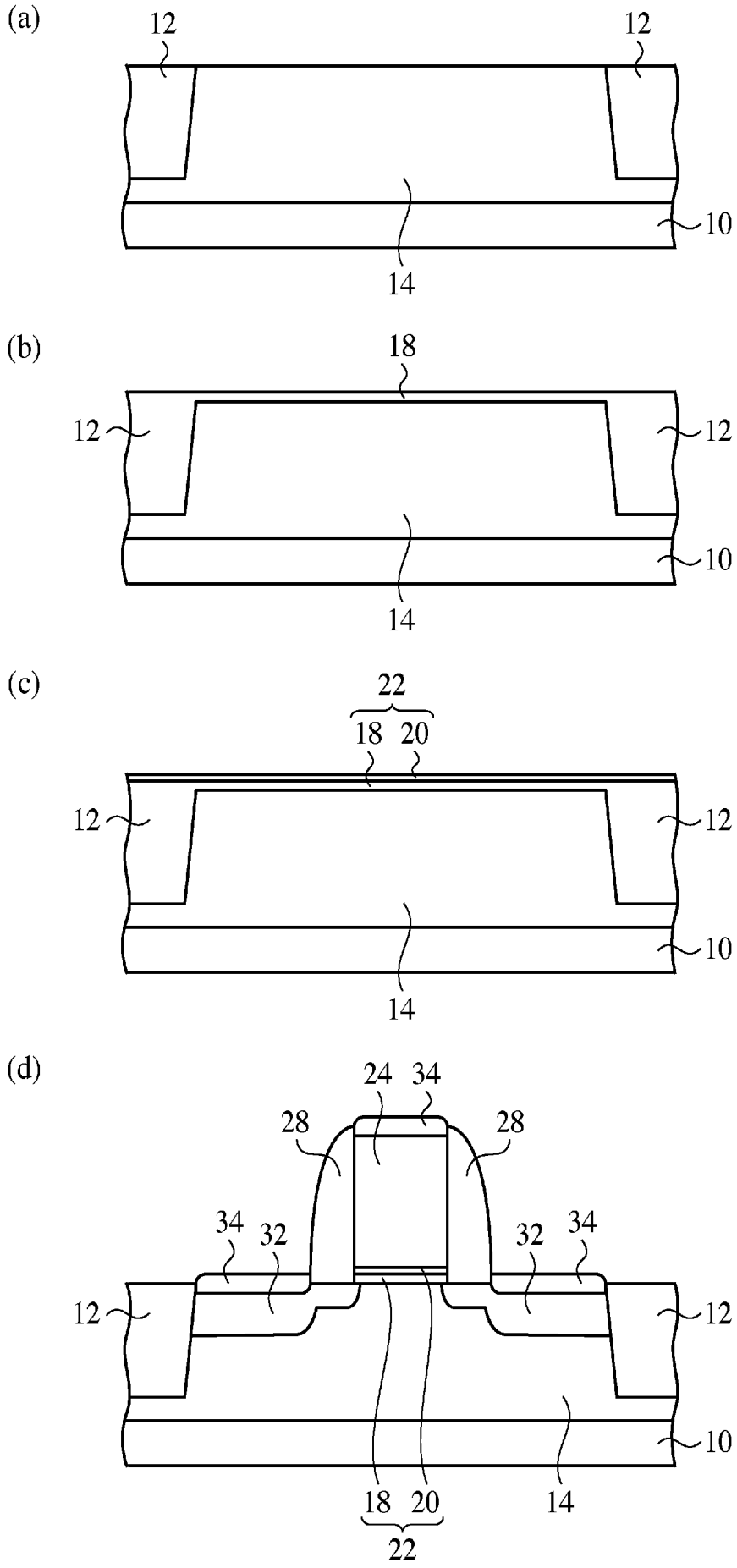
[図9]


100
90
80
70
60
50
lg (arbit.)
条件1
条件2
O2-AN なし
O2-AN あり
O2-AN なし
O2-AN あり
11
12
13
14
15
16
SAMPLE NUMBER

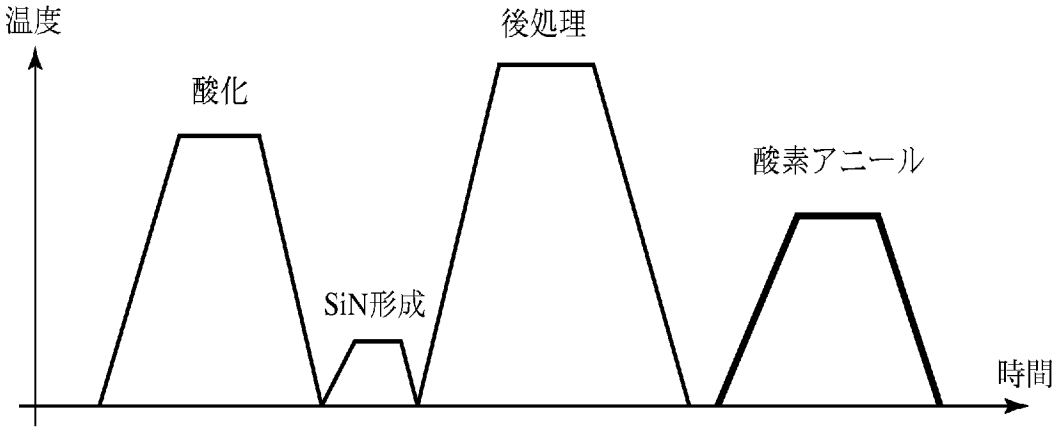
[図10]


2
1
0
−1
−2
−3
−4
−5
ln(−ln(1−Failure))
条件1
条件1+O2アニール
条件2
条件2+O2アニール
10
100
1000
10000
TDDB寿命 (任意単位)

[図11]


(a)
12
12
10
14
(b)
18
12
12
10
14
(c)
22
18 20
12
12
10
14
(d)
24 34
28
28
34
32
32
34
12
12
10
18 20
14
22

[図12]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/057114

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/336(2006.01)i, *H01L21/318*(2006.01)i, *H01L29/78*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/336, H01L21/318, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007
Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 5-251439 A (Oki Electric Industry Co., Ltd.), 28 September, 1993 (28.09.93), Claims; Fig. 1 (Family: none)	1-9
Y	S.C.Song et al., Ultra Thin high quality stack nitride/oxide gate dielectrics prepared by in-situ rapid thermal N_2O oxidation of NH_3-nitrided Si, 1999 Symposium on VLSI Technology Digest of Technical Papers, pp.137-138	1-9
Y	JP 7-335641 A (Sony Corp.), 22 December, 1995 (22.12.95), Par. Nos. [0036] to [0038] & US 5656516 A	1-9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
25 June, 2007 (25.06.07)	03 July, 2007 (03.07.07)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/057114

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 1-248561 A (Seiko Instruments Inc.), 04 October, 1989 (04.10.89), Page 2, upper right column, line 19 to lower left column, line 9 (Family: none)	1-9
Y	JP 2004-247528 A (Sony Corp.), 02 September, 2004 (02.09.04), Par. Nos. [0018] to [0020] & US 2004/0161934 A1 & KR 2004073968 A & TW 200425350 A	1-9

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/057114

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The special technical feature of the invention of claims 1 to 9 is to subject a film "nitrided with ammonia" to the step of heat-treating the silicon substrate in an atmosphere containing nitrogen and oxygen to thereby form a gate insulating film having a silicon insulating film containing nitrogen and oxygen" and "the step of annealing the silicon substrate in an oxygen atmosphere". On the other hand, the special technical feature of the invention of claims 10 to 12 is to subject a "silicon nitride film" to "the step of annealing the silicon substrate in an oxygen atmosphere to thereby form a gate insulating film having a silicon insulating film containing nitrogen and oxygen". Thus, (continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1-9.

Remark on Protest

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee..

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☐ No protest accompanied the payment of additional search fees.

Continuation of Box No.III of continuation of first sheet(2)

these special technical features are different from each other.

Therefore, it appears that the claims of this international application claim two inventions classified into those of "claims 1 to 9" and "claims 10 to 12".

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００７／０５７１１４

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/336(2006.01)i, H01L21/318(2006.01)i, H01L29/78(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/336, H01L21/318, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００７年
日本国実用新案登録公報	１９９６－２００７年
日本国登録実用新案公報	１９９４－２００７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP 5-251439 A(沖電気工業株式会社) 1993.09.28 特許請求の範囲, 図1(ファミリーなし)	1-9
Y	S.C.Song et al., Ultra Thin high quality stack nitride/oxide gate dielectrics prepared by in-situ rapid thermal N_2O oxidation of NH_3-nitrided Si, 1999 Symposium on VLSI Technology Digest of Technical Papers, pp.137-138	1-9

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日 ２５．０６．２００７	国際調査報告の発送日 ０３．０７．２００７
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　4M　９８３６ 松嶋　秀忠 電話番号　０３－３５８１－１１０１　内線　３４６２

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP 7-335641 A(ソニー株式会社) 1995.12.22 【0036】-【0038】 &US 5656516 A	1-9
Y	JP 1-248561 A(セイコー電子工業株式会社) 1989.10.04 第２頁右上欄19行～左下欄９行(ファミリーなし)	1-9
Y	JP 2004-247528 A(ソニー株式会社) 2004.09.02 【0018】-【0020】 &US 2004/0161934 A1 &KR 2004073968 A &TW 200425350 A	1-9

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００７／０５７１１４

第Ⅱ欄　請求の範囲の一部の調査ができないときの意見（第１ページの２の続き）

法第8条第3項（ＰＣＴ17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

１．☐ 請求の範囲＿＿＿＿＿＿＿＿ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

２．☐ 請求の範囲＿＿＿＿＿＿＿＿ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

３．☐ 請求の範囲＿＿＿＿＿＿＿＿ は、従属請求の範囲であってＰＣＴ規則6.4(a)の第２文及び第3文の規定に従って記載されていない。

第Ⅲ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲１乃至９に係る発明における特別な技術的特徴は、「アンモニアで窒化」した膜に対して「シリコン基板を窒素と酸素を含む雰囲気中で熱処理して、窒素と酸素を含むシリコン系絶縁膜を有するゲート絶縁膜を形成する工程」と「シリコン基板を酸素雰囲気中でアニールする工程」とを施すことであり、請求の範囲１０乃至１２に係る発明における特別な技術的特徴は、「シリコン窒化膜」に対して「酸素雰囲気中で、前記シリコン基板をアニールし、窒素と酸素を含むシリコン系絶縁膜を有するゲート絶縁膜を形成する工程」を施すことであるから、両者の特別な技術的特徴は相違している。
したがって、この国際出願の請求の範囲には、[1-9]と[10-12]に区分される２個の発明が記載されていると認められる。

１．☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。

２．☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。

３．☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。

４．☑ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲１－９

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
☐ 追加調査手数料の納付を伴う異議申立てがなかった。