(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2006 年1 月12 日 (12.01.2006)

PCT

(10) 国際公開番号
WO 2006/003948 A1

(51) 国際特許分類[7]: H01L 21/768, 21/28

(21) 国際出願番号: PCT/JP2005/011973

(22) 国際出願日: 2005 年6 月29 日 (29.06.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-196698 2004 年7 月2 日 (02.07.2004) JP
特願 2004-358609
2004 年12 月10 日 (10.12.2004) JP

(71) 出願人 (米国を除く全ての指定国について): 東京エレクトロン株式会社 (TOKYO ELECTRON LIMITED) [JP/JP]; 〒1078481 東京都港区赤坂五丁目３番６号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 志村 悟 (SHIMURA, Satoru) [JP/JP]. 久保田 和宏 (KUBOTA, Kazuhiro) [JP/JP]. 浅子 竜一 (ASAKO, Ryuichi) [JP/JP]. 高山 星一 (TAKAYAMA, Seiichi) [JP/JP].

(74) 代理人: 鈴江 武彦, 外 (SUZUYE, Takehiko et al.); 〒1000013 東京都千代田区霞が関３丁目７番２号 鈴榮特許綜合事務所内 Tokyo (JP).

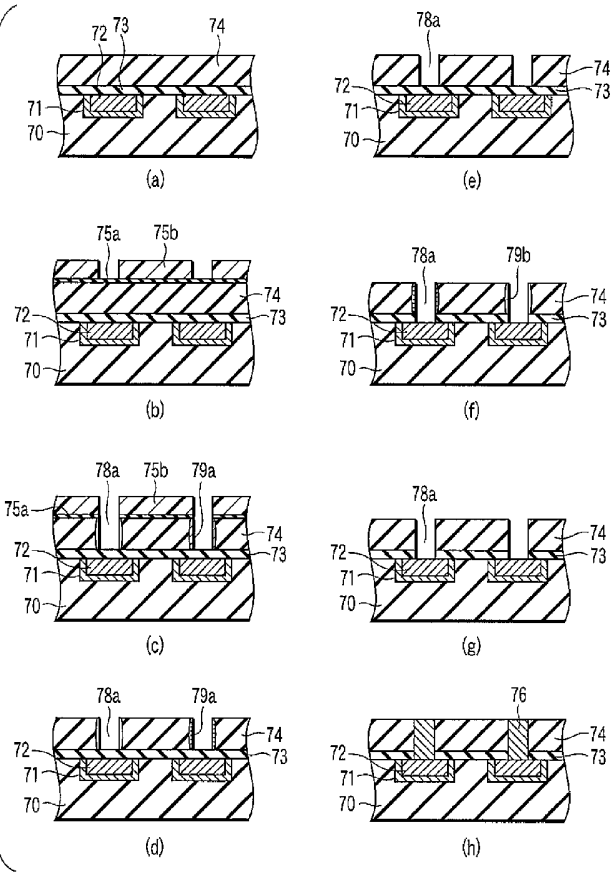
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,

[続葉有]

(54) Title: PROCESS FOR FABRICATING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体デバイスの製造方法



(57) Abstract: In a process for fabricating a semiconductor device, an etching mask (75b) having a predetermined hole pattern is formed over a film (74) to be etched, as arranged over an object to be treated. In a first treating chamber, the film (74) is then subjected to an etching treatment through the hole pattern of the etching mask (75b), thereby to form a trench or hole (78a) in the etched film. The etched object is then transferred in a vacuum atmosphere from the first treating chamber to a second treating chamber. In the second treating chamber, the exposed portion of the etched film (74), i.e., the side face of the trench or hole (78a) is then subjected to a sylylation treatment.

(57) 要約: 半導体デバイスの製造方法では、被処理体上に配設された被エッチング膜（７４）上に所定の開口パターンを有するエッチングマスク（７５ｂ）を形成する。次に、第１処理室内において、エッチングマスク（７５ｂ）の開口パターンを通して被エッチング膜（７４）にエッチング処理を施すことにより、被エッチング膜に溝または孔（７８ａ）を形成する。次に、エッチング処理後の被処理体を、真空雰囲気下で第１処理室から第２処理室に搬送する。次に、第２処理室内において、被エッチング膜（７４）の露出部である溝または孔（７８ａ）の側面部にシリル化処理を施す。

WO 2006/003948 A1

BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書
— 補正書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体デバイスの製造方法

技術分野

[0001] 本発明は、半導体デバイスの製造方法に関し、特に、半導体デバイスの配線溝または接続孔を形成する方法の改良に関する。このような配線溝または接続孔は、例えば、シングルダマシン法やデュアルダマシン法によって多層配線構造を形成するために利用される。

背景技術

[0002] 半導体デバイスの製造プロセスにおいて、多層配線構造を形成するためにデュアルダマシン法が多用される(例えば、特開2002－83869号公報参照)。図20は、デュアルダマシン法により配線構造を形成する従来のプロセスを工程順に示す断面図である。

[0003] 先ず、基板上に、例えば、配線層500、層間絶縁膜501、反射防止膜502が下から順に形成され、その多層膜構造の表面に第1のレジスト膜503が形成される(図20(a))。次に、第1のレジスト膜503がフォトリソグラフィー技術により所定のパターンにパターンニングされる(図20(b))。このパターニング工程では、第1のレジスト膜503が所定のパターンで露光され、その露光部が現象により選択的に除去される。次に、この第1のレジスト膜503をマスクとしたエッチング処理により、反射防止膜502と層間絶縁膜501が蝕刻される。これにより多層膜構造の表面から配線層500に通じる接触孔504が形成される(図20(c))。

[0004] 次に、例えば、アッシング処理により不要となった第1のレジスト膜503が剥離除去され(図20(d))、代わって配線溝を形成するための新たな第2のレジスト膜505が形成される(図20(e))。第2のレジスト膜505はフォトリソグラフィー技術によりパターニングされ(図20(f))、その後、第2のレジスト膜505をマスクとしたエッチング処理により、反射防止膜502と層間絶縁膜501の一部が蝕刻される。こうして接続孔504に連通し且つ接続孔504よりも幅の広い配線溝506が形成される(図20(g))。不要となった第2のレジスト膜505は剥離除去され(図20(h))、接続孔504と配線溝506の中

にCu材料が埋め込まれて、Cu配線(配線層とビアプラグ)507が形成される(図20(i))。

[0005] 近年、このような配線構造において、層間絶縁膜501の材料として、メチル基等のアルキル基を末端基として有する低誘電率材料(low－k材料)が利用される。この場合、層間絶縁膜501をエッチングすることにより形成された接続孔504や配線溝506の溝側面部には、エッチングによるダメージが残りやすい。また、エッチング処理後に第1のレジスト膜503および第2のレジスト膜505を除去する際にも、接続孔504や配線溝506の溝側面部がダメージを受ける。このようなダメージは、配線間の寄生容量を増大(誘電率の上昇による)させて信号遅延をもたらすと共に、絶縁抵抗の低下等の電気的特性の低下をもたらす。このような問題は、半導体デバイスにおける回路パターンの微細化と高集積化が進む中で、半導体デバイスの信頼性の低下を招く原因となっている。

発明の開示

[0006] 本発明の目的は、電気的特性および信頼性に優れた半導体デバイスの製造方法を提供することを目的とする。

[0007] 本発明の第1の視点は、半導体デバイスの製造方法であって、被処理体上に配設された被エッチング膜上に所定の開口パターンを有するエッチングマスクを形成する工程と;第1処理室内において、前記エッチングマスクの前記開口パターンを通して前記被エッチング膜にエッチング処理を施すことにより、前記被エッチング膜に溝または孔を形成する工程と;前記エッチング処理後の前記被処理体を、真空雰囲気下で前記第1処理室から第2処理室に搬送する工程と;前記第2処理室内において、前記被エッチング膜の露出部である前記溝または孔の側面部にシリル化処理を施す工程と、を具備する。

[0008] 本発明の第2の視点は、半導体デバイスの製造方法であって、被処理体上に配設された被エッチング膜上に所定の開口パターンを有するエッチングマスクを形成する工程と;処理室内において、前記エッチングマスクの前記開口パターンを通して前記被エッチング膜にエッチング処理を施すことにより、前記被エッチング膜に溝または孔を形成する工程と;前記処理室内において、前記被エッチング膜の露出部である

前記溝または孔の側面部にシリル化処理を施す工程と、を具備する。

[0009] 本発明の第3の視点は、半導体デバイスの製造方法であって、被処理体上に配設された被エッチング膜上に所定の開口パターンを有するエッチングマスクを形成する工程と;前記エッチングマスクの前記開口パターンを通して前記被エッチング膜にエッチング処理を施すことにより、前記被エッチング膜に溝または孔を形成する工程と;前記エッチング処理後に、前記エッチングマスクにアッシング処理を施すことにより、前記被処理体上から前記エッチングマスクを除去する工程と;前記アッシング処理後に、前記被エッチング膜の露出部である前記溝または孔の側面部にシリル化処理を施す工程と、を具備する。

[0010] 本発明の第4の視点は、半導体デバイスの製造方法であって、被処理体上に配設された被エッチング膜上に所定の開口パターンを有するエッチングマスクを形成する工程と;前記エッチングマスクの前記開口パターンを通して前記被エッチング膜にエッチング処理を施すことにより、前記被エッチング膜に溝または孔を形成する工程と;前記エッチング処理後に、薬液を使用して前記被処理体に洗浄処理を施す工程と;前記洗浄処理後に、前記被エッチング膜の露出部である前記溝または孔の側面部にシリル化処理を施す工程と、を具備する。

[0011] 本発明の第5の視点は、半導体デバイスの製造方法であって、被処理体上に配設されたエッチングストッパ膜上に層間絶縁膜を形成する工程と;前記エッチングストッパ膜に到達するように前記層間絶縁膜に溝または孔を形成する工程と;前記層間絶縁膜の前記溝または孔を通して前記エッチングストッパ膜にエッチング処理を施すことにより、前記溝または孔の底部に位置する前記エッチングストッパ膜の部分を除去する工程と;前記エッチング処理後に、前記層間絶縁膜の露出部である前記溝または孔の側面部にシリル化処理を施す工程と、を具備する。

[0012] 本発明の第6の視点は、半導体デバイスの製造システムであって、被エッチング膜とその上に形成された所定の開口パターンを有するエッチングマスクとを有する被処理体を収容する第1処理室と;前記第1処理室内において、前記被エッチング膜に対して、エッチングマスクの開口パターンを通してエッチング処理を施すことにより、前記被エッチング膜に溝または孔を形成するエッチング機構と;前記第1処理室内にお

いて処理された後の前記被処理体を収容する第2処理室と;前記第2処理室内において、前記被エッチング膜の露出部である前記溝または孔の側面部にシリル化処理を施すシリル化機構と;前記第1及び第2処理室を接続する真空搬送路と;前記真空搬送路内に配設された、前記第1処理室から前記第2処理室へ前記被処理体を搬送するための搬送機構と、を具備する。

[0013] 本発明の第7の視点は、半導体デバイスの製造システムであって、被エッチング膜とその上に形成された所定の開口パターンを有するエッチングマスクとを有する被処理体を収容する処理室と;前記処理室内において、前記被エッチング膜に対して、エッチングマスクの開口パターンを通してエッチング処理を施すことにより、前記被エッチング膜に溝または孔を形成するエッチング機構と;前記処理室内において、前記被エッチング膜の露出部である前記溝または孔の側面部にシリル化処理を施すシリル化機構と、を具備する。

[0014] 本発明の第8の視点は、プロセッサ上で実行するためのプログラム指令を含むコンピュータで読み取り可能な媒体であって、前記プログラム指令は、プロセッサによって実行される時、第1乃至第5の視点のいずれかの製造方法を実行するように、半導体デバイスの製造システムを制御する。

図面の簡単な説明

[0015] [図1]図1は、ウエハ処理システムの概略構成を示す説明図。

[図2]図2は、洗浄処理装置の概略構造を示す平面図。

[図3]図3は、洗浄処理装置の概略構造を示す正面図。

[図4]図4は、洗浄処理装置の概略構造を示す背面図。

[図5]図5は、シリル化ユニット(SCH)の概略構造を示す断面図。

[図6]図6は、エッチング装置の概略構造を示す平面図。

[図7]図7は、シングルダマシン法により配線構造を形成するプロセスを示すフローチャート。

[図8]図8は、図7のプロセスを工程順に示す断面図。

[図9A]図9Aは、シリル化処理の有無によるリーク電流と累積確立との関係の相違を示すグラフ。

[図9B]図9Bは、シリル化処理の有無による電圧とリーク電流との関係の相違を示すグラフ。

[図10]図10は、デュアルダマシン法により配線構造を形成するプロセスを示すフローチャート。

[図11]図11は、図10のプロセスを工程順に示す断面図。

[図12]図12は、デュアルダマシン法により配線構造を形成する別のプロセスを示すフローチャート。

[図13]図13は、図12のプロセスを工程順に示す断面図。

[図14]図14は、エッチングユニットの概略構造を示す断面図。

[図15]図15は、図14のエッチングユニットを用いたプロセスにおけるウエハの表面構造を工程順に示す断面図。

[図16A]図16Aは、シリル化処理無しの溝におけるフッ酸浸漬処理による形状変化を示す断面図。

[図16B]図16Bは、シリル化処理有りの溝におけるフッ酸浸漬処理による形状変化を示す断面図。

[図17A]図17Aは、誘電率、リーク電流密度、水分脱離量を測定するためのテストサンプルを処理する工程を示す側面図。

[図17B]図17Bは、誘電率、リーク電流密度、水分脱離量を測定するためのテストサンプルを示す側面図。

[図18]図18は、シリル化の有無およびシリル化剤の種類による水分脱離量の変化を示すグラフ。

[図19A]図19Aは、希フッ酸浸漬による耐食性試験前のテストサンプルを示す図。

[図19B]図19Bは、希フッ酸浸漬による耐食性試験後のテストサンプルを示す図。

[図20]図20は、デュアルダマシン法により配線構造を形成する従来のプロセスを工程順に示す断面図。

発明を実施するための最良の形態

[0016] 以下、添付図面を参照しながら本発明の実施の形態について詳細に説明する。ここでは、シングルダマシン法やデュアルダマシン法により半導体デバイスを製造する

ウエハ処理システムを取り上げる。シングルダマシン法やデュアルダマシン法によって配線構造を形成するため、配線溝または接続孔（以下「配線溝等」という）が利用される。

[0017] 図1は、ウエハ処理システムの概略構成を示す説明図である。このウエハ処理システムは、処理部110と、メイン制御部120とを具備する。処理部110は、SOD（Spin On Dielectric）装置101と、レジスト塗布／現像装置102と、露光装置103と、洗浄処理装置104と、アッシング装置105と、エッチング装置106と、PVD装置の1つであるスパッタ装置107と、電界メッキ装置108と、研磨装置としてのCMP装置109と、を具備する。メイン制御部120は、プロセスコントローラ111、ユーザーインターフェース112、記憶部113と、を具備する。ここで、処理部110のSOD装置101とスパッタ装置107と電界メッキ装置108は、成膜装置である。なお、処理部110の装置間でウエハWを搬送する方法としては、オペレータによる搬送方法や、搬送装置（図示せず）による搬送方法が用いられる。

[0018] 処理部110の各装置は、CPUを具備するプロセスコントローラ111に接続されて制御される構成をなす。プロセスコントローラ111には、キーボードと、ユーザーインターフェース112と、記憶部113と、が接続される。キーボードにより、工程管理者が処理部110の各装置を管理するためにコマンドの入力操作等を行う。ユーザーインターフェース112は、処理部110の各装置の稼働状況を可視化して表示するディスプレイ等からなる。記憶部113には、処理部110で実行される各種処理をプロセスコントローラ111の制御にて実現するための制御プログラムや、処理条件データ等が記憶されたレシピが格納される。

[0019] 必要に応じて、ユーザーインターフェース112からの指示等を受けて、任意のレシピを記憶部113から呼び出してプロセスコントローラ111に実行させる。これにより、プロセスコントローラ111の制御下で、処理部110において所望の各種処理が行われる。前記レシピは、例えば、CD－ROM、ハードディスク、フレキシブルディスク、不揮発性メモリなどの読み出し可能な記憶媒体に格納された状態のものを利用することができる。代わりに、前記レシピは、処理部110の各装置間、あるいは外部の装置から、例えば専用回線を介して随時伝送させてオンラインで利用することも可能である。

[0020] なお、処理部110の装置毎にプロセスコントローラ、ユーザーインターフェースおよび記憶部を含む制御部を個別に配備して制御を行なう構成を採用することもできる。この構成は、メイン制御部120による全体的な制御は行なわずに、あるいは、メイン制御部120による全体的な制御と重畳的に、採用することができる。

[0021] SOD装置101は、ウエハWに薬液を塗布してlow－k膜等の層間絶縁膜やエッチングストッパ膜等をスピンコート法により形成するために用いられる。SOD装置101(詳細な構成は図示しないが)は、スピンコーターユニットと、塗布膜が形成されたウエハWを熱処理する熱処理ユニットを具備する。ウエハ処理システムでは、SOD装置101に代えて、化学気相蒸着法(CVD;chemical vapor deposition)法によりウエハWに絶縁膜等を形成するCVD装置を用いてもよい。

[0022] レジスト塗布／現像装置102は、エッチングマスクとして用いられるレジスト膜や反射防止膜等を形成するために用いられる。レジスト塗布／現像装置102(詳細な構成は図示しないが)は、レジスト塗布処理ユニットと、現像処理ユニットと、熱的処理ユニットとを有する。レジスト塗布処理ユニットは、ウエハWにレジスト液等を塗布してレジスト膜等をスピンコート成膜する。現像処理ユニットは、露光装置103において所定のパターンで露光されたレジスト膜を現像処理する。熱的処理ユニットは、レジスト膜が成膜されたウエハWや露光処理されたウエハW、現像処理が施されたウエハWをそれぞれ熱的に処理する。

[0023] 露光装置103は、レジスト膜が形成されたウエハWに所定の回路パターンを露光するために用いられる。洗浄処理装置104では、後に詳細に説明するように、純水や薬液による洗浄処理、エッチング処理後のポリマー残渣等の変性処理、層間絶縁膜のエッチングによるダメージからの回復処理が行われる。アッシング装置105では、例えば、プラズマによりレジスト膜が灰化処理される。

[0024] エッチング処理106では、ウエハW上に形成された層間絶縁膜等にエッチング処理が施され、また、層間絶縁膜のエッチングによるダメージからの回復処理が行われる。エッチング処理は、プラズマを利用するものであってもよく、薬液を用いるものであってもよい。後に、図6を参照しながらプラズマを利用したものについて説明する。スパッタ装置107では、例えば、拡散防止膜やCuシードが形成される。電解メッキ装置

108ではCuシードが形成された配線溝等にCuが埋め込まれる。CMP装置109ではCuが埋め込まれた配線溝等の表面の平坦化処理が行われる。

[0025] 次に洗浄処理装置104について詳細に説明する。図2は洗浄処理装置104の概略平面図であり、図3はその概略正面図であり、図4はその概略背面図である。洗浄処理装置104は、キャリアステーション4を有する。キャリアステーション4には、ウエハWが収容されたキャリアが他の処理装置等から順次搬入される。逆に、キャリアステーション4からは、洗浄処理装置104における処理の終了したウエハWを収容したキャリアが次の処理を行う処理装置等へ搬出される。洗浄処理装置104はまた、洗浄処理や変性処理、回復処理をそれぞれ行う複数の処理ユニットが配設された処理ステーション2を有する。処理ステーション2とキャリアステーション4との間でウエハWの搬送を行うため、搬送ステーション3が配設される。処理ステーション2で使用する薬液や純水、ガス等の製造、調製、貯留を行うため、ケミカルステーション5が配設される。

[0026] キャリアCの内部において、ウエハWは略水平姿勢で鉛直方向(Z方向)に一定の間隔で収容される。このようなキャリアCに対するウエハWの搬入出はキャリアCの一側面を通して行われる。この側面は蓋体10a(図2には図示せず。図3および図4に蓋体10aが取り外された状態を示す)によって開閉自在となる。

[0027] 図2に示すように、キャリアステーション4は、図中Y方向に沿って3箇所にキャリアCを載置できる載置台6を有する。キャリアCは蓋体10aが配設された側面がキャリアステーション4と搬送ステーション3との間の境界壁8a側を向くようにして載置台6に載置される。境界壁8aにおいてキャリアCの載置場所に対応する位置には窓部9aが形成される。各窓部9aの搬送ステーション3側には窓部9aを開閉するシャッター10が配設される。このシャッター10はキャリアCの蓋体10aを把持する把持手段(図示せず)を有する。図3および図4に示すように、蓋体10aを把持した状態で搬送ステーション3側に、蓋体10aを退避させることができる。

[0028] 搬送ステーション3に配設されたウエハ搬送装置7はウエハWを保持可能なウエハ搬送ピック7aを有する。ウエハ搬送装置7は搬送ステーション3の床にY方向に延在するように配設されたガイド(図3および図4参照)7bに沿ってY方向に移動可能であ

る。また、ウエハ搬送ピック7aは、X方向にスライド自在であり、かつ、Z方向に昇降自在であり、かつ、X－Y平面内で回転自在（θ回転）である。

[0029] このような構造により、キャリアCの内部と搬送ステーション3とが窓部9aを介して連通するようにシャッター10が退避される。この状態において、ウエハ搬送ピック7aは、載置台6に載置された全てのキャリアCにアクセス可能である。従って、キャリアC内の任意の高さ位置にあるウエハWをキャリアCから搬出することができ、逆にキャリアCの任意の位置にウエハWを搬入することができる。

[0030] 処理ステーション2は、搬送ステーション3側に2台のウエハ載置ユニット（TRS）13a、13bを有する。例えば、ウエハ載置ユニット（TRS）13bは搬送ステーション3からウエハWを受け入れる際にウエハWを載置するために用いられる。ウエハ載置ユニット（TRS）13aは処理ステーション2において所定の処理が終了したウエハWを搬送ステーション3に戻す際にウエハWを載置するために用いられる。

[0031] 処理ステーション2においてはファンフィルターユニット（FFU）25から清浄な空気がダウンフローされる。処理ステーション2において処理の終了したウエハWを上段のウエハ載置ユニット（TRS）13aに載置することにより、処理ステーション2における処理後のウエハWの汚染が制御される。

[0032] 搬送ステーション3と処理ステーション2との間の境界壁8bにおいて、ウエハ載置ユニット（TRS）13a、13bの位置に対応する部分には窓部9bが配設される。ウエハ搬送ピック7aは、この窓部9bを介してウエハ載置ユニット（TRS）13a、13bにアクセス可能であり、キャリアCとウエハ載置ユニット（TRS）13a、13bとの間でウエハWを搬送する。

[0033] 処理ステーション2の背面側には、エッチング処理やアッシング処理後のポリマー残渣等をオゾン（O_3）と水蒸気を含むガス（以下「変性処理ガス」という）の分子によって変性させる変性処理ユニット（VOS）15a～15fが配置される。ここで「変性」とは、ポリマー残渣等がウエハW上に残った状態で純水や薬液に溶解する性質に変化することをいう。また、レジスト膜をアッシング処理によって灰化して除去することなく、この変性処理ユニット（VOS）15a～15fにおいて変性処理ガスで処理して水溶性に変性させることもできる。

[0034] この変性処理ユニット(VOS)15a～15f(詳細な構造については図示しないが)は、それぞれ、上下分割式かつ密閉式でその内部にウエハWを収容するための円盤状の空間が形成されるチャンバを有する。このチャンバの内部には、その表面にウエハWを水平姿勢で支持するためのプロキシミティピンが設けられ、その内部にヒータが埋設されたウエハ載置ステージが配設される。また、このチャンバの円盤状空間内を変性処理ガスが略水平方向に流れる。

[0035] 変性処理ユニット(VOS)15a、15dの上には、シリル化ユニット(SCH)11a、11bが配設される。シリル化ユニットは、アッシング処理や洗浄処理等によってダメージを受け、または親水性表面となった層間絶縁膜の、そのダメージ部分をダメージ等から回復させるためにシリル化処理する。

[0036] 図5は、シリル化ユニット(SCH)11aの概略構造を示す断面図である。シリル化ユニット(SCH)11aは、ウエハWを収容するチャンバ41を具備する。チャンバ41は、固定された下部容器41aと、下部容器41aを覆う蓋体41bから構成され、蓋体41bは昇降装置(図示せず)により昇降自在である。下部容器41aにはホットプレート42が配設され、ホットプレート42の周囲からシリル化剤の一例であるDMSDMA(Dimethylsilyldi methyl amine)の蒸気を含む窒素ガスがチャンバ41内に供給される。

[0037] 図5では、液体のDMSDMAを気化器43によって気化させて窒素ガスに含有させる構成が示される。代わりに、DMSDMAを気化させたガス(つまりDMSDMA蒸気)のみをチャンバ41に供給する構成としてもよい。後述するように、DMSDMAをチャンバ41内に供給する際には、チャンバ41内は所定の真空度に保持される。このため、気化器43とチャンバ41の圧力差を利用して、DMSDMAガスをチャンバ41に導入することは容易に行うことができる。

[0038] ホットプレート42は、例えば、50℃～200℃の範囲で温度調節が可能であり、その表面にはウエハWを支持するピン44が配設される。ウエハWをホットプレート42に直接載置しないことで、ウエハWの裏面の汚染が防止される。下部容器41aの外周部上面には第1シールリング45が配設される。蓋体41bの外周部下面には、蓋体41bを下部容器41aに押し付けた際に第1シールリング45と接触する第2シールリング46が配設される。これら第1、第2シールリング45、46間の空間は減圧可能となっており

、この空間を減圧することにより、チャンバ41の気密性が確保される。蓋体41bの略中心部には、チャンバ41に供給されたDMSDMAを含む窒素ガスを排気するための排気口47が配設される。この排気口47は圧力調整装置48を介して、真空ポンプ49に接続される。

[0039] 処理ステーション2の正面側には、変性処理ユニット(VOS)15a～15fにおける処理が終了したウエハWに薬液処理や水洗処理を施して、変性したポリマー残渣等を除去する洗浄ユニット(CNU)12a～12dが配置される。

[0040] 洗浄ユニット(CNU)12a～12d(詳細な構造が図示しないが)は、それぞれ、ウエハWを略水平姿勢で保持する回転自在なスピンチャックと、スピンチャックを囲繞するカップとを有する。スピンチャックに保持されたウエハWの表面に所定の薬液を供給するため、薬液ノズルが配設される。純水に窒素ガスを混入させ、その窒素ガスのガス圧を利用してスピンチャックに保持されたウエハWの表面に純水のミストを吐出させるように、洗浄ノズルが配設される。薬液処理後のウエハWを水洗処理(リンス処理)するようにウエハWに純水を供給するため、リンスノズルが配設される。水洗処理後のウエハWに乾燥ガスを噴射するため、ガス噴射ノズルが配設される。

[0041] 洗浄ユニット(CNU)12a～12dには、シリコン酸化膜やシリコン酸窒化膜を除去するための希フッ酸等の薬液をウエハWに供給するノズルや、エッチングマスクとして用いられるレジスト膜の剥離処理を行うための剥離液をウエハWに供給するノズルを設けてもよい。

[0042] さて、先に説明した変性処理ユニット(VOS)15a～15cと変性処理ユニット(VOS)15d～15fとはその境界壁22bについて略対称な構造を有する。シリル化ユニット(SCH)11aとシリル化ユニット(SCH)11bはその境界壁22bについて略対称な構造を有する。同様に、洗浄ユニット(CNU)12a、12bと洗浄ユニット(CNU)12c、12dとが境界壁22aについて略対称な構造を有する。

[0043] 処理ステーション2の略中央部には、処理ステーション2内においてウエハWを搬送する主ウエハ搬送装置14が配設される。主ウエハ搬送装置14は、ウエハWを搬送するウエハ搬送アーム14aを有する。主ウエハ搬送装置14はZ軸周りに回転自在である。また、ウエハ搬送アーム14aは水平方向で進退自在であり、かつZ方向に昇降

自在である。このような構造により、主ウエハ搬送装置14は、それ自体をX方向に移動させることなく、処理ステーション2に配設された各ユニットにアクセスすることができ、これら各ユニット間でウエハWを搬送することができる。

[0044] ケミカルステーション5には、処理ステーション2に配設された各種処理ユニットにおいて使用される各種薬液が貯留された薬液貯留部16が配設される。薬液貯留部16に貯留された各種薬液を所定の処理ユニットに送液するため、複数のポンプや開閉バルブからなる送液部17が配設される。洗浄ユニット(CNU)12a～12dへ純水を供給するため、純水供給部18が配設される。各種の処理ユニットに所定のガスを供給するため、ガス供給部19が配設される。

[0045] 次に、エッチング装置106の構成について説明する。図6は、エッチング装置の概略構造を示す平面図である。エッチング装置106は、プラズマエッチング処理を行うためのエッチングユニット51、52と、シリル化ユニット(SCH)53、54を具備する。これらの各ユニット51～54は六角形をなすウエハ搬送室55の4つの辺にそれぞれ対応して配設される。また、ウエハ搬送室55の他の2つの辺にはそれぞれロードロック室56、57が配設される。これらロードロック室56、57のウエハ搬送室55と反対側にはウエハ搬入出室58が配設され、ウエハ搬入出室58のロードロック室56、57と反対側にはウエハWを収容可能な3つのキャリアCを取り付けるポート59、60、61が配設される。

[0046] エッチングユニット51、52およびシリル化ユニット(SCH)53／54およびロードロック室56、57は、同図に示すように、ウエハ搬送室55の各辺にゲートバルブGを介して接続される。これらは各ゲートバルブGを開放することによりウエハ搬送室55と連通され、各ゲートバルブGを閉じることによりウエハ搬送室55から遮断される。また、ロードロック室56、57のウエハ搬入出室58に接続される部分にもゲートバルブGが配設される。ロードロック室56、57は、これらゲートバルブGを開放することによりウエハ搬入出室58に連通され、これらを閉じることによりウエハ搬入出室58から遮断される。

[0047] ウエハ搬送室55内には、エッチングユニット51、52、シリル化ユニット(SCH)53、54、ロードロック室56、57に対して、ウエハWの搬入出を行うウエハ搬送装置62が配設される。このウエハ搬送装置62は、ウエハ搬送室55の略中央に配設され、回転

および伸縮可能な回転、伸縮部63の先端にウエハWを保持する2つのブレード64a、64bを有する。これら2つのブレード64a、64bは互いに反対方向を向くように回転、伸縮部63に取り付けられる。なお、このウエハ搬送室55内は所定の真空度に保持される。

[0048] ウエハ搬入出室58の天井部にはHEPAフィルタ(図示せず)が配設される。このHEPAフィルタを通過した清浄な空気がウエハ搬入出室58内にダウンフロー状態で供給され、大気圧の清浄空気雰囲気でウエハWの搬入出が行われる。ウエハ搬入出室58のキャリアC取り付け用の3つのポート59、60、61にはそれぞれシャッター(図示せず)が配設される。これらポート59、60、61にウエハWを収容したまたは空のキャリアCが直接取り付けられる。取り付けられた際にシャッターが外れて外気の侵入を防止しつつウエハ搬入出室58と連通する。また、ウエハ搬入出室58の側面にはアライメントチャンバ65が配設され、そこでウエハWのアライメントが行われる。

[0049] ウエハ搬入出室58内には、キャリアCに対するウエハWの搬入出およびロードロック室56、57に対するウエハWの搬入出を行うウエハ搬送装置66が配設される。このウエハ搬送装置66は、多関節アーム構造を有し、キャリアCの配列方向に沿ってレール68上を走行可能で、その先端のハンド67上にウエハWを載せてその搬送を行う。ウエハ搬送装置62、66の動作等、システム全体の制御は制御部69によって行われる。

[0050] シリル化ユニット(SCH)53、54はシリル化ユニット(SCH)11a、11bと殆ど同じ構成を有する。従って、シリル化ユニット(SCH)53、54の詳細な構造は改めて図示はしない。しかし、シリル化ユニット(SCH)53、54は、更に、チャンバ41内に所定濃度の水蒸気を含む窒素ガス(または水蒸気のみ)を供給することができる。

[0051] エッチング処理やアッシング処理によってダメージを受け、または親水性表面となった層間絶縁膜を大気中に取り出すと、水分が吸着して誘電率が上昇する。そこで、エッチング装置106内でウエハWをエッチング処理した後に、大気中にさらすことなく、次にエッチング装置106内でシリル化処理を行う。これにより、水分吸着による誘電率の上昇を防止することができる。

[0052] エッチング装置106では、エッチング処理後のウエハWはエッチングユニット51、5

2からシリル化ユニット(SCH)53、54へ搬送する間は真空雰囲気の下にある。この場合、エッチングによってダメージを受けた部分は全く吸湿を起こさないために、シリル化反応が起こり難くなるおそれがある。

[0053] そこで、シリル化ユニット(SCH)53、54は、チャンバ41内に水蒸気を供給可能な構造を有する。これにより、意図的にダメージ部分に適度な吸湿反応を起こさせて、シリル化反応を容易に進行させることができる。なお、前述したように、吸湿反応を過剰に進行させるとシリル化反応の進行が逆に抑制されるおそれがある。このため、このような反応抑制が起こらないように水蒸気の供給を制御する必要がある。

[0054] 次に、ウエハ処理システムを用いてウエハWに形成された層間絶縁膜に配線溝を形成する方法について説明する。図7は、シングルダマシン法により配線構造を形成するプロセスを示すフローチャートである。図8は、図7のプロセスを工程順に示す断面図である。

[0055] 最初に、バリアメタル膜71を介して下部配線(銅配線)72が形成される絶縁膜70を備え、絶縁膜70の表面に、例えばSiN膜やSiC膜等のストッパ膜73が形成されるウエハW(ウエハW自体は図示しない)を準備する。このウエハWをSOD装置101に搬入して、そこでストッパ膜73上にlow－k膜等の層間絶縁膜74を形成する(ステップS1、図8(a))。

[0056] 次に、層間絶縁膜74が形成されたウエハWを、レジスト塗布／現像装置102に搬入し、そこで層間絶縁間74上に反射防止膜75aとレジスト膜75bを逐次形成する。次に、ウエハWを露光装置103に搬送して、そこで所定のパターンで露光処理する。次に、ウエハWをレジスト塗布／現像装置102に戻して、現像処理ユニットにおいてレジスト膜75bを現像処理する。これによりレジスト膜75bに所定の回路パターンを形成する(ステップS2、図8(b))。

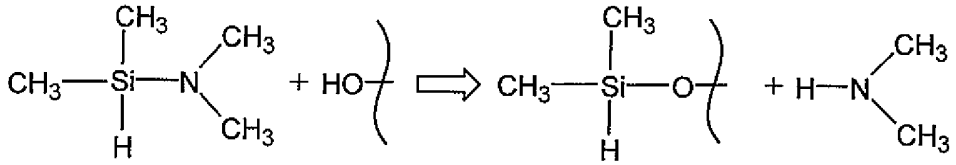
[0057] 次に、ウエハWをエッチング装置106に搬送して、そこでエッチング処理を行う(ステップS3)。これによりストッパ膜73に達するビアホール78aが層間絶縁膜74に形成される(図8(c))。図8(c)に示す符号79aは、後に詳細に説明するダメージ部である。こうしてエッチング処理が終了したウエハWをアッシング装置105へ搬送し、そこで反射防止膜75aとレジスト膜75bを灰化させるアッシング処理を行う(ステップS4)。

[0058] アッシング処理が終了したウエハWは洗浄処理装置104へ搬送される。ここで、変性処理ユニット(VOS)15a～15fのいずれかにおいて、エッチング処理やアッシング処理によってウエハWに残存するポリマー残渣等と水溶性に変性させる処理が行われる(ステップS5)。なお、反射防止膜75aとレジスト膜75bを変性処理ユニット(VOS)15a～15fによる処理で変性させることができる場合には、アッシング処理に代えてこの変性処理を用いてもよい。変性処理が終了したウエハWは、洗浄ユニット(CNU)12a～12dのいずれかへ搬送され、そこで変性したポリマー残渣等を除去する(ステップS6、図8(d))。

[0059] このようにして、エッチング処理やアッシング処理、その後の水洗処理等により、層間絶縁膜74に形成されたビアホール78aの側壁がダメージを受ける。具体的には、このようなダメージ部は水分と反応し、ビアホール78aの側壁近傍におけるメチル基が減少し、水酸基が増加した状態となって誘電率が上昇する。ビアホール78aの側壁にこのようなダメージ部が形成された状態で、その後にビアホール78aを金属材料で埋めて配線溝を形成すると、配線間の寄生容量が増大する。このため、信号遅延や配線溝どうしの間の絶縁性が低下する等の問題が生ずる。図8(c)、(d)では、このようなダメージ部79aを模式的に明示しているが、ダメージ部79aとダメージを受けていない部分との境界は、図8(c)、(d)に示すように明確なものではない。

[0060] そこで、層間絶縁膜74のダメージ部79aをそのダメージから回復させるために、ウエハWをシリル化ユニット(SCH)11a、11bの一方に搬送し、そこでダメージ部のシリル化処理を行う(ステップS7、図8(e))。シリル化処理の条件は、シリル化剤の種類に応じて選択すればよい。例えば、気化器43の温度は室温～50℃、シリル化剤流量は0.1～1.0g／min、N_2ガス(パージガス)流量は1～10L／min、処理圧力は666～95976Pa(5～720Torr)、ホットプレート42の温度は室温～200℃などの範囲から適宜設置できる。シリル化剤としてDMSDMAを用いる場合は、例えば、ホットプレート42の温度を100℃とし、チャンバ41内圧力を5Torr(＝666Pa)に減圧し、その後DMSDMAの蒸気を含んだ窒素ガスをチャンバ41内圧力が55Torrになるまで供給し、その圧力を維持しながら、例えば3分間保持し、処理する方法が挙げられる。DMSDMAを用いたシリル化反応は、下記化1式で示される。

[化1]



[0061] このようなシリル化処理が終了したウエハWは、エッチング装置106に搬送され、そこでストッパ膜73を除去するためのエッチング処理が行われる(ステップS8、図8(f))。次に、ウエハWは洗浄処理装置104へ搬送され、洗浄ユニット(CNU)12a～12dのいずれかにおいて洗浄処理される(ステップS9)。このようなエッチング処理や洗浄処理によっても、層間絶縁膜74に形成されたビアホール78aの側壁がダメージを受け、ダメージ部79bが形成される。そこで、このようなダメージ部79bをそのダメージから回復させるために、ウエハWをシリル化ユニット(SCH)11a、11bの一方に搬送し、そこでシリル化処理を行う(ステップS10、図8(g))。

[0062] その後、ウエハWをスパッタ装置107へ搬送して、そこでビアホール78aの内側にバリアメタル膜およびCuシード層(つまり、メッキシード層)を形成する(ステップS11)。次に、ウエハWを電解メッキ装置108に搬送して、そこで電解メッキによりビアホール78aに銅等の金属76を埋め込む(ステップS12)。その後、ウエハWを熱処理することによってビアホール78aに埋め込まれた金属76のアニール処理を行う(アニール装置は図1に示さず)。さらにウエハWをCMP装置109へ搬送し、そこでCMP法による平坦化処理が行われる(ステップS13、図8(h))。

[0063] このような配線溝の形成方法によれば、エッチングやアッシング、洗浄により層間絶縁膜74に形成されたビアホール78aの側壁がダメージを受けた場合にも、そのダメージ部をシリル化処理によってダメージから回復させることができる。これにより、電気的特性に優れた配線溝を形成することができるために、半導体デバイスの信頼性を向上させることができる。

[0064] 上記説明においては、洗浄ユニット(CNU)12a～12dでの処理が終了した後にシリル化処理を行った場合について示す。しかし、シリル化処理は所定の処理によって層間絶縁膜74にダメージが生じた場合または生じたおそれがある場合に、その処理後毎に行ってもよい。例えば、洗浄ユニット(CNU)12a～12dでの処理後に代えて

またはこれに加えて、ステップS3やステップS8のエッチング処理の直後にエッチング装置106に配設されたシリル化ユニット(SCH)53、54を用いてシリル化処理を行うことも好ましい。また、ステップS4のアッシング処理の直後に、洗浄処理装置104に配設されたシリル化ユニット(SCH)11a、11bでシリル化処理を行うことも好ましい。

[0065] 図9Aは、シリル化処理の有無によるリーク電流と累積確立との関係の相違を示すグラフである。図9Bは、シリル化処理の有無による電圧とリーク電流との関係の相違を示すグラフである。即ち、ここでは、洗浄ユニット(CNU)12a～12dでの処理後にシリル化処理を行った場合と行わなかった場合の相違を示す。図9A及び図9Bに示す結果を与えた試料の構成は図8(h)と同様であり、層間絶縁膜74としてはJSR社製のLKD(商品名)シリーズのlow－k膜を用いている。図9A及び図9Bに示すように、シリル化処理を行うことによりリーク電流が減少し、耐電圧が向上し、つまり、層間絶縁膜の絶縁特性が、シリル化処理を行わない場合と比較すると向上する。また、別途、層間絶縁膜の誘電率を測定した結果、シリル化処理を行った場合には、シリル化処理を行わなかった場合よりも、10%～20%の改善効果が確認された。

[0066] 図10は、デュアルダマシン法により配線構造を形成するプロセスを示すフローチャートである。図11は、図10のプロセスを工程順に示す断面図である。ここでは、各工程で使用される装置は先の説明で明らかであるので、装置については言及しない。

[0067] 最初に、バリアメタル膜71を介して下部配線(銅配線)72が形成される絶縁膜70を備え、絶縁膜70の表面に、例えばSiN膜やSiC膜等のストッパ膜73が形成されるウエハW(ウエハW自体は図示しない)を準備する。このウエハWのストッパ膜73上にlow－k膜等の層間絶縁膜74を形成する(ステップS101、図11(a))。

[0068] 次に、形成された層間絶縁膜74上に反射防止膜75aとレジスト膜75bを逐次形成する。次に、レジスト膜75bを所定パターンで露光、現像して、エッチングパターンを形成する(ステップS102、図11(b))。次に、レジスト膜75bをエッチングマスクとしてエッチング処理を行い、ストッパ膜73に達するビアホール78aを形成する(ステップS103、図11(c))。図11(c)に示す符号79aはエッチング処理によって生成したダメージ部である。次に、アッシング処理によりレジスト膜75bと反射防止膜75aを除去する(ステップS104)。次に、先のエッチング処理とアッシング処理で生成したポリマー

残渣等を除去する洗浄処理を行う(ステップS105)。さらにシリル化処理を行って、層間絶縁膜74のダメージ部79aをそのダメージから回復させる(ステップS106、図11(d))。なお、シリル化処理は、ステップS103のエッチング後および／またはステップS104のアッシング後に行ってもよい。

[0069] 次に、層間絶縁体74の表面に保護膜81を形成し(ステップS107)、この保護膜81上に反射防止膜82aおよびレジスト膜82bを逐次形成する。次に、レジスト膜82bを所定パターンで露光し、現像して、レジスト膜82bに回路パターンを形成する(ステップS108、図11(e))。なお、保護膜81はSOD装置101において、所定の薬液をスピンコートすることで形成することができる。また、保護膜81は必ずしも必要ではなく、層間絶縁膜74上に直接に反射防止膜82aおよびレジスト膜82bを形成してもよい。

[0070] 次に、レジスト膜82bをエッチングマスクとしてエッチング処理を行うことにより、層間絶縁膜74にトレンチ78bを形成する(ステップS109, 図11(f))。次に、アッシング処理によりレジスト膜82bと反射防止膜82aを除去する(ステップS110)。ステップS110の処理は変性処理ユニット(VOS)15a～15fを用いて行ってもよい。図11(f)に示す符号79bはステップS109のエッチング処理によって生じたダメージ部である。

[0071] 次に、先のエッチング処理とアッシング処理で生成したポリマー残渣および保護膜81等を除去する洗浄処理を行う(ステップS111)。さらにシリル化処理を行って、層間絶縁膜74のダメージ部79bをそのダメージから回復させる(ステップS112、図11(g))。ここでも、シリル化処理は、ステップS109のエッチング処理後および／またはステップS110のアッシング処理後に行ってもよい。

[0072] 次に、ストッパ膜73を除去するためのエッチング処理とその残渣除去処理を行う(ステップS113)。その後、エッチング処理等でビアホール78aおよびトレンチ78bに形成されたダメージ部をそのダメージから回復させるためにシリル化処理を行う(ステップS114、図11(h))。この図11(h)にはシリル化処理後の状態が示される。

[0073] その後、ビアホール78aおよびトレンチ78bの内壁にバリアメタル膜およびCuシード層を形成する。次に、電解メッキによりビアホール78aおよびトレンチ78bに銅等の金属76を埋め込んでプラグを形成する。次に、ウエハWを熱処理することによってビアホール78aおよびトレンチ78bに埋め込まれた金属76のアニール処理を行う。さら

にCMP法による平坦化処理を行う(ステップS115、図11(i))。

[0074] 図12は、デュアルダマシン法により配線構造を形成する別のプロセスを示すフローチャートである。図13は、図12のプロセスを工程順に示す断面図である。ここでも、各工程で使用される装置は先の説明で明らかであるので、装置については言及しない。

[0075] 最初に、バリアメタル膜71を介して下部配線(銅配線)72が形成される絶縁膜70を備え、絶縁膜70の表面に、例えばSiN膜やSiC膜等のストッパ膜73が形成されるウエハW(ウエハW自体は図示しない)を準備する。このウエハWのストッパ膜73上にlow－k膜等の層間絶縁膜74と、ハードマスク層86と、反射防止膜87aと、レジスト膜87bを逐次形成する。次に、レジスト膜87bを所定パターンで露光、現像して、エッチングパターンを形成する(ステップS201、図13(a))。

[0076] 次に、レジスト膜87bをエッチングマスクとしてエッチング処理を行って(ステップS202)ハードマスク層86をパターニングする。次に、レジスト膜87bおよび反射防止膜87aを除去する(ステップS203、図13(b))。次に、ハードマスク層86上に反射防止膜88aとレジスト膜88bを逐次形成する。次に、レジスト膜88bを所定パターンで露光、現像して、エッチングパターンを形成する(ステップS204、図13(c))。

[0077] 次に、レジスト膜88bをエッチングマスクとして用いてストッパ膜73に到達するビアホール78aを形成する(ステップS205、図13(d))。次に、レジスト膜88bと反射防止膜88aをアッシング処理等によって除去し、さらにポリマー残液等の除去処理を行う(ステップS206、図13(e))。このステップS205のエッチング処理後に層間絶縁膜74にダメージ部が発生している場合には、アッシング処理前にシリル化処理を行ってもよい。また、ステップS206のアッシング処理および残渣除去処理後に層間絶縁膜74にダメージ部が発生している場合には、その後にシリル化処理を行ってもよい。

[0078] ステップS206が終了した後には、所定パターンが形成されたハードマスク層86が露出した状態となる。ハードマスク層86をエッチングマスクとして用いてエッチング処理を行い(ステップS207)、トレンチ78bを形成する。この時点で層間絶縁膜74にダメージ部が発生した場合には、直後にシリル化処理を行ってもよい。次に、アッシング処理または薬液処理によってハードマスク層86を除去する(ステップS208、図13(f

))。例えば、このハードマスク層86の除去処理後にシリル化処理を行い(ステップS209)、これによりステップS208前に層間絶縁膜74に発生したダメージ部をそのダメージから回復させることができる。なお、図13(f)にはダメージ回復後の状態が示される。

[0079] 次に、ストップ膜73を除去するためのエッチング処理と残渣除去処理を行う(ステップS210、図13(g))。このエッチング処理等でビアホール78aおよびトレンチ78bに形成されたダメージ部(図示せず)をそのダメージから回復させるために、再度、シリル化処理を行う(ステップS211)。次に、ビアホール78aおよびトレンチ78bの内壁にバリアメタル膜およびCuシード層を形成する。次に、電解メッキによりビアホール78aおよびトレンチ78bに銅等の金属76を埋め込んでプラグを形成する。次に、ウエハWを熱処理することによってビアホール78aおよびトレンチ78bに埋め込まれた金属76のアニール処理を行い、CMP法による平坦化処理を行う(ステップS212、図13(h))。

[0080] 表1に、洗浄処理装置104のシリル化ユニット(SCH)11a、11bでシリル化処理した場合の、k値の変化について調べた結果を示す。ここで、低誘電率絶縁膜(low－k膜)としてポーラスMSQ(Porous methyl-hydorogen-SilsesQuioxane)膜を使用し、エッチングガスとしてC_4F_8／Ar／N_2を用いてエッチング装置106のエッチングユニット51、52でエッチング処理し、アッシングガスとしてO_2単ガスを用いてアッシング装置105でアッシング処理し、シリル化剤としてHMDS(Hexamethyldisilazane)を用いた。なお、ポーラスMSQ膜は、スピン塗布で形成される絶縁膜(SOD膜)であり、Si－O－Si結合を有するシロキサン系膜の1つである。また、シリル化処理は、2.5Torr、200℃で15分行った。

[表1]

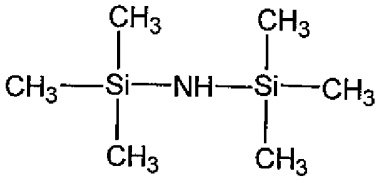
表1

試料の処理状態	k値
エッチング処理前 (膜形成後)	2.36
エッチング処理／ アッシング処理後	2.80
シリル化処理後	2.63

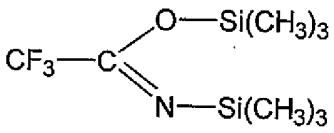
[0081] 表1に示されるように、エッチング前の状態では、k値は2．36であるが、エッチング処理とアッシング処理後にはk値は2．80で上昇している。しかし、その後にシリル化処理を行うことで、k値は2．63に低下していることがわかる。

[0082] シリル化剤としては、シリル化反応を起こす物質であれば特に制限なく使用可能である。しかし、分子内にシラザン結合（Si－N結合）を有する化合物群の中で比較的小さな分子構造を持つもの、例えば分子量が260以下のものが好ましく、分子量170以下のものがより好ましい。具体的には、たとえば、前記DMSDMA，HMDSのほか、TMSDMA（Dimethylaminotrimethylsilane）、TMDS（1,1,3,3−Tetramethyldisilazane）、TMSPyrole（1−Trimethylsilylpyrole）、BSTFA（N,0−Bis(trimethylsilyl)trifluoroacetamide）、BDMADMS（Bis(dimethylamino)dimethylsilane）等を用いることが可能である。これらの化学構造を以下に示す。

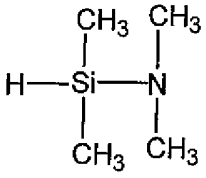
[化2]



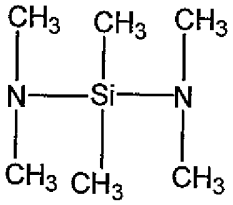
HMDS



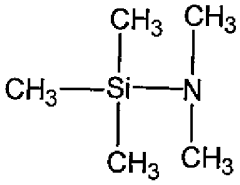
BSTFA



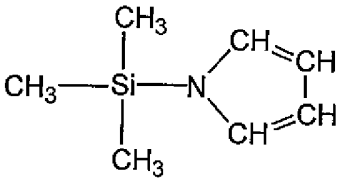
DMSDMA



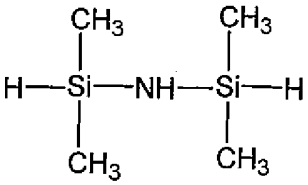
BDMADMS



TMSDMA



TMSpyrole



TMDS

[0083] 上記化合物の中でも、誘電率の回復効果やリーク電流の低減効果が高いものとして、TMSDMAおよびTMDSを用いることが好ましい。また、シリル化後の安定性の観点からは、シラザン結合を構成するSiが3つのアルキル基(例えばメチル基)と結合している構造のもの(例えばTMSDMA、HMDSなど)が好ましい。

[0084] 上述したウエハ処理システムは、アッシング装置105とエッチング装置106を別体で有する。しかしエッチング装置106を構成するエッチングユニット51、52では、処理ガスを変更することによりアッシング処理を行うことが可能である。さらにDMSDM

A等のシリル化剤を供給することができるようにすれば、シリル化処理を行うことも可能である。

[0085] 図14は、エッチング処理、アッシング処理、シリル化処理を行うことが可能なエッチングユニット90の概略構造を示す断面図である。このエッチングユニット90は、図6に示すエッチング装置106を構成するエッチングユニット51、52およびシリル化ユニット(SCH)53、54に代えて、エッチング装置106に配備することができる。

[0086] エッチングユニット90は、略円筒状に形成されたプラズマ処理チャンバ(プラズマ処理室)302を具備する。このプラズマ処理チャンバ302は、例えば、表面が陽極酸化処理(アルマイト処理)されたアルミユニムから構成され、接地電位とされる。

[0087] プラズマ処理チャンバ302の底部には、セラミックス等からなる絶縁板303を介して、サセプタ支持台304が配置される。このサセプタ支持台304上に、サセプタ305が配置される。サセプタ305は下部電極を兼ねたものであり、その上面にウエハWが裁置される。このサセプタ305にはハイパスフィルタ(HPF)306が接続される。

[0088] サセプタ支持台304の内部には温度調節媒体室307が配設される。この温度調節媒体室307には、導入管308と排出管309が接続される。そして、導入管308から温度調節媒体室307内に温度調節媒体が導入される。この温度調節媒体が温度調節媒体室307内を循環して排出管309から排出されることにより、サセプタ305を所望の温度に調整できる。

[0089] サセプタ305は、その上側中央部が凸状の円板状に形成され、その上に静電チャック310が配設される。静電チャック310は、絶縁材311の間に電極312が配置された構造となっており、電極312には直流電源313が接続される。この直流電源313から電極312に、例えば、1．5kV程度の直流電圧が印加されることによって、ウエハWが静電チャック310上に静電吸着される。

[0090] 絶縁板303、サセプタ支持台304、サセプタ305および静電チャック310には、ウエハWの裏面に伝熱媒体(例えば、Heガス)を供給するためのガス通路314が形成される。このガス通路314から供給される伝熱媒体を介してサセプタ305とウエハWとの間の熱伝達がなされ、ウエハWが所定温度に温度調節される。

[0091] アッシング処理やシリル化処理においてウエハWを高温に設定するためには、伝熱

媒体の温度設定を高くすればよい。但し、エッチングユニット90において、実際にエッチング処理とアッシング処理および／またはシリル化処理を行う場合には、処理毎に設定温度を変更するとウエハWの温度安定化に時間を要するので、サセプタ305に冷熱素子を埋設して、温度制御を行うことができる構成とすることが好ましい。

[0092] サセプタ305の上端周縁部には、静電チャック310上に設置されたウエハWの周囲を囲むように、環状のフォーカスリング315が配置される。このフォーカスリング315は、セラミックスもしくは石英等の絶縁性材料または導電性材料によって構成される。

[0093] サセプタ305の上方には、サセプタ305と対向し、かつ、平行に上部電極321が配設される。この上部電極321は絶縁材322を介してプラズマ処理チャンバ302の内部に支持される。上部電極321はサセプタ305との対向面を構成し、多数の吐出口323を有する電極板324と、この電極板324を支持する電極支持体325とから構成される。電極板324は絶縁性材料または誘電性材料によって構成される。本実施の形態では、電極板324はシリコンから構成される。電極支持体325は、例えば、表面が陽極参加処理（アルマイト処理）されたアルミニウム等の導電性材料から構成される。なお、サセプタ305と上部電極321との間隔は、調整可能とされる。

[0094] 電極支持体325の中央には、ガス導入口326が配設される。このガス導入口326には、ガス供給管327が接続される。ガス供給管327は、バルブ328およびマスフローコントローラ329を介して、処理ガス供給源330に接続される。

[0095] 処理ガス供給源330からは、プラズマ処理のための所定の処理ガスが供給される。なお、図14には、ガス供給管327、バルブ328、マスフローコントローラ329、処理ガス供給源330等からなる処理ガス供給系を1つのみ示してあるが、実際には複数の処理ガス供給系が配設される。これらの処理ガス供給系からは、例えば、O_2ガス、NH_3ガス、CO_2ガス、Arガス、N_2ガス、CF_4ガス、C_4F_8ガス、水蒸気、DMSDMAなどのシリル化剤のガス等がそれぞれ独立に流量制御されて、プラズマ処理チャンバ302内に供給される。

[0096] プラズマ処理チャンバ302の底部には、排気管331が接続され、この排気管331には排気装置335が接続される。排気装置335はターボ分子ポンプ等の真空ポンプを具備し、プラズマ処理チャンバ302内を所定の減圧雰囲気（例えば、0．57Pa）以下

に設定可能となっている。

[0097] プラズマ処理チャンバ302の側壁部分には、ゲートバルブ332が配設される。このゲートバルブ332を開いて、ウエハWのプラズマ処理チャンバ302内への搬入および搬出を行える。

[0098] 上部電極321には第1の高周波電源340が接続される。その給電線には第1の整合器341が介挿される。また、上部電極321にはローパスフィルタ(LPF)342が接続される。この第1の高周波電源340は、プラズマ生成用の周波数の高い高周波電力、例えば、周波数が50～150MHzの高周波電力を供給可能である。このように高い周波数の高周波電力を上部電極321に印加することにより、プラズマ処理チャンバ302の内部に好ましい解離状態でかつ高密度のプラズマを形成することができ、低圧条件下でのプラズマ処理が可能となる。第1の高周波電源340の周波数は好ましくは50～150MHzであり、典型的には図示の60MHzまたはその近傍の周波数が使用される。

[0099] 下部電極としてのサセプタ305には、第2の高周波電源350が接続される。その給電線には第2の整合器351が介挿される。この第2の高周波電源350は自己バイアス電圧を生成させるためのものであり、第1の高周波電源340より低い周波数、例えば、数百Hz～十数MHzの周波数電力を供給可能である。このような範囲の周波数の電力をサセプタ305に印加することにより、ウエハWに対してダメージを与えることなく適切なイオン作用を与えることができる。第2の高周波電源350の周波数は、典型的には図示の2MHz、または3．2MHz、13．56MHz等が使用される。

[0100] 次に、このような構成のエッチングユニット90を用いたウエハWの処理工程について説明する。図15は、図14のエッチングユニットを用いたプロセスにおけるウエハの表面構造を工程順に示す断面図である。図15(a)に示すように、ウエハW(図示せず)には、有機系低誘電率膜(例えば、Porous MSQ)601、SiCN膜602、反射防止膜(BARC)603、レジスト膜604が、下側からこの順序で形成される。なお、レジスト膜604はパターニングされた状態にある。

[0101] 最初にゲートバルブ332を開いて、ウエハ搬送装置62のブレード64a(または64b)によって、ウエハWをプラズマ処理チャンバ302内に搬入し、サセプタ305上に載置

する。次に、直流電源313から、静電チャック310の電極312に、例えば、1．5kV程度の直流電圧を印加することにより、ウエハWを静電チャック310上に静電吸着する。また、ウエハ搬送装置62のブレード64aを、プラズマ処理チャンバ302内から待避させる。

[0102] ゲートバルブ332を閉じた後、排気装置335によって排気を行い、プラズマ処理チャンバ302内を所定の真空度（例えば、4Pa以下）に設定する。これとともに、処理ガス供給源330からマスフローコントローラ329等を介して所定の処理ガス（例えば、CF_4単ガス）を所定流量でプラズマ処理チャンバ302内に導入する。また、第1の高周波電源340からプラズマ生成用の周波数の高い（例えば、60MHz）高周波電力を所定電力で上部電極321に印加する。これにより、処理ガスのプラズマを生成させる。さらに第2の高周波電源350から自己バイアス電圧を生成させるための周波数の低い（例えば、2MHz）高周波電力を所定電力で下部電極としてのサセプタ305に印加する。これにより、プラズマ中のイオンをウエハWに引き込み、レジスト膜604をエッチングマスクとして、反射防止膜603のエッチング処理を行う。

[0103] このような反射防止膜603のエッチング処理と同様の手順で、SiCN膜602、有機系低誘電率膜601を、処理ガスを変えて逐次エッチング処理し、図15（b）に示す形態とする。SiCN膜602は、例えば、C_4F_8／Ar／N_2の混合ガスのプラズマによってエッチングを行う。また、有機系低誘電率膜601は、CF_4／Arの混合ガスのプラズマによってエッチングを行う。次に、上記エッチング処理と同様の手順で、処理ガスとして、例えばO_2ガス、NH_3ガス、CO_2ガスなどを用いたプラズマでアッシング処理し、レジスト膜604および反射防止膜603を除去する。これにより図15（c）に示す形態となる。図15（c）では、エッチング処理やアッシング処理によってダメージを受けた部分を模式的に符号605で示す。

[0104] なお、上述のようにエッチング処理とアッシング処理を連続して行う場合には、所謂、2ステップアッシングを行うことが好ましい。すなわち、1ステップ目は第2の高周波電源350からのバイアス電圧印加なしで、プラズマ処理チャンバ302内のクリーニングを行う。2ステップ目に第2の高周波電源350からバイアス電圧を印加してウエハWのアッシング処理を行う。

[0105] 次に、プラズマ処理チャンバ302内の所定の真空度とし、上部電極321に配設された吐出口323を通してプラズマ処理チャンバ302内に所定量の水蒸気を供給する。これにより、有機系低誘電率膜601においてエッチング処理およびアッシング処理によりダメージを受けた部分に適量の水分を吸着させる。

[0106] 次に、プラズマ処理チャンバ302内を排気し、プラズマ処理チャンバ302内を所定の真空度に到達したら排気を中止して、プラズマ処理チャンバ302内を所定の真空度に保持する。これとともに、ウエハWをシリル化反応が生ずる温度、例えば、50℃～200℃に加熱する。その後、上部電極321に配設された吐出口323を通してプラズマ処理チャンバ302内に所定量のDMSDMAガス等のシリル化剤のガスを供給する。このシリル化剤のガスによってプラズマ処理チャンバ302内の圧力が上昇した状態で所定時間保持する。これにより図15(d)に示すように、有機系低誘電率膜601のダメージ部605はシリル化によってダメージから回復する。シリル化処理がされたウエハWは、その後に大気に晒されても、有機系低誘電率膜601は吸湿し難く、特性が維持される。

[0107] なお、図15(d)はダメージ部605の回復を模式的に示すために、ダメージ部605が元の有機系低誘電率膜601と同じ構造に回復している状態を示す。しかし、ダメージ部605が回復した後のその部分の化学構造は元の有機系低誘電率膜601の化学構造と完全には一致しない。

[0108] また、有機系低誘電率膜601のシリル化処理によるダメージ回復は、ウエハWをフッ酸浸漬処理することによって、定量的に評価することができる。何故なら、例えば酸素プラズマによるアッシング処理では、有機系低誘電率膜601における溝パターンの側壁部はSiO_2化している。このため、ダメージから回復していなければ、このSiO_2がフッ酸に溶解するために、有機系低誘電率膜601がサイドエッチングされるからである。

[0109] 図16Aは、シリル化処理無しの溝におけるフッ酸浸漬処理による形状変化を示す断面図である。図16Bは、シリル化処理有りの溝におけるフッ酸浸漬処理による形状変化を示す断面図である。即ち、ここでは、フッ酸(フッ化水素酸水溶液)浸漬処理前に、図15(c)に示す状態に対してシリル化処理を行わない場合と、シリル化処理を行

って図15(d)の状態にした場合との相違を示す。図16Aに示されるように、シリル化処理を行わずにフッ酸処理を行うと、アッシング処理によって生成したSiO_2がフッ酸に溶解するために、有機形低誘電率膜601がサイドエッチングされて、線幅が細くなる。これに対して、図16Bに示すように、シリル化処理を行った場合には、溝パターンの側壁部はSiO_2が露出していない状態となるために、フッ酸に対する耐食性が高められ、有機系低誘電率膜601のフッ酸によるサイドエッチングが抑制される。

[0110] 次に、本発明の効果を確認した試験結果について説明する。

[0111] (1)誘電率、リーク電流密度および含水量の測定:

図17Aは、誘電率、リーク電流密度、水分脱離量を測定するためのテストサンプルを処理する工程を示す側面図である。図17Bは、誘電率、リーク電流密度、水分脱離量を測定するためのテストサンプルを示す側面図である。ここで、Si基板上にSOD膜としてのポーラスMSQ膜を成膜したテストサンプルを作製した。次に、エッチング処理、アッシング処理を順次実施し、ポーラスMSQ膜にダメージを入れた。次に、下記の表2に示すシリル化剤を用いてシリル化処理をした場合について、誘電率およびリーク電流密度の測定を行なった。また、シリル化処理をしない場合についても、誘電率およびリーク電流密度の測定を行なった。

[0112] エッチング処理、アッシング処理は、いずれも図14に示すエッチングユニット90において実施した。エッチングガスとしてはCF_4を使用し、アッシングガスとしては、O_2、NH_3またはCO_2を用いた。シリル化処理は、図5に示すシリル化ユニット(SCH)11aと同様の構成の装置を用いて行なった。シリル化の条件は、シリル化剤の種類に応じて変えた。DMSDMAは処理温度100℃、処理時間180秒とした。TMSDMAは処理温度150℃、処理時間150秒とした。TMDSは処理温度180℃、処理時間900秒とした。BSTFAとBDMADMSとTMSpytoleは、それぞれ処理温度180℃、処理時間300秒とした。N_2ガス(パージガス)流量を5.0L/minとし、シリル化剤の種類に応じ、気化器43の温度は室温～50℃、シリル化剤流量は0.1～1.0g/mln、処理圧力は666～95976Pa(5～720Torr)の間で適宜設定した。

[0113] 誘電率およびリーク電流密度の測定は、図17Bに示すようにテストサンプルのポーラスMSQ膜上にAlパッドを装着し、Si基板とAlパッドとの間に電圧を印加して、k値

およびリーク電流を測定することにより実施した。これらの試験の結果を併せて表2に示す。なお、リーク電流密度は、1MV／cmにおける測定値を代表値として記載した。

[表2]

表２

アッシングガス	シリル化剤	誘電率		リーク電流密度 (A/cm^2) @1MV/cm
		k値	アッシング後の回復率 (%)	
未処理		2.47	—	3.28×10^{-10}
エッチング処理のみ		3.25	—	1.13×10^{-5}
O_2	シリル化なし	4.12	—	6.15×10^{-5}
	DMSDMA	3.16	58.1	5.47×10^{-6}
	TMSDMA	2.94	71.6	5.52×10^{-7}
	TMDS	2.89	74.8	1.80×10^{-6}
	BSTFA	3.14	59.6	8.90×10^{-7}
	BDMADMS	3.80	19.0	1.49×10^{-5}
	TMSpyrole	3.59	31.7	3.28×10^{-5}
NH_3	シリル化なし	3.88	—	6.50×10^{-5}
	DMSDMA	3.43	31.8	1.40×10^{-5}
	TMSDMA	3.16	50.8	2.04×10^{-6}
	TMDS	3.22	47.0	1.04×10^{-6}
	BSTFA	3.61	19.1	5.29×10^{-5}
	BDMADMS	4.48	-43.1	1.69×10^{-4}
	TMSpyrole	3.63	17.5	3.10×10^{-5}
CO_2	シリル化なし	4.25	—	3.62×10^{-5}
	DMSDMA	3.39	48.2	1.19×10^{-5}
	TMSDMA	3.07	66.6	1.13×10^{-6}
	TMDS	3.22	57.6	5.31×10^{-6}
	BSTFA	3.42	46.6	2.92×10^{-6}
	BDMADMS	4.13	6.7	1.26×10^{-5}
	TMSpyrole	3.49	42.8	4.17×10^{-5}

[0114] 表2より、アッシング後にシリル化を行なうことにより、シリル化を実施しない場合と比較して、k値の上昇とリーク電流密度の増加とを抑制できることが確認された。特に、k

値の回復効果およびリーク電流密度の低減効果において、TMSDMAおよびTMDSが優れていることがわかる。また、アッシングガス種との関係では、O_2ガスによりアッシングを行なった場合に、特にシリル化の効果が高いことが示された。

[0115] また、図17Aと同様のサンプルに対し、各種シリル化剤を用いてシリル化処理をした後、毎秒1℃で昇温し、昇温による水分の脱離量(すなわち、膜中の含水量)を質量分析により測定した。膜中の含水量は、誘電率やリーク電流を悪化させる要因となるものである。図18は、シリル化の有無およびシリル化剤の種類による水分脱離量の変化を示すグラフである。なお、図18の縦軸は、100℃～500℃の水分の脱離量(脱離ガス量)を温度単位で積分してサンプルの質量で規格化した値である。

[0116] 図18より、O_2アッシングの場合には、薬液の種類によらず低減効果が大きいことがわかる。一方、NH_3アッシング、CO_2アッシングの場合には、TMSDMAまたはTMDSでシリル化処理をした場合に、含水率の低減効果が得られた。

[0117] (2)希フッ酸処理に対する耐食性試験:

図19Aは、希フッ酸浸漬による耐食性試験前のテストサンプルを示す図である。図19Bは、希フッ酸浸漬による耐食性試験後のテストサンプルを示す図である。Si基板上にSOD膜としてのポーラスMSQ膜を積層したものに、マスク膜を成膜し、フォトリソグラフィー技術でトレンチパターンを露光、現像した。このマスクパターンをエッチングマスクとしてポーラスMSQ膜をエッチング処理した。次に、エッチングマスクの残渣処理のためにアッシングガスとしてO_2、NH_3またはCO_2を用いてアッシング処理を実施した。次に、ポーラスMSQ膜に図19Aに示すようなパターンのトレンチ構造を形成した。

[0118] このようなトレンチ構造を有するテストサンプルに対し、前記シリル化剤でシリル化処理を行った後、0.5%希フッ酸を用いて30秒間浸漬処理した。次に、図19Bに示すようにトレンチの上部と下部のトレンチ幅(以下、「トップCD」、「ボトムCD」と記す)測定した。トップCDとボトムCDの長さの増加量について、希フッ酸処理前にシリル化処理した場合としない場合とを比較した結果を表3に示す。なお、エッチング、アッシングおよびシリル化の条件は、前記(1)の試験と同様とした。

[表3]

表３

アッシングガス	アッシング後のCD(nm) トップ／ボトム	シリル化剤	希フッ酸処理後のCD増加量(nm) トップ／ボトム
O_2	220/197	シリル化なし	67/53
		DMSDMA	6/7
		TMSDMA	4/3
		TMDS	23/13
		BSTFA	7/4
		BDMADMS	4/0
		TMSpyrole	3/3
NH_3	217/197	シリル化なし	73/53
		DMSDMA	70/44
		TMSDMA	80/50
		TMDS	77/37
		BSTFA	76/60
		BDMADMS	23/0
		TMSpyrole	27/27
CO_2	223/197	シリル化なし	57/60
		DMSDMA	7/3
		TMSDMA	0/3
		TMDS	17/17
		BSTFA	13/17
		BDMADMS	4/3
		TMSpyrole	30/17

[0119] 表3より、希フッ酸処理前にシリル化処理をした場合は、シリル化をしない場合に比べて概ねCDの増加が抑制され、ダメージの回復が図られていることが確認された。特に、O_2アッシング後のシリル化において顕著にCDの増加が抑制された。シリル化剤の中でもTMSDMAは、O_2、CO_2のいずれのアッシングガスの場合でも優れたダメージ回復効果を示した。

[0120] 以上、本発明の実施形態について説明したが、本発明はこのような形態に限定されるものではない。例えば、シリル化処理によってダメージ回復を図ることができる膜は上述したポーラスMSQに限定されるものではなく、例えば、CVDで形成される無機絶縁膜の1つであるSiOC系膜を対象とすることもできる。これは従来のSiO_2膜のSi－O結合にメチル基（－CH_3）を導入して、Si－CH_3結合を混合させたもので、Bla

ck Diamond(Applied Materials社)、Coral(Novellus社)、Aurora(ASM社)等がこれに該当する。SiOC系膜はポーラス(多孔質)であってもよい。また、NSQ系の絶縁膜はポーラスなものに限定されず、緻密質であってもよい。

[0121] さらに、次のようなプロセスも可能である。即ち、形成されたビアホールやトレンチにバリアメタル膜とCuシードを逐次形成し、銅を電解メッキ等により埋め込み形成し、アニール処理し、CMP処理して、銅配線を形成する。次に、アンモニアプラズマ処理によって銅配線表面の還元処理を行って、その後にストッパ膜を形成する。この場合においてアンモニアプラズマ処理によって損傷を受けた部分をその損傷から回復させるためにシリル化処理を行ってもよい。

産業上の利用可能性

[0122] 本発明によれば、配線溝または接続孔を形成する過程で被エッチング膜においてダメージを受けた部分を、そのダメージから回復させることができる。このため、被エッチング膜の電気的特性が改善され、これによって信頼性に優れた半導体デバイスを製造することができる。

請求の範囲

[1] 半導体デバイスの製造方法であって、

被処理体上に配設された被エッチング膜上に所定の開口パターンを有するエッチングマスクを形成する工程と、

第1処理室内において、前記エッチングマスクの前記開口パターンを通して前記被エッチング膜にエッチング処理を施すことにより、前記被エッチング膜に溝または孔を形成する工程と、

前記エッチング処理後の前記被処理体を、真空雰囲気下で前記第1処理室から第2処理室に搬送する工程と、

前記第2処理室内において、前記被エッチング膜の露出部である前記溝または孔の側面部にシリル化処理を施す工程と、

を具備する。

[2] 請求項1に記載の方法において、

前記シリル化処理の前に、前記第2処理室内に水蒸気を供給して、前記溝または孔の側面部に水分を吸着させる工程を更に具備する。

[3] 請求項2に記載の方法において、

前記被処理体を前記第2処理室に搬送する前に、前記被処理体上から前記エッチングマスクを除去する工程を更に具備する。

[4] 請求項1に記載の方法において、

前記シリル化処理は、分子内にシラザン結合(Si－N結合)を有する化合物を含むシリル化剤を前記第2処理室内に供給する工程を具備する。

[5] 請求項4に記載の方法において、

前記化合物は、TMDS(1,1,3,3-Tetramethyldisilazane)またはTMSDMA(Dimethylaminotrimethylsilane)を具備する。

[6] 半導体デバイスの製造方法であって、

被処理体上に配設された被エッチング膜上に所定の開口パターンを有するエッチングマスクを形成する工程と、

処理室内において、前記エッチングマスクの前記開口パターンを通して前記被エッ

チング膜にエッチング処理を施すことにより、前記被エッチング膜に溝または孔を形成する工程と、

前記処理室内において、前記被エッチング膜の露出部である前記溝または孔の側面部にシリル化処理を施す工程と、

を具備する。

[7] 請求項6に記載の方法において、

前記シリル化処理の前に、前記処理室内に水蒸気を供給して、前記溝または孔の側面部に水分を吸着させる工程を更に具備する。

[8] 請求項7に記載の方法において、

前記処理室内に水蒸気を供給する前に、前記被処理体上から前記エッチングマスクを除去する工程を更に具備する。

[9] 請求項6に記載の方法において、

前記シリル化処理は、分子内にシラザン結合(Si－N結合)を有する化合物を含むシリル化剤を前記処理室内に供給する工程を具備する。

[10] 請求項9に記載の方法において、

前記化合物は、TMDS(1,1,3,3-Tetramethyldisilazane)またはTMSDMA(Dimethylaminotrimethylsilane)を具備する。

[11] 半導体デバイスの製造方法であって、

被処理体上に配設された被エッチング膜上に所定の開口パターンを有するエッチングマスクを形成する工程と、

前記エッチングマスクの前記開口パターンを通して前記被エッチング膜にエッチング処理を施すことにより、前記被エッチング膜に溝または孔を形成する工程と、

前記エッチング処理後に、前記エッチングマスクにアッシング処理を施すことにより、前記被処理体上から前記エッチングマスクを除去する工程と、

前記アッシング処理後に、前記被エッチング膜の露出部である前記溝または孔の側面部にシリル化処理を施す工程と、

を具備する。

[12] 請求項11に記載の方法において、

前記エッチング処理、前記アッシング処理、及び前記シリル化処理は、1つの処理システム内において、前記被処理体を大気に晒すことなく連続的に行う。

[13] 請求項12に記載の方法において、

前記エッチング処理及び前記アッシング処理は、1つの処理室内で行う。

[14] 請求項12に記載の方法において、

前記エッチング処理、前記アッシング処理、及び前記シリル化処理は、1つの処理室内で行う。

[15] 請求項11に記載の方法において、

前記アッシング処理後で且つ前記シリル化処理の前に、前記被処理体に洗浄処理を施す工程を更に具備する。

[16] 請求項15に記載の方法において、

前記洗浄処理は、前記エッチングマスクの残渣を除去するため、前記被処理体に薬液を供給する工程を具備する。

[17] 請求項11に記載の方法において、

前記アッシング処理後で且つ前記シリル化処理の前に、前記被処理体に水蒸気を供給して、前記溝または孔の側面部に水分を吸着させる工程を更に具備する。

[18] 請求項11に記載の方法において、

前記シリル化処理は、分子内にシラザン結合(Si－N結合)を有する化合物を含むシリル化剤を前記被処理体に供給する工程を具備する。

[19] 請求項18に記載の方法において、

前記化合物は、TMDS(1,1,3,3-Tetramethyldisilazane)またはTMSDMA(Dimethylaminotrimethylsilane)を具備する。

[20] 請求項19に記載の方法において、

前記アッシング処理は、O_2を含むアッシングガスを前記被処理体に供給する工程を具備する。

[21] 半導体デバイスの製造方法であって、

被処理体上に配設された被エッチング膜上に所定の開口パターンを有するエッチングマスクを形成する工程と、

前記エッチングマスクの前記開口パターンを通して前記被エッチング膜にエッチング処理を施すことにより、前記被エッチング膜に溝または孔を形成する工程と、

前記エッチング処理後に、薬液を使用して前記被処理体に洗浄処理を施す工程と、

前記洗浄処理後に、前記被エッチング膜の露出部である前記溝または孔の側面部にシリル化処理を施す工程と、

を具備する。

[22] 請求項21に記載の方法において、

前記洗浄処理及び前記シリル化処理は、1つの処理室内で行う。

[23] 半導体デバイスの製造方法であって、

被処理体上に配設されたエッチングストッパ膜上に層間絶縁膜を形成する工程と、

前記エッチングストッパ膜に到達するように前記層間絶縁膜に溝または孔を形成する工程と、

前記層間絶縁膜の前記溝または孔を通して前記エッチングストッパ膜にエッチング処理を施すことにより、前記溝または孔の底部に位置する前記エッチングストッパ膜の部分を除去する工程と、

前記エッチング処理後に、前記層間絶縁膜の露出部である前記溝または孔の側面部にシリル化処理を施す工程と、

を具備する。

[24] 請求項23に記載の方法において、

前記層間絶縁膜に前記溝または孔を形成する工程は、

前記層間絶縁膜上に所定の開口パターンを有するエッチングマスクを形成する工程と、

前記エッチングマスクの前記開口パターンを通して前記層間絶縁膜に第1エッチング処理を施すことにより、前記層間絶縁膜に溝または孔を形成する工程と、

前記第1エッチング処理後に、前記被処理体上から前記エッチングマスクを除去する工程と、

を具備し、

前記方法は、前記エッチングマスクを除去する工程と、前記エッチングストッパ膜の部分を除去する工程との間で、

前記層間絶縁膜の露出部である前記溝または孔の側面部に第1シリル化処理を施す工程を更に具備する。

[25] 半導体デバイスの製造システムであって、

被エッチング膜とその上に形成された所定の開口パターンを有するエッチングマスクとを有する被処理体を収容する第1処理室と、

前記第1処理室内において、前記被エッチング膜に対して、エッチングマスクの開口パターンを通してエッチング処理を施すことにより、前記被エッチング膜に溝または孔を形成するエッチング機構と、

前記第1処理室内において処理された後の前記被処理体を収容する第2処理室と、

前記第2処理室内において、前記被エッチング膜の露出部である前記溝または孔の側面部にシリル化処理を施すシリル化機構と、

前記第1及び第2処理室を接続する真空搬送路と、

前記真空搬送路内に配設された、前記第1処理室から前記第2処理室へ前記被処理体を搬送するための搬送機構と、

を具備する。

[26] 半導体デバイスの製造システムであって、

被エッチング膜とその上に形成された所定の開口パターンを有するエッチングマスクとを有する被処理体を収容する処理室と、

前記処理室内において、前記被エッチング膜に対して、エッチングマスクの開口パターンを通してエッチング処理を施すことにより、前記被エッチング膜に溝または孔を形成するエッチング機構と、

前記処理室内において、前記被エッチング膜の露出部である前記溝または孔の側面部にシリル化処理を施すシリル化機構と、

を具備する。

[27] プロセッサ上で実行するためのプログラム指令を含むコンピュータで読み取り可能

な媒体であって、

前記プログラム指令は、プロセッサによって実行される時、請求項1、6、11、21、23のいずれかに記載の製造方法を実行するように、半導体デバイスの製造システムを制御する。

補正書の請求の範囲

［２００５年１０月２８日（２８．１０．０５）国際事務局受理：
出願当初の請求の範囲２７は取り下げられた；新しい請求の範囲２８－３３が加えられた。］

前記方法は、前記エッチングマスクを除去する工程と、前記エッチングストッパ膜の部分を除去する工程との間で、

前記層間絶縁膜の露出部である前記溝または孔の側面部に第１シリル化処理を施す工程を更に具備する。

２５．　半導体デバイスの製造システムであって、

被エッチング膜とその上に形成された所定の開口パターンを有するエッチングマスクとを有する被処理体を収容する第１処理室と、

前記第１処理室内において、前記被エッチング膜に対して、エッチングマスクの開口パターンを通してエッチング処理を施すことにより、前記被エッチング膜に溝または孔を形成するエッチング機構と、

前記第１処理室内において処理された後の前記被処理体を収容する第２処理室と、

前記第２処理室内において、前記被エッチング膜の露出部である前記溝または孔の側面部にシリル化処理を施すシリル化機構と、

前記第１及び第２処理室を接続する真空搬送路と、

前記真空搬送路内に配設された、前記第１処理室から前記第２処理室へ前記被処理体を搬送するための搬送機構と、

を具備する。

２６．　半導体デバイスの製造システムであって、

被エッチング膜とその上に形成された所定の開口パターンを有するエッチングマスクとを有する被処理体を収容する処理室と、

前記処理室内において、前記被エッチング膜に対して、エッチングマスクの開口パターンを通してエッチング処理を施すことにより、前記被エッチング膜に溝または孔を形成するエッチング機構と、

前記処理室内において、前記被エッチング膜の露出部である前記溝または孔の側面部にシリル化処理を施すシリル化機構と、

を具備する。

２７．（削除）

２８．（追加）　請求項３に記載の方法において、

前記エッチングマスクはレジスト膜であり、前記エッチングマスクを除去する工程は、オゾンと水蒸気とを含む変性処理ガスにより前記レジスト膜を水溶性に変性させた後に洗浄処理を行って除去する。

２９．（追加）　請求項８に記載の方法において、

前記エッチングマスクはレジスト膜であり、前記エッチングマスクを除去する工程は、オゾンと水蒸気とを含む変性処理ガスにより前記レジスト膜を水溶性に変性させた後に洗浄処理を行って除去する。

３０．（追加）　請求項２４に記載の方法において、

前記エッチングマスクはレジスト膜であり、前記エッチングマスクを除去する工程は、オゾンと水蒸気とを含む変性処理ガスにより前記レジスト膜を水溶性に変性させた後に洗浄処理を行って除去する。

３１．（追加）　半導体デバイスの製造方法であって、

被処理体上に配設された被エッチング膜上に所定の開口パターンを有するレジスト膜からなるエッチングマスクを形成する工程と、

前記エッチングマスクの前記開口パターンを通して前記被エッチング膜にエッチング処理を施すことにより、前記被エッチング膜に溝または孔を形成する工程と、

前記エッチングマスクをオゾンと水蒸気とを含む変性処理ガスにより水溶性に変性させた後に洗浄処理を行って除去する工程と、

前記被エッチング膜の露出部である前記溝または孔の側面部にシリル化処理を施す工程と、

を具備する。

３２．（追加）　被エッチング膜とその上に形成された所定の開口パターンを有するエッチングマスクとを有する被処理体を処理する半導体デバイスの製造システムであって、

前記被エッチング膜に対して、エッチングマスクの開口パターンを通してエッチング処理を施すことにより、前記被エッチング膜に溝または孔を形成するエッチング機構と、

前記エッチングマスクをオゾンと水蒸気とを含む変性処理ガスにより水溶性に変性させる変性処理機構と、

前記被処理体を洗浄して前記変性されたエッチングマスクを除去する除去機構と、

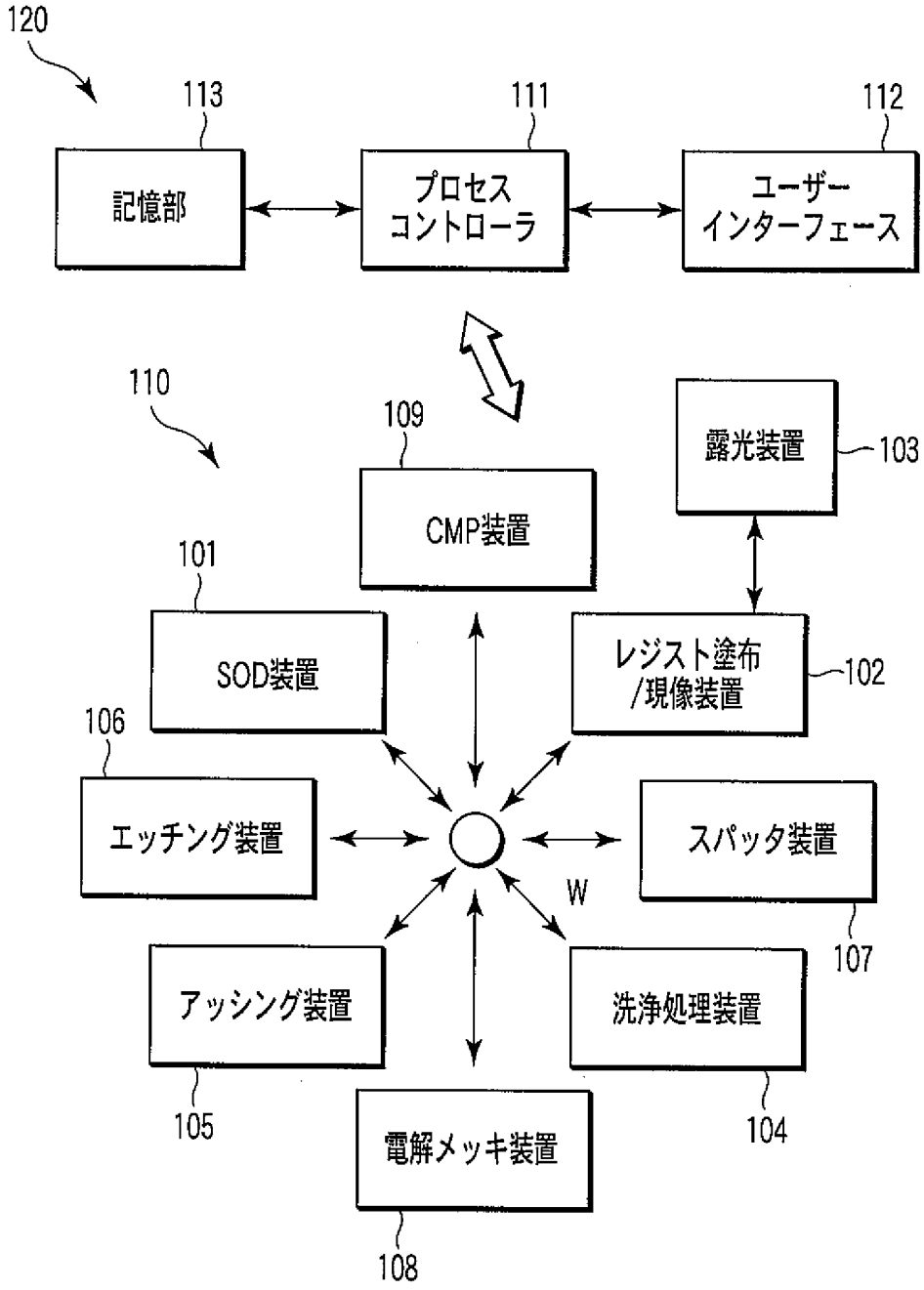
前記被エッチング膜の露出部である前記溝または孔の側面部にシリル化処理を施すシリル化機構と、

を具備する。

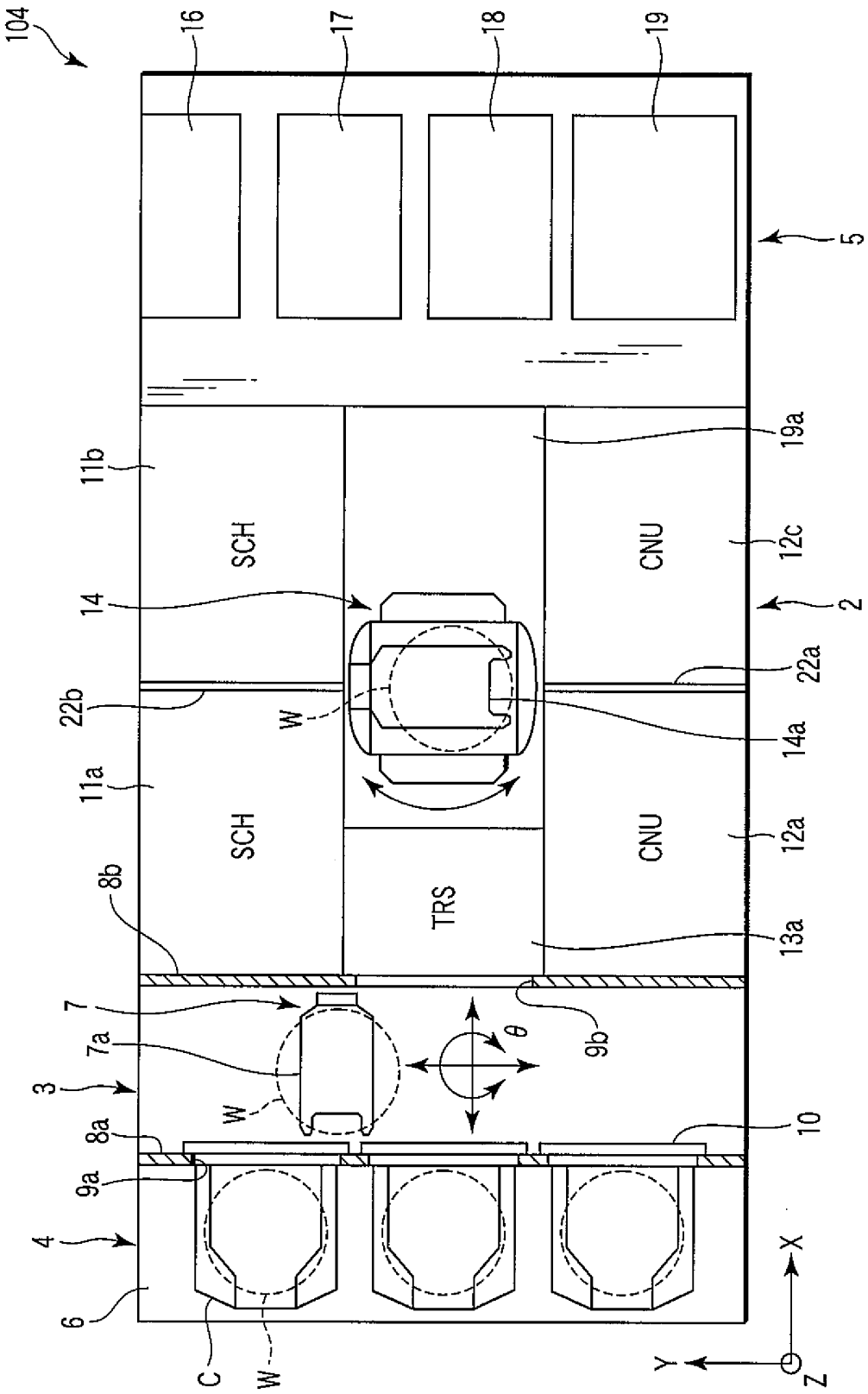
３３．(追加)　プロセッサ上で実行するためのプログラム指令を含むコンピュータで読み取り可能な媒体であって、

前記プログラム指令は、プロセッサによって実行される時、請求項１、６、１１、２１、２３、３１のいずれかに記載の製造方法を実行するように、半導体デバイスの製造システムを制御する。

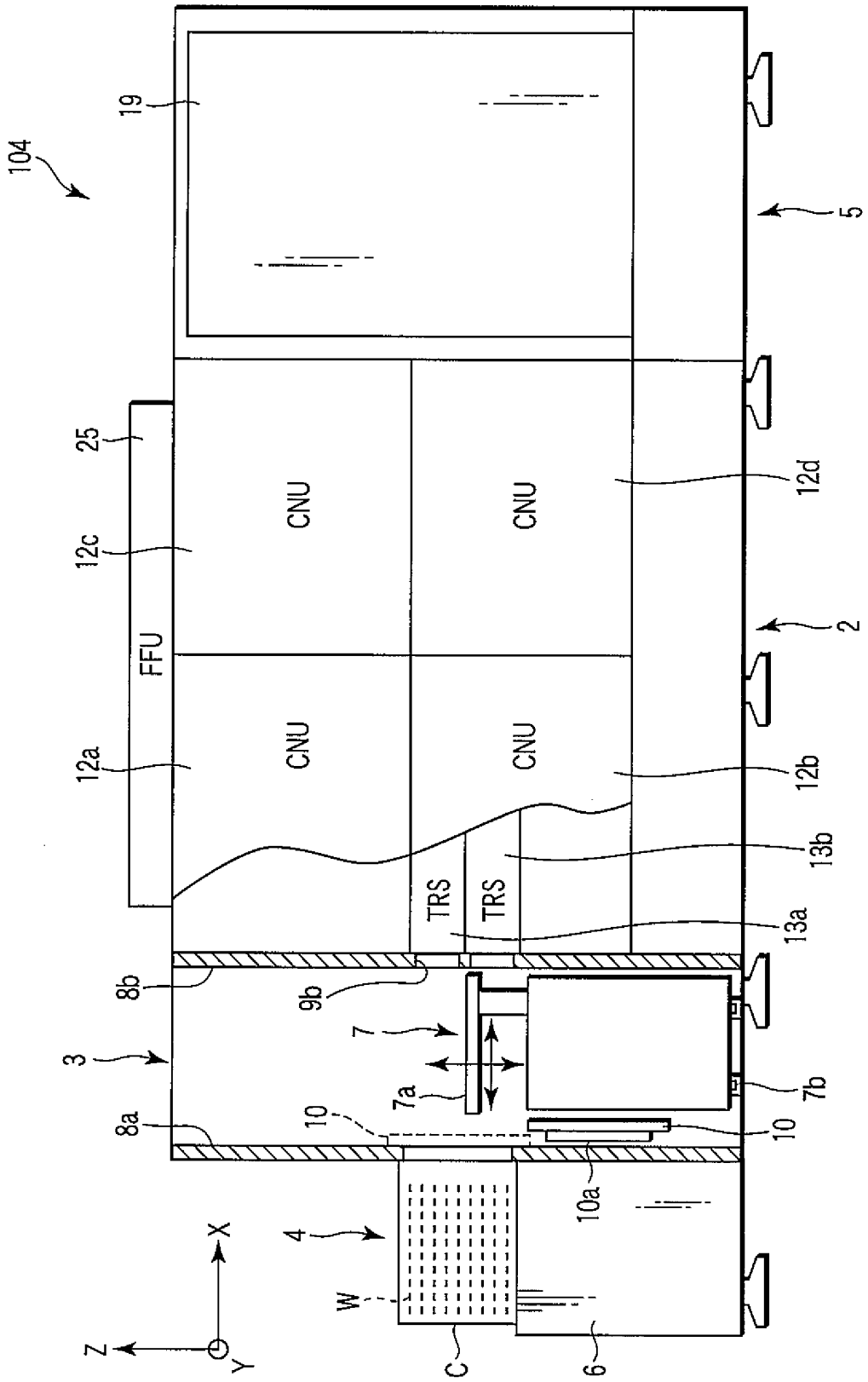
[図1]


120
113
111
112
記憶部
プロセス
コントローラ
ユーザー
インターフェース
110
109
露光装置
103
CMP装置
101
SOD装置
レジスト塗布
/現像装置
102
106
エッチング装置
スパッタ装置
W
107
アッシング装置
洗浄処理装置
105
104
電解メッキ装置
108

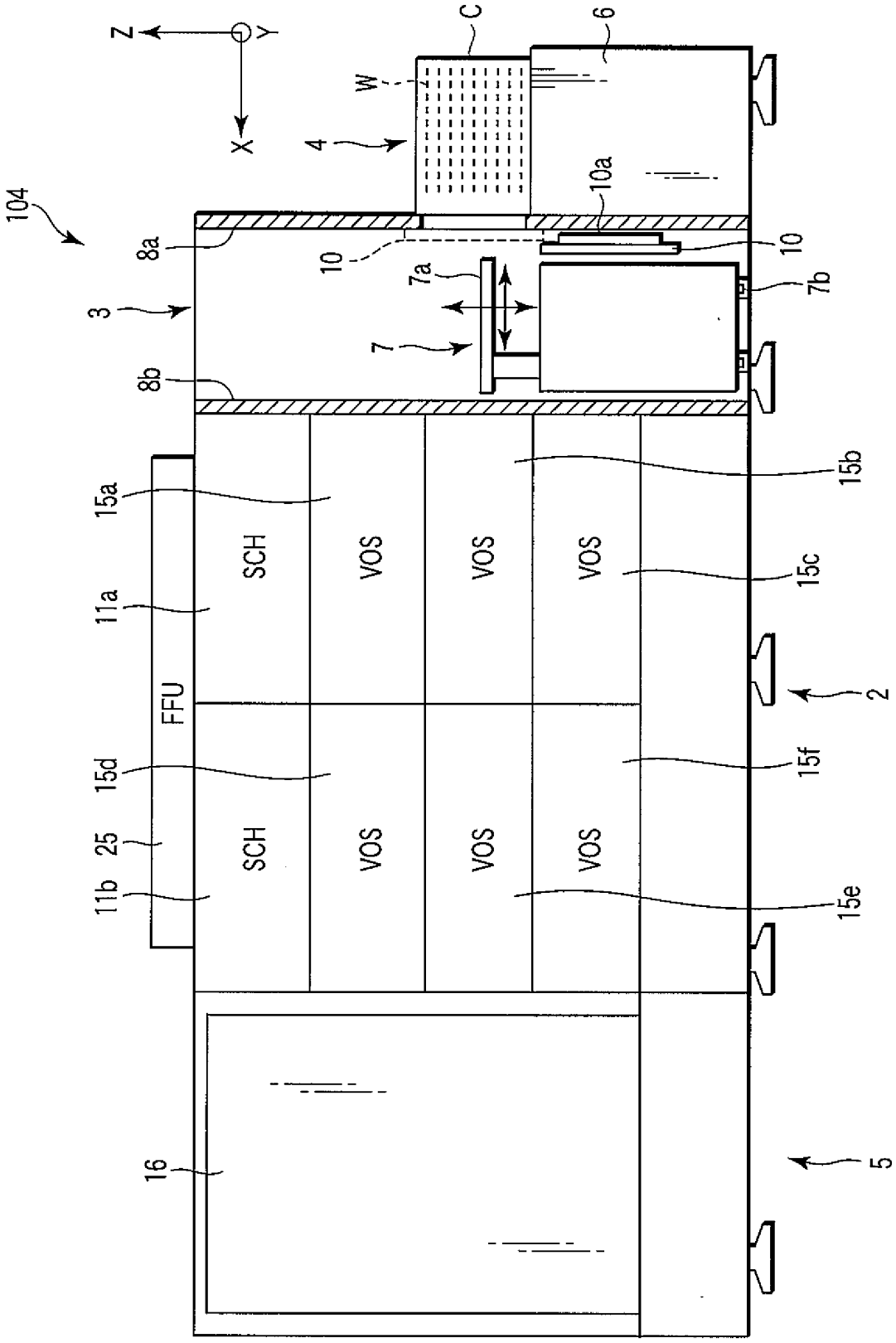
[図2]


104
16
17
18
19
5
11b
19a
SCH
CNU
12c
14
2
22a
22b
W
14a
11a
SCH
CNU
12a
8b
TRS
13a
7
9b
θ
7a
3
W
10
8a
9a
4
6
C
W
X
Y
Z

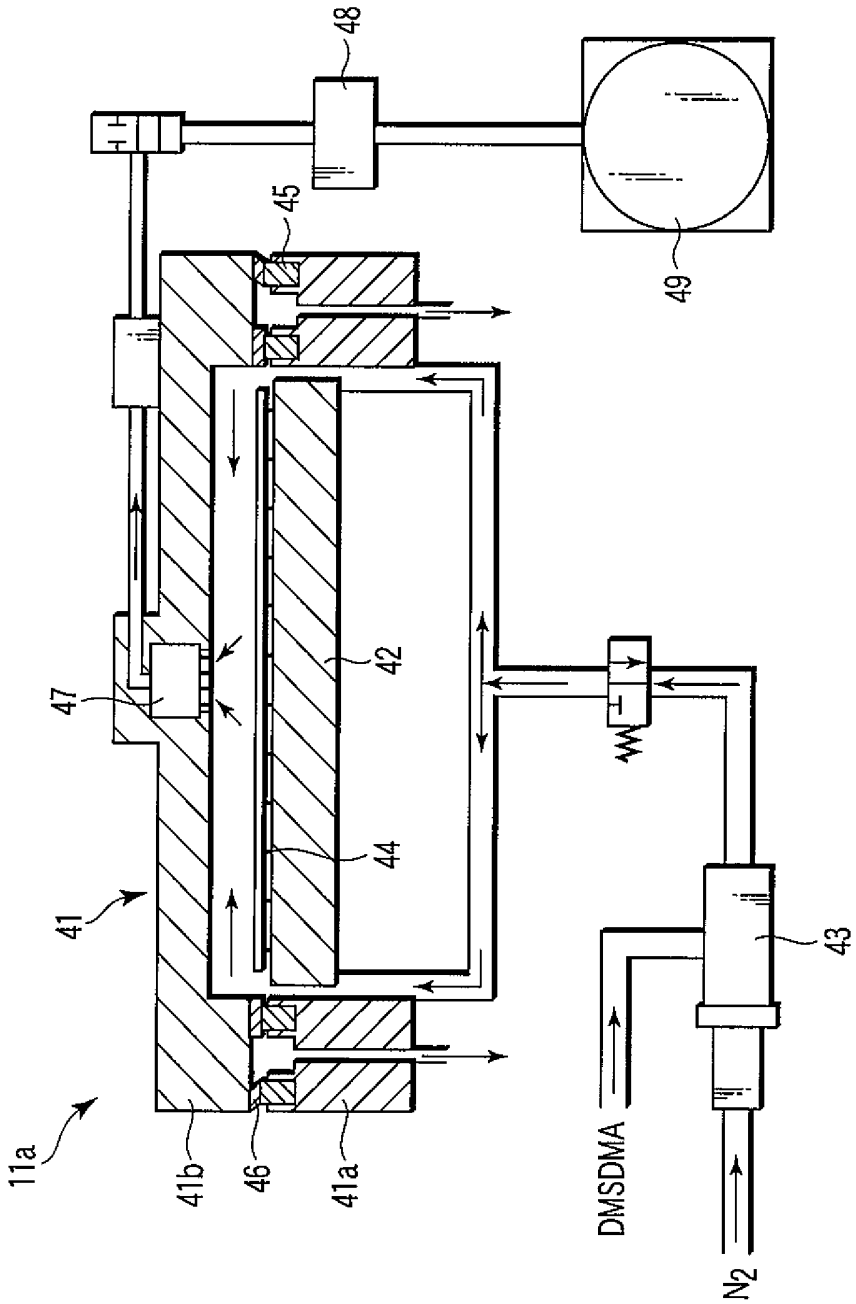
[図3]


104
19
5
25
12c
CNU
CNU
12d
FFU
2
12a
CNU
CNU
12b
13b
TRS
TRS
13a
8b
9b
7
3
7a
7b
8a
10
10
10a
4
W
X
Z
Y
C
6

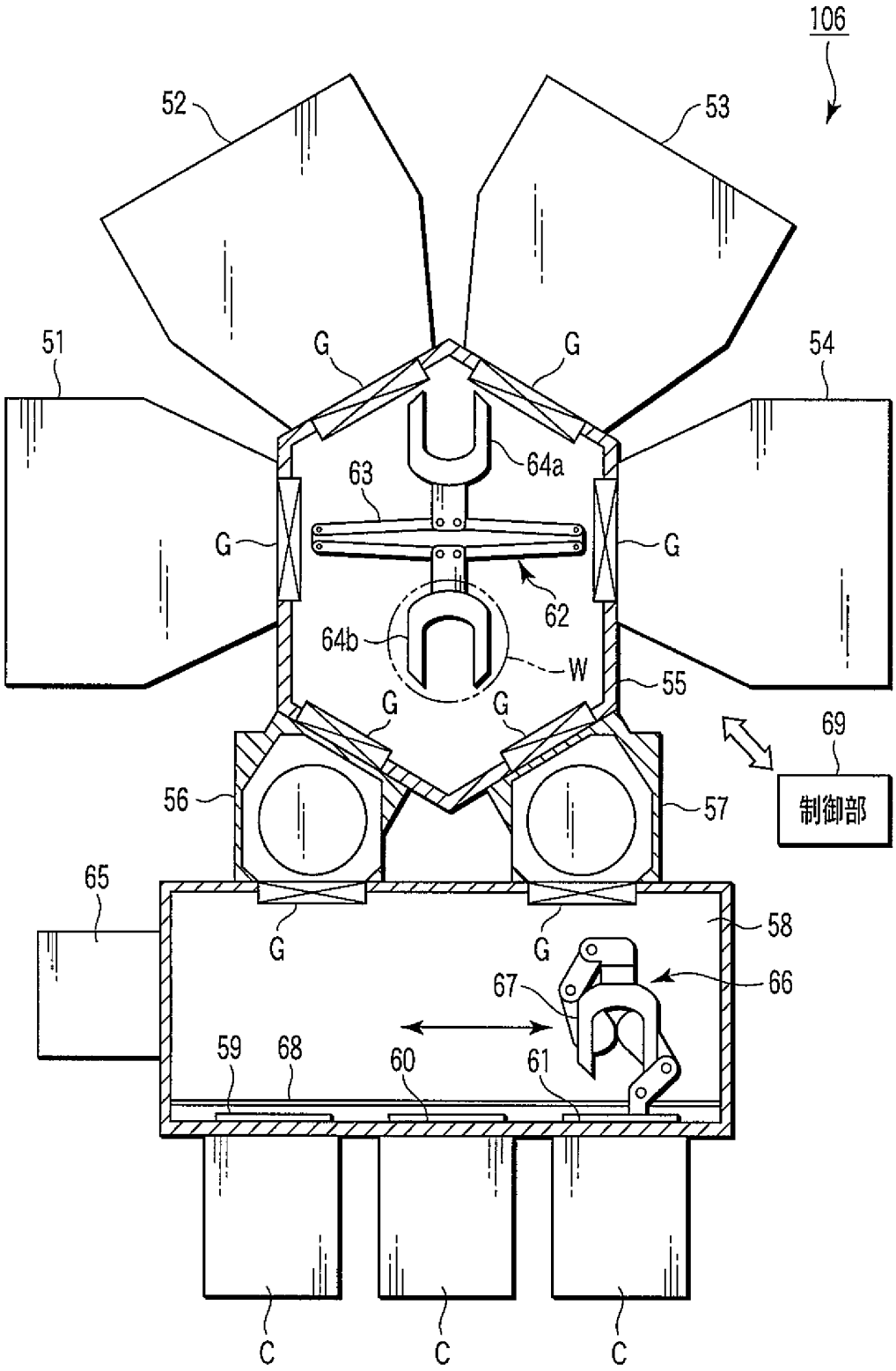
[図4]


Z
Y
X
C
6
W
4
10a
104
8a
10
10
7a
7b
3
7
8b
15b
15a
SCH
VOS
VOS
VOS
15c
11a
FFU
2
15d
15f
25
SCH
VOS
VOS
VOS
11b
15e
16
5

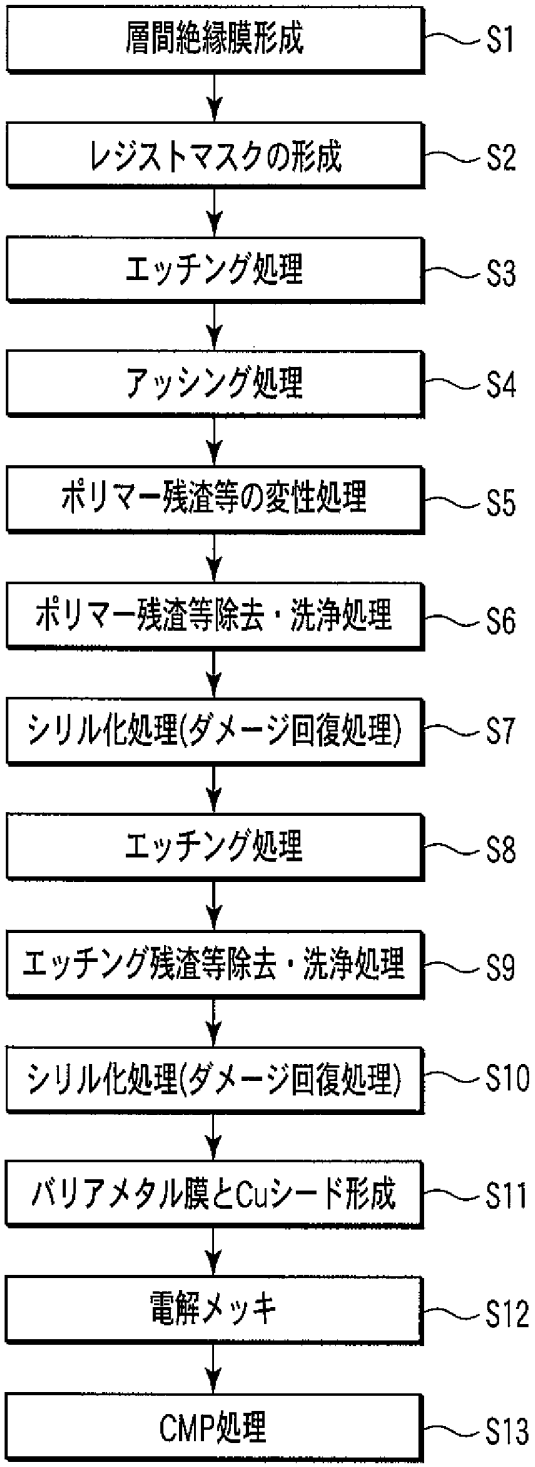
[図5]



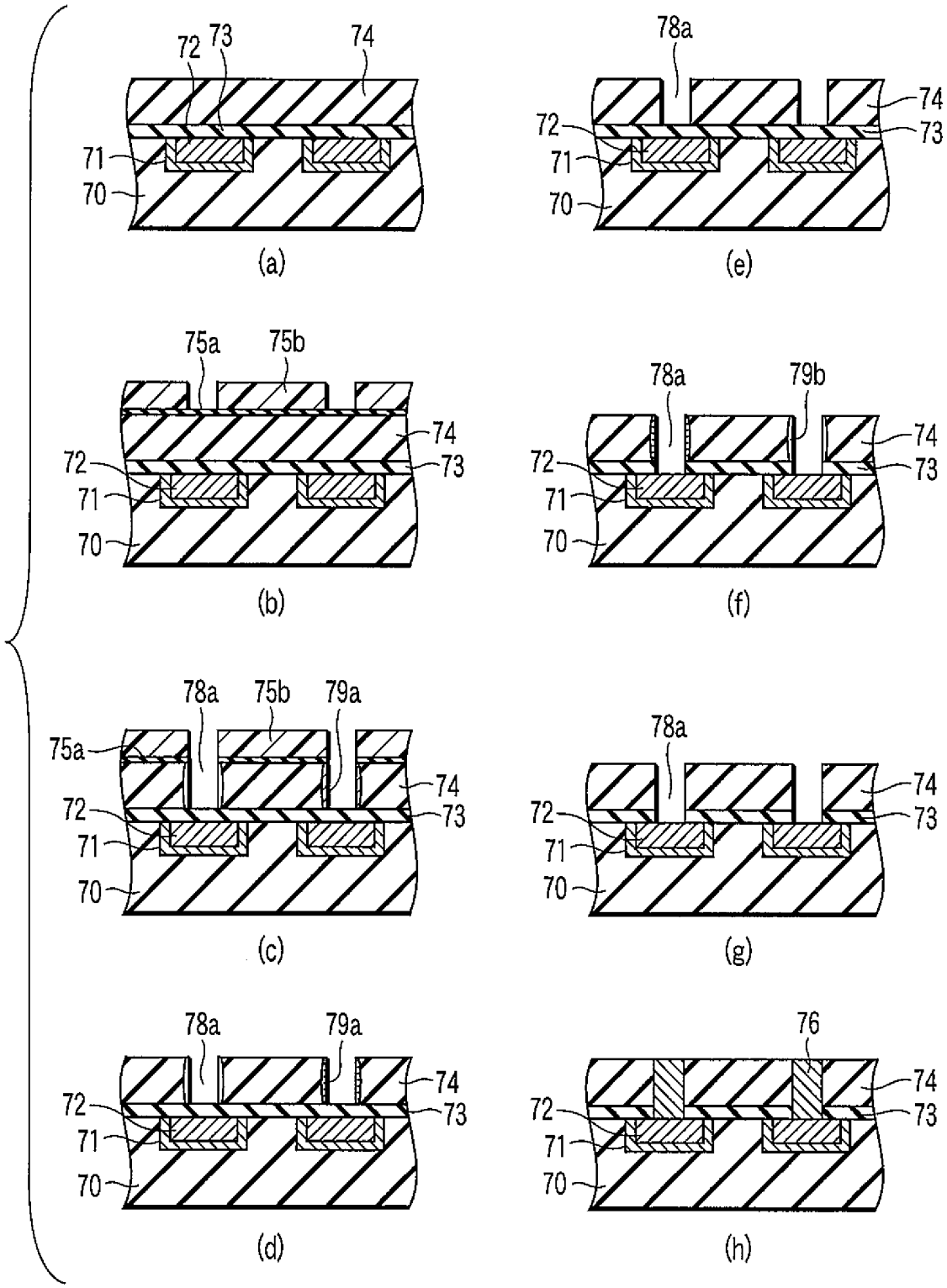
[図6]


106
52
53
51
54
G
63
64a
62
64b
W
55
69
制御部
56
57
65
58
67
66
59
68
60
61
C

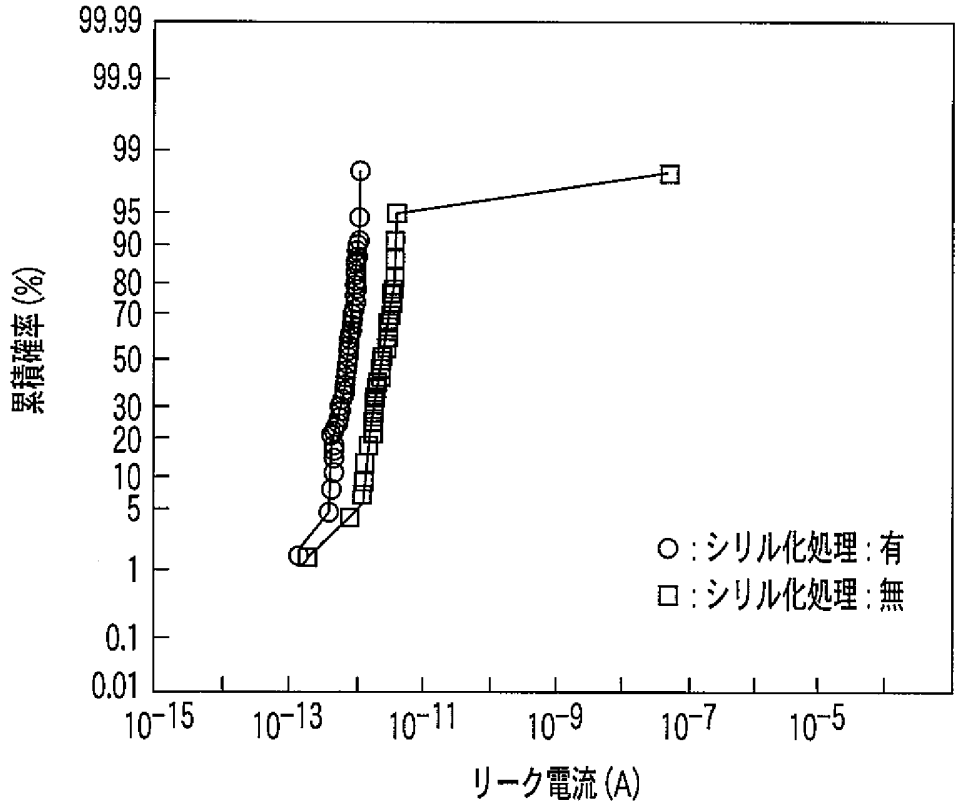
[図7]


層間絶縁膜形成
S1
レジストマスクの形成
S2
エッチング処理
S3
アッシング処理
S4
ポリマー残渣等の変性処理
S5
ポリマー残渣等除去・洗浄処理
S6
シリル化処理(ダメージ回復処理)
S7
エッチング処理
S8
エッチング残渣等除去・洗浄処理
S9
シリル化処理(ダメージ回復処理)
S10
バリアメタル膜とCuシード形成
S11
電解メッキ
S12
CMP処理
S13

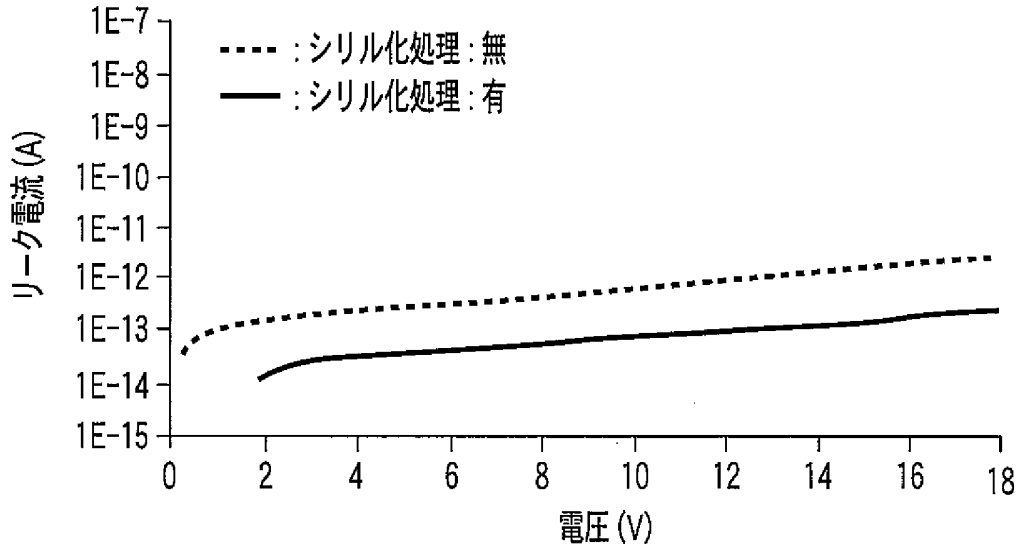
[図8]


72
73
74
71
70
(a)
78a
74
72
73
71
70
(e)
75a
75b
74
72
73
71
70
(b)
78a
79b
74
72
73
71
70
(f)
78a
75b
79a
75a
74
72
73
71
70
(c)
78a
74
72
73
71
70
(g)
78a
79a
74
72
73
71
70
(d)
76
74
72
73
71
70
(h)

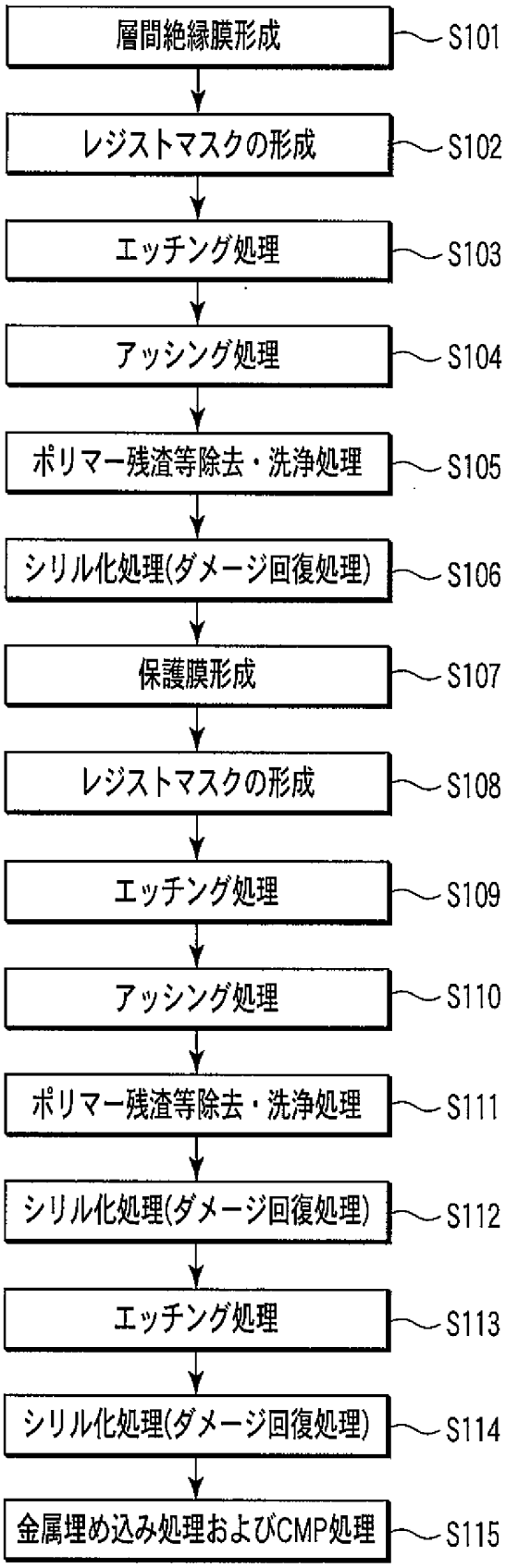
[図9A]


99.99
99.9
99
95
90
80
70
50
30
20
10
5
1
0.1
0.01
累積確率 (%)
10^-15
10^-13
10^-11
10^-9
10^-7
10^-5
リーク電流 (A)
○ : シリル化処理 : 有
□ : シリル化処理 : 無

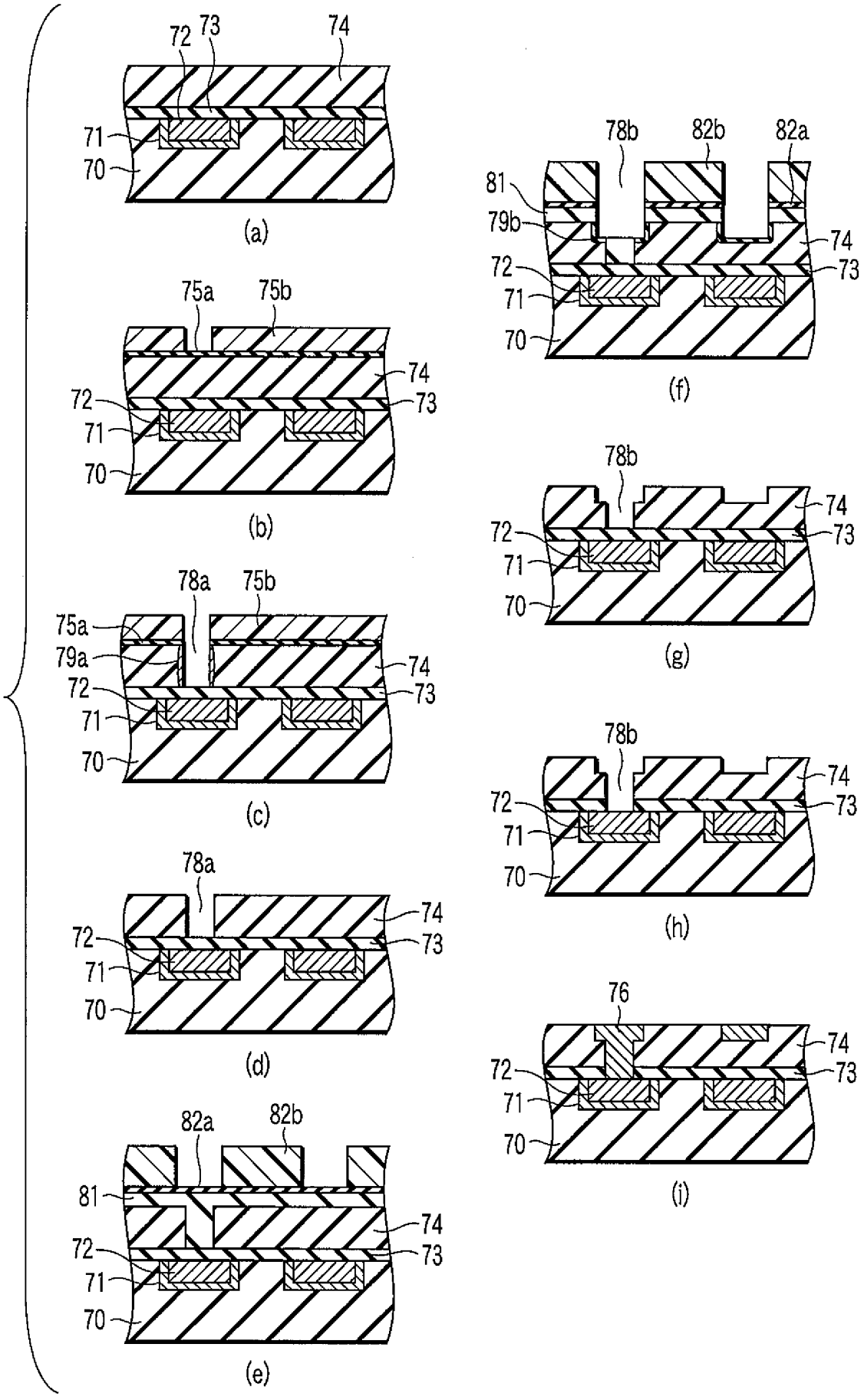
[図9B]


1E-7
1E-8
1E-9
1E-10
1E-11
1E-12
1E-13
1E-14
1E-15
リーク電流 (A)
: シリル化処理 : 無
: シリル化処理 : 有
0
2
4
6
8
10
12
14
16
18
電圧 (V)

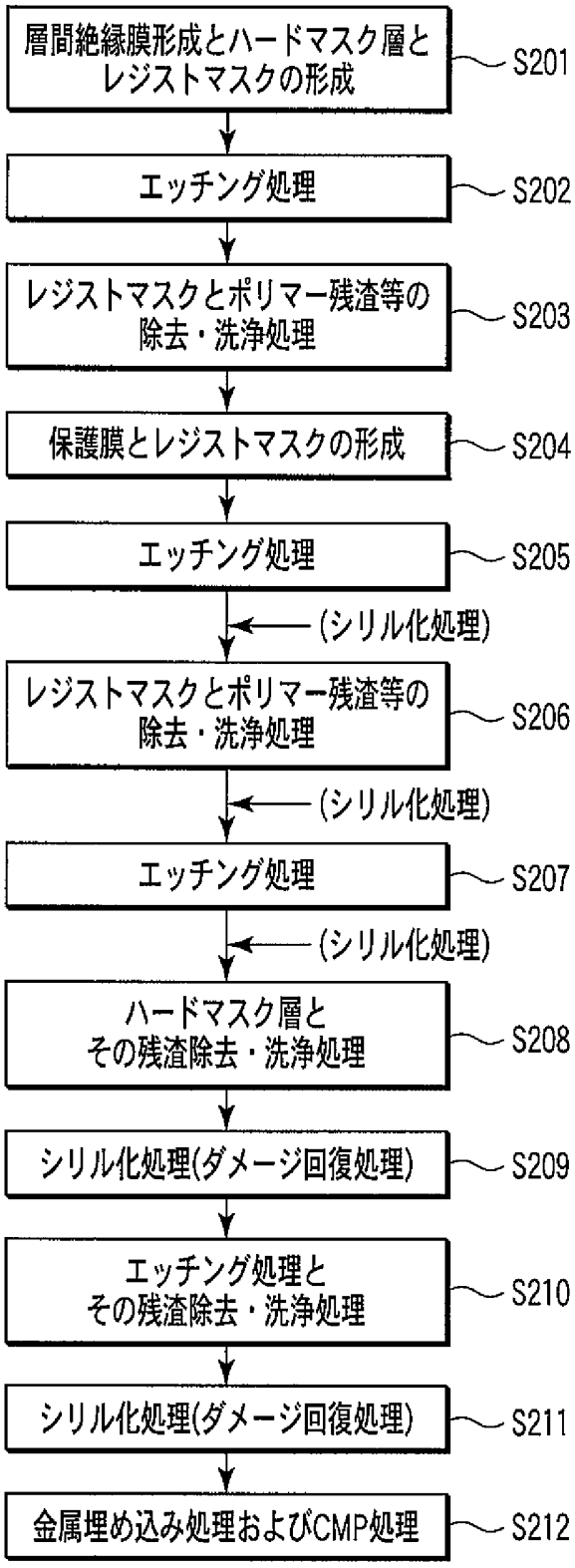
[図10]


層間絶縁膜形成
S101
レジストマスクの形成
S102
エッチング処理
S103
アッシング処理
S104
ポリマー残渣等除去・洗浄処理
S105
シリル化処理(ダメージ回復処理)
S106
保護膜形成
S107
レジストマスクの形成
S108
エッチング処理
S109
アッシング処理
S110
ポリマー残渣等除去・洗浄処理
S111
シリル化処理(ダメージ回復処理)
S112
エッチング処理
S113
シリル化処理(ダメージ回復処理)
S114
金属埋め込み処理およびCMP処理
S115

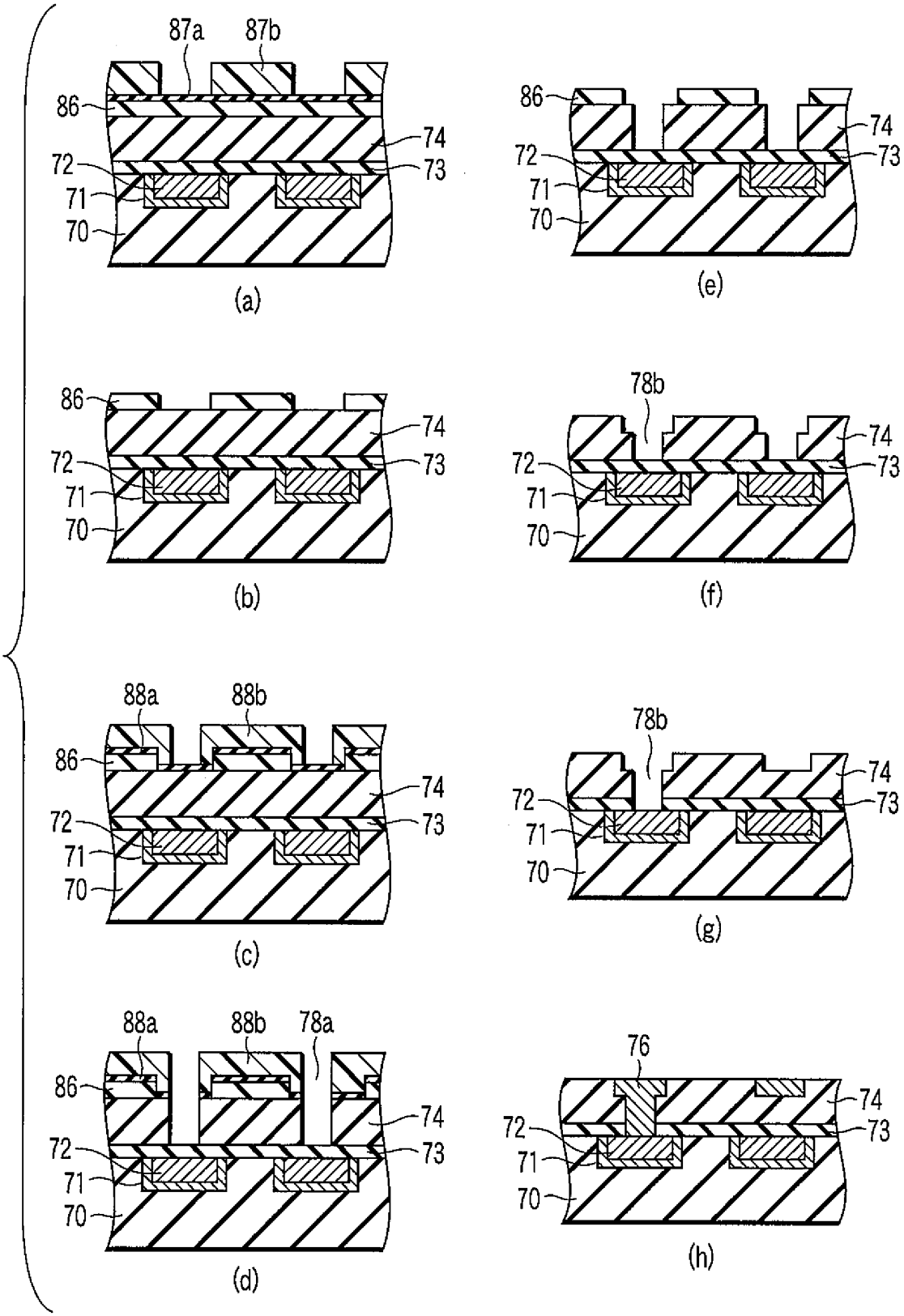
[図11]


72
73
74
71
70
(a)
75a
75b
74
72
73
71
70
(b)
78a
75b
75a
79a
74
72
73
71
70
(c)
78a
74
72
73
71
70
(d)
82a
82b
81
74
72
73
71
70
(e)
78b
82b
82a
81
79b
74
72
73
71
70
(f)
78b
74
72
73
71
70
(g)
78b
74
72
73
71
70
(h)
76
74
72
73
71
70
(i)

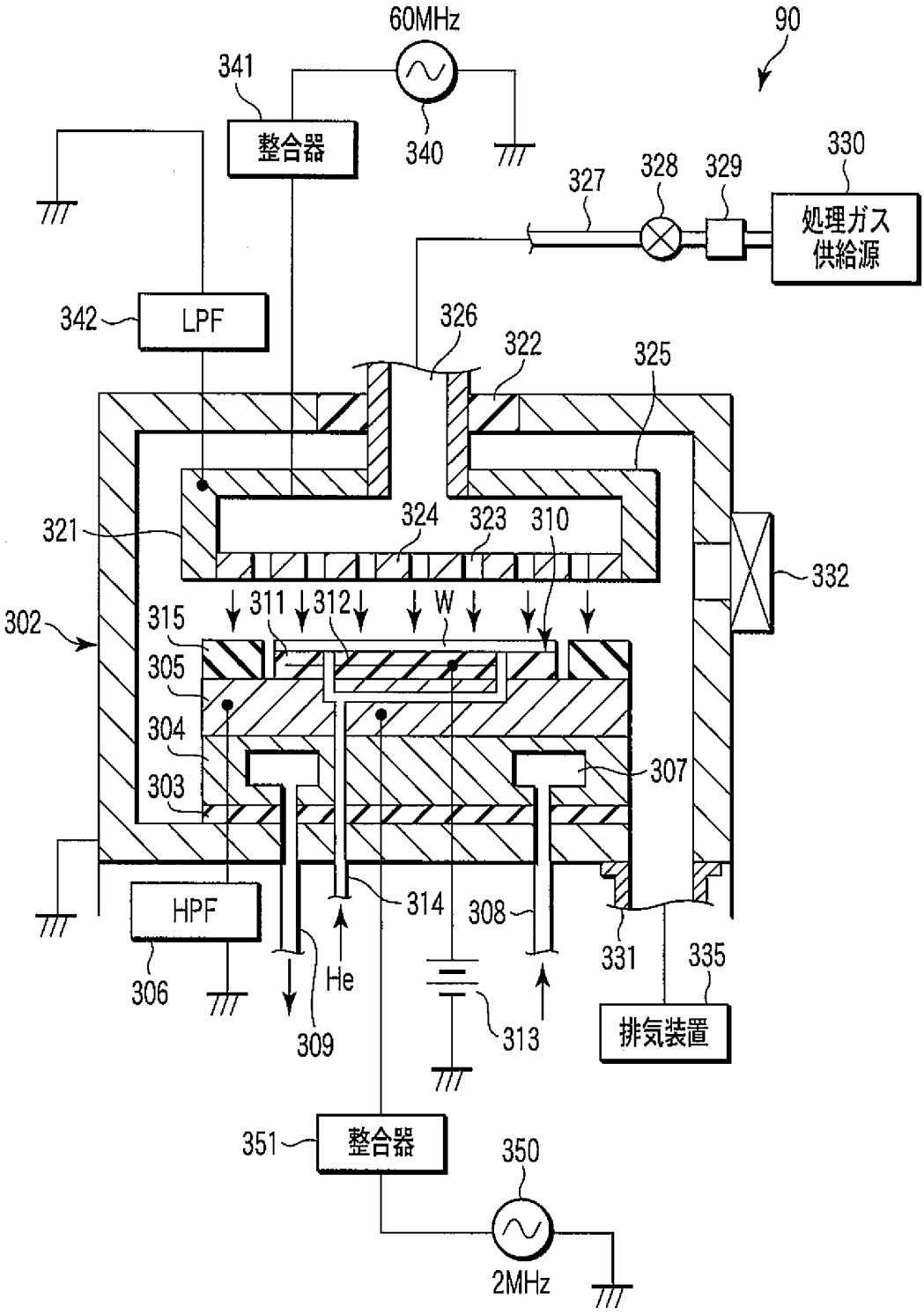
[図12]


層間絶縁膜形成とハードマスク層とレジストマスクの形成
S201
エッチング処理
S202
レジストマスクとポリマー残渣等の除去・洗浄処理
S203
保護膜とレジストマスクの形成
S204
エッチング処理
S205
(シリル化処理)
レジストマスクとポリマー残渣等の除去・洗浄処理
S206
(シリル化処理)
エッチング処理
S207
(シリル化処理)
ハードマスク層とその残渣除去・洗浄処理
S208
シリル化処理(ダメージ回復処理)
S209
エッチング処理とその残渣除去・洗浄処理
S210
シリル化処理(ダメージ回復処理)
S211
金属埋め込み処理およびCMP処理
S212

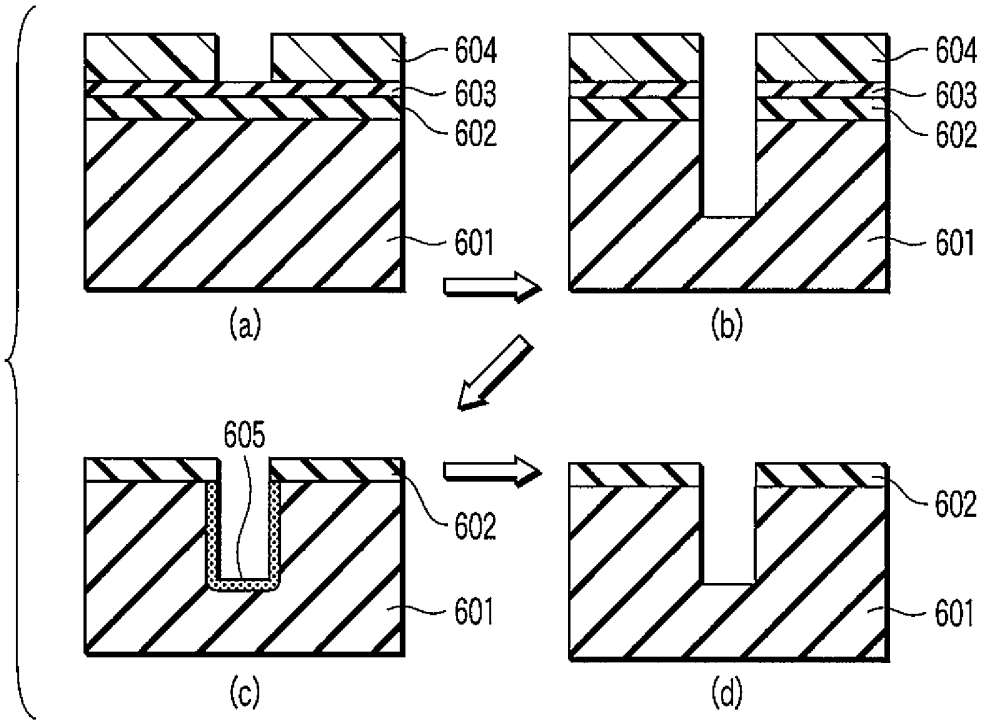
[図13]


87a
87b
86
74
72
73
71
70
(a)
86
74
72
73
71
70
(e)
86
74
72
73
71
70
(b)
78b
74
72
73
71
70
(f)
88a
88b
86
74
72
73
71
70
(c)
78b
74
72
73
71
70
(g)
88a
88b
78a
86
74
72
73
71
70
(d)
76
74
72
73
71
70
(h)

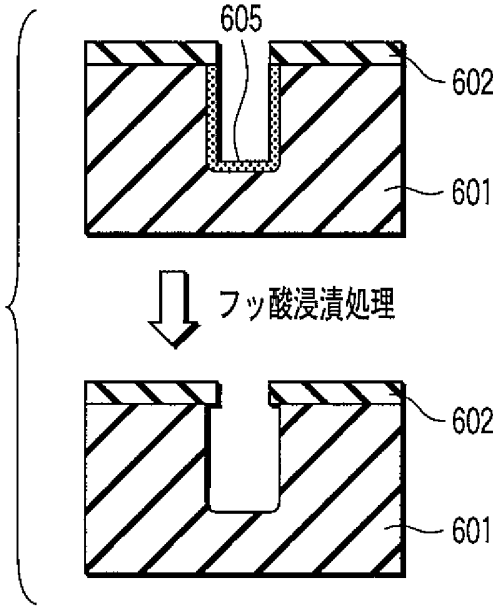
[図14]


60MHz
90
341
整合器
340
330
327
328
329
処理ガス
供給源
342
LPF
326
322
325
321
324
323
310
332
302
315
311
312
W
305
304
307
303
HPF
314
308
306
He
309
313
331
335
排気装置
351
整合器
350
2MHz

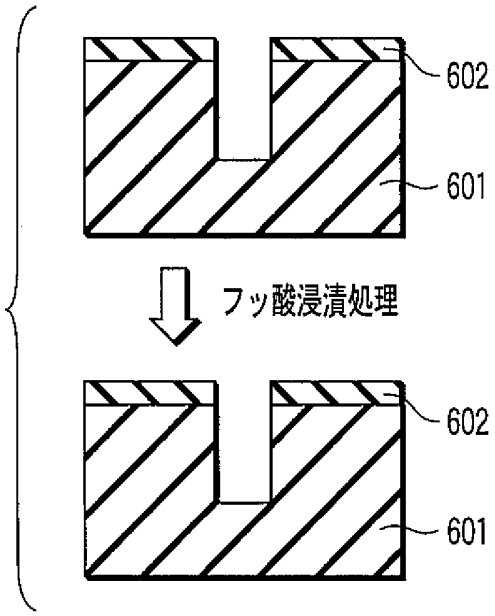
[図15]


604
603
602
601
(a)
604
603
602
601
(b)
605
602
601
(c)
602
601
(d)

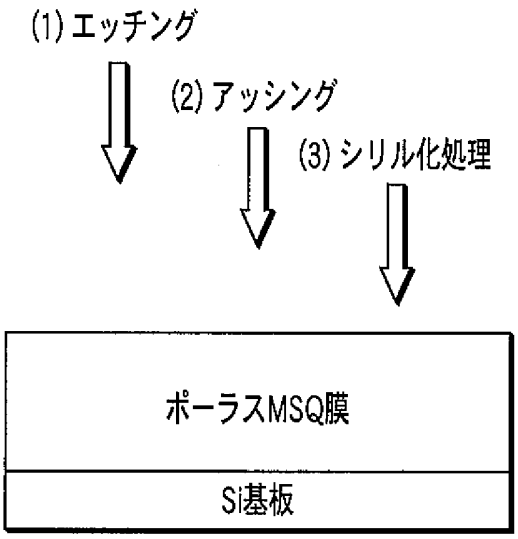
[図16A]


605
602
601
フッ酸浸漬処理
602
601

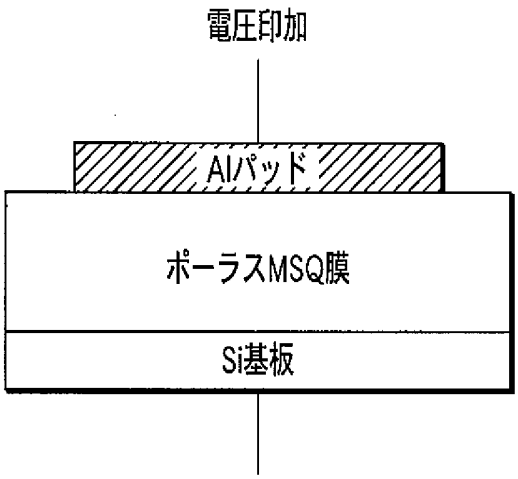
[図16B]



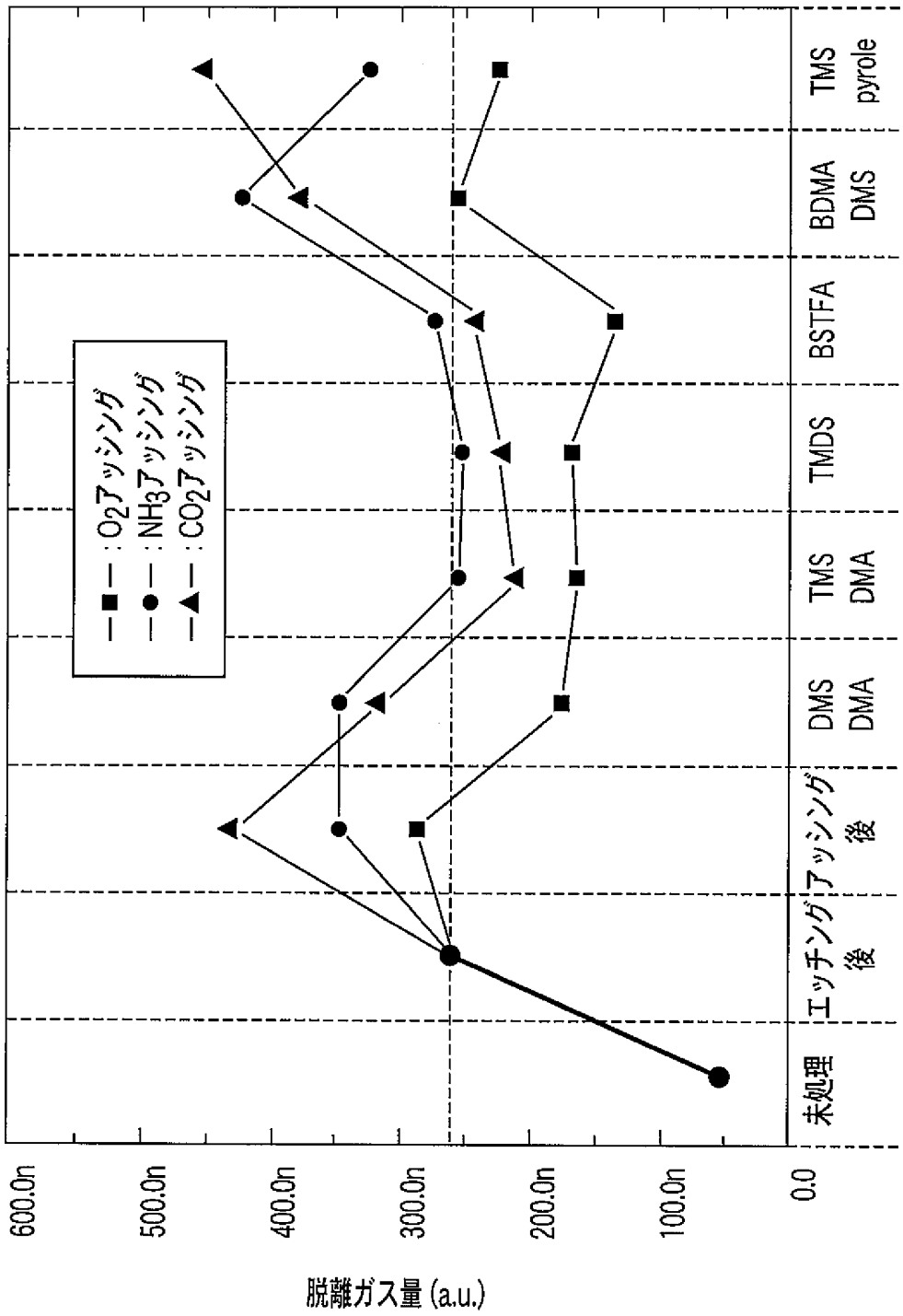
[図17A]



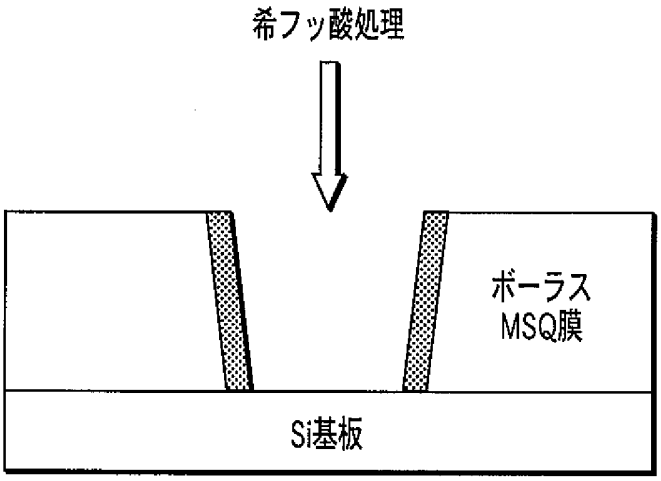
[図17B]



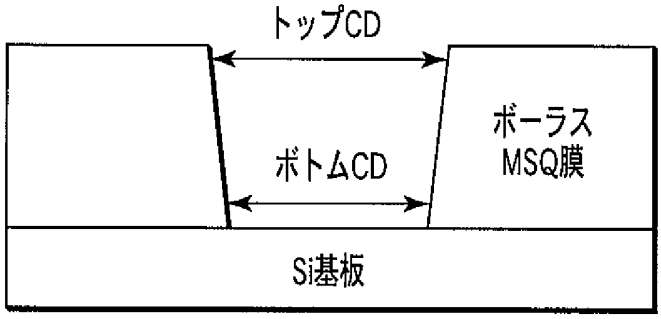
[図18]


■ : O2アッシング
● : NH3アッシング
▲ : CO2アッシング
600.0n
500.0n
400.0n
300.0n
200.0n
100.0n
0.0
脱離ガス量 (a.u.)
未処理
エッチング後
アッシング後
DMS DMA
TMS DMA
TMDS
BSTFA
BDMA DMS
TMS pyrole

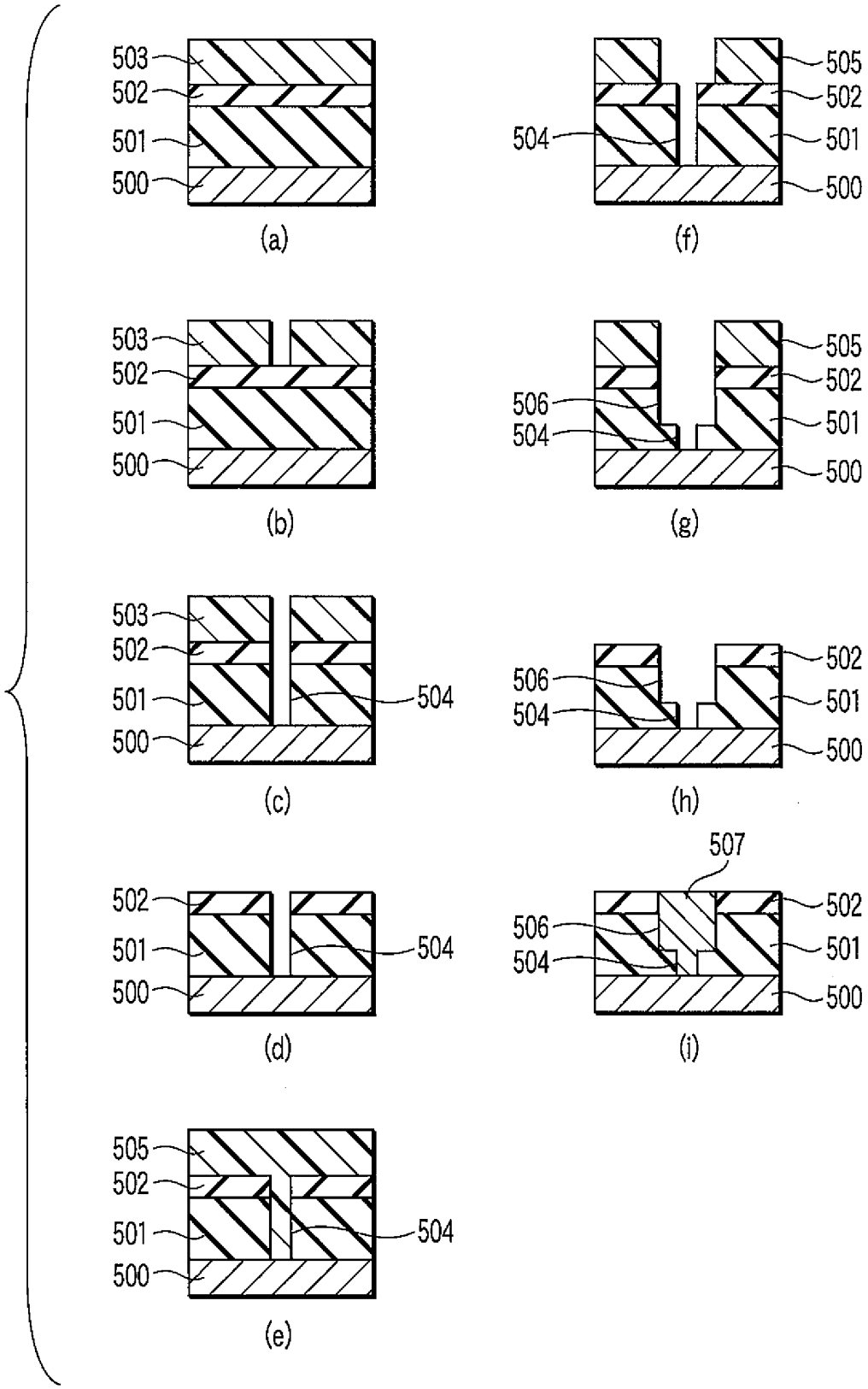
[図19A]



[図19B]



[図20]


503
502
501
500
(a)
503
502
501
500
(b)
503
502
501
500
504
(c)
502
501
500
504
(d)
505
502
501
500
504
(e)
505
502
504
501
500
(f)
506
504
505
502
501
500
(g)
506
504
502
501
500
(h)
507
506
504
502
501
500
(i)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2005/011973

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] H01L21/768, 21/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] H01L21/768, 21/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-188331 A (Matsushita Electric Industrial Co., Ltd.), 04 July, 2000 (04.07.00), Full text; Figs. 1 to 7 (Family: none)	1-22,25-27
X	JP 2003-282698 A (Sony Corp.), 03 October, 2003 (03.10.03), Full text; Figs. 1 to 21 & WO 2003/081665 A1	1,3-6,9-16, 18-27

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
10 August, 2005 (10.08.05)	13 September, 2005 (13.09.05)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2004)

国際調査報告

国際出願番号 PCT／JP2005／011973

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl.[7] H01L21/768, 21/28

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl.[7] H01L21/768, 21/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922－1996年
日本国公開実用新案公報	1971－2005年
日本国実用新案登録公報	1996－2005年
日本国登録実用新案公報	1994－2005年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー＊	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X	JP 2000-188331 A (松下電器産業株式会社) 2000.07.04, 全文, 第1-7図 (ファミリーなし)	1-22, 25-27
X	JP 2003-282698 A (ソニー株式会社) 2003.10.03, 全文, 第1-21図 & WO 2003/081665 A1	1, 3-6, 9-16, 18-27

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日 10. 08. 2005	国際調査報告の発送日 30. 8. 2005
国際調査機関の名称及びあて先 日本国特許庁（ISA／JP） 郵便番号100－8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 4M 9171 長谷山 健 電話番号 03－3581－1101 内線 3462