



(12)发明专利

(10)授权公告号 CN 104349084 B

(45)授权公告日 2017. 11. 28

(21)申请号 201410376718.0

(22)申请日 2014.08.01

(65)同一申请的已公布的文献号

申请公布号 CN 104349084 A

(43)申请公布日 2015.02.11

(30)优先权数据

2013-160333 2013.08.01 JP

(73)专利权人 佳能株式会社

地址 日本东京

(72)发明人 板野哲也 山崎和男 中村恒一

岩田公一郎 池田泰二

(74)专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 罗银燕

(51)Int.Cl.

H04N 5/365(2011.01)

H04N 5/3745(2011.01)

H04N 5/378(2011.01)

(56)对比文件

US 2009251578 A1, 2009.10.08,

US 2009251578 A1, 2009.10.08,

US 2010194948 A1, 2010.08.05,

US 6819163 B1, 2004.11.16,

CN 103002231 A, 2013.03.27,

CN 102291543 A, 2011.12.21,

US 2009231478 A1, 2009.09.17,

US 2009303368 A1, 2009.12.10,

审查员 吴迎君

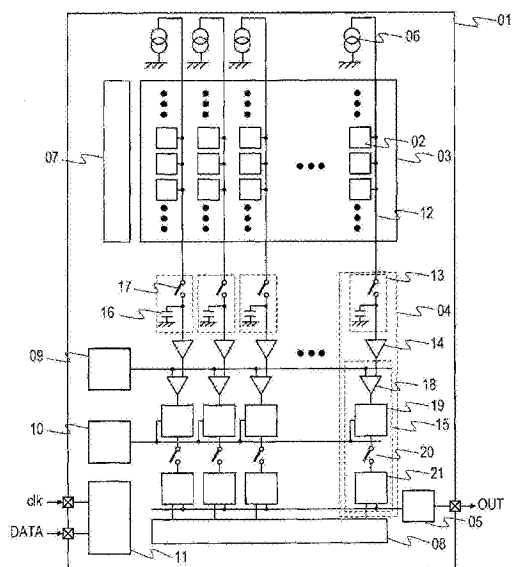
权利要求书2页 说明书9页 附图13页

(54)发明名称

光电转换装置和图像拾取系统

(57)摘要

本发明公开了一种光电转换装置和图像拾取系统。列信号处理单元与像素阵列的各列对应地设置。列信号处理单元包含：被配置为保持从像素输出的模拟信号的采样和保持单元、被配置为对保持在采样和保持单元中的信号进行缓冲的缓冲单元、以及AD转换单元。AD转换单元将通过采样和保持单元保持且通过缓冲单元缓冲的信号转换成数字信号。



1. 一种光电转换装置,包括:

像素阵列,在该像素阵列中多个像素以行和列布置;以及

列信号处理单元,每个列信号处理单元与像素阵列的列中的一个对应地设置,

其中,所述列信号处理单元中的每一个包含:

采样和保持单元,该采样和保持单元被配置为保持从像素输出的信号;

缓冲单元,该缓冲单元被配置为输出保持在采样和保持单元中的信号;以及

AD转换单元,该AD转换单元包含具有第一端子和第二端子的比较单元,所述第一端子与缓冲单元连接,所述第二端子被配置为接收基准信号,所述基准信号的电平与逝去时间对应地改变,

其中,所述比较单元输出指示所述基准信号的电平与通过所述缓冲单元缓冲的信号的电平的比较的结果的比较信号,

其中,所述缓冲单元在所述基准信号的电平与逝去时间对应地改变的时段期间将通过采样和保持单元保持的信号输出到所述第一端子,并且

其中,所述AD转换单元使用所述比较信号将从缓冲单元输出的信号转换成数字信号。

2. 根据权利要求1所述的光电转换装置,其中,

采样和保持单元包含电容器元件,该电容器元件的一个节点被供给固定电压。

3. 根据权利要求1或2所述的光电转换装置,其中,

采样和保持单元包含多个电容器元件。

4. 根据权利要求2所述的光电转换装置,其中,

比较单元被配置为基于固定电压操作并对基准信号和从缓冲单元输出的信号进行比较,并且

其中,供给到电容器元件的固定电压和供给到比较单元的固定电压经由相互不同的线供给。

5. 根据权利要求2所述的光电转换装置,其中,

AD转换单元包含比较单元,该比较单元被配置为对基准信号和通过缓冲单元缓冲的信号进行比较,并且

其中,电容器元件和比较单元在同一半导体基板的不同阱区域中形成。

6. 根据权利要求2所述的光电转换装置,其中,

电容器元件和像素阵列在同一半导体基板的不同阱区域中形成。

7. 根据权利要求2所述的光电转换装置,进一步包括:

放大器,该放大器被配置为对从像素输出的信号进行放大并向采样和保持单元供给放大的信号,

其中,电容器元件和放大器在同一半导体基板的不同阱区域中形成。

8. 根据权利要求2所述的光电转换装置,进一步包括:

放大器,该放大器被配置为对从像素输出的信号进行放大并向采样和保持单元供给放大的信号。

9. 根据权利要求1所述的光电转换装置,其中,

缓冲单元是能够设定超过1的放大因子的放大器。

10. 根据权利要求1所述的光电转换装置,其中,

缓冲单元包含差动放大器、输入电容和反馈电容,并且

其中,差动放大器的反相输入端子经由输入电容与采样和保持单元连接,并且经由反馈电容与差动放大器的输出端子连接。

11.根据权利要求1所述的光电转换装置,其中,

与从像素输出信号的操作并行地,AD转换单元将通过缓冲单元缓冲的信号转换成数字信号。

12.根据权利要求1所述的光电转换装置,其中,

采样和保持单元包含多个电容器元件,并且

其中,通过AD转换单元将通过缓冲单元缓冲且保持在多个电容器元件中的一个中的信号转换成数字信号的操作和使多个电容器元件之中的另一电容器元件保持从像素输出的信号的操作被并行地执行。

13.根据权利要求2所述的光电转换装置,进一步包括:

连接部分,该连接部分相互连接包含在多个列信号处理单元之中的列信号处理单元中的一些中的电容器元件。

14.一种图像拾取系统,包括:

根据权利要求1所述的光电转换装置;

光学系统,该光学系统被配置为在多个像素上形成图像;以及

视频信号处理单元,该视频信号处理单元被配置为处理从光电转换装置输出的信号并产生图像数据。

15.根据权利要求14所述的图像拾取系统,其中,

图像拾取系统在多个驱动模式中操作,并且

其中,缓冲单元是能够根据驱动模式设定多个放大因子的放大器。

光电转换装置和图像拾取系统

技术领域

[0001] 本发明涉及光电转换装置和图像拾取系统。

背景技术

[0002] 对于固态图像拾取装置中的像素阵列的每个列设置模拟数字 (AD) 转换器是已知的。日本专利公开No.2009-10787描述了在设置在像素阵列的每个列中的AD转换器的上游设置与AD转换器直接连接的信号保持电容和信号保持开关的配置。根据日本专利公开No.2009-10787,对于来自像素的模拟信号的读取操作及其AD转换操作通过在对于保持在信号保持开关中的模拟信号的AD转换时段期间关断信号保持开关来并行执行,使得可实现高速读取。

[0003] 然而,在日本专利公开No.2009-10787中所描述的配置可引起每个列的固定模式噪声。以下将描述该噪声产生的原因。

[0004] 图13是取自日本专利公开No.2009-10787的图8的示图,并且示出包含在AD转换单元中的电压比较单元252的电路配置。在该电路中,当与电压比较单元252的输入信号对应的“RAMP”与“像素信号”之间的大小关系逆转(reverse)时(换句话说,当小于“RAMP”的“像素信号”随着“RAMP”随时间减小而改变以变得大于“RAMP”时),与电压比较单元252的输出对应的晶体管314的漏极处的电压从高电平变为低电平或者从低电平变为高电平。这种变化也经由晶体管314的栅极-漏极电容影响晶体管314的栅极。并且,由于晶体管的栅极和漏极与晶体管314的栅极连接,因此在晶体管314的漏极中引起的变化也影响晶体管312的栅极和漏极。并且,由于晶体管312的漏极与作为电压比较单元252的输入晶体管的晶体管302的漏极连接,因此在晶体管312的漏极中引起的变化也影响晶体管302的栅极。因此,发生电压比较单元252的输出影响与电压的输入对应的“像素信号”的现象。

[0005] 根据日本专利公开No.2009-10787中所描述的配置,“像素信号”与信号保持电容直接连接,并且在AD转换时段期间从单位像素电气断开。因此,在AD转换时段期间引起的晶体管314的漏极电压的过渡(transient)变化也改变保持在信号保持电容中的信号的信号电压。即,由于保持在信号保持电容中的信号的信号电压可以是与原始保持的电压不同的电压,因此作为AD转换的结果所获得的数字数据的值可能是不准确的值。另外,由于制造电压比较单元252的变化,由晶体管314的漏极电压的变化对“像素信号”施加的影响对于每个列改变,并且这变为每个列的固定模式噪声。

发明内容

[0006] 根据本发明的一个方面的光电转换装置包含:像素阵列,在该像素阵列中多个像素以矩阵布置;以及列信号处理单元,该列信号处理单元与像素阵列的各列对应地设置,其中,所述列信号处理单元包含:采样和保持单元,该采样和保持单元被配置为保持从像素输出的信号;缓冲单元,该缓冲单元被配置为对保持在采样和保持单元中的信号进行缓冲;以及AD转换单元,并且,所述AD转换单元将通过采样和保持单元保持且通过缓冲单元缓冲的

信号转换成数字信号。

[0007] 参照附图,从实施例的以下描述,本发明的其它特征将变得明显。以下描述的本发明的实施例中的每一个可被独自实现,或者在必要的情况下或者在单个实施例中组合来自各个实施例的要素或特征是有益的情况下,实现为多个实施例或其特征的组合。

附图说明

[0008] 图1是示出光电转换装置的配置的框图。

[0009] 图2是示出像素的配置的等价电路图。

[0010] 图3是用于描述光电转换装置的操作的定时图。

[0011] 图4是示出另一光电转换装置的配置的框图。

[0012] 图5是示出反相放大器的配置的等价电路图。

[0013] 图6是用于描述光电转换装置的操作的定时图。

[0014] 图7是示出采样和保持单元的配置的等价电路图。

[0015] 图8是用于描述光电转换装置的操作的定时图。

[0016] 图9是示出另一光电转换装置的配置的框图。

[0017] 图10是示出另一光电转换装置的配置的框图。

[0018] 图11是用于描述光电转换装置的操作的定时图。

[0019] 图12是示出图像拾取系统的配置的框图。

[0020] 图13示出日本专利公开No.2009-10787的图8。

具体实施方式

[0021] 参照附图,将描述本发明的实施例。

[0022] 第一实施例

[0023] 根据第一实施例的光电转换装置01包含以矩阵布置多个像素02的像素阵列03、列信号处理单元04、数据输出单元05和负载电流源06。光电转换装置01进一步包含以行为单位控制像素02的操作的垂直扫描单元07、水平扫描单元08、基准信号产生单元09、计数单元10和控制单元11。每个列中的像素02经由像素输出线12与列信号处理单元04和负载电流源06连接。列信号处理单元04中的每一个包含采样和保持单元13、缓冲单元14和模拟数字(AD)转换单元15。

[0024] 控制单元11从装置的外部接收时钟信号“clk”和通信数据“data”,并且控制包含在光电转换装置01中的各块的操作。

[0025] 采样和保持单元13包含电容器元件16和开关17,并且当开关17从接通切换到关断时,在像素输出线12上出现的信号被保持在电容器元件16中。电容器元件16经由缓冲单元14与AD转换单元15连接。

[0026] AD转换单元15包含比较单元18、写入存储器19、存储器间传送开关20和读取存储器21。比较单元18接收从基准信号产生单元09供给的基准信号和缓冲单元14的输出作为输入信号,并且当这些输入信号之间的大小关系逆转时,比较单元18的输出的逻辑电平逆转。当比较单元18的输出的逻辑电平逆转时,写入存储器19保持从计数单元10供给的计数信号。保持在写入存储器19中的计数信号经由存储器间传送开关20被传送到读取存储器21。

当保持在读取存储器21中的信号被水平扫描单元08选择时,信号被传输到数据输出单元05。根据本实施例,写入存储器19和读取存储器21中的每一个具有可独立地保持两条数字数据的配置。

[0027] 图2是用于描述像素02的配置示例的等价电路图。像素02包含作为光电转换单元的光电二极管PD、传送晶体管TX、源极跟随器晶体管SF、复位晶体管RES和选择晶体管SEL。

[0028] 由光电二极管PD通过光电转换产生的电荷经由传送晶体管TX被传送到源极跟随器晶体管SF的栅极节点。当选择晶体管SEL被接通时,源极跟随器晶体管SF与负载电流源06一起用作源极跟随器电路,并且在像素输出线12上出现根据传送到栅极节点的电荷量的输出。当复位晶体管RES被接通时,复位晶体管RES将源极跟随器晶体管SF的栅极节点复位到电源电压。

[0029] 下面,通过进一步参照图3,将描述根据本实施例的光电转换装置01的操作。以下的描述集中于与像素阵列03中的第 n 行(n 是大于或等于1的整数)和第 $(n+1)$ 行中的像素有关的操作。在图3中,信号RES(n)、SEL(n)和TX(n)分别表示供给到第 n 行中的像素的传送晶体管TX、选择晶体管SEL和复位晶体管RES的栅极的信号。这同样适用于信号RES($n+1$)、SEL($n+1$)和TX($n+1$)。这些信号从垂直扫描单元07被供给。信号SH是用于控制采样和保持开关17的导通状态的信号,并且信号MTX是用于控制存储器间传送开关20的导通状态的信号。将基于当各信号处于高电平时相应的晶体管或开关被接通的假定给出以下描述。

[0030] 根据本实施例,将描述并行执行从像素02输出的模拟信号的采样和保持操作、AD转换操作和来自读取存储器21的信号输出操作中的至少两个的操作示例。

[0031] 从时间 t_0 到时间 t_0' 的时段与在电容器元件16中保持与第 n 行中的像素有关的模拟信号的时段(图3中的像素读取时段(n))对应。

[0032] 在时间 t_0 处,由于信号RES(n)从高电平切换到低电平,因此第 n 行中的像素的复位晶体管RES被关断。因此,源极跟随器晶体管SF的复位状态被取消。

[0033] 当信号SEL(n)在时间 t_1 处变为高电平时,第 n 行中的像素的选择晶体管SEL被接通,并且在像素输出线12上出现与第 n 行中的像素的源极跟随器晶体管SF的栅极节点的复位对应的信号。该输出含有当复位晶体管RES被关断时所产生的噪声和源自源极跟随器晶体管SF的噪声。以下,该输出将被称为N信号。

[0034] 在直到时间 t_2 的时段期间,与第 $(n-1)$ 行中的像素的N信号有关的数字信号从读取存储器21被传送到数据输出单元05的水平传送操作被执行。在图3中,水平传送操作在时间 t_0 之前的时间处开始,但是,依赖于诸如读取存储器21的数量或水平扫描单元08的操作频率的条件,水平传送操作可在时间 t_0 处或者更晚的时间开始。

[0035] 直到时间 t_3 的时段是保持在电容器元件16中的第 $(n-1)$ 行中的像素的信号成分(component)被转换成数字信号的时段(图3中的时段SAD($n-1$))。在该时段期间,电容器元件16被开关17从像素输出线12电气切断。响应于基准信号与缓冲单元14的输出之间的时变的大小关系,当它们之间的大小关系逆转时,比较单元18使写入存储器19保持此时的计数单元10的计数值。在图3中,时段SAD($n-1$)在时间 t_0 之前的时间处开始,但是,依赖于诸如AD转换单元15的分辨率或操作频率的条件,时段SAD($n-1$)可在时间 t_0 处或更晚的时间开始。

[0036] 在时间 t_4 处,信号MTX变为高电平,并且在时段NAD($n-1$)和时段SAD($n-1$)期间保持在写入存储器19中的两个数字信号被传送到读取存储器21。

[0037] 从时间 t_5 到时间 t_2' ,从读取存储器21输出在时段SAD(n-1)期间通过AD转换所获得的数字信号的水平传送操作被执行。

[0038] 从时间 t_6 ,由于信号SH暂时变为高电平,因此输出到像素输出线12的与第n行中的像素有关的N信号被保持在电容器元件16中。

[0039] 在从时间 t_7 到时间 t_9 的时段期间,执行将第n行中的N信号转换成数字信号的操作(图3中的时段NAD(n))。在时段NAD(n)期间,由于信号SH处于低电平,因此电容器元件16处于从像素输出线12电气切断的状态中。

[0040] 从时间 t_8 ,由于信号TX(n)暂时变为高电平,因此到此时蓄积在第n行中的像素的光电二极管PD中的电荷被传送到源极跟随器晶体管SF的栅极节点。像素输出线12处的电势根据传送的电荷量波动。等于根据在光电二极管PD中通过光电转换所产生的电荷量的信号与在时间 t_1 处从像素02输出的N信号的和的信号此时被输出到像素输出线12。以下,该信号被称为(S+N)信号。

[0041] 从时间 t_{10} ,由于信号SH暂时变为高电平,因此输出到像素输出线12的与第n行中的像素有关的(S+N)信号被保持在电容器元件16中。

[0042] 从时间 t_{11} 到时间 t_3' ,执行将与第n行中的像素有关的(S+N)信号转换成数字信号的操作(图3中的时段SAD(n))。在时段SAD(n)期间,由于信号SH处于低电平,因此电容器元件16处于从像素输出线12电气切断的状态中。

[0043] 在时间 t_{12} 处,信号SEL(n)变为低电平,并且第n行中的像素的选择晶体管SEL被关断。

[0044] 在时间 t_{13} 处,信号RES(n)变为高电平,并使第n行中的像素的源极跟随器晶体管SF的栅极节点处于复位状态中。

[0045] 从时间 t_0' 开始的像素读取时段(n+1)期间的操作与像素读取时段(n)期间的操作类似,并因此将省略其描述。

[0046] 在时段NAD(n)和时段SAD(n)期间获得的数字信号通过数据输出单元05或未示出且设置在数据输出单元05的下游的信号处理单元经受差分处理。因此,用于减小N信号的相关双采样(CDS)处理被执行。

[0047] 如上所述,在AD转换时段期间,电容器元件16从像素阵列03电气切断,并且在保持信号的状态中,保持在电容器元件16中的信号经由缓冲单元14被供给到AD转换单元15。由于缓冲单元14处于驱动比较单元18的输入节点的状态中,因此能够抑制比较单元18的输出过渡变化使比较单元18的输入波动的现象,并且能够减小可能在传统的配置中产生的固定模式噪声。特别地,使用基准电压(本实施例中的GND)被供给到节点中的一个的电容器元件,并因此与串联连接到信号路径的电容器元件被用于采样和保持单元13的情况相比,能够进一步抑制固定模式噪声。

[0048] 另外,如上所述,根据本实施例,由于在从某一行中的像素读出模拟信号的时段期间并行执行AD转换操作和水平传送操作,因此能够实现高速读取。

[0049] 根据本实施例,固定模式噪声被减小,并且进一步能够实现高速读取。

[0050] 第二实施例

[0051] 图4是示出根据本实施例的光电转换装置01'的配置的框图。与图1的不同在于:在像素02与列信号处理单元04之间设置列放大器22。

[0052] 例如,可设定超过1X的放大因子的放大器可被用于列放大器22。作为列放大器22的配置的示例。图5是使用差动放大器的反相放大器电路的等价电路图。例如,运算放大器可被用于差动放大器。

[0053] 图5中的反相放大器电路包含差动放大器OP、输入电容 C_{in} 、反馈电容 C_f 和反馈开关CR。差动放大器OP在其非反相输入端子处接收基准电压VCR,并且输入电容 C_{in} 的一个节点、反馈电容 C_f 的一个节点和反馈开关CR的一个节点与反相输入端子连接。输入电容 C_{in} 的另一节点经由像素输出线12与像素02和负载电流源06连接。反馈电容 C_f 的另一节点和反馈开关CR的另一节点均与差动放大器OP的输出端子连接。列放大器22的输出与开关17连接。根据该配置,列放大器22的放大因子由输入电容 C_{in} 的电容值与反馈电容 C_f 的电容值的比确定。并且,根据示出的配置,也可执行用于减小在像素02中所产生的噪声的CDS处理。

[0054] 图6是用于描述根据本实施例的操作的定时图。与图3中描述的操作的不同在于:增加用于控制反馈开关CR的信号CR,并且基准信号的电平变化的方向与对于列放大器22使用反相放大器对应地逆转。根据本实施例的操作将主要通过集中于与图3中描述的操作的不同来描述。

[0055] 在图6中,从时间 t_1 与时间 t_3 之间的时间 t_{14} ,信号CR暂时变为高电平。因此,列放大器22作为电压跟随器而操作,并且此时出现在像素输出线12上的第 n 行中的像素的N信号也被保持在输入电容中。通过从时间 t_6 的操作被保持在电容器元件中的信号不是像素的N信号,而是与列放大器22的偏移(offset)等同的信号。因此,在时段NAD(n)期间,列放大器22的偏移成分被转换成数字信号。

[0056] 在信号CR变为低电平之后,当在像素输出线12上出现第 n 行中的像素的(S+N)信号时,列放大器22输出其中基于设定为基准的N信号的波动量即与S信号等同的成分被放大的信号。作为结果,通过从时间 t_{10} 的操作被保持在电容器元件16中的信号变为通过在列放大器的偏移成分上叠加第 n 行中的像素的S信号被放大的信号所获得的信号。该信号在时段SAD(n)期间被转换成数字信号。

[0057] 与第一实施例类似,根据本实施例,通过数据输出单元05或设置在数据输出单元05的下游的信号处理单元获得在时段NAD(n)期间获得的数字信号与在时段SAD(n)期间获得的数字信号之间的差分。因此,可以获得列放大器的偏移成分被减小的数字信号。

[0058] 根据本实施例,列放大器22被设置在采样和保持单元13的上游,并且信号被列放大器22放大。因此,能够提高所获得的信号的信号噪声(S/N)比。当列放大器22的放大因子较高时,能够进一步减小源自当由采样和保持单元13执行信号的采样和保持时引起的电荷注入的噪声成分的影响。

[0059] 在列放大器22构成为放大因子可变的放大器的情况下,列放大器22的放大因子可基于图像拾取条件或依赖于图像拾取系统设定的灵敏度改变。

[0060] 根据上述的本实施例,固定模式噪声被减小,并且进一步能够实现高速读取。并且,与第一实施例相比,可提高信号的S/N比。

[0061] 第三实施例

[0062] 在上述的各实施例中,已描述了采样和保持单元13具有一对电容器元件16和开关17的配置。然而,采样和保持单元13可采用其它配置。

[0063] 图7示出根据本实施例的采样和保持单元13的配置。根据本实施例的采样和保持

单元13包含二系统采样和保持电路。电容器元件C_N是被配置为保持如以上各实施例中所描述的N信号或列放大器22的偏移成分的电容器元件。另一方面,电容器元件C_S是被配置为保持在以上的各实施例中所描述的(S+N)信号和通过在列放大器22的偏移成分上叠加放大的S信号所获得的信号的电容器元件。根据该配置,在执行保持在对采样和保持单元13所设置的两个电容器元件中的一个中的信号的AD转换的时段期间,能够使另一电容器元件保持列放大器22的输出。并且,在采样和保持单元具有三个或更多个电容器元件的情况下,可并行地执行将保持在一个电容器元件中的信号转换成数字信号的操作和使电容器元件中的另一个保持从像素输出的信号的操作。

[0064] 图8是用于描述根据本实施例的操作的定时图。这里,作为示例,将描述在第二实施例中所描述的光电转换装置01'的采样和保持单元13被图7所示的配置替代的情况。图8中的信号SH_N、AD_N、SH_S和AD_S是用于控制具有图7所示的相同的附图标记的各开关的信号,并且当信号处于高电平时,相应的开关被接通。

[0065] 从时间t₀,第n行中的像素读取时段开始。根据本实施例,时间t₀是与第(n-2)行中的像素有关的信号输出时段(n-2)内和与第(n-1)行中的像素有关的AD转换时段SAD(n-1)内的定时。在时段SAD(n-1)期间,信号AD_S处于高电平,使得保持在电容器元件C_S中的信号的AD转换被执行。首先,由于信号RES(n)从高电平切换到低电平,因此第n行中的像素的复位晶体管RES被关断。因此,源极跟随器晶体管SF的复位状态被取消。

[0066] 当信号SEL(n)在时间t₁处变为高电平时,第n行中的像素的选择晶体管SEL被接通,并且在像素输出线12上出现与第n行中的像素的源极跟随器晶体管SF的栅极节点的复位对应的信号。该输出含有当复位晶体管RES被关断时所产生的噪声和源自源极跟随器晶体管SF的噪声。以下,该输出将被称为N信号。

[0067] 在时间t₂处,当信号CR变为高电平时,列放大器22的反馈开关CR被接通,使得反馈电容C_f的两个节点被复位。然后,当信号CR变为低电平时,此时在像素输出线12上出现的电平可被箝位(clamp)在输入电容C_{in}中。根据本实施例,上述的N信号被箝位。

[0068] 在时间t₃处,与第(n-2)行中的像素有关的信号输出时段结束。

[0069] 在时间t₄处,与第(n-1)行中的像素有关的AD转换时段SAD(n-1)结束。与之相随,信号AD_S变为低电平,并且开关AD_S被关断。

[0070] 在时间t₅处,当信号MTX变为高电平时,直到此时保持在写入存储器19中的数字信号经由存储器间传送开关20被传送到读取存储器21。更具体地,在未示出的时段NAD(n-1)期间所获得的数字信号和在时段SAD(n-1)期间所获得的数字信号被传送。

[0071] 从时间t₆,水平扫描单元08开始读取存储器21的扫描,并且相对于第(n-1)行中的像素的信号输出时段开始。

[0072] 从时间t₇,当信号SH_N暂时变为高电平时,列放大器22的输出被保持在电容器元件C_N中。此时保持的输出是与列放大器22的复位对应的信号,并且信号以列放大器22的偏移作为主要成分。

[0073] 从时间t₈,由于信号TX(n)暂时变为高电平,因此蓄积在光电二极管PD中的电荷被传送到源极跟随器晶体管SF的栅极节点。

[0074] 在同一时间t₈处,信号AD_N也变为高电平,使得保持在电容器元件C_N中的信号经由缓冲单元14被供给到AD转换单元15。从时间t₈到时间t₉的时段是与第n行中的像素有关

的AD转换时段NAD(n)。在该时段期间所获得的数字信号与通过从时间t7的操作所获得的以列放大器22的偏移作为主要成分的信号对应。

[0075] 从时间t10,信号SH_S暂时变为高电平,使得此时从列放大器22输出的信号保持在电容器元件C_S中。具体地,信号是通过在通过从时间t7的操作所获得的信号上叠加与通过从时间t8的操作传送到源极跟随器晶体管SF的栅极节点的电荷量对应、并且被列放大器22放大的信号所获得的信号。

[0076] 在时间t11处,当信号AD_S变为高电平时,与第n行中的像素有关的AD转换时段SAD(n)开始。

[0077] 在时间t12处,信号SEL(n)变为低电平,并且第n行中的像素的选择晶体管SEL被关断。

[0078] 在时间t18处,信号RES(n)变为高电平,并且第n行中的像素的源极跟随器晶体管SF的栅极节点处于复位状态中。

[0079] 从时间t0'开始的像素读取时段(n+1)期间的操作与像素读取时段(n)期间的操作类似,并因此将省略其描述。

[0080] 在时段NAD(n)和时段SAD(n)期间所获得的数字信号通过数据输出单元05或未示出且设置在数据输出单元05的下游的信号处理单元经受差分处理。因此,用于减小N信号的相关双采样(CDS)处理被执行。

[0081] 根据本实施例,在执行保持在对采样和保持单元13所设置的两个电容器元件中的一个中的信号的AD转换的时段期间,能够使另一电容器元件保持列放大器22的输出。因此,与第一和第二实施例相比,可以更高的速度执行操作。

[0082] 在本实施例中,已描述了在与信号AD_N相同的时间处迁移(transit)信号TX(n)或TX(n+1)的情况,但定时不限于该定时。

[0083] 第四实施例

[0084] 图9是示出根据本实施例的光电转换装置01''的配置的框图。与图4的不同在于:增加基准信号缓冲单元23。以下,将在主要集中于与图4的不同的同时给出描述。

[0085] 根据本实施例,从基准信号产生单元09供给的基准信号经由设置在每个列中的基准信号缓冲单元23被供给到比较单元18。基准信号缓冲单元23与缓冲单元14类似地运行,并且抑制比较单元18的输出的波动对基准信号供给线24的影响。由于对各列中的比较单元18共同设置基准信号供给线24,因此能够通过设置基准信号缓冲单元23来抑制比较单元18的输出的波动对其它列的影响。

[0086] 通过根据本实施例的配置,对比较单元18的两个输入设置缓冲器,并因此能够抑制比较单元18的输出的波动对两个输入的影响,使得比较单元18可执行更准确的比较操作。当缓冲单元14和基准信号缓冲单元23被设定为具有相同的电路格式时,相对于保持在采样和保持单元13中的信号的增益可与相对于基准信号的增益匹配。

[0087] 根据上述的本实施例,固定模式噪声被减小,并且进一步能够实现高速读取。并且,与第一实施例相比,可提高信号的S/N比。

[0088] 第五实施例

[0089] 图10是示出根据本实施例的光电转换装置01'''的配置的框图。

[0090] 与图1的不同在于:进一步设置开关25作为用于相互连接对不同列中的列信号处

理单元04设置的电容器元件16的连接部分。根据本实施例,采用三个列中的相邻电容器元件16彼此连接的配置。通过接通开关25,基于多个像素的信号可被平均化。相互连接的电容器元件的数量不限于三个,并且只要对多个列中的信号处理单元之中的一些列中的信号处理单元设置的电容器元件可相互短路,数量就被任意地选择。另外,要连接的电容器元件不限于相邻列中的电容器元件,并且可以设置开关25使得每隔一系列中的电容器元件16彼此连接。例如,在具有Bayer滤色器的光电转换装置的情况下,基于具有相同颜色的滤色器的像素的信号可被平均化。

[0091] 图11是用于描述根据本实施例的操作的定时图。与图3的不同在于:增加用于控制开关25的导通状态的切换的信号ADD。以下,将在集中于与根据图3所示的定时图的操作的不同的同时给出描述。

[0092] 到时间 t_6 ,信号ADD变为低电平,并且直到此时已相互短路的电容器元件16彼此分开。

[0093] 在时间 t_7 与时间 t_8 之间的时段期间,当信号ADD变为高电平时,开关25被接通,并且相邻的三个列中的电容器元件16与共用节点连接。因此,基于三个像素的N信号被平均化。平均化的N信号的AD转换在时段NAD(n)期间被执行。

[0094] 然后,在时间 t_9 与时间 t_{10} 之间的时段期间,通过使信号ADD变为低电平来关断开关25。

[0095] 然后,在从时间 t_{10} 变为高电平的信号SH变为低电平之后,信号ADD在直到时间 t_{11} 的时段期间再次变为高电平。因此,基于三个像素的S信号被平均化。平均化的S信号的AD转换在时段SAD(n)期间被执行。

[0096] 然后,从像素读取时段(n+1)期间的时间 t_4 到时间 t_7 ,信号ADD变为低电平。

[0097] 通过根据本实施例的操作,与第一实施例相比,可以减少在信号输出时段期间输出的数据量。根据本实施例,由于三个列中的信号被平均化,因此仅来自三个相邻的列中的一个的数据可被输出到数据输出单元05。并且,相对于不输出数据的列中的列信号处理单元04,缓冲单元14和AD转换单元15可切换到节电状态。

[0098] 根据上述的本实施例,固定模式噪声被减小,并且进一步能够实现高速的读取。并且,与第一实施例相比,可提高信号的S/N比。

[0099] 第六实施例

[0100] 图12示出根据本实施例的图像拾取系统的配置。图像拾取系统800包含例如光学单元810、图像拾取元件100、视频信号处理电路单元830、记录和通信单元840、定时控制电路单元850、系统控制单元860以及再生和显示单元870。图像拾取装置820包含图像拾取元件100和视频信号处理电路单元830。根据上述实施例中的任一个的光电转换装置被用于图像拾取元件100。

[0101] 诸如透镜的用作光学系统的光学单元810将来自被照体的光聚焦到二维配置图像拾取元件100的多个像素的像素阵列03上,并且形成被照体的图像。图像拾取元件100在基于来自定时控制电路单元850的信号的定时处输出根据聚焦在像素阵列03上的光的信号。从图像拾取元件100输出的信号被输入到用作视频信号处理单元的视频信号处理电路单元830,并且视频信号处理电路单元830根据通过程序等设定的方法执行信号处理。通过视频信号处理电路单元830中的处理所获得的信号作为图像数据被传输到记录和通信单元840。

记录和通信单元840将用于形成图像的信号传输到再生和显示单元870并使再生和显示单元870再生和显示移动图像或静止图像。记录和通信单元840进一步从视频信号处理电路单元830接收信号,以执行与系统控制单元860的通信,并且还执行用于在未示出的记录介质中记录用于形成图像的信号的操作。

[0102] 系统控制单元860被配置为控制图像拾取系统的操作并控制光学单元810、定时控制电路单元850、记录和通信单元840以及再生和显示单元870的驱动。另外,系统控制单元860具有例如诸如记录介质的存储设备(未示出),并且要用于控制图像拾取系统的操作的程序等被记录在该存储设备中。系统控制单元860还向图像拾取系统供给用于根据例如用户的操作切换驱动模式的信号。驱动模式的几个示例包含:改变读取行或要被复位的行、伴随电子变焦改变场角和基于电子图像稳定化功能移位(shift)场角。定时控制电路单元850基于由系统控制单元860所执行的控制来控制图像拾取元件100和视频信号处理电路单元830的驱动定时。

[0103] 其它

[0104] 上述实施例意在作为用于实施本发明的示例,并且不限于这些配置。

[0105] 例如,可作为缓冲单元14的具体配置应用电压跟随器电路或源极跟随器电路,并且还能够使用如图5所示的反相放大器、可设定超过1的放大因子的放大器以及进一步放大因子可变的放大器。通过将具有图5所示的配置的放大器应用于缓冲单元14,能够增强抑制固定模式噪声的效果。这是因为,由于差动放大器OP的输出阻抗小并且信号也保持在一端被供给固定电压的电容器元件中,因此即使比较单元18的输出的变化的影响经由反馈电容 C_f 传播到输入电容 C_{in} ,该影响也可被抑制。

[0106] 另外,通过与用于向布置在电容器元件的附近的电路供给固定电压的线分开地准备用于向包含在采样和保持单元13中的电容器元件的一个节点供给固定电压的线,能够减小比较单元18的输出改变时的影响。具体地,通过相互不同的线供给电容器元件的GND和比较单元18的GND。

[0107] 包含在采样和保持单元13中的电容器元件也可在其中在某个阱区域中形成布置在电容器元件的附近的电路的同一半导体基板上的不同阱区域中形成。具体地,电容器元件和比较单元18在相互不同的阱区域中形成。因此,能够减小比较单元18的输出改变时的影响。另外,包含在采样和保持单元13中的电容器元件可在同一半导体基板上的与形成像素阵列和列放大器的区域不同的阱区域中形成。通过该配置,可在电容器元件保持信号的时段期间抑制来自像素和列放大器的噪声的污染。

[0108] 并且,计数单元10可被配置,使得单独地对多个比较单元18中的每一个设置计数单元10。在这种情况下,每个计数单元还用作图4中的写入存储器19。并且,在单独地对各比较单元18设置计数单元10的情况下,计数单元10可采取计数值递增的向上计数(up-count)操作和计数值递减的向下计数(down-count)操作可被切换的配置。根据该配置,通过在时段NAD(n)与时段SAD(n)之间切换操作,可在各计数单元中保持噪声成分被减小的数字信号。

[0109] 尽管已参照示例性实施例描述了本发明,但要理解,本发明不限于所公开的实施例。随附权利要求的范围要被赋予最宽的解释以包含所有这样的修改以及等同的结构和功能。

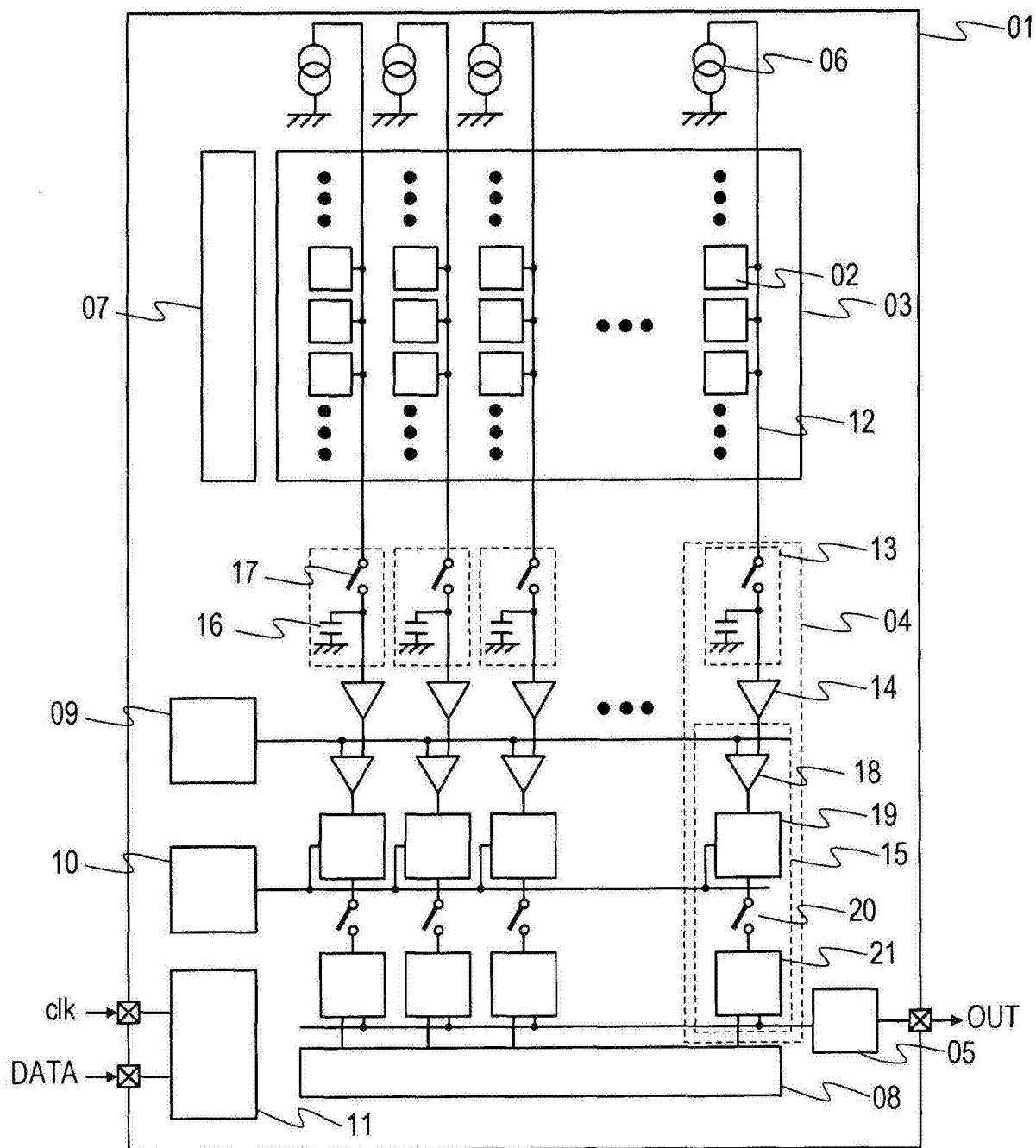


图 1

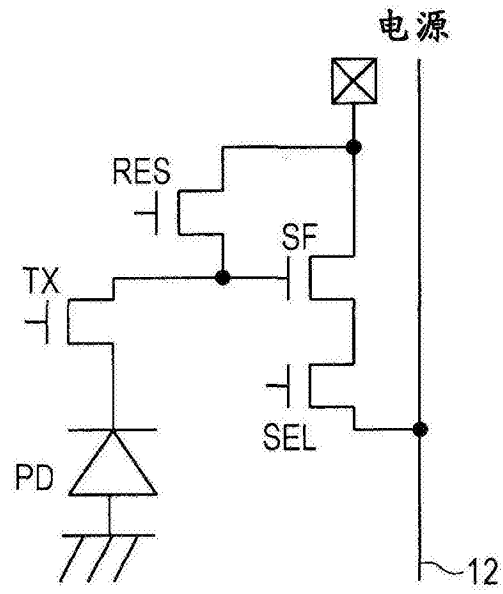


图2

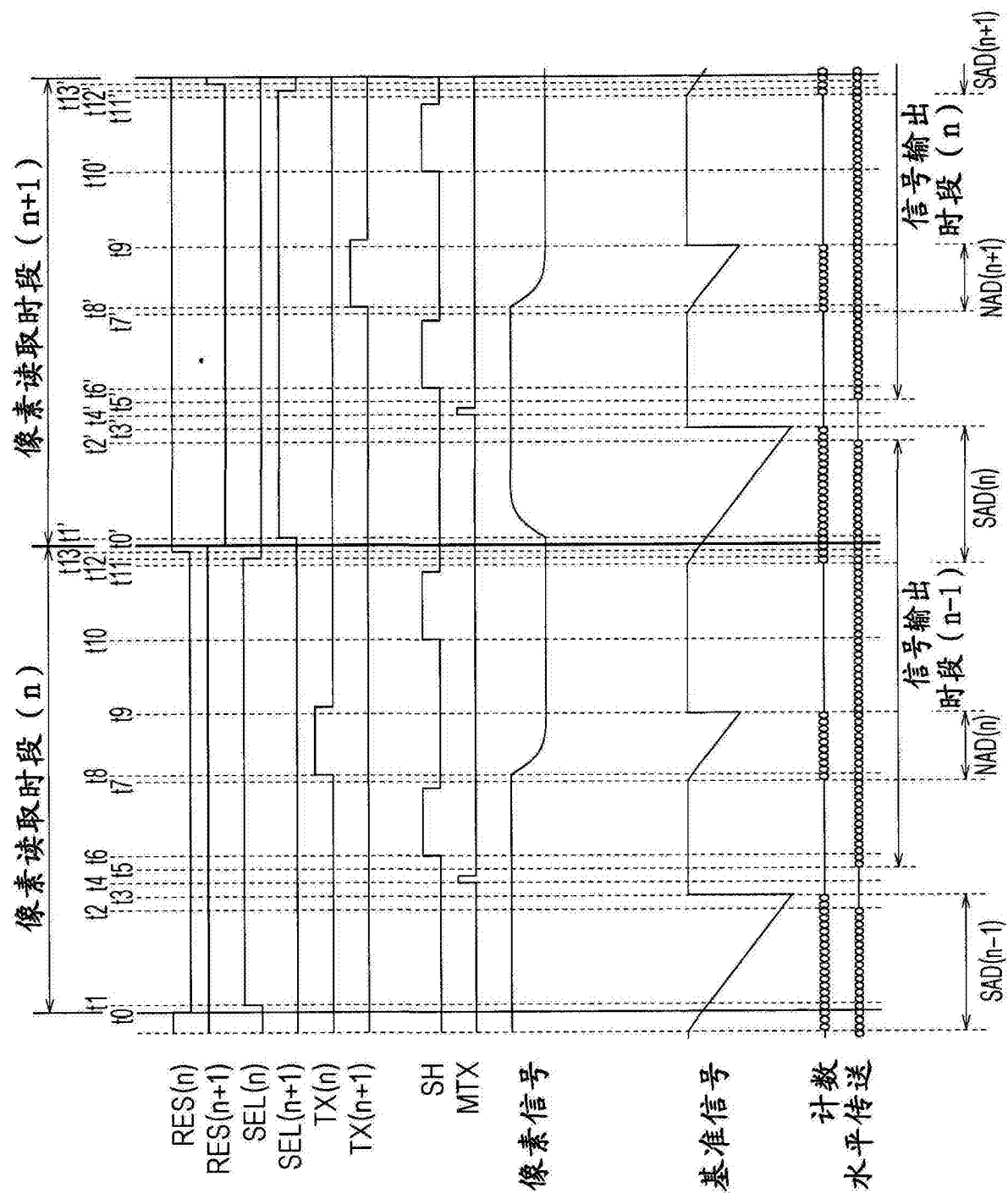


图3

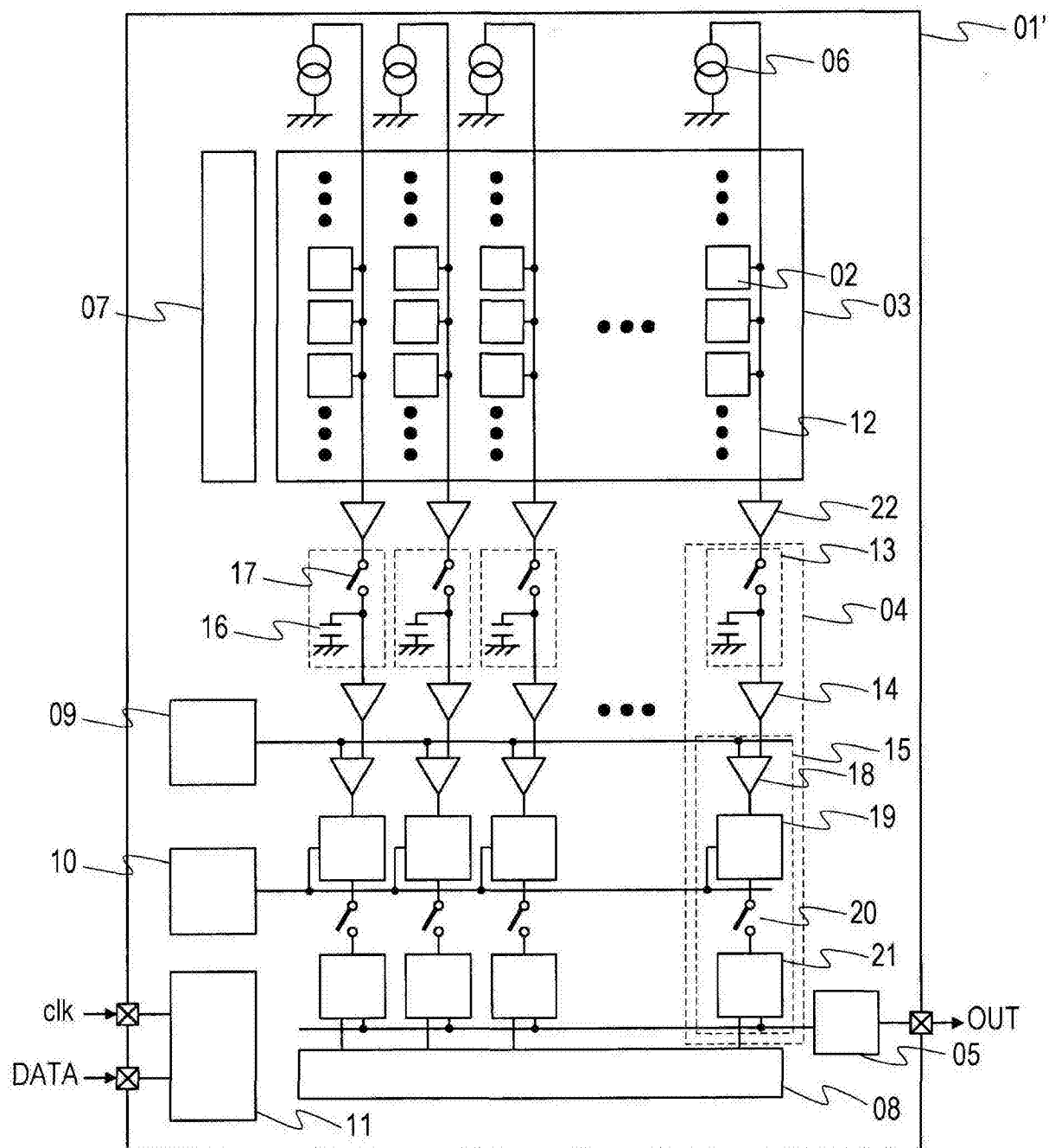


图4

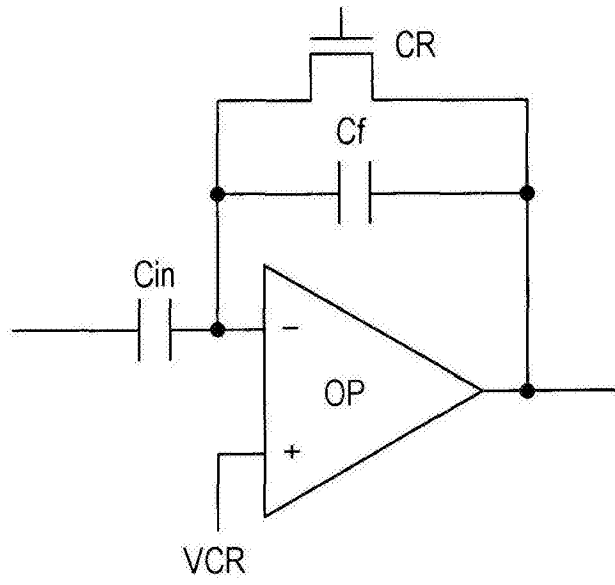


图5

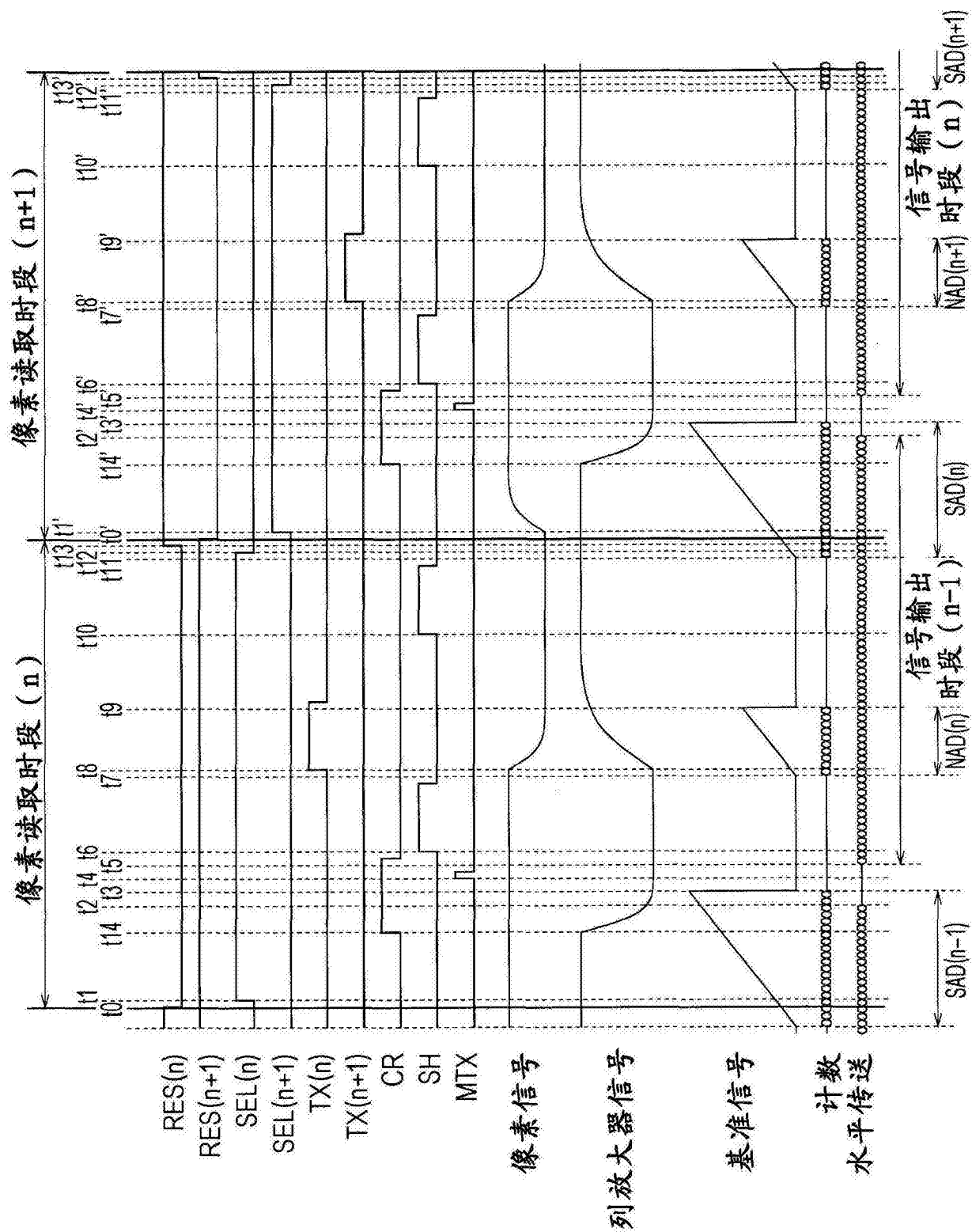


图6

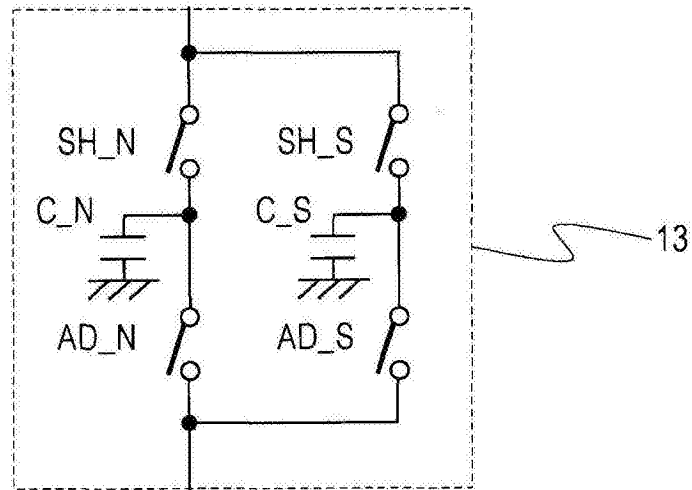


图7

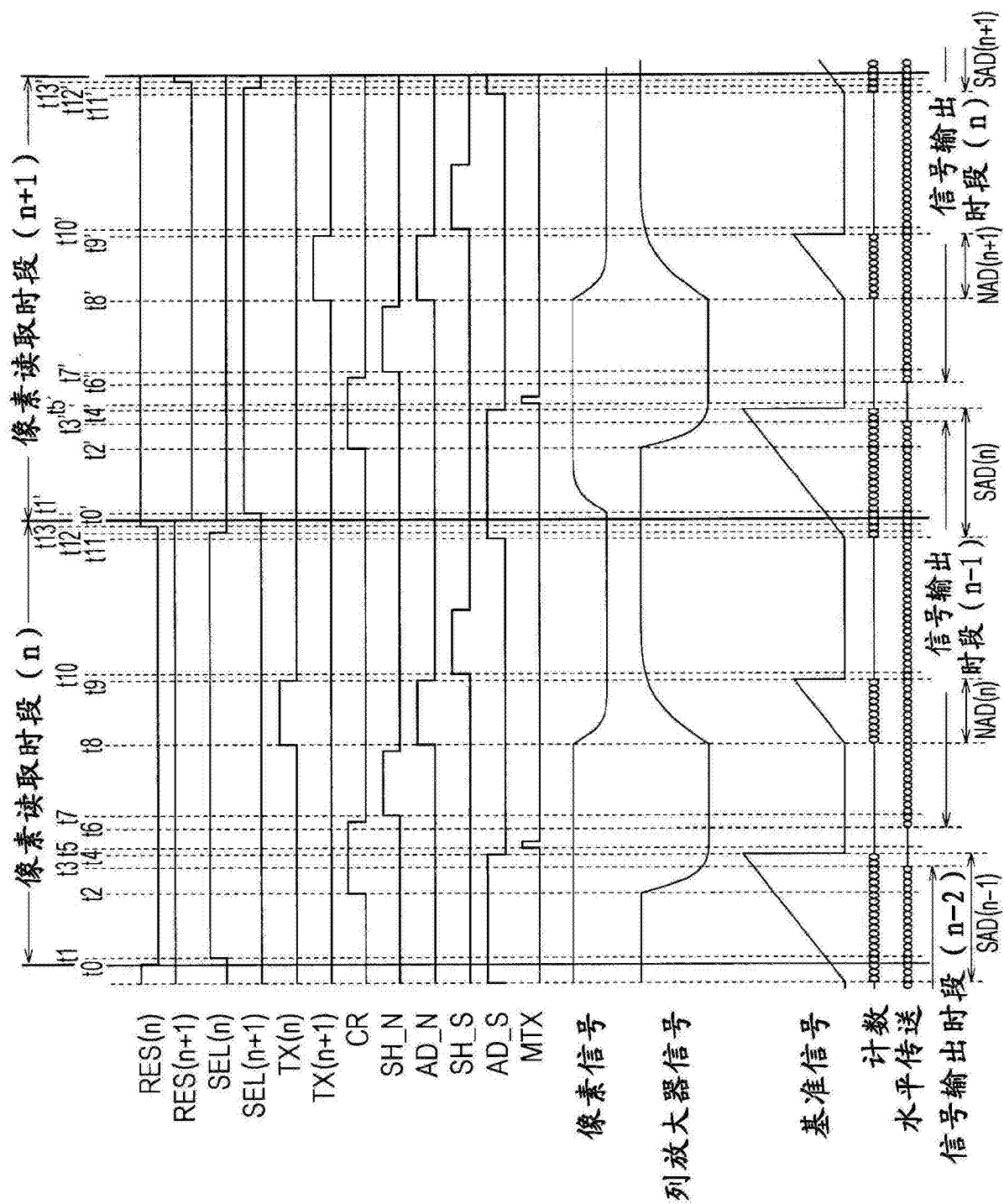


图8

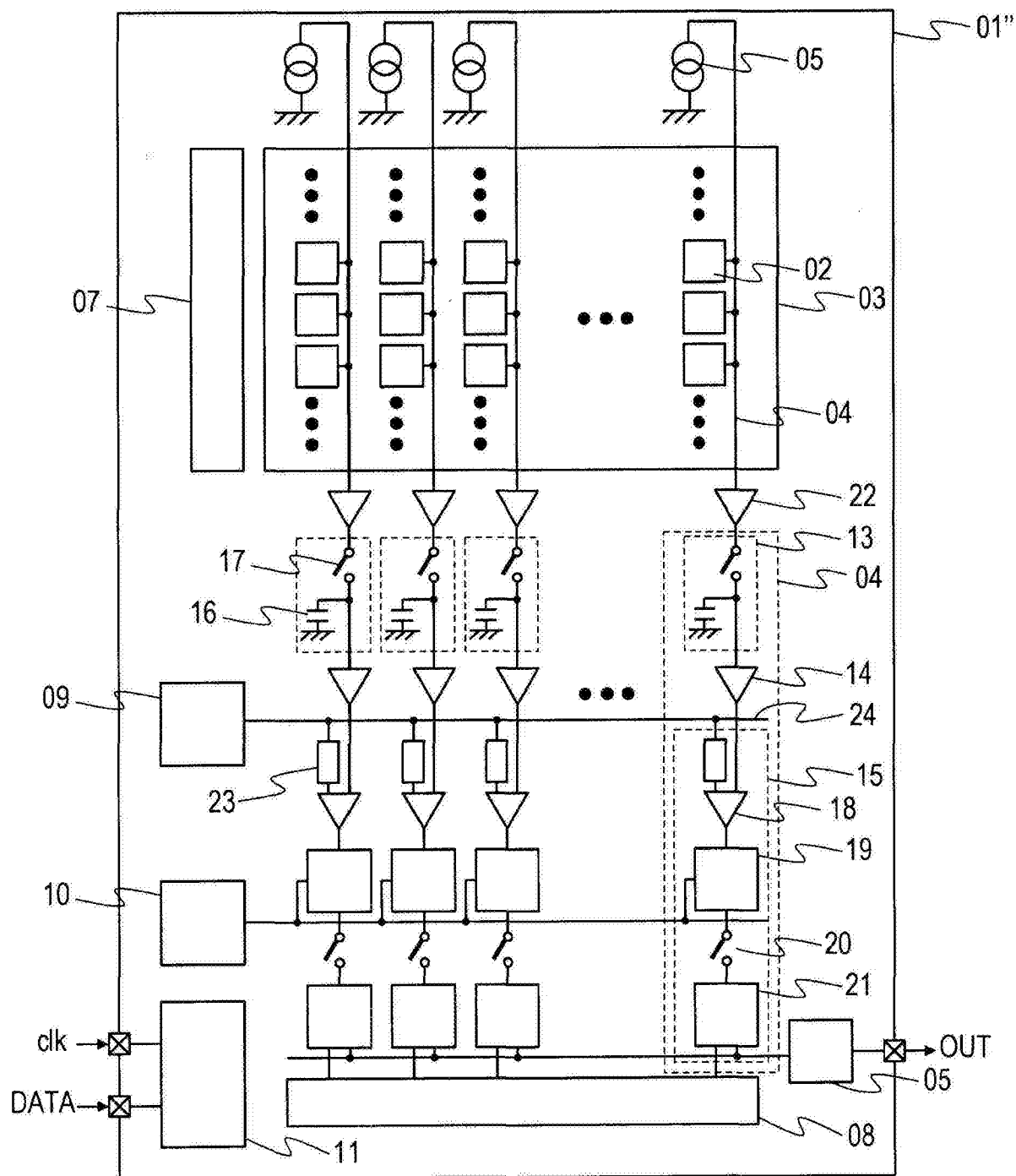


图9

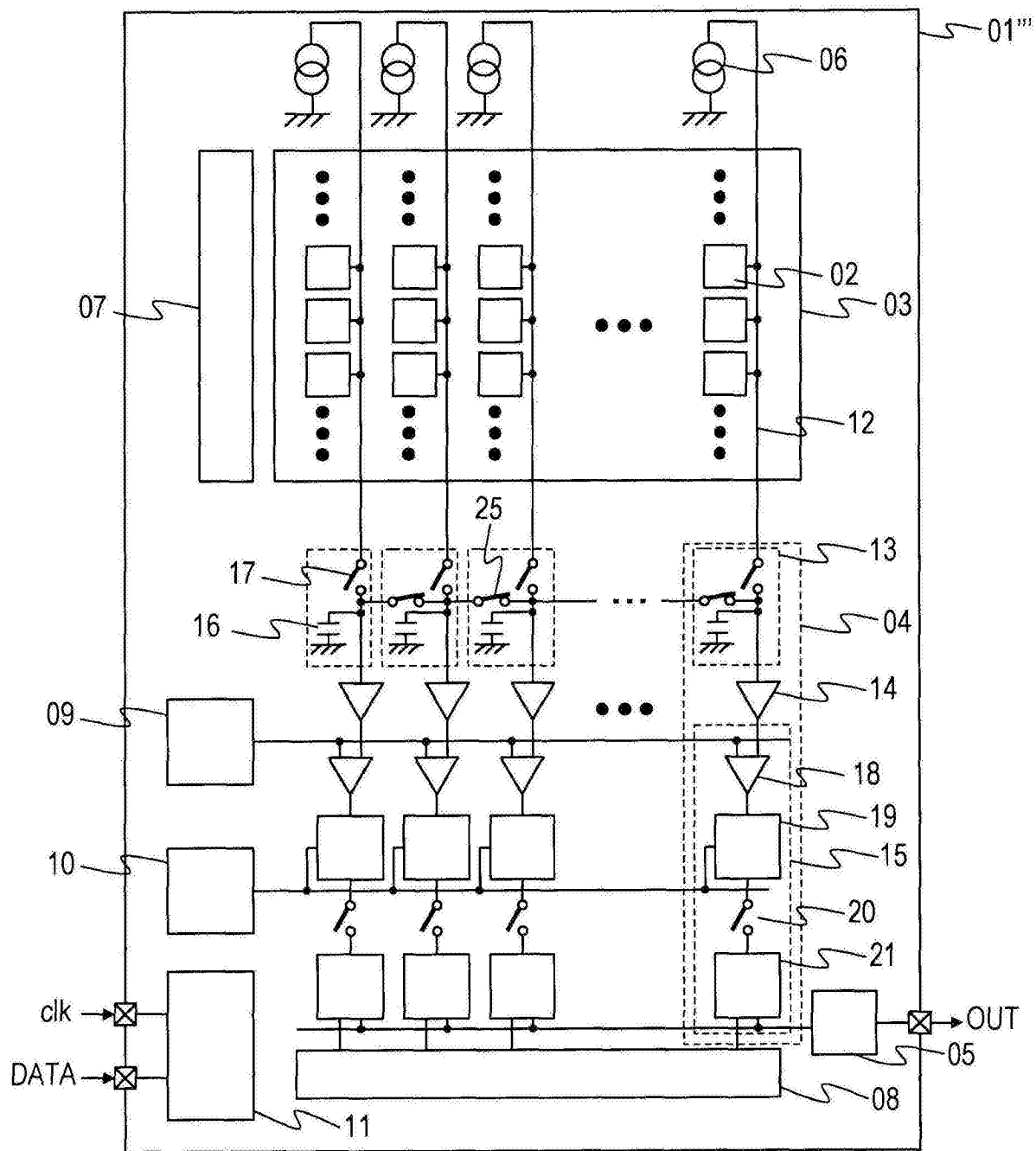


图10

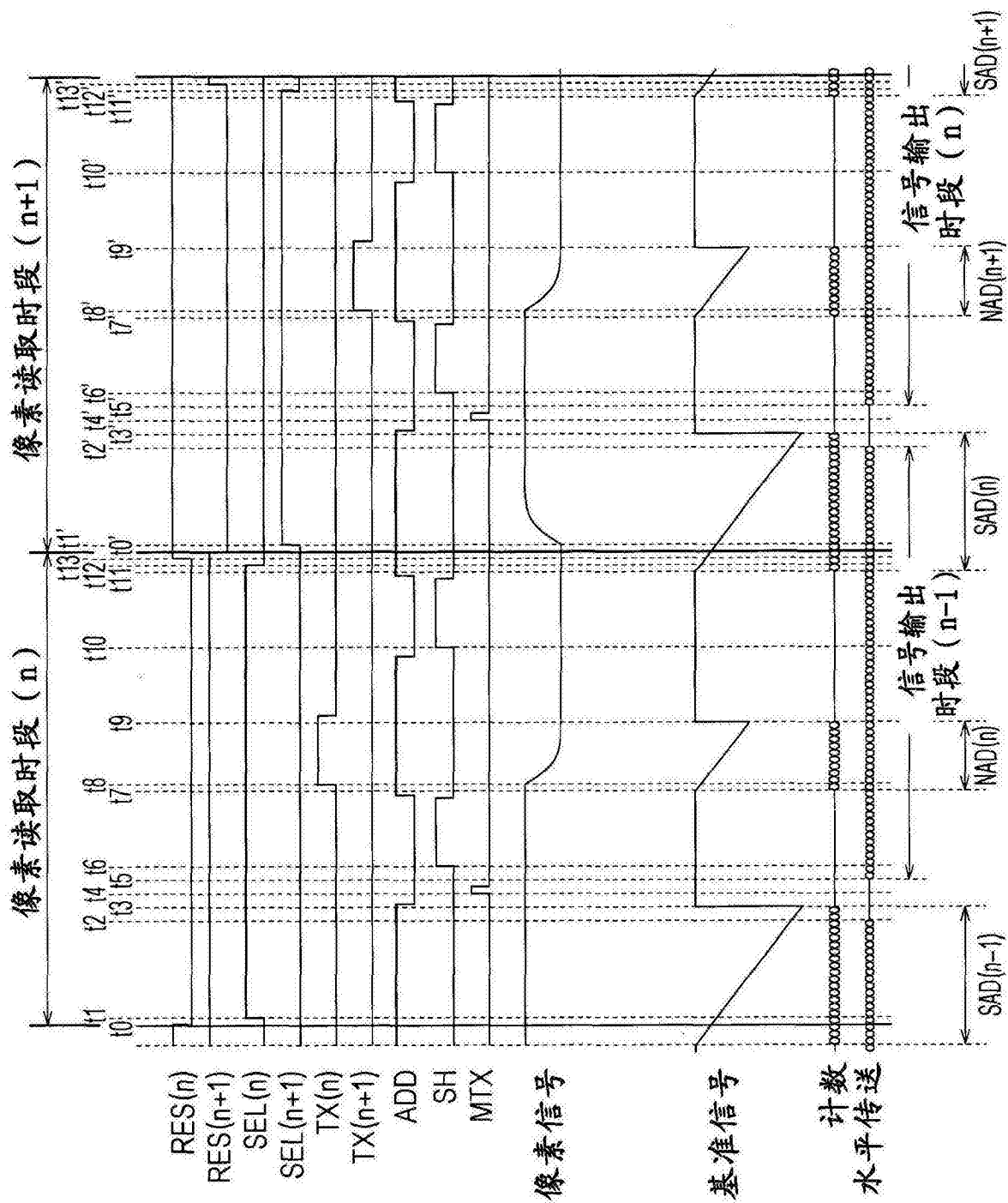


图11

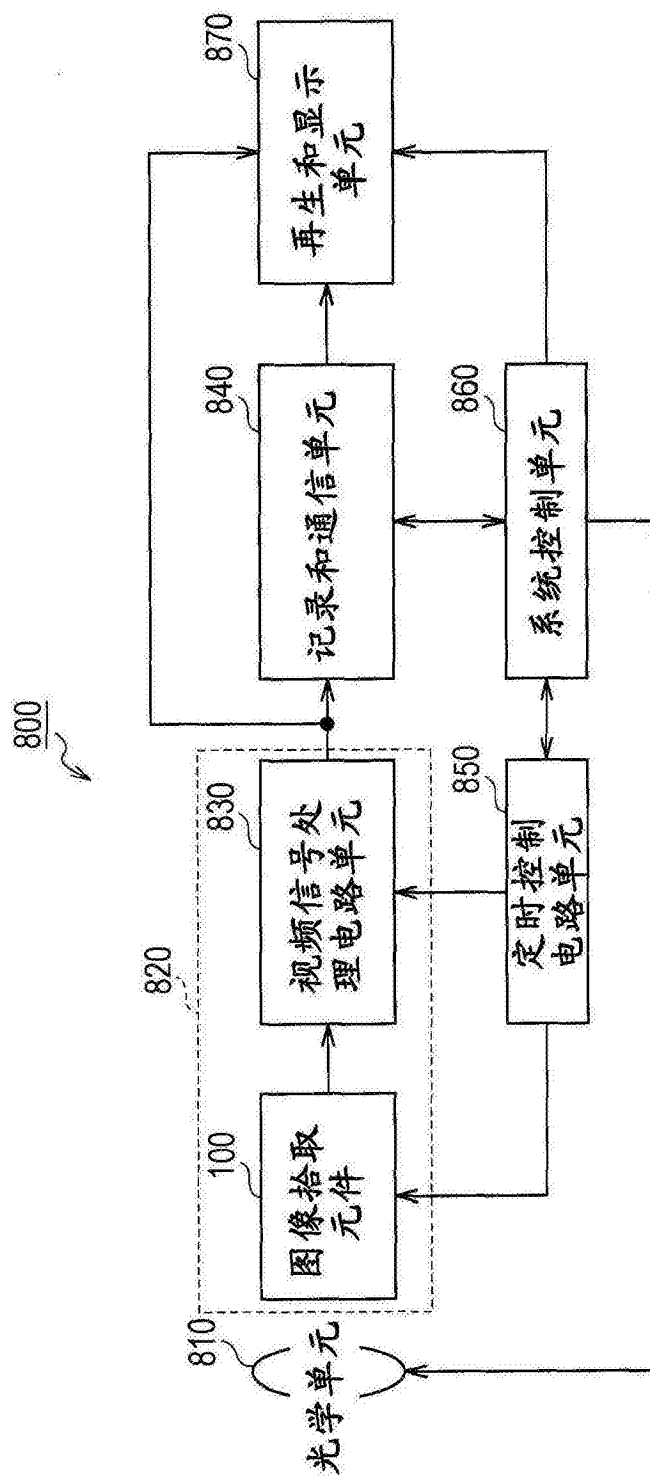


图12

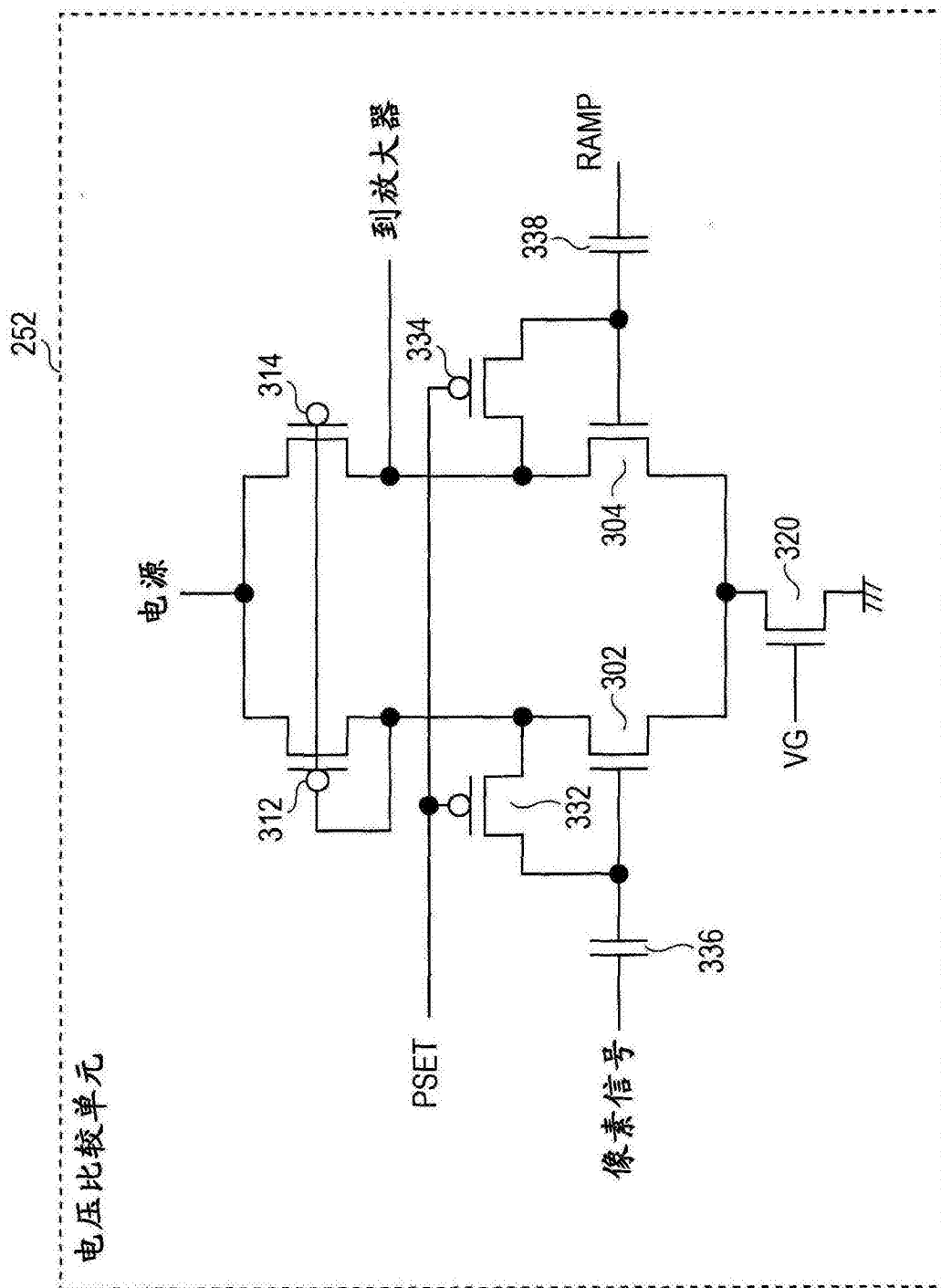


图13