(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2003 年3 月13 日 (13.03.2003)

PCT

(10) 国際公開番号
WO 03/021769 A1

(51) 国際特許分類[7]: H03F 3/217

(21) 国際出願番号: PCT/JP02/08979

(22) 国際出願日: 2002 年9 月4 日 (04.09.2002)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2001-267305 2001 年9 月4 日 (04.09.2001) JP

(71) 出願人 (米国を除く全ての指定国について): 新電元工業株式会社 (SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.) [JP/JP]; 〒100-0004 東京都 千代田区 大手町２丁目２番１号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 三田村 篤 (MITAMURA,Atsushi) [JP/JP]; 〒357-8585 埼玉県 飯能市 南町１０番１３号 新電元工業株式会社工場内 Saitama (JP).

(74) 代理人: 志賀 正武, 外 (SHIGA,Masatake et al.); 〒169-8925 東京都 新宿区 高田馬場三丁目２３番３号 ＯＲビル Tokyo (JP).

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

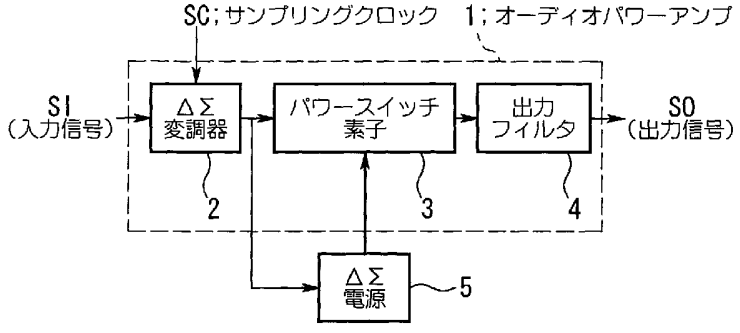
(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書
— 請求の範囲の補正の期限前の公開であり、補正書受領 の際には再公開される。

２文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SWITCHING AMPLIFICATION APPARATUS

(54) 発明の名称: スイッチング増幅装置



SI...(INPUT SIGNAL)
SC...SAMPLING CLOCK
1...AUDIO POWER AMPLIFIER
2...ΔΣ MODULATOR
3...POWER SWITCH ELEMENT
4...OUTPUT FILTER
SO...(OUTPUT SIGNAL)
5...ΔΣ POWER SOURCE

(57) Abstract: A novel switching amplification apparatus capable of reducing a power source switching noise, thereby improving quality. The switching amplification apparatus includes a modulator for modulating an analog signal or a multi-bit digital signal into a binary signal, a power amplifier (1) for supplying the output pulse signal from this modulator to a power switch element (3), and a ΔΣ power source (5) having ΔΣ modulation means, so that the output pulse signal of the modulator of the power amplifier (1) is supplied to the ΔΣ power source (5) and the pulse signal is input to the ΔΣ power source (5) as an operation clock of the ΔΣ power source (5), subjected to the ΔΣ modulation, and supplied to the power switch element (3).

[続葉有]

WO 03/021769 A1

(57) 要約:

特に電源のスイッチングノイズを低減して品質の向上化を図る新規なスイッチング増幅装置を提供する。スイッチング増幅装置は、アナログ信号もしくは多ビットデジタル信号を２値に変調する変調器を備え、この変調器の出力パルス信号をパワースイッチ素子（３）に供給するパワーアンプ（１）と、ΔΣ変調手段を備えたΔΣ電源（５）とを設け、このΔΣ電源（５）に前記パワーアンプ（１）の前記変調器の出力パルス信号を供給するように構成してあるとともに、このΔΣ電源（５）で前記パルス信号をこのΔΣ電源（５）の動作クロックとして入力し、ΔΣ変調して前記パワースイッチ素子（３）に供給するように構成してある。

明 細 書

スイッチング増幅装置

技術分野

本発明は、アナログ信号もしくは多ビットデジタル信号を増幅するスイッチング増幅装置に関するものであり、電源のスイッチングノイズを低減して品質の向上化を図る新規なスイッチング増幅装置に関するものである。

背景技術

従来のパワーアンプを備えたスイッチング増幅装置を図７に示す。なお、この従来例はオーディオ用のスイッチング増幅装置に関するものである。このスイッチング増幅装置はオーディオパワーアンプ１と電源６を備え、オーディオパワーアンプ１は、オーディオ信号をΔΣ変調するΔΣ変調器２を備え、このΔΣ変調器２の出力パルス信号をアンプ用パワースイッチ素子３に供給し、アンプ用出力ーフィルタ４を介して出力するように構成してある。このアンプ用パワースイッチ素子３に電源６を接続してあり、この電源６はクロック信号を入力し、このクロック信号に同期してパルス幅変調して、このパルス幅変調した信号を電源内にある電源用パワースイッチ素子に供給し、所望の電力を電源用出力フィルタを通してアンプ用パワースイッチ素子３に供給するように構成してある。

この従来例のスイッチング増幅装置は以下のような作用をする。先ず、オーディオ信号等の信号をΔΣ変調器２に入力するとともに、このΔΣ変調器２にサンプリングクロックを入力する。ΔΣ変調器２で前記入力信号をΔΣ変調して、この出力パルス信号をアンプ用パワースイッチ素子３に入力する。また、電源６では前記サンプリングクロック信号とは別のクロック信号が入力され、このクロック信号に合わせてパルス幅変調を行い、前記パルス幅変調出力パルス信号が電源内にある電源用パワースイッチ素子に入力される。電源用パワースイッチ素子の出力は電源用出力フィルタ７を通して出力され、アンプ用パワースイッチ素子３

に電力を供給する。

しかし、この手段では、電源６とパワーアンプ１とが互いに独立しているため、パワーアンプ出力に電源６のスイッチングノイズの影響を与えやすいという課題があった。また、電源６のスイッチングノイズの影響がパワーアンプ１に出ないようにするため、電源出力に大きな電源用出力フィルタ７を設けなければならないが、従来における電源用出力フィルタ７は、平滑回路とノイズフィルタとを接続して構成してなる場合が多く、この場合、ノイズフィルタを設けたことにより小型化が困難である。さらに、ノイズフィルタを外して電源用出力フィルタ７を構成しようとすると、平滑回路を構成するコンデンサやチョークコイルを大型化する必要があり、いずれにしても、電源用出力フィルタ７が比較的大きいため、スイッチング増幅装置の小型化が困難であるという課題が生じた。

発明の開示

本発明は、上記問題に鑑みてなされたものであり、特に電源のスイッチングノイズを低減して品質の向上化を図る新規なスイッチング増幅装置を提供する。

上記目的を達成するためになされた発明は、パワーアンプと電源のスイッチングノイズの出るタイミングがほぼ同時になり、電源からノイズが混入しても、パワーアンプのノイズフィルタを兼用することが可能となる。また、これに伴い電源用のノイズフィルタが不要であるとともに、電源の出力に比較的大型のコンデンサやチョークコイルを備えた平滑回路を設ける必要がなくなり、電源の出力フィルタを簡略化することが可能である。さらに、電源の出力フィルタの簡略化により、スイッチング増幅装置の小型化及びコストダウンを図ることを可能にした。

即ち、本発明は、上記課題を解決するため、以下の構成を有する。

本発明の第１の態様に係るスイッチング増幅装置は、アナログ信号もしくは多ビットデジタル信号を２値信号に変調する変調器を備え、この変調器の出力パルス信号をパワースイッチ素子に供給するスイッチングパワーアンプと、アナログ信号もしくは多ビットデジタル信号をΔΣ変調するΔΣ変調手段を備え、このΔΣ変調手段から出力される電源制御用パルス信号を電源用パワースイッチ素子に

供給するΔΣ電源とを設け、このΔΣ電源に前記パワーアンプの前記変調器の出力パルス信号を供給するように構成してあるとともに、前記出力パルス信号をこのΔΣ電源の動作クロックとして入力し、ΔΣ電源の出力電力を前記パワーアンプの前記パワースイッチ素子に供給するように構成してある。

本発明の第２の態様に係るスイッチング増幅装置は、出力段に少なくとも１対のパワースイッチ素子を有し、アナログ信号もしくは多ビットデジタル信号からなる入力信号を２値信号に変調し、この２値信号に基づき前記１対のパワースイッチ素子を相補的に導通制御することにより電力増幅された出力信号を得るパワーアンプと、前記２値信号に同期してスイッチング動作することにより、前記１対のパワースイッチ素子に供給されるべき所望の電源電圧を生成するスイッチング電源と、を備えている。

本発明の第３の態様に係るスイッチング増幅装置は、本発明の第２の態様に係るスイッチング増幅装置において、前記出力段に設けられた１対のパワースイッチ素子が共にオフ状態となる所定期間内に前記スイッチング電源のスイッチング動作に伴うノイズが発生するように、前記２値信号に基づく前記スイッチング電源と前記パワーアンプとの間の動作タイミングを設定している。

本発明の第４の態様に係るスイッチング増幅装置は、本発明の第２または第３の態様に係るスイッチング増幅装置において、前記スイッチング電源が、前記２値信号を動作クロック信号として入力するΔΣ電源で構成される。

本発明の第５の態様に係るスイッチング増幅装置は、本発明の第４の態様に係るスイッチング増幅装置において、前記スイッチング電源が、外部電源の電流経路上に介挿されたスイッチ素子を有し、このスイッチ素子がスイッチングすることにより前記外部電源の電圧を前記所望の電源電圧に変換する電圧変換部と、前記電圧変換部により変換された電源電圧をΔΣ変調し、このΔΣ変調により得られた信号に基づき、前記電圧変換部を構成するスイッチ素子のスイッチングを制御するスイッチング制御部と、を備えている。

この発明の構成によれば、スイッチング電源のスイッチング動作が、パワーアンプ側の１対のパワースイッチ素子の導通を制御する２値信号に同期し、これら１対のパワースイッチ素子のスイッチングと同期する。従って、スイッチング電

源のスイッチング動作に伴うノイズの発生タイミングと、出力段の１対のパワースイッチ素子のスイッチングのタイミングとを整合させることが可能になり、見かけ上、出力信号上に現れるスイッチングノイズの発生頻度が低減する。また、１対のパワースイッチ素子が共にオフ状態となる所定期間内にスイッチング電源のスイッチング動作に伴うノイズが発生するようにタイミングを調整することにより、スイッチング電源のスイッチング動作に伴うノイズが、１対のパワースイッチ素子を介して出力信号に現れない。よって、スイッチング電源やパワースイッチ素子のスイッチング動作に伴うノイズを抑制するためのフィルタを小型化することが可能になる。

図面の簡単な説明

図１は本発明に係る一実施例を示す実施例のブロック図である。

図２は図１に示す実施例の要部(ΔΣ電源)の一例を示すブロック回路図である。

図３は図１に示す実施例の詳細な構成を示す図である。

図４は図２に示すΔΣ変調回路の構成を示す図である。

図５は本実施例の動作を説明するための波形図である。

図６は本実施例の動作を比較説明するための波形図である。

図７は従来例を示すブロック図である。

発明を実施するための最良の形態

以下、添付図面を用いて本発明に係るスイッチング増幅装置の実施例を説明する。図１は本発明に係る一実施例を示してある。また、図２にはこの実施例の要部の一実施例を示してある。

図１に示す実施例は、オーディオパワーアンプ１を設けたスイッチング増幅装置であり、オーディオパワーアンプ１はオーディオ信号をΔΣ変調するΔΣ変調器２を備え、このΔΣ変調器２の出力パルス信号をアンプ用パワースイッチ素子３に供給し、アンプ用出力フィルタ４を通して出力するように構成してある。

また、本実施例では、ΔΣ電源５を備えてあり、このΔΣ電源５は、オーディ

オパワーアンプ１のΔΣ変調器２の出力パルス信号を供給するようにしてあるとともに、前記出力パルス信号をこのΔΣ電源５の動作クロックとして入力し所望の電力を発生させ、前記電力を前記アンプ用パワースイッチ素子３に供給するようにしてある。

本実施例に係るΔΣ電源の具体的構成を、図２に示してある。このΔΣ電源５は、ΔΣ変調器１６を備え、このΔΣ変調器１６の出力パルス信号を電源用パワースイッチ素子１１に供給するようにしてある。また、平滑回路１２を備え、この平滑回路１２の出力側に、負荷１３に出力された電圧と基準電圧１５の差分電圧を増幅する誤差増幅回路１４を介して、アナログ信号もしくは多ビットデジタル信号をΔΣ変調するΔΣ変調器１６を接続し、誤差増幅回路１４で負荷に出力された電圧と基準電圧１５の差分電圧を増幅した信号をΔΣ変調器１６に入力するように構成している。基準電圧１５は、出力電圧ＶＯの目標値であり、出力電圧ＶＯが基準電圧１５に安定するようにスイッチング動作が行われる。ただし、出力電圧ＶＯを抵抗分圧により降圧して誤差増幅回路１４に入力し、この抵抗分圧により得られる電圧の目標値となるように基準電圧１５を設定してもよい。この場合、抵抗分圧された電圧が基準電圧１５に安定することにより、出力電圧ＶＯが所望の電圧に安定される。

なお、図２に示すΔΣ電源５は、単なる一実施例に過ぎず、本発明に係るΔΣ電源５はΔΣ変調手段を用いたものであれば構成は問わない。また、動作クロックとして周波数が固定されないクロック、即ち周波数可変なクロック信号を使用できるものであれば、ΔΣ電源に限らず他のスイッチング電源であってもよい。換言すれば、オンとオフとがクロック同期するものであれば、どのような電源であってもよい。

次に、図３に、図１に示す構成の主要部を示す。図３に示すように、ΔΣ変調器２は変調回路２Ａおよび駆動回路２Ｂから構成される。変調回路２Ａは、入力信号ＳＩをΔΣ変調してパルス信号ＳＳ（２値信号）に変換するものであり、このパルス信号ＳＳのパルス幅に入力信号ＳＩが反映される。駆動回路２Ｂは、パルス信号ＳＳに基づきパワースイッチ素子３を相補的に駆動するものであり、そ

のための駆動信号ＳＰ，ＳＮを出力する。この変調器２は、例えば５Ｖ程度の電源で動作する。

正電源５Ａおよび負電源５Ｂは、パワーＭＯＳトランジスタ３Ａ，３Ｂに供給されるべき所望の高電源電圧（例えば数１０Ｖ）を生成するスイッチング電源であって、上述の図１に示すΔΣ電源５を構成する。これら正電源５Ａおよび負電源５Ｂは、パルス信号ＳＳを動作クロックとして入力し、このパルス信号ＳＳに同期してスイッチング動作することにより正の高電源電圧ＶＰおよび負の高電源電圧ＶＮを発生するように構成される。

即ち、前述の図２に示すように、ΔΣ電源５は、安定化用のコンデンサＣ１、外部電源（図示なし）の電流経路上に介挿されたスイッチ素子１１、還流用のダイオードＤ、平滑回路１２（インダクタＬおよびコンデンサＣ２）を含んで構成され、これらは、外部電源からの入力電圧ＶＩを所望の出力電圧ＶＯに変換する電圧変換部（符号なし）として機能する。また、ΔΣ電源５は、上述の電圧変換部に加えて、誤差増幅回路１４、ΔΣ変調器１６、ゲートドライバ回路１７を含み、これらはスイッチ素子１１のスイッチングを制御するスイッチング制御部（符号なし）を構成する。

なお、図２に示す例では、降圧型の電源として構成したが、これに限定されることなく、例えば昇圧型の電源として構成してもよい。この場合、スイッチ素子１１は、外部電源に接続される昇圧用のコイルと直列に接続されるが、この場合であってもスイッチ素子１１は、降圧型と同様に、外部電源の電流経路上に介挿された構成となる。

図４に、上述のΔΣ変調器１６の構成を示す。同図に示すように、ΔΣ変調器１６は、減算器２０、積分器２１、比較器２２、Ｄ型フリップフロップ（Ｄ－ＦＦ）２３から構成される。ここで、減算器２０は、上述の誤差増幅回路１４の出力信号ＶＧからスイッチング制御信号ＳＧを減算するもので、積分器２１は、減算器２０の出力信号を積分するものである。比較器２２は、基準電圧２４を基準として積分器２１の出力信号を２値信号に量子化するものであり、その非反転入力端子には積分器２１の出力信号が与えられ、その反転入力端子には基準電圧１

５が与えられる。基準電圧２４は、ΔΣ変調の動作を規定するものであり、具体的には積分器２１の出力信号(ΔΣ信号)を２値化する際の判定レベルを与える。この基準電圧２４は必要とされるΔΣ変調の特性に応じて適切に設定される。Ｄ型フリップフロップ２３は、上述の変調回路２Ａから出力されるパルス信号ＳＳをクロック信号として比較器２２の出力信号をラッチするものである。

説明を図３に戻す。パワースイッチ素子３は、正電源５Ａと負電源５Ｂとの間に電流経路が直列接続された１対の出力用のｎチャネル型パワーＭＯＳトランジスタ３Ａ，３Ｂから構成される。ここで、一方のパワーＭＯＳトランジスタ３Ａのドレインは正電源５Ａに接続され、そのゲートには上述の駆動信号ＳＰが印加される。また、他方のパワーＭＯＳトランジスタ３Ｂのソースは負電源５Ｂに接続され、そのゲートには上述の駆動信号ＳＮが印加される。これらパワーＭＯＳトランジスタ３Ａのソースおよびパワー－ＭＯＳトランジスタ３Ｂのドレインは、互いに接続されてパワースイッチ素子３の出力部とされ、後段の出力フィルタ４に入力部に接続される。

なお、図３に示す例では、パワースイッチ素子３をなす１対のｎチャネル型パワーＭＯＳトランジスタ３Ａ，３Ｂはいわゆるハーフブリッジを構成するが、これに限定されることなく、複数対のパワーＭＯＳトランジスタを用いていわゆるフルブリッジを構成するものとしてもよい。

以上のように構成してあるスイッチング増幅装置は以下のように作用する。先ず、入力信号ＳＩとしてオーディオ信号をΔΣ変調器２に入力するとともに、このΔΣ変調器２にサンプリングクロックＳＣを入力する。このΔΣ変調器２でオーディオ信号をΔΣ変調して、この出力パルス信号をアンプ用パワースイッチ素子３に入力する。同じく前記オーディオ信号用のΔΣ変調器２の出力パルス信号をΔΣ電源５にクロック信号として入力する。

一般に、ΔΣ変調器２の出力信号はＯＮかＯＦＦの２つの状態があり、この変化はΔΣ電源５のΔΣ変調器１６に入力されたクロックの立ち上がり若しくは立ち下がりのどちらか一方のみで起こるため、ΔΣ変調器出力に接続されるアンプ用パワースイッチ素子３から発生するスイッチングノイズもこれと同時に発生す

ることとなる。

本発明では、アンプ用ΔΣ変調器出力パルス信号をアンプ用パワースイッチ素子３に入力するとともに、ΔΣ電源５にクロック信号として入力するため、電源用パワースイッチ素子１１のＯＮとＯＦＦの変化はアンプ用ΔΣ変調器２の出力パルスの立ち上がり若しくは立ち上がりのどちらか一方でのみ起こることになり、この結果、オーディオパワーアンプ１とΔΣ電源５のスイッチングノイズの出るタイミングがほぼ同時になる。

以上より、ΔΣ電源５からオーディオアンプ１にスイッチングノイズが混入しても、もともとオーディオパワーアンプ１がノイズを発生するタイミングとほぼ同時であるため、オーディオパワーアンプ１に与える影響は少なく、オーディオパワーアンプ１に設けたアンプ用出力フィルタ４をΔΣ電源５のスイッチングノイズ用に使用することが可能である。即ち、本発明においては、電源出力に電源用出力フィルタを設ける必要がない。

次に、図５に示す信号波形を参照しながら上述の動作を補足する。前述のオーディオパワーアンプ１は、アナログ信号もしくは多ビットデジタル信号からなる入力信号ＳＩをパルス信号（２値信号）ＳＳに変調する。そして、パルス信号ＳＳに基づき出力段に設けられた１対のパワーＭＯＳトランジスタを相補的に導通制御することにより電力増幅された出力信号ＳＯを得る。具体的には、図３に示す変調回路２が、サンプリングクロックＳＣに従い、入力信号ＳＩをΔΣ変調してパルス信号ＳＳを出力する。このパルス信号ＳＳは後段の駆動回路２Ｂに与えられると共に、ΔΣ電源５を構成する正電源５Ａ及び負電源５Ｂに与えられる。

パルス信号ＳＳを入力する高電源５Ａでは、前述の図２および図４に示すΔΣ変調器１６がパルス信号ＳＳを動作クロック信号としてスイッチング制御信号ＳＧを生成し、このスイッチング制御信号ＳＧを図２に示すスイッチ素子１１のゲートに与える。これにより、高電源５Ａがスイッチング動作し、図５に示すように高電源電圧ＶＰを概ね一定に保つ。図５では、高電源電圧ＶＰの波形はリップル成分のみを表している。同様に、負電源５Ｂが、パルス信号ＳＳに基づきスイッチング動作し、概ね一定の負の高電源電圧ＶＮを発生する。

このとき、図４に示すΔΣ変調器１６を構成するD型フリップフロップ２３が、パルス信号ＳＳの立ち上がりのエッジで比較器２２の出力信号を取り込み、これをスイッチング制御信号ＳＧとして出力するので、図５に示すように、スイッチング制御信号ＳＧは、パルス信号ＳＳの立ち上がりのエッジで遷移する。このため、高電源電圧ＶＰ，ＶＮには、スイッチング制御信号ＳＧに基づくスイッチング動作に起因したスイッチングノイズＳＮＺが重畳される。

一方、駆動回路２Ｂは、ΔΣ変調回路２Ａから出力されるパルス信号ＳＳに応答して駆動信号ＳＰ，ＳＮを出力し、パワーＭＯＳトランジスタ３Ａ，３Ｂを相補的に駆動し、出力フィルタ４を介して出力信号ＳＯを出力する。この出力信号ＳＯには、パワーＭＯＳトランジスタ３Ａ，３Ｂがスイッチングする際に発生する出力ノイズＯＮＺが重畳される。

ここで、仮にパワーＭＯＳトランジスタ３Ａ，３Ｂが共にオン状態になると、高電源５Ａから負電源５Ｂに向かって過大な貫通電流が流れ、パワーＭＯＳトランジスタ５Ａ，５Ｂにダメージを与える。このため、出力段の１対のパワーＭＯＳトランジスタ３Ａ，３Ｂがスイッチングする際に、双方のトランジスタが共にオフ状態となるいわゆるデッドタイムＤＴが設けられており、そのようなデッドタイムＤＴを生じるように上述の駆動信号ＳＰと駆動信号ＳＮとの間に位相差が設けられている。

上述のパルス信号ＳＳに基づくΔΣ電源５とオーディオパワーアンプ１との間の動作タイミングは、高電源電圧ＶＰ，ＶＮに重畳されるスイッチングノイズＳＮＺが、デッドタイムＤＴの期間内（所定期間内）に発生するように設定される。この実施例では、特にこのタイミングの調整を図るまでもなく、スイッチングノイズＳＮＺがデッドタイムＤＴの期間内に発生するものとするが、必要に応じて、このタイミングを調整するためのタイミング設定手段を設けてもよい。例えばこの手段として遅延回路を用いることができる。この場合、パルス信号ＳＳを、正電源５Ａ，５Ｂに供給されるものと、駆動回路２Ｂに供給されるものとに分離し、これら分離されたパルス信号の一方を他方に対して適量だけ遅延させればよい。

このように、スイッチングノイズＳＮＺがデッドタイムＤＴの期間内に発生す

ると、このスイッチングノイズＳＮＺがパワーＭＯＳトランジスタ３Ａ，３Ｂにより遮断される。このため、出力信号ＳＯ上に現れるノイズは、パワーＭＯＳトランジスタ３Ａ，３Ｂのスイッチング動作に起因する出力ノイズＯＮＺのみとなる。従って、ΔΣ電源５自体に何らノイズ対策を施すことなく、出力信号ＳＯ上のノイズが低減される。

以下、比較のため、図６に示す波形図を参照し、図７に示す従来の電源６を用いた場合の動作を説明する。この場合、図２に示すスイッチ素子１１は、ΔΣ変調器２で生成されるパルス信号ＳＳとは無関係の電源側固有のクロック信号ＰＣによりスイッチング制御される。このため、パワーＭＯＳトランジスタ３Ａ，３Ｂがオン状態にある時にスイッチ素子１１がスイッチングする場合が生じ、スイッチングノイズＳＮＺがパワーＭＯＳトランジスタ３Ａ，３Ｂを介して出力される。

この結果、出力信号ＳＯには、出力ノイズＯＮＺに加えて、電源６に起因するスイッチングノイズＳＮＺが重畳され、よって、ΔΣ電源５を使用した場合に比較して、出力信号ＳＯ上のノイズが増加する結果となる。

従って、電源６を用いた場合と比較すると、前述した本実施例によれば、オーディオパワーアンプ１が備える出力フィルタ４や、電源側のノイズを抑えるためのフィルタ（図示なし）を大型化することなく、出力信号ＳＯに現れるノイズを有効が低減される。よって信号の電力増幅を高品質に行うことが可能になる。

なお、本実施例では、オーディオパワーアンプ１を設けたスイッチング増幅装置について説明したが、その他のアナログ信号もしくは多ビットデジタル信号を増幅するパワーアンプを備えたスイッチング増幅装置についても応用することは可能である。

さらに、本実施例ではオーディオパワーアンプ１の変調手段にΔΣ変調器を用いた場合について説明したが、この変調手段は入力信号をＯＮとＯＦＦ２値に変調する方式であれば同様の効果が得られる。たとえば、パルス幅変調を用いても差し支えない。

さらに、ΔΣ電源が発生するスイッチングノイズＳＮＺと、パワーオーディオ

アンプ側の出力ノイズＯＮＺとが逆位相の関係にある場合は、これらのノイズを積極的に干渉させるようにタイミングを設定してもよい。これにより、出力信号ＳＯ上のノイズが相殺され、ノイズを一層有効に低減させることが可能になる。

さらに、上述の実施例では、ΔΣ電源５として降圧チョッパ型を用いて説明したが、ΔΣ電源５を昇圧型として構成してもよい。

産業上の利用の可能性

本願発明は、パワーアンプと電源のスイッチングノイズの出るタイミングがほぼ同時になり、電源からノイズが混入しても、パワーアンプのノイズフィルタを兼用できる効果がある。また、これに伴い電源用のノイズフィルタが不要であるとともに、電源の出力に比較的大型のコンデンサやチョークコイルを備えた平滑回路を設ける必要がなくなり、電源の出力フィルタを簡略化できる効果がある。さらに、電源の出力フィルタの簡略化により、スイッチング増幅装置の小型化及びコストダウンを図ることができる効果がある。

請求の範囲

1． アナログ信号もしくは多ビットデジタル信号を２値信号に変調する変調器を備え、この変調器の出力パルス信号をパワースイッチ素子に供給するスイッチングパワーアンプと、アナログ信号もしくは多ビットデジタル信号をΔΣ変調するΔΣ変調手段を備え、このΔΣ変調手段から出力される電源制御用パルス信号を電源用パワースイッチ素子に供給するΔΣ電源とを設け、このΔΣ電源に前記パワーアンプの前記変調器の出力パルス信号を供給するように構成してあるとともに、前記出力パルス信号をこのΔΣ電源の動作クロックとして入力し、ΔΣ電源の出力電力を前記パワーアンプの前記パワースイッチ素子に供給するように構成してあるスイッチング増幅装置。

2． 出力段に少なくとも１対のパワースイッチ素子を有し、アナログ信号もしくは多ビットデジタル信号からなる入力信号を２値信号に変調し、この２値信号に基づき前記１対のパワースイッチ素子を相補的に導通制御することにより電力増幅された出力信号を得るパワーアンプと、

前記２値信号に同期してスイッチング動作することにより、前記１対のパワースイッチ素子に供給されるべき所望の電源電圧を生成するスイッチング電源と、

を備えたスイッチング増幅装置。

3． 前記出力段に設けられた１対のパワースイッチ素子が共にオフ状態となる所定期間内に前記スイッチング電源のスイッチング動作に伴うノイズが発生するように、前記２値信号に基づく前記スイッチング電源と前記パワーアンプとの間の動作タイミングを設定した請求の範囲第２項に記載されたスイッチング増幅装置。

4． 前記スイッチング電源が、

前記２値信号を動作クロック信号として入力するΔΣ電源である請求の範囲第

２項に記載されたスイッチング増幅装置。

５．　前記スイッチング電源が、

外部電源の電流経路上に介挿されたスイッチ素子を有し、このスイッチ素子がスイッチングすることにより前記外部電源の電圧を前記所望の電源電圧に変換する電圧変換部と、

前記電圧変換部により変換された電源電圧をΔΣ変調し、このΔΣ変調により得られた信号に基づき、前記電圧変換部を構成するスイッチ素子のスイッチングを制御するスイッチング制御部と、

を備えた請求の範囲第４項に記載されたスイッチング増幅装置。

６．　前記スイッチング電源が、

前記２値信号を動作クロック信号として入力するΔΣ電源である請求の範囲第３項に記載されたスイッチング増幅装置。

７．　前記スイッチング電源が、

外部電源の電流経路上に介挿されたスイッチ素子を有し、このスイッチ素子がスイッチングすることにより前記外部電源の電圧を前記所望の電源電圧に変換する電圧変換部と、

前記電圧変換部により変換された電源電圧をΔΣ変調し、このΔΣ変調により得られた信号に基づき、前記電圧変換部を構成するスイッチ素子のスイッチングを制御するスイッチング制御部と、

を備えた請求の範囲第６項に記載されたスイッチング増幅装置。

図1

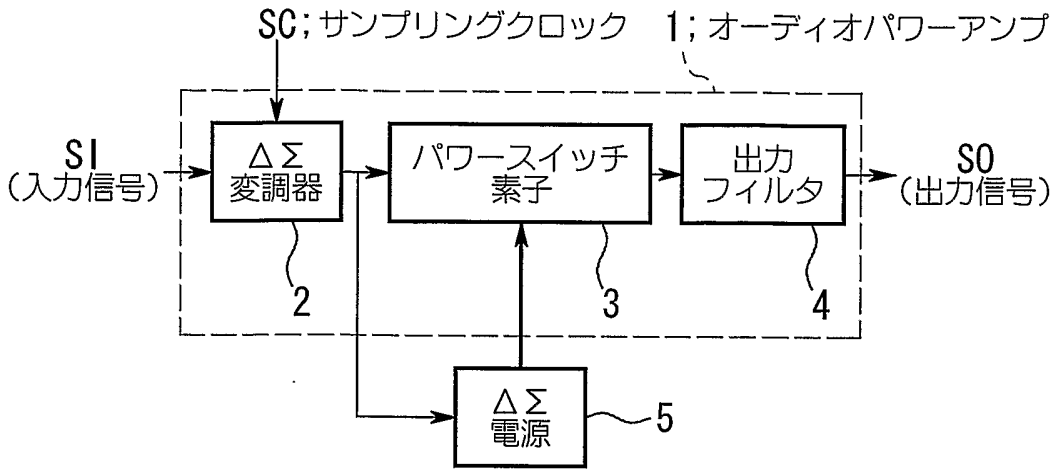

SC;サンプリングクロック
1;オーディオパワーアンプ
SI
(入力信号)
ΔΣ
変調器
パワースイッチ
素子
出力
フィルタ
SO
(出力信号)
2
3
4
ΔΣ
電源
5

図2

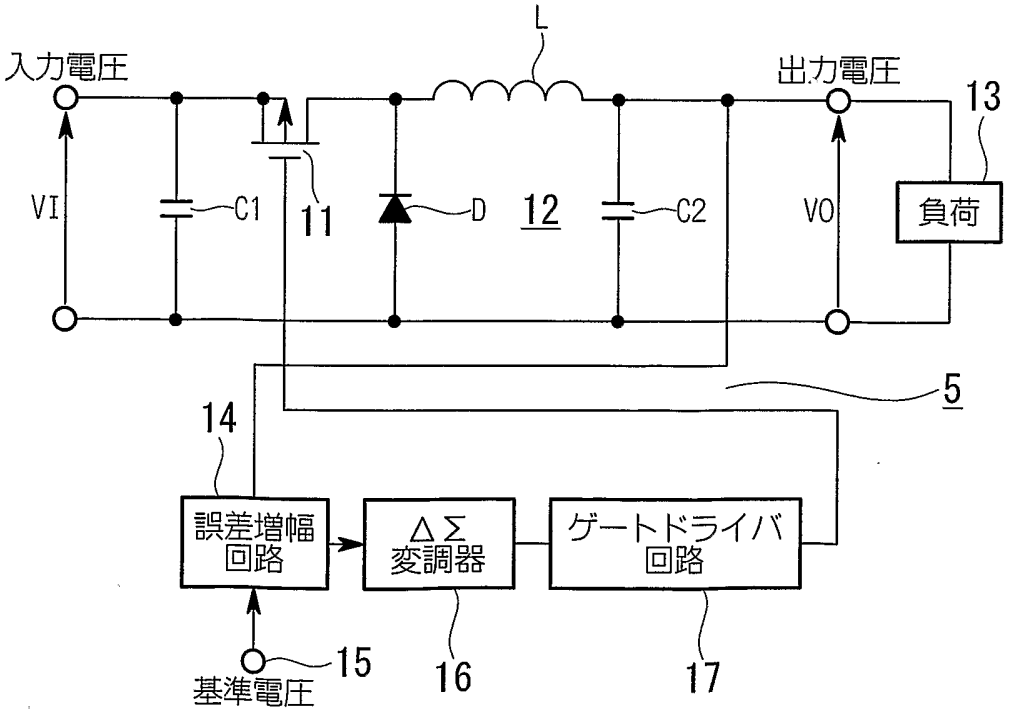

L
入力電圧
出力電圧
13
VI
C1
11
D
12
C2
VO
負荷
5
14
誤差増幅
回路
ΔΣ
変調器
ゲートドライバ
回路
15
基準電圧
16
17

図3

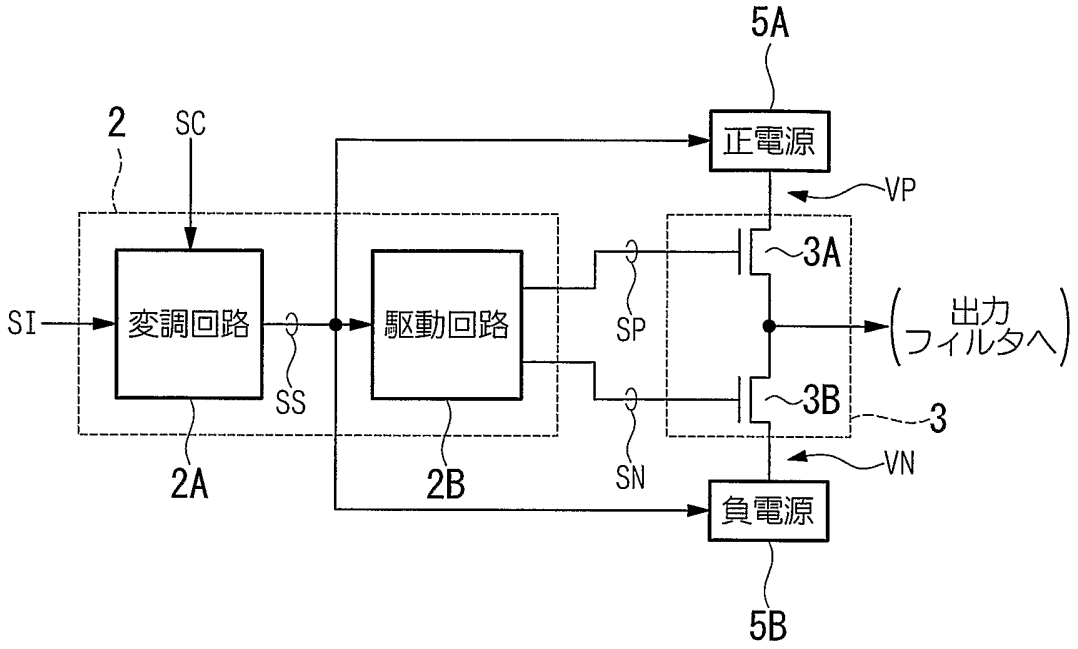

5A
2
SC
正電源
VP
SI
変調回路
SS
駆動回路
SP
3A
出力
フィルタへ
3B
3
2A
2B
SN
VN
負電源
5B

図4

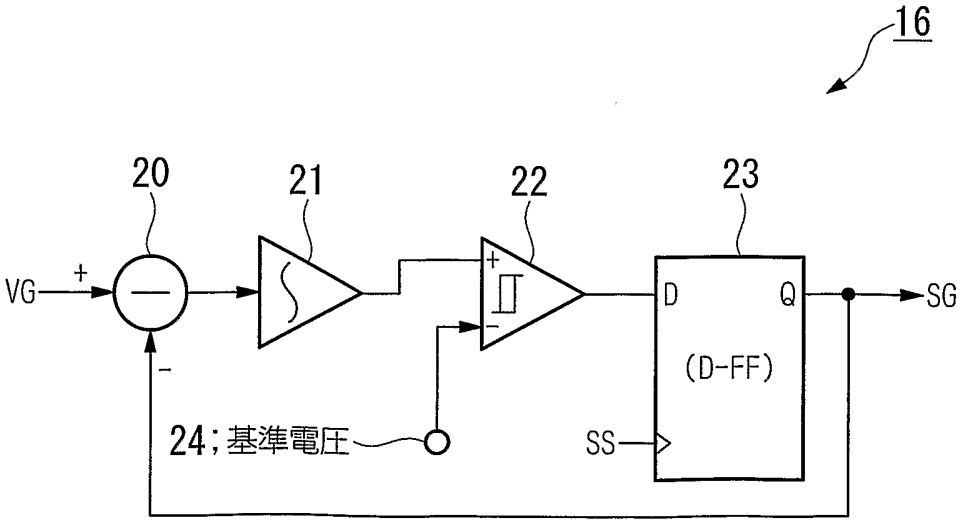

16
20
21
22
23
VG
+
−
D
Q
SG
(D-FF)
24;基準電圧
SS

図5

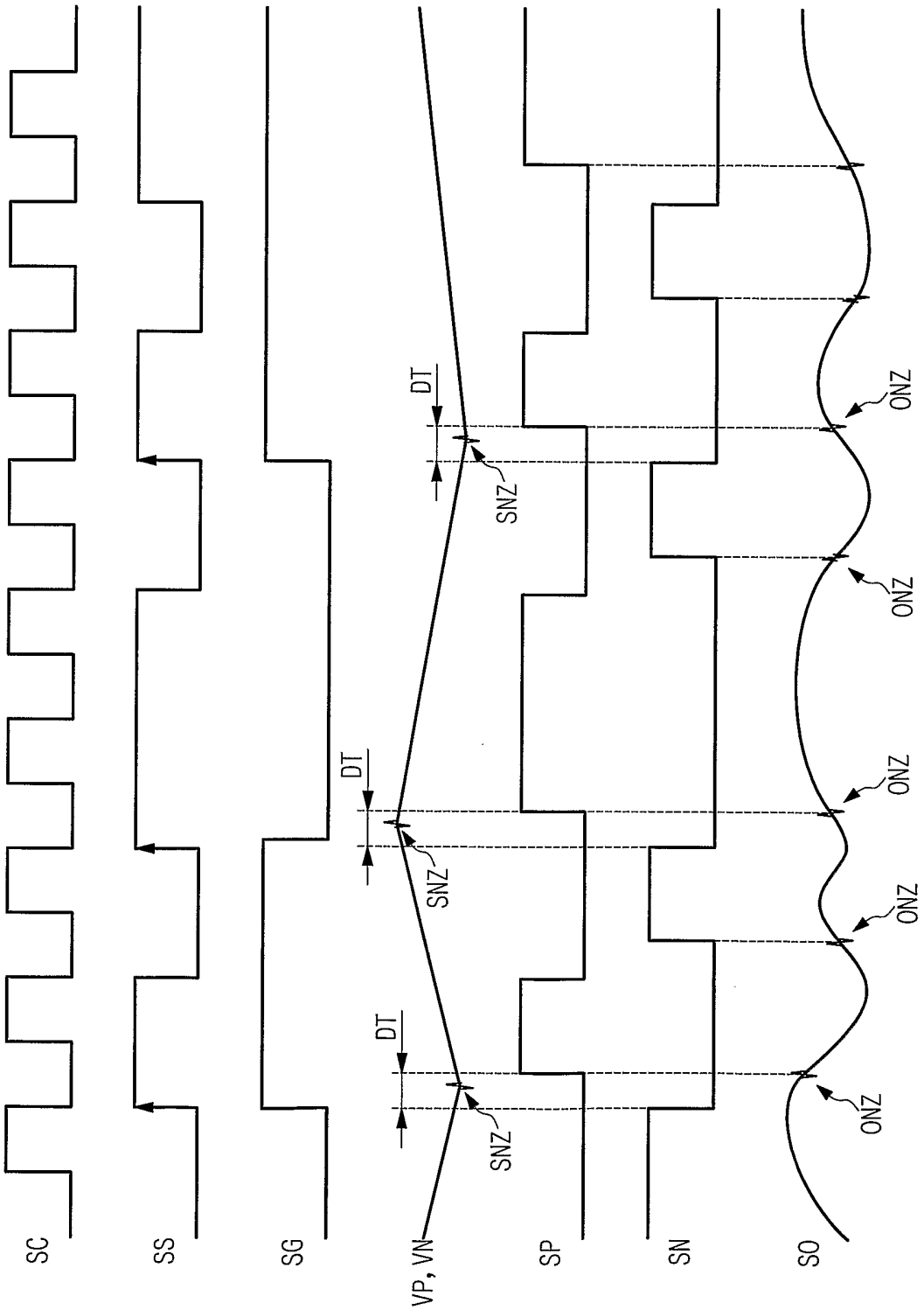


図6

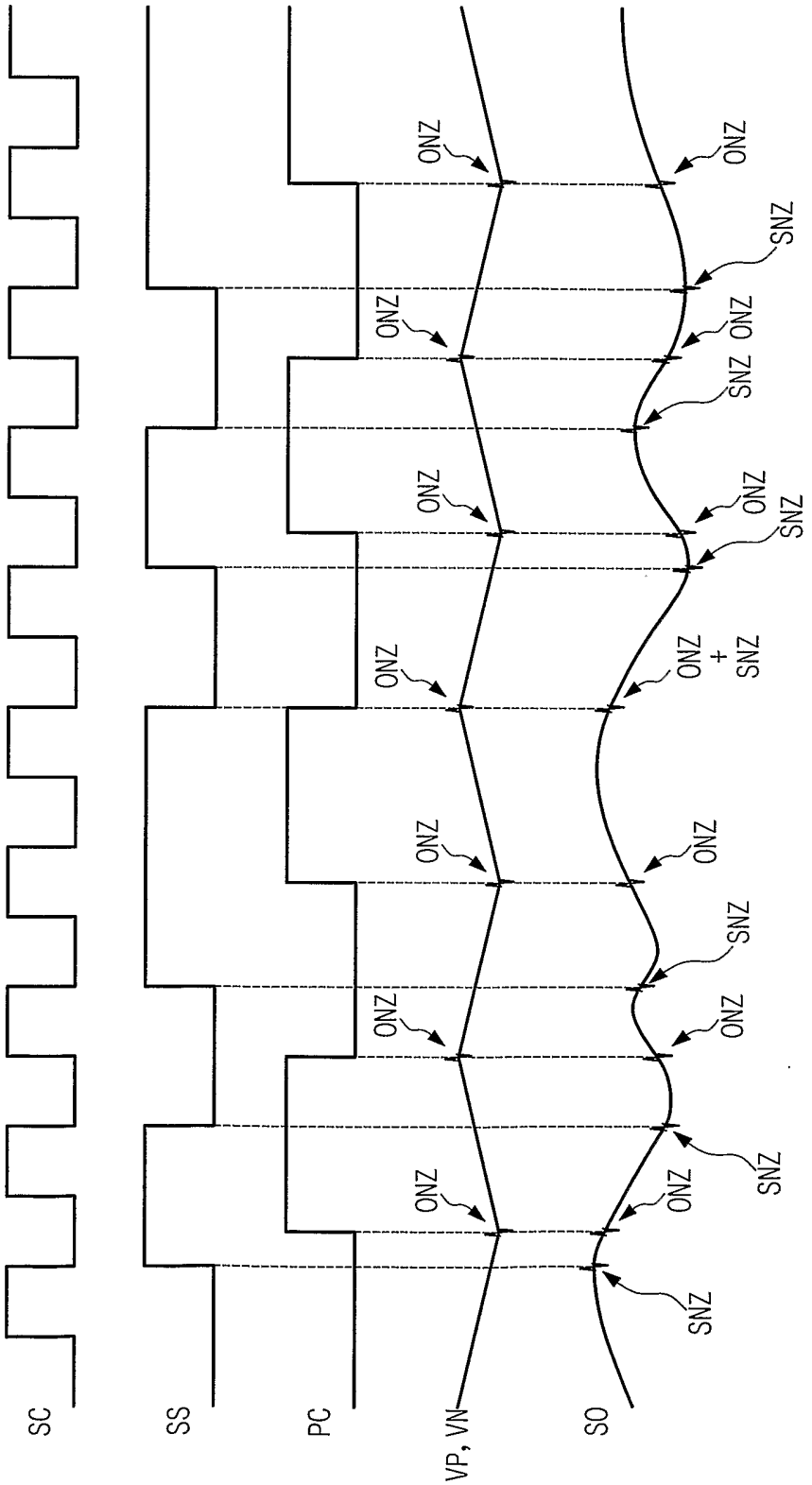
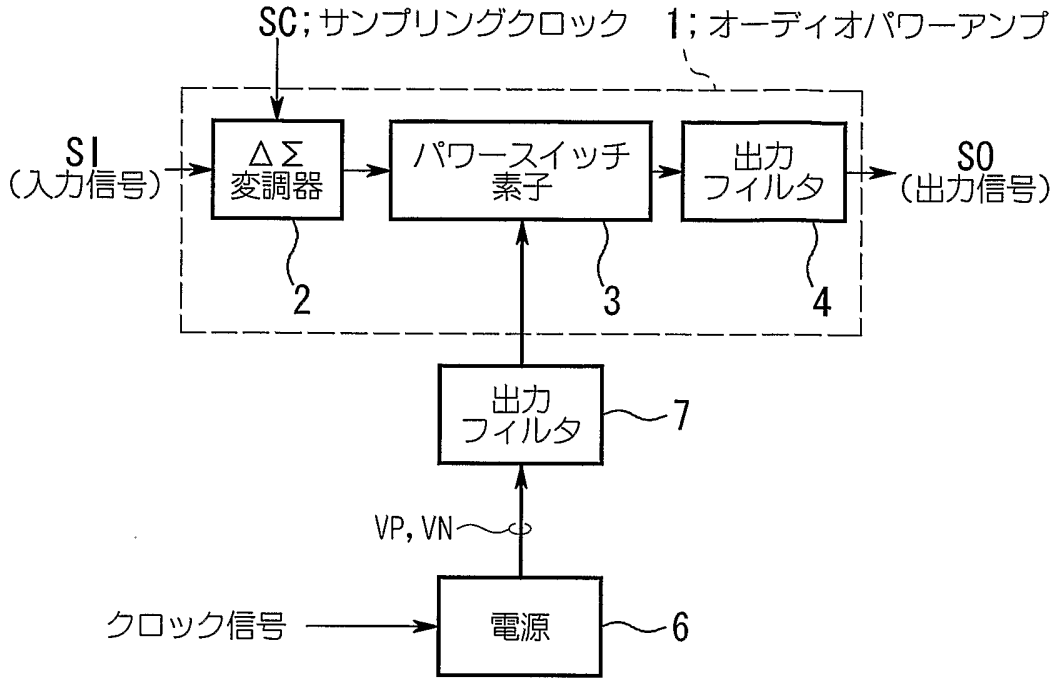


図7


SC;サンプリングクロック
1;オーディオパワーアンプ
SI
(入力信号)
ΔΣ
変調器
パワースイッチ
素子
出力
フィルタ
SO
(出力信号)
2
3
4
出力
フィルタ
7
VP, VN
クロック信号
電源
6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP02/08979

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] H03F3/217

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] H03F3/217

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2002
Kokai Jitsuyo Shinan Koho 1971-2002 Jitsuyo Shinan Toroku Koho 1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-22458 A (Sharp Corp.), 21 January, 2000 (21.01.00), (Family: none)	1-7
A	JP 55-166314 A (Sony Corp.), 25 December, 1980 (25.12.80), (Family: none)	1-7
A	JP 5-219743 A (Shindengen Electric Mfg. Co., Ltd.), 27 August, 1993 (27.08.93), (Family: none)	1-7
A	JP 2000-196375 A (Sharp Corp.), 14 July, 2000 (14.07.00), (Family: none)	1-7

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
13 December, 2002 (13.12.02)	14 January, 2003 (14.01.03)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ０２／０８９７９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））
Ｉｎｔ．Ｃｌ⁷　Ｈ０３Ｆ３／２１７

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））
Ｉｎｔ．Ｃｌ⁷　Ｈ０３Ｆ３／２１７

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報　　１９２２－１９９６年
日本国公開実用新案公報　　１９７１－２００２年
日本国登録実用新案公報　　１９９４－２００２年
日本国実用新案登録公報　　１９９６－２００２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ａ	ＪＰ　２０００－２２４５８　Ａ（シャープ株式会社） ２０００．０１．２１ （ファミリーなし）	1-7
Ａ	ＪＰ　５５－１６６３１４　Ａ（ソニー株式会社） １９８０．１２．２５ （ファミリーなし）	1-7

☒ Ｃ欄の続きにも文献が列挙されている。　　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １３．１２．０２	国際調査報告の発送日　14.01.03
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員） 佐藤　敬介　　５Ｗ　９１９６ 電話番号　０３－３５８１－１１０１　内線　３５７４

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（１９９８年７月）

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ａ	ＪＰ　５－２１９７４３　Ａ（新電元工業株式会社） １９９３．０８．２７ （ファミリーなし）	1-7
Ａ	ＪＰ　２０００－１９６３７５　Ａ（シャープ株式会社） ２０００．０７．１４ （ファミリーなし）	1-7