



申請日期	91.8.27
案 號	9111P3P2
類 別	H01L 23/52

A4
C4

558822

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 新 型 名 稱	中 文	製作金屬-絕緣體-金屬電容器之方法
	英 文	PROCESS FOR MAKING A MIM CAPACITOR
二、發明 創 作 人	姓 名	1.道格拉斯 R. 羅伯茲 DOUGLAS R. ROBERTS 2.艾瑞克 魯柯斯基 ERIC LUCKOWSKI
	國 籍	1.2.均美國 U.S.A.
	住、居所	1.美國德克薩斯州奧斯汀市提斯戴爾路7608號 7608 TISDALE DRIVE, AUSTIN, TX 78757, U.S.A. 2.美國德克薩斯州圓石市花崗路3016號 3016 FLOWER HILL DRIVE, ROUND ROCK, TX 78664, U.S.A.
三、申請人	姓 名 (名 稱)	美商摩托羅拉公司 MOTOROLA INC.
	國 籍	美國 U.S.A.
	住、居所 (事務所)	美國伊利諾州史堪伯市東阿崗崑路1303號 1303 EAST ALGONQUIN ROAD, SCHAUMBURG, ILLINOIS 60196, U.S.A.
	代 表 人 姓 名	強納森 E. 瑞斯基 JONATHAN E. RETSKY

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
美國 2001年08月29日 09/942,208 ☒有☐無 主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝
訂
線

五、發明說明(1)

先前申請案之參考

該申請案已於2001年8月29日於美國申請，專利申請案編號為09/942,208。

發明領域

本發明係關於半導體裝置之領域，尤其是關於半導體裝置中所用金屬-絕緣體-金屬(MIM)電容器。

發明背景

當半導體裝置變小時，需要降低零件如電容器充塞之面積。因此，電容器係在電晶體上形成(例如金屬層)，與在更接近整體半導體基材之電晶體層處形成相反。該電容器之一實例為金屬-絕緣體-金屬(MIM)電容器。在金屬層處，無法使用聚矽當作電極材料，因為聚矽之沉積為高溫製程，與後端(後-金屬)加工不相容。以銅取代鋁及鋁合金當作半導體製造中金屬連接之主要材料。因此，較好使用銅當作MIM電容器電極之金屬，以避免增加其他金屬及加工步驟。然而，使用銅搭配許多希望用於MIM電容器之高介電常數材料，尤其是需要高電容線性之RF應用中所用之電容器會有問題。高線性電容性為所加電壓及頻率之函數之常數。使用銅當作電極材料已知之問題包含因銅表面不良之機械及化學安定性造成之副作用，及其他銅與電容器介電材料之作用(例如銅擴散)。

因此，需要含包含使用銅當作電容器電極之MIM電容器結構，其中該製造可輕易地與其餘半導體製造程序整合，製備具有高線性極高電容性之電容器，且可減少許多因以

五、發明說明(2)

銅舵為電容器電極之一產生之問題。

附圖之簡要敘述

本發明係藉由實例說明，但並非限制用，其中相似之參考表示相似之元件，且其中：

圖1以剖面說明一部分具有半導體裝置及可依據本發明之一具體例用於形成MIM電容器之電介質層之半導體裝置。

圖2說明依據本發明之一具體例形成開口且沉積第一金屬層之圖1裝置。

圖3說明依據本發明之一具體例之第一金屬層平整化後之圖2裝置。

圖4說明依據本發明之一具體例蝕刻第一金屬層形成凹陷後之圖3裝置。

圖5說明依據本發明之一具體例再凹陷中沉積第二金屬層後之圖4裝置。

圖6說明依據本發明之一具體例使第二金屬層平整化形成MIM電容器底部電極之圖5裝置。

圖7說明依據本發明之一具體例形成電容器介電層、第三金屬層及蝕刻終止層後之圖6裝置。

圖8說明依據本發明之一具體例沉積第一層光阻劑層後之圖7裝置。

圖9說明依據本發明之一具體例使第三金屬層成像且蝕刻終止層，形成MIM電容器之上電極之圖8裝置。

圖10說明依據本發明之一具體例形成調平電介質層及調平電介質層成像用之第二光阻劑層後之圖9裝置。

五、發明說明 (3)

圖11說明依據本發明之一具體例形成電接觸MIM電容器用之導電穿孔之圖10裝置。

熟習本技藝者了解圖中之元件係供簡單且清楚的說明用，因此並不需標示尺寸。例如，圖中部分元件之尺寸可相對其他元件放大，以協助對本發明具體例之了解。

附圖之詳細敘述

為增加MIM電容器結構之容量，金屬氧化物作為電容器電介質之應用係需要，因為其介電常數高。通常，該金屬氧化物具有帶於約20之介電常數。然而，當在銅電極上形成金屬氧化物時，銅會不期望的氧化，在電極與後續沉積之材料間產生不相容之介面。尤其，電容器電介質與電極間之黏著性不良且存在之氧化銅膜或不期望的增加電容器之漏電。

依據本發明，藉由在銅電極30及金屬氧化物層50間形成導電氧化保護層40，可在金屬氧化物電介質50及銅電極30之間形成具有高電容密度及良好黏著之MIM電容器。為降低加工複雜度，係在銅開口200上之凹陷205中形成導電氧化保護層40。MIM電容器之底部電極包含導電氧化保護層40及銅電極30。較佳具體例中，導電氧化保護層40為氮化鉭。氧化鉭或氧化鈣電容器電介質可在未形成氧化銅層之下沉積。因此，最終之電容器結構可具有高容量，低漏電極安定之介面，且容易形成。使用導電氧化保護層之本發明一具體例將針對附圖敘述。

圖1-11說明一部分半導體裝置，其係經過一系列加工步

五、發明說明 (5)

光過程中銅之凹陷化。電容器面積一般大於相鄰之基底電路連接電路，且大面積之銅在拋光過程中容易凹陷。該情況中使材料形成溝槽已知可緩和該問題。

如圖4所示，移除部分第一金屬層30，在開口200中形成凹陷205，以形成第一金屬層30。換言之，第一金屬層30係凹陷。凹陷205在溝槽200之最下部分延伸。依據其一特定具體例，凹陷205係使用以比移除部分電介質層20大約3-5倍速率之用以移除部份第一金屬層30之反應性離子蝕刻(RIE)製程或濕潤蝕刻製程形成。通常凹陷之深度為約50至2000埃，且約為開口200深度之約1/4至1/3。凹陷205之量係由後續形成之底部電極(說明於後)所需之厚度決定。依其一具體例，凹陷205係依旋轉蝕刻製程，使用濕潤蝕刻形成。依該旋轉蝕刻製程，係將半導體裝置置於吸盤上，以1000-1200 rpm之速度旋轉，且將石科技加於半導體裝置上。蝕刻製程之期間一般為10-60秒。實際之蝕刻步驟一般係在10-30秒之使用去離子水之旋轉洗滌步驟後，以與旋轉蝕刻相同之製程工具進行。所用時科技化學依第一金屬層30之組合物而定。例如，若第一金屬層30為銅，則時科技可寒酸如硝酸、鹽酸、硫酸或其結合物。

另外，可在形成第一金屬層30之後，使用單一旋轉蝕刻製程形成凹陷205，與先使第一金屬層30平整化接著蝕刻相反。該具體例中，晶圓旋轉速度、蝕刻劑化學品及蝕刻劑分配之分布均可另外最佳化，以控制蝕刻製程之均勻度及平整化性質。

五、發明說明(6)

形成凹陷205之後，藉由PVD、CVD、ALD、電鍍、無電電鍍、上述之結合等形成導電氧化保護層40，如圖5中所示。導電氧化保護層40係沉積在電介質層20之表面上，且使第一金屬層30凹陷。導電氧化保護層40可為任一種可對下層第一金屬層30提供氧化及保護層之材料。對包含銅之材料具有良好氧化及保護層之材料為鈮、鈦、鉑、鉍、鋁、鈟、鎢、氮化鈮、氮化鈦、等。通常導電氧化保護層40為金屬或金屬合金，且可稱之為第二金屬層40。依較佳具體例，導電氧化保護層40充滿凹陷205，以形成後續形成上覆膜之實質平整表面。因此，導電氧化保護層40之厚度為50-2000埃。然而，以第一金屬層30及導電氧化保護層40完全充滿開口200並非必要。導電氧化保護層40之厚度應足以對第一金屬層30提供氧化及金屬擴散保護層者。另外，導電氧化保護層40應夠薄，使之不會實質的增加後續完全MIM電容器之電阻，以及在半導體基材上接近MIM電容器形成之連接之電阻。另外，導電氧化保護層40應具有與第一金屬層30所用材料及後續形成之電容器電介質層良好之黏著。

圖6中所示為導電氧化保護層40平整化後之半導體裝置。依其一具體例，導電氧化保護層40係在凹陷205之外分離，使導電氧化保護層40之四周自排列成第一金屬層30之四周。任一種用於使第一金屬層30平整化之方法均可使用。若拋光，則需要導電氧化保護層40之上表面，使之與電介質層20之頂不實質的共平面。拋光製程達成此等結果之

五、發明說明 (7)

能力依形成凹陷205後之第一金屬層30之表面型態及製程之選擇定。因此，第一金屬層30之平滑表面以及對導電氧化保護層40之選擇性為必須。實質共平面之導電氧化保護層40可避免下層銅電極之奈米規格之氧化及銅原子奈米規格的擴散至後續沉積之電介質材料中，若發生會使電容器之漏電劣化。

電容器電介質層50、第三金屬層60及蝕刻終止層(ESL)70係分別沉積在半導體基材10之上，如圖7所示。電容器電介質層50係在導電氧化保護層40上，使用CVD、PVD、霧化層沉積(ALD)、上述之結合等形成。對於RF之應用，電容器電介質層50較好包括具有高線性(例如一般化容量變化低於100 ppm電壓單位)之金屬氧化物，如氧化鉭及氧化鈺。然而，針對線性較不重要之一般應用，其他金屬氧化物如氧化鋯、氧化鋁、鋇鋇鈦酸鹽(BST)及碳酸鋇(STO)均可適用。第三種金屬層60係在電容器電介質層50上形成，且較好使用PVD，但亦可使用其他技術，包含CVD、ALD或其結合。第三金屬層60會形成電容器之第二(上)電極，且因此可行承認一種導電材料如鉭、氮化鉭、鈦、氮化鈦、鈦、鈦、銅、鋁、鉕、上述之結合等。

依其一具體例，第三層金屬層60包括氮以及鉭或鈦(氮化鉭或氮化鈦之形式)。若第三層金屬層60為銅，則需要再第三層金屬層60及電容器電介質層50之間形成第二層氧化保護層，如導電氧化保護層40所用之材料。然而，因為銅氧化因此會有黏著之問題，因為銅電極係在金屬氧化物

五、發明說明 (8)

沉積後形成，且因此銅電疾病不會暴露於氧化環境中。

ESL層70液使用PVD、CVD、ALD或其結合沉積。由下面可清楚了解，ESL層70在蝕刻後續沉積之中間層電介質(ILD)時，可當作蝕刻終止層。ESL層70亦可當作蝕刻金屬層60之硬質遮蔽。而且，ESL層70可當作抗反射塗層(ARC)以改善後續微影蝕刻製程過程中之光學性質。一較佳具體例，ESL層70微氮化矽或氮化鋁，或另為氧化鉭或氧化鈣。使用ESL層70之進一步細節係參考下圖10。

電容器電介質層50、第三金屬層60及ESL層70可使用相同或不同之製程形成。然而，對於形成電容器電介質層50、第三金屬層60及ESL層70，需要使用相同製程以改善製程控制及大量製造環境之產出。

接著看圖8，係沉積第一層光阻劑層80且成像，以蝕刻ESL層70及第三層金屬層60。蝕刻ESL層70及第三層金屬層60後，形成電極65(第二電極65)之頂端(電容器)，如圖9中所示。成像後使用一般方法移除第一層光阻劑層80。

再看圖10，係將ILD 90沉積於半導體基材10之上。沉積第二層光阻劑層100且成像，以蝕刻ILD層90，形成孔洞開口，其係充填金屬形成導電孔洞110，如圖11所示。使用第一種化學品蝕刻在ESL層75(若存在)及電容器電介質層50上終止之孔洞開口及暴露部分，其可當作中間蝕刻終止層。因為需要蝕刻在上電極上形成孔洞開口之ILD部分之厚度實質上低於欲蝕刻形成導電氧化保護層40之孔洞開口之ILD部分之厚度，因此ESL層75不應使用第一種化學品

五、發明說明 (9)

完全蝕刻。此可使蝕刻製程在蝕刻上電極65上之孔洞開口後連續，以形成導電氧化保護層40之更深孔洞開口。因此，第一種化學品需要對ESL材料選擇，甚至電容器電介質層50。

接著，蝕刻化學品換成第二種化學品，以蝕刻電容器電介質層50及ESL層75之暴露部分，以充分的形成孔洞開口，且使下層導電部分暴露。雖然該製程使用二不同之蝕刻化學品，但孔洞開口之蝕刻可以以相同工具進行，甚至相同之室，以改善產量及製造效率。

如圖11所示，形成孔洞開口之後，在孔洞開口中形成導電材料，以形成導電孔洞110。導電體在孔洞開口中形成，使之與上電極65及導電氧化保護層40形成接觸。依其一具體例，係電鍍銅且化學機械拋光背面形成導電孔洞110。

圖11中所示之最終MIM電容器之優點為其容量高於先前提出之結構，因為其使用金屬氧化物材料當作主要電容器電介質，而沒有金屬氧化物及銅電極間不良介面之缺點。由於相容之介面，因此本發明之結構善之洩漏特徵。另外，MIM結構具有高線性，因為本發明可使用本身具有高線性之金屬氧化物電容器電介質。該晶片上之電容劑係廣用於要求高頻(>1 Ghz)之RF電路，用於混合訊號之類比及濾波。另外，可刪除使用光微影蝕刻步驟使導電氧化保護層40成相之需求，因為導電氧化保護層40為自排列。

圖中所述之具體例為MIM電容器，其中之上電極65之尺寸小於第一金屬層30及導電氧化保護40，其係一起形成底

五、發明說明 (10)

部(電容器)電極。依另一具體例，上電極65與第一金屬層30及導電氧化保護40相比過大。依該具體例，導電氧化保護層40之觸點係在形成第一金屬層30及導電氧化保護層40之前形成，因為觸點(帶體在導電氧化保護層40上形成者)在第一金屬層30之下。另外，依該具體例，其可能蝕刻ESL層70及第三層金屬層60時，完全移除電容器電介質層50而不會損及電容器結構之電路部分。因此可克服在ILD層90之下具有高電介質常數材料之缺點。然而，當自MIM電容器之外部區域移除電容器電介質層50時仍可能損及在層下之其他結構，如相鄰之銅墊結構。該相關之結構並未清楚的顯示於圖中，但一般經常存在於晶片上當作IC連接電路之基本部分。

雖然上述具體例係關於MIM電容器，但可能將該方法用於其他應用中，以降低銅氧化且改善黏著，如在半導體基材上形成之至少一層金屬層。

益處、其他優點及問題之解決方式已經以特殊具體例說明於上。然而，益處、其他優點、問題之解決方式及可產生任何益處、優點及解決方式，使之更可提出之元件並不夠成任一所有申請專利範圍之限制、需要或基本特點或元件。置於本文中所用之“包括”或任何其他之改變均涵蓋為除外之包含，使得製程、方法、物件或包括所列元件之裝置並不只包含此等元件，且可包含其他未列於該製程、方法、物件或裝置中之元件。

前面說明中，本發明已經參考特定具體例敘述。然而，

五、發明說明 (11)

熟習本技藝者應了解可進行各種改良及改變，但均不離下列申請專利範圍中所列本發明之範圍。例如，如敘述及說明，MIM電容器係以單一花紋方式在裝置中形成。然而，熟習本技藝者會了解可在雙重花紋之整合中加入類似結構。因此，說明及附圖均為說明用，而非限制用，且所有改良均包含於本發明之範圍中。

裝

訂

線

四、中文發明摘要（發明之名稱： 製作金屬-絕緣體-金屬電容器之方法)

本發明係揭示一種形成金屬-絕緣體-金屬(MIM)電容器結構之方法，包含在半導體基材(10)之電介質層(20)中形成凹陷。第一種電容器電極(30，40)係在凹陷中形成具有在第一金屬層(30)之上之導電氧化保護層(40)之銅第一金屬層(30)。第一電容器電極(30，40)及第二電容器電極(65)係在絕緣體(50)上形成。在凹陷中形成第一電容器電極(30，40)可維持具有導電氧化保護層(40)之銅第一金屬層(30)周圍之排列。

英文發明摘要（發明之名稱： PROCESS FOR MAKING A MIM CAPACITOR)

A process for forming a metal-insulator-metal (MIM) capacitor structure includes forming a recess in the dielectric layer (20) of a semiconductor substrate (10). A first capacitor electrode (30, 40) is formed in the recess having a copper first metal layer (30) with a conductive oxidation barrier (40) formed over the first metal layer (30). The first capacitor electrode (30, 40) is planarized relative to the dielectric layer (20). An insulator (50) is formed over the first capacitor electrode (30, 40) and a second capacitor electrode (65) is formed over the insulator (50). Forming the first capacitor electrode (30, 40) in the recess maintains the alignment of a periphery of the copper first metal layer (30) with the conductive oxidation barrier (40).

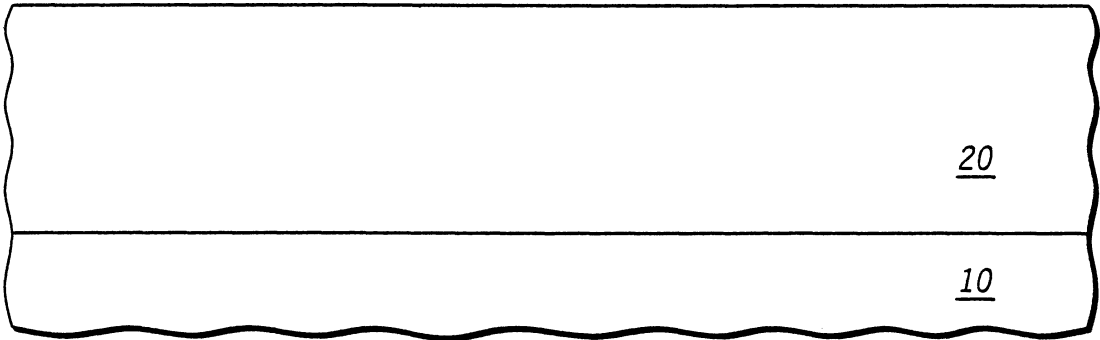


圖 1

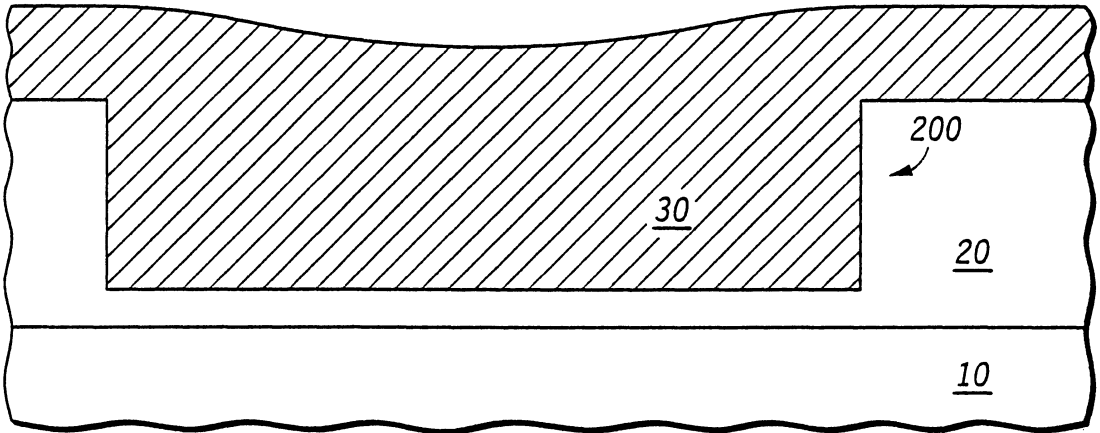


圖 2

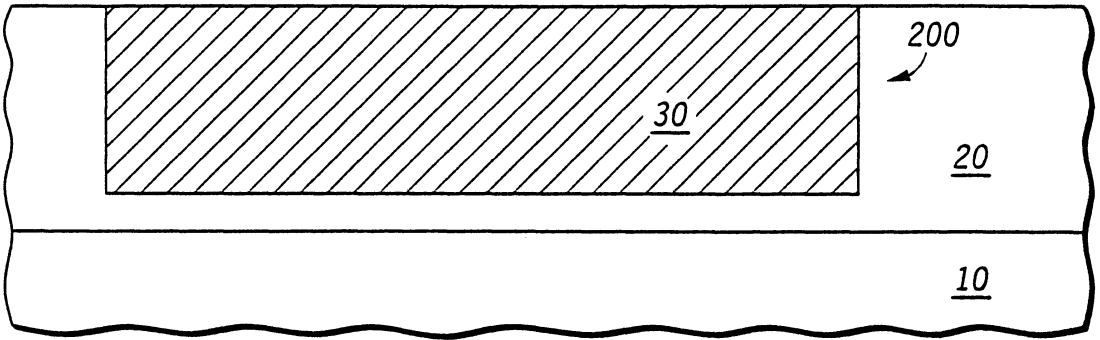


圖 3

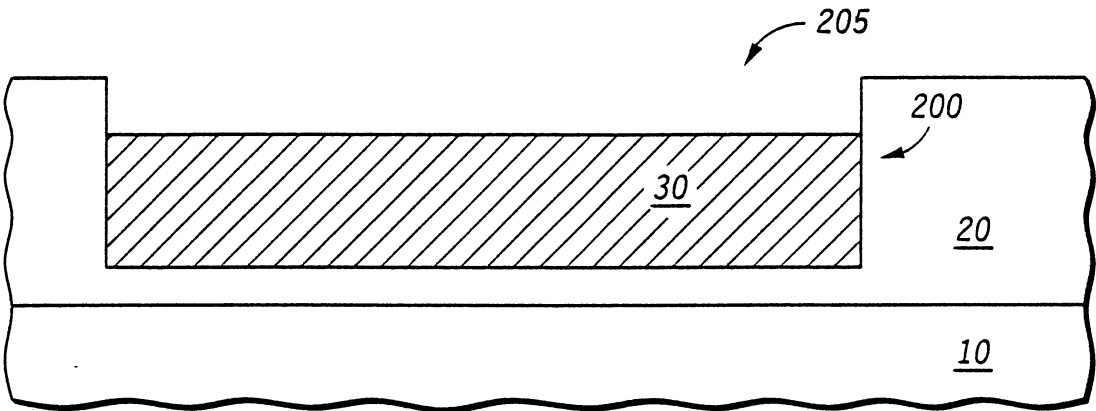


圖 4

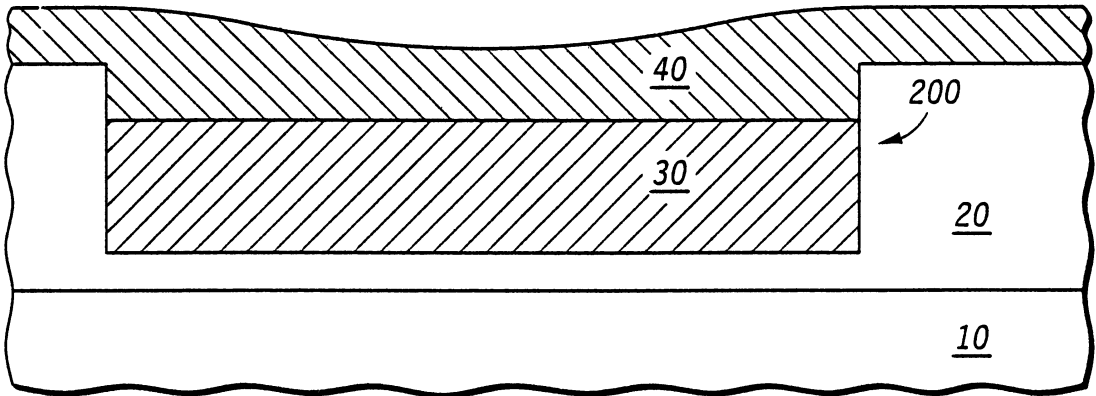


圖 5

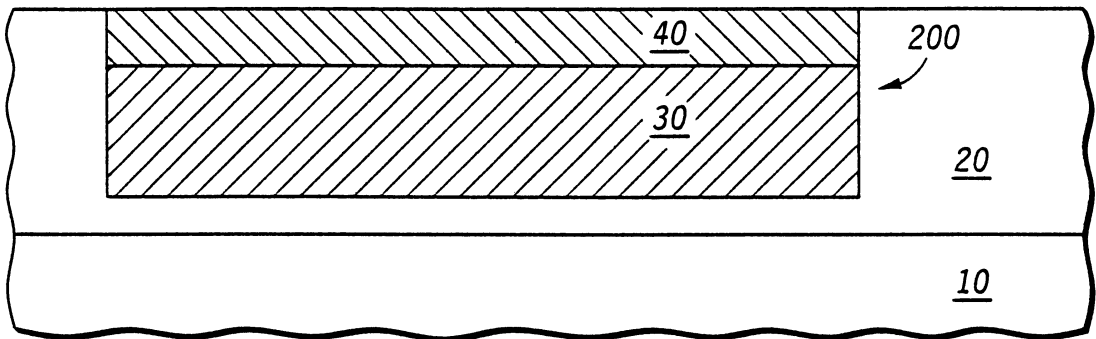


圖 6

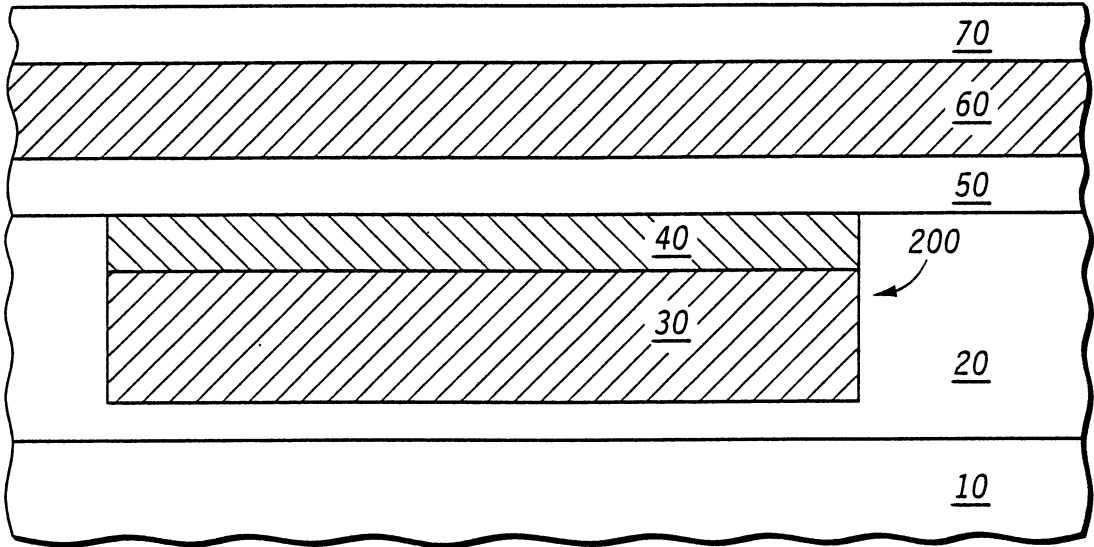


圖 7

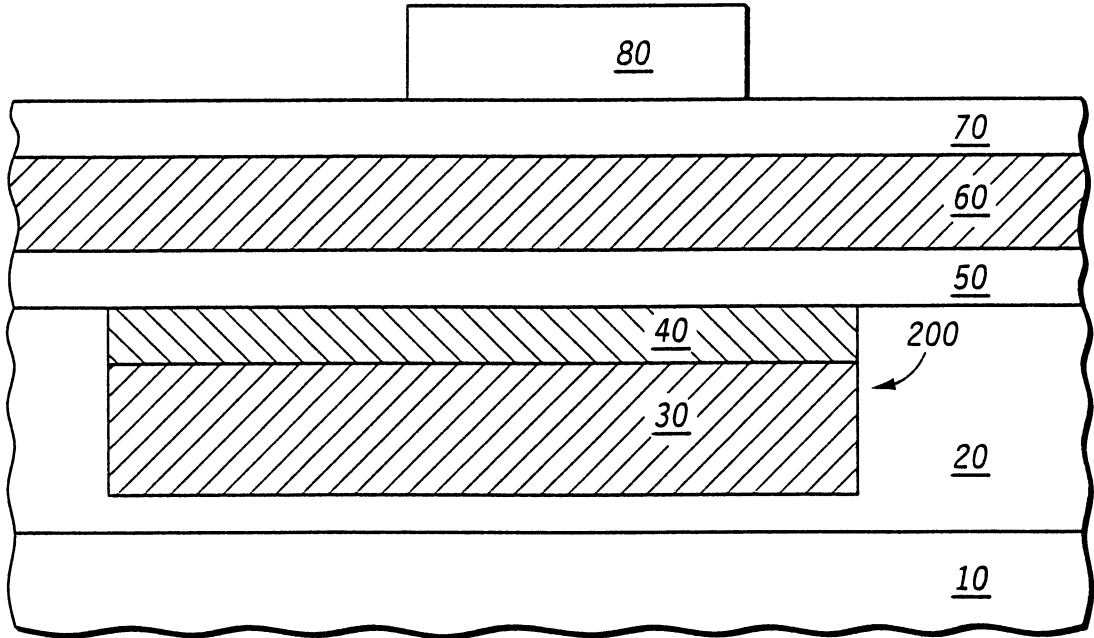


圖 8

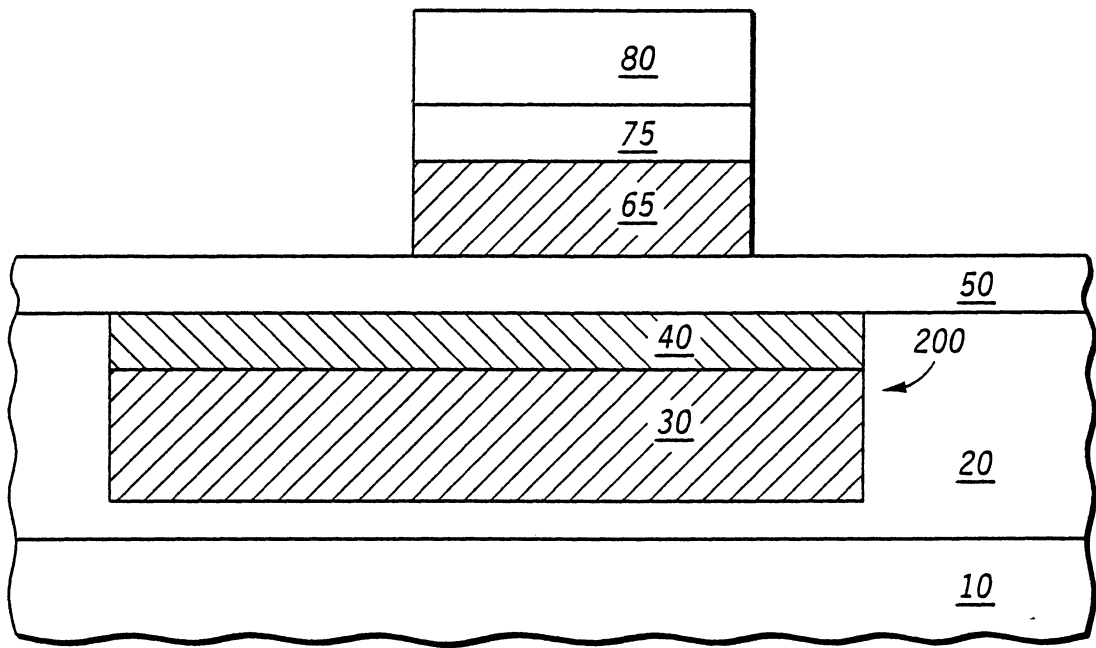


圖 9

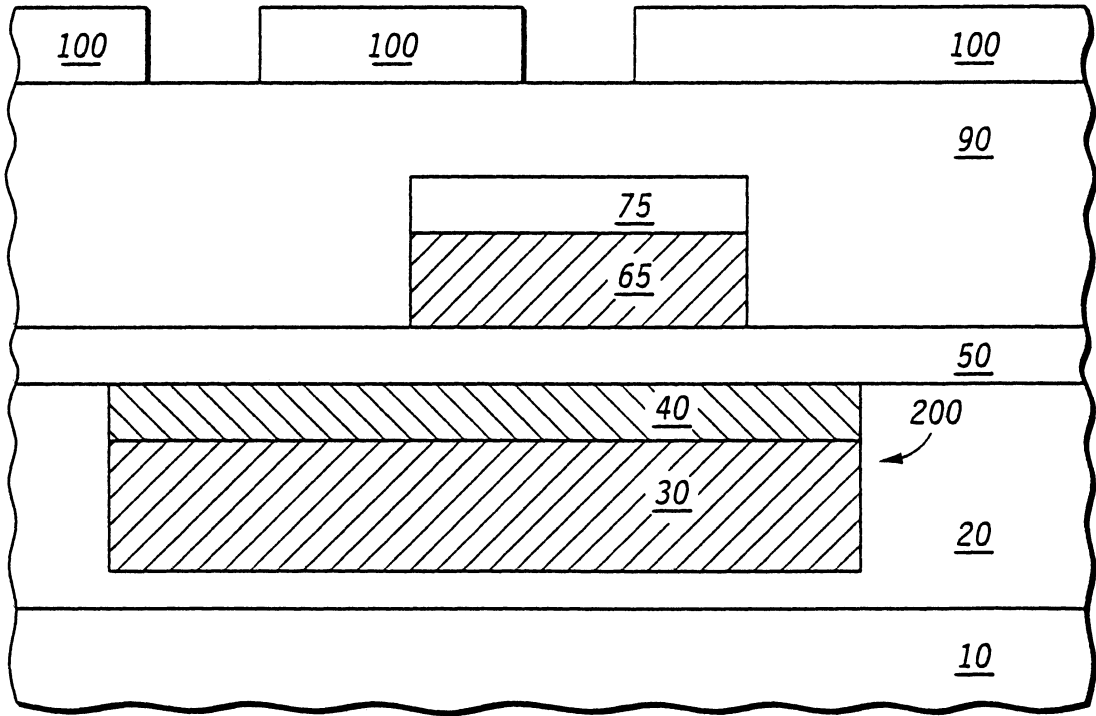


圖 10

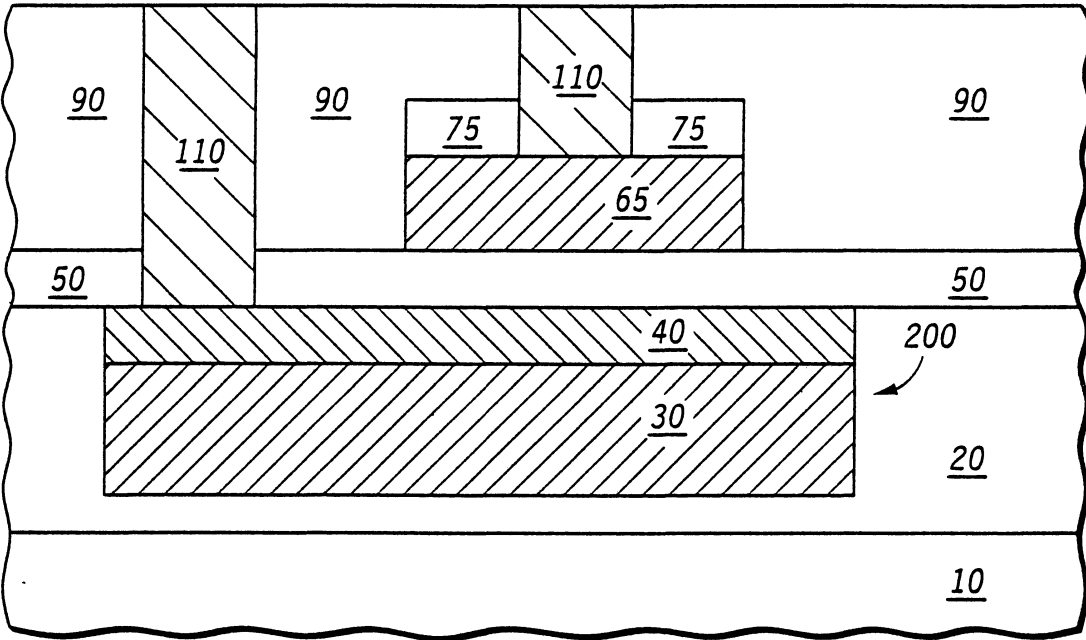


圖 11

五、發明說明 (4)

驟，形成本發明之MIM電容器。尤其，圖1說明在半導體結構10之上之電介質層20。較佳具體例中，半導體基材為矽。然而，其他半導體基才藝可使用，如鍺、砷及絕緣體上之矽(SOI)。通常，基材時會包含許多及各種主動半導體裝置(如金氧化物半導體(MOS)及/或雙極電晶體)。然而，了解本發明並不需了解此等裝置，因此並未說明此等裝置。

電介質層20係以化學蒸氣沉積(CVD)、物理蒸氣沉積(PVD)等或上述之結合沉積，且可為任何電介質材料，如氧化矽。

為形成圖2之結構，係使電介質層20形成圖案且蝕刻，形成開口200，有時稱之為溝槽或凹陷。在電介質層20上及開口200中形成第一金屬層30，且較好係藉由使用PVD、CVD、電鍍、此等之結合等沉積電極材料。較佳具體例中，第一金屬層30包括銅。例如，第一金屬層30可為銅或鋁銅合金。依其一具體例，第一金屬層30主要為銅。金屬層材料可使用PVD、CVD、霧化層沉積(ALD)、電鍍、上述之結合等沉積。在者，第一金屬層30實際可由多種材料形成。例如在銅嵌入之金屬化方案中，溝槽通常以包括鈹或氮化鈹之擴散保護層形成內襯。

圖3中所示係將第一金屬層30平整化形成鑲嵌結構之第一金屬層30後之半導體裝置。第一金屬層30可以以化學機械拋光(CMP)、後蝕刻(如濕潤或乾燥蝕刻製程)等平整化。若第一金屬層30經拋光，則可形成溝槽以協助控制拋

五、發明說明 (12)

圖式元件符號說明

10	半導體基材
20	電介質層
30	第一金屬層
40	導電氧化保護層
50	絕緣體
60	第三金屬層
65	頂端電極
70	蝕刻終止層
75	蝕刻終止層
80	第一光阻劑層
90	中間層電介質
100	第二光阻劑層
110	導電孔洞
200	開口
205	凹陷

六、申請專利範圍

1. 一種形成金屬-絕緣體-金屬(MIM)電容器結構之方法，包括：

提供一半導體基材(10)；

在半導體基材(10)上形成一電介質層(20)；

在電介質層(20)上形成一凹陷(205)；

在凹陷中形成一第一金屬層(30)，該第一金屬層包括銅；

使第一金屬層(30)凹陷；

在第一金屬層(30)上形成一第二金屬層(40)，該第二金屬層(40)係第一金屬層(30)之導電氧化保護層；

在第二金屬層(40)上形成一絕緣體(50)；及

在絕緣體(50)上形成一第三金屬層(60)。

2. 如申請專利範圍第1項之方法，其中形成第一金屬層(30)尚包括：

將第一金屬層沉積在電介質層(20)之表面上；及

使第一金屬層(30)平整化形成鑲嵌結構。

3. 如申請專利範圍第1項之方法，其中形成第二金屬層(40)尚包括形成厚度為50至2000埃之第二金屬層(40)。

4. 如申請專利範圍第1項之方法，其中形成第二金屬層(40)包括：

將第二金屬層(40)沉積在電介質層(20)及凹陷之第一金屬層(30)之表面上；

移除第一金屬層(30)中之凹陷(205)外面之所有第二金屬層(40)，使第二金屬層(40)之四周自行排列成第一

六、申請專利範圍

金屬層(30)之周圍；及

使第二金屬層(40)平整化使之與電介質層(20)之表面共平面。

5.一種形成半導體裝置結構之方法，包括：

提供一半導體基材(10)；

在半導體基材(10)上形成一第一電介質層(20)；

在第一電介質層(20)上形成一凹陷(205)；

在凹陷(205)中形成一第一金屬層(30)，該第一金屬層(30)包含銅；

使第一金屬層(30)凹陷；及

在第一金屬層(30)之上形成一第二金屬層(40)，該第二金屬層(40)係第一金屬層(30)之導電氧化保護層。