



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년06월29일
(11) 등록번호 10-1872823
(24) 등록일자 2018년06월25일

(51) 국제특허분류(Int. Cl.)
G11C 29/50 (2006.01) G11C 11/41 (2006.01)
(52) CPC특허분류
G11C 29/50 (2013.01)
G11C 11/41 (2013.01)
(21) 출원번호 10-2017-0025989
(22) 출원일자 2017년02월28일
심사청구일자 2017년02월28일
(56) 선행기술조사문헌
KR101385109 B1*
KR1020140112135 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
박종선
서울특별시 서초구 신반포로 9, 85동 403호 (반포동, 반포아파트)
최웅
경기도 부천시 소사로170번길 81, 108동 607호 (소사본동, 한신아파트)
(74) 대리인
특허법인엠에이피에스

전체 청구항 수 : 총 3 항

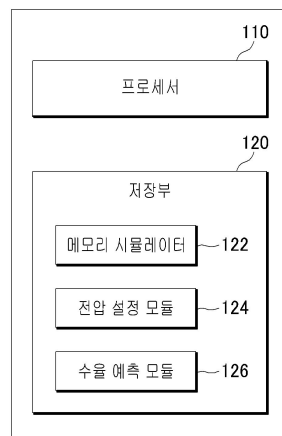
심사관 : 나영준

(54) 발명의 명칭 정적 램의 수율 예측 방법

(57) 요약

본 발명에 따른 정적 램의 수율 예측 방법은 예측 대상이 되는 정적 램에 대한 어시스트 동작 구간에서의 DC 전압 입력 조건에 따라 제 1 교란 벡터를 생성하는 단계; 제 1 교란 벡터를 기초로 제 1 마진을 산출하는 단계; DC 전압 입력 조건에 따라 어시스트 동작 구간만큼 AC 시뮬레이션을 수행하는 단계; AC 시뮬레이션의 종료에 따라 설정된 정상 동작 구간에서의 DC 전압 입력 조건에 따라 제 2 교란 벡터를 생성하는 단계; 제 2 교란 벡터를 기초로 제 2 마진을 산출하는 단계; 및 제 1 마진과 제 2 마진 중 최소 마진을 선택하고, 선택된 마진에 기초하여 정적 램의 수율을 예측하는 단계를 포함한다.

대표도 - 도4



100

(52) CPC특허분류

G11C 2029/5002 (2013.01)

G11C 2029/5004 (2013.01)

공지예외적용 : 있음

명세서

청구범위

청구항 1

정적 램의 수율 예측 방법에 있어서,

예측 대상이 되는 정적 램에 대한 어시스트 동작 구간에서의 DC 전압 입력 조건에 따라 제 1 교란 벡터를 생성하는 단계;

상기 제 1 교란 벡터를 기초로 제 1 마진을 산출하는 단계;

상기 DC 전압 입력 조건에 따라 상기 어시스트 동작 구간만큼 AC 시뮬레이션을 수행하는 단계;

상기 AC 시뮬레이션의 종료에 따라 설정된 정상 동작 구간에서의 DC 전압 입력 조건에 따라 제 2 교란 벡터를 생성하는 단계;

상기 제 2 교란 벡터를 기초로 제 2 마진을 산출하는 단계; 및

상기 제 1 마진과 제 2 마진 중 최소 마진을 선택하고, 선택된 마진에 기초하여 상기 정적 램의 수율을 예측하는 단계를 포함하되,

상기 제 1 교란 벡터를 생성하는 단계 또는 제 2 교란 벡터를 생성하는 단계는

N 커브 메트릭에 기반하여 도출되는 최대전류 또는 최소 전류를 구분적 선형 근사법에 따라 소정의 구간으로 구분하고, 각 구간 단위로 교란 벡터를 산출하는 것이고,

상기 각 구간 단위로 자연 벡터(natural vector) 및 최고 가능 벡터(most probable vector)를 산출하고, 이를 미리 설정한 가중치를 통해 합산한 하이브리드 벡터를 상기 교란 벡터로서 산출하는 것인 정적 램의 수율 예측 방법.

청구항 2

제 1 항에 있어서,

상기 제 1 마진 또는 제 2 마진은 각각 접근 방해 마진(access disturb margin)과 쓰기 마진(write margin)을 포함하는 정적 램의 수율 예측 방법.

청구항 3

삭제

청구항 4

삭제

청구항 5

정적 램의 수율 예측 방법에 있어서,

N 커브 메트릭에 기반하여 도출되는 최대전류 또는 최소 전류를 구분적 선형 근사법에 따라 소정의 구간으로 구분하고, 각 구간 단위로 교란 벡터를 산출하는 단계;

상기 교란 벡터를 기초로 접근 방해 마진(access disturb margin) 또는 쓰기 마진(write margin)을 산출하는 단계; 및

상기 접근 방해 마진 또는 쓰기 마진에 기초하여 상기 정적 램의 수율을 예측하는 단계를 포함하되,

상기 각 구간 단위로 자연 벡터(natural vector) 및 최고 가능 벡터(most probable vector)를 산출하고, 이를 미리 설정한 가중치를 통해 합산한 하이브리드 벡터를 상기 교란 벡터로서 산출하는 것인 정적 램의 수율 예측 방법.

청구항 6

삭제

발명의 설명

기술 분야

[0001] 본 발명은 정적 램의 수율 예측 방법에 관한 것이다.

배경 기술

[0002] 컴퓨터 등의 핵심 부품이 되는 메모리 소자의 제조 기술을 살펴보면, 그 생산성을 향상시키기 위해서는 외부 공정 변수와는 무관하게 일정한 수율을 확보할 수 있어야 한다. 이를 위해, 새로운 설계 디자인이 제안된 경우 이러한 설계 디자인에서 확보할 수 있는 수율을 예측할 수 있는 방법에 대한 수요가 존재하고, 이를 위한 연구가 활발하게 진행되고 있다. 특히, 메모리의 제조 과정에서는 공정 변수의 변화를 고려하여 정확한 수율을 예측할 필요성이 있다.

[0003] 종래의 경우, 예를 들면 정적 램(SRAM)의 수율 예측을 위해 몬테카를로(Monte-carlo) 시뮬레이션을 사용하는 방법이 알려져 있으나, 수율 예측을 향상을 위해서는 매우 많은 횟수의 샘플링이 필요하여 수율 예측 시뮬레이션에 소요되는 시간이 급격히 증가하는 문제점이 있었다.

[0004] 이를 해소하기 방법으로, 최근에는 정적 램의 동작 마진을 직접 계산하는 방법이 개발되었다. 즉, 정적 램의 읽기 안정성을 나타내는 접근 방해 마진(access disturb margin)과 쓰기 안정성을 나타내는 쓰기 마진(write margin)에 대하여 N 커브 메트릭 방법(N-curve metric)과 교란 벡터(perturbation vector)를 이용하여 수율을 예측하는 방법을 사용하였다. 정적 램(SRAM)의 경우 그 성능을 평가 하기 위한 방법으로 읽기 성능과 쓰기 성능을 측정하고, 그 측정된 값이 정적 램의 동작을 위해 확보해야 하는 최소한의 범위 내에 위치하는지 여부를 기준으로 테스트를 수행하게 된다.

[0005] 그러나, 종래의 이러한 방법은 선형 근사(linear approximation)에 기반한 것인데, 실제 정적 램의 경우 동작 전압에 따라 비선형적인 N 커브 메트릭 특성을 갖기 때문에 이를 개선할 필요가 있다. 또한, 저전압 구동 환경의 정적 램에 대해서는 그 성능 향상을 위하여 어시스트 동작이 순차적으로 진행되는데, 이는 정적 램의 기록 동작과 판독 동작 시 비트 라인과 워드 라인의 전위를 낮추어 동작 마진을 넓히는 기술로써, 이때 인가되는 전압 조건에 따라 교란 벡터를 수정할 필요가 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 대한민국 등록 특허 10-1385109(발명의 명칭: 정적 램의 수율 추정 방법 및 정적 램의 수율 추정 장치)

발명의 내용

해결하려는 과제

[0007] 본 발명은 전술한 종래 기술의 문제점을 해결하기 위한 정적 램의 수율 예측 방법으로, 수율 예측 과정에서 발생하는 대상 메트릭의 비선형 특성과 정적 램에서 어시스트 동작이 수행되는 조건을 반영하여 새롭게 개선된 수율 예측 방법을 제공하는데 그 목적이 있다.

[0008] 다만, 본 실시예가 이루고자 하는 기술적 과제는 상기된 바와 같은 기술적 과제로 한정되지 않으며, 또 다른 기술적 과제들이 존재할 수 있다.

과제의 해결 수단

[0009] 상술한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본 발명의 제 1 측면에 따른 정적 램의 수율 예측 방법은 예측 대상이 되는 정적 램에 대한 어시스트 동작 구간에서의 DC 전압 입력 조건에 따라 제 1 교란 벡터를 생성하는 단계; 상기 제 1 교란 벡터를 기초로 제 1 마진을 산출하는 단계; 상기 DC 전압 입력 조건에 따라 상기 어시스트 동작 구간만큼 AC 시뮬레이션을 수행하는 단계; 상기 AC 시뮬레이션의 종료에 따라 설정된 정상 동작 구간에서의 DC 전압 입력 조건에 따라 제 2 교란 벡터를 생성하는 단계; 상기 제 2 교란 벡터를 기초로 제 2 마진을 산출하는 단계; 및 상기 제 1 마진과 제 2 마진 중 최소 마진을 선택하고, 선택된 마진에 기초하여 상기 정적 램의 수율을 예측하는 단계를 포함한다.

[0010] 또한, 본 발명의 제 2 측면에 따른 정적 램의 수율 예측 방법은 N 커브 메트릭에 기반하여 도출되는 최대전류 또는 최소 전류를 구분적 선형 근사법에 따라 소정의 구간으로 구분하고, 각 구간 단위로 교란 벡터를 산출하는 단계; 상기 교란 벡터를 기초로 접근 방해 마진(access disturb margin) 또는 쓰기 마진(write margin)을 산출하는 단계; 및 상기 접근 방해 마진 또는 쓰기 마진에 기초하여 상기 정적 램의 수율을 예측하는 단계를 포함한다.

발명의 효과

[0011] 본 발명의 구성에 따라 교란 벡터를 생성하는 과정에서 저전압 환경하에서 최대 전류 또는 최소 전류의 비선형 특성에 따른 오차 발생을 최소화할 수 있어, 보다 정확한 수율 예측이 가능하다. 또한, 정적 램의 어시스트 동작을 고려하여 수율 예측을 수행하므로, 보다 정확한 수율 예측이 가능하다.

도면의 간단한 설명

[0012] 도 1a 및 도 1b는 종래의 N 커브 메트릭에 따른 접근 방해 마진(access disturb margin)과 쓰기 마진(write margin)을 구하는 방법을 도시한 것이다.

도 2는 종래의 접근 방해 마진과 쓰기 마진을 이용한 수율 예측 방법을 도시한 도면이다.

도 3은 정적램에서의 문턱전압 스큐에 따른 최대 전류(ICRIT)와 최소 전류(ICRITW)의 시뮬레이션 결과를 도시한 것이다.

도 4는 본 발명의 일 실시예에 따른 메모리의 수율 예측 장치를 도시한 블록도이다.

도 5는 본 발명의 일 실시예에 따른 메모리의 수율 예측 방법을 설명하기 위한 도면이다.

도 6은 본 발명의 일 실시예에 따른 정적 램의 교란 벡터 생성 방법을 도시한 도면이다.

도 7은 본 발명의 일 실시예에 따른 정적 램의 교란 벡터 생성 방법을 도시한 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예를 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[0014] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0015] 도 1a 및 도 1b는 종래의 N 커브 메트릭에 따른 접근 방해 마진(access disturb margin)과 쓰기 마진(write margin)을 구하는 방법을 도시한 것이다.

[0016] 도 1a와 도 1b의 좌측에는 각각 일반적인 정적 램의 단위 메모리 셀 구조를 도시한 것으로 총 6개의 트랜지스터(PUL, PGL, PDL, PUR, PGR, PDR)가 접속된다. 도 1a와 도 1b의 우측에는 각각 입력 전압에 따른 각 트랜지스터의 전류 상태를 도시한다.

[0017] 예를 들어, 접근 방해 마진을 확인하기 위해, 워드라인과 비트라인은 각각 VDD로 바이어스되고, 쓰기 마진을 확

인하기 위해, 워드라인은 VDD로 바이어스되고, 제 1 비트라인(BL)은 VSS로, 제 2 비트라인(BLB)은 VDD로 바이어스된다.

[0018] 입력전압(Vin)을 VSS에서 VDD로 변화시킴에 따라 복수의 트랜지스터에서 발생하는 전류의 합(I_{PUL} , I_{PDL} , I_{PGL}) 이 N 커브의 형태로 표시된다.

[0019] 이때, 도 1a에 도시된 최대 전류(I_{CRIT})는 입력전압(Vin)을 VSS에서 0.5 VDD로 변화시키는 과정에서 N 커브에서의 최대 전류를 나타내는 것으로, 이는 접근 방해 마진을 나타내는 지표가 된다. 또한, 도 1b에 도시된 최소 전류(I_{CRITW})는 입력전압(Vin)을 0.5 VDD에서 VDD로 변화시키는 과정에서 N 커브에서의 최소전류를 나타내는 것으로, 이는 쓰기 마진을 나타내는 지표가 된다.

[0020] 도 2는 종래의 접근 방해 마진과 쓰기 마진을 이용한 수율 예측 방법을 도시한 도면이다.

[0021] 먼저, 최대 전류와 최소 전류의 표준 편차(standard deviation)는 아래 수학식에 따라 표시할 수 있다.

수학식 1

$$\delta M = \sum_{i=1}^m G_i \delta x_i = 1\sigma M = \sqrt{\sum_{i=1}^m G_i^2 \sigma_i^2}$$

[0022]

[0024] M은 관심 대상 메트릭을 나타내는 것으로, $G_i = |\partial M / \partial x_i|$ 는 m 차원의 변수 x에 대한 M의 그래디언트 값의 절대치를 나타낸다. 이때, x는 M의 변화를 유도하는 값이다.

[0025] 예를 들어, 최대 전류(I_{CRIT})가 관심 대상 메트릭이라면, 각 메모리 셀에 포함된 6개의 트랜지스터의 문턱전압(V_{Th})들의 변화는 랜덤 변수 x라 할 수 있다. 만약, 메모리 셀에 초기에 저장된 데이터가 '0'이라면, 읽기 동작 실패가 발생하는 문턱전압의 스큐(skew) 방향이 결정되며, 이는 도면에 도시된 바와 같다. 이때, 최대 전류(I_{CRIT})가 0이 되도록 하는 특정 표준편차 값 σ (시그마)을 S_{CRIT} 라 하고, 이를 특정하는 단계를 수행한다(S10).

[0026] 다음으로, 자연 벡터(natural vector)와 최고 가능 벡터(most probable vector)를 구하고 이로부터 하이브리드 벡터를 구한다(S20).

[0027] 앞서 구한 S_{CRIT} 를 기준점으로 사용하면, 문턱전압의 스큐에 대한 최대 전류(I_{CRIT})의 경사도가 산출될 수 있다. 이러한 경사도들로부터 2개의 단위 교란 벡터를 생성하는데, 하나는 자연 벡터(natural vector)이고 다른 하나는 최고 가능 벡터(most probable vector)이다.

[0028] 도 2에 도시된 바와 같이, 자연 벡터는 전체 트랜지스터 소자의 문턱 전압이 각각의 표준편차(σ)에 따라 동일한 개수 만큼 스큐되는 것을 나타내고, 적색으로 도시된다. 또한, 최고 가능 벡터는 랜덤 변수 x의 스큐가 가장 최단 거리 내에서 1 σ 에 의해 M 만큼 감소하는 것을 나타내고, 청색으로 도시된다. 또한, 도시된 바와 같이 최대 전류(I_{CRIT})를 나타내는 피라미드 구조에서 a 는 $1/G_1$ 을 나타내고, b 는 $1/G_2$ 를 나타내며, a와 b를 가로 지르는 직선의 방정식은 $y=(a/b)x-a$ 로 정의될 수 있다. 이때, y를 자연 벡터로 정의하면 아래와 같이 자연 벡터에 대한 수학식이 도출될 수 있다.

수학식 2

$$u_{nat} = 1\sigma M / \sum_{i=1}^6 G_i$$

[0029]

[0031] 마찬가지로, 최고 가능 벡터는 아래 수학적 식 3과 같이 도출될 수 있다.

수학적 식 3

$$u_{mp.i} = G_i / 1\sigma M$$

[0032]

[0034] 메모리 소자에 포함된 개별 소자들의 스큐를 모두 고려할 경우, 문턱 전압의 스큐가 영향을 미치는 확률이 자연 벡터에 대하여 상대적으로 더 크기 때문에, 자연 벡터는 보다 비관적인 결과를 유도하고, 최고 가능 벡터는 보다 긍정적인 결과를 유도한다. 이와 같은 차이를 가중치로 적용하여, 하이브리드 벡터를 도출한다. 즉, 하이브리드 벡터는 자연 벡터와 최고 가능 벡터를 합산한 것이되, 예를 들면 자연벡터에는 0.2의 가중치를 곱하고, 최고 가능 벡터에는 0.8의 가중치를 곱하는 형태로 하이브리드 벡터를 산출한다.

[0035] 이와 같이 각 트랜지스터에 대한 문턱 전압 스큐가 교란 벡터에 반영되고, 이를 통해 전체 트랜지스터의 최대 전류 (I_{CRIT})가 산출될 수 있다. 문턱 전압 스큐에 따라 시뮬레이션을 수행하고, 쓰기 실패가 발생하면, 쓰기 실패가 발생하는 시점에서의 교란 벡터의 개수를 추출하여, 접근 방해 마진(ADM)으로 출력하며 이는 정적 램의 수율을 나타내는 지표가 된다. 한편, DC 전압이 인가되는 조건뿐만 아니라, AC 전압이 인가되는 조건도 함께 고려될 수 있다.

[0036] 이와 같은 기술적 배경에 따라, 정적 램의 수율은 다음 수학적식을 통해 산출된다.

수학적 식 4

$$YIELD = \sum_{n=0}^k \frac{\lambda^n \exp(-\lambda)}{n!}$$

[0037]

[0039] k는 메모리 칩 내에서 수리 가능한 최대 실패 개수를 나타내고, λ 는 예상되는 실패 개수를 나타낸다.

[0040] 이와 같은 정적 램의 수율 예측 방법은 종래의 기술에 해당하는 것으로 보다 상세한 설명은 생략하기로 한다.

[0041] 앞서 설명한 바와 같이, 종래의 접근 방해 마진과 쓰기 마진을 구하는 방법은 최대 전류(I_{CRIT})가 선형 근사되는 것을 전제로 하는 것으로, 실제 상황에서는 최대 전류의 경사도가 상수값이 아니기 때문에 정확한 수율을 측정하기 어렵다.

[0042] 도 3은 정적램에서의 문턱전압 스큐에 따른 최대 전류(I_{CRIT})와 최소 전류(I_{CRITW})의 시뮬레이션 결과를 도시한 것이다.

[0043] (a)에 도시된 바와 같이 전원 전압이 고전압(0.8V)인 상태에서는 최대 전류와 최소 전류가 선형 상태를 유지함을 확인할 수 있다. 그러나 전원 전압이 저전압(0.4V)인 상태에서는 최대 전류와 최소 전류가 비선형 상태를 가짐을 확인할 수 있다.

[0044] 도 4는 본 발명의 일 실시예에 따른 메모리의 수율 예측 장치를 도시한 블록도이다.

[0045] 본 발명의 일 실시예에 따른 메모리의 수율 예측 장치(100)는 메모리 수율 예측 프로그램을 실행하는 프로세서(110)와 메모리 수율 예측 프로그램을 저장하는 저장부(120)를 포함하며, 컴퓨터나 휴대용 단말기로 구현될 수 있다. 여기서, 컴퓨터는 예를 들어, 노트북, 데스크톱(desktop), 랩톱(laptop) 등을 포함하고, 휴대용 단말기는 예를 들어, 휴대성과 이동성이 보장되는 장치로서, 스마트폰, 태블릿 PC 등과 같은 모든 종류의 핸드헬드(Handheld) 기반의 장치를 포함할 수 있다.

- [0046] 프로세서(110)는 적어도 하나의 프로세싱 유닛(CPU, micro-processor, DSP 등), RAM(Random Access Memory), ROM(Read-Only Memory) 등을 포함하여 구현될 수 있으며, 저장부(120)에 저장된 프로그램을 RAM으로 독출하여 적어도 하나의 프로세싱 유닛을 통해 실행할 수 있다. 한편, 실시예에 따라서 '프로세서'라는 용어는 '제어부', '컨트롤러', '연산 장치' 등의 용어와 동일한 의미로 해석될 수 있다.
- [0047] 또한, 저장부(120)는 전원이 공급되지 않아도 저장된 정보를 계속 유지하는 비휘발성 저장장치 및 저장된 정보를 유지하기 위하여 전력이 필요한 휘발성 저장장치를 통칭할 수 있다. 도시된 바와 같이, 메모리 수율 예측 프로그램을 구성하는 메모리 시뮬레이터(122), 전압 설정 모듈(124) 및 수율 예측 모듈(126)을 포함할 수 있다.
- [0048] 메모리 시뮬레이터(122)는 메모리 상세 회로도를 설계하고, 이에 대한 동작 시뮬레이션을 수행하도록 하는 구성으로서, 일반적으로 알려져있는 구성과 동일하여 이에 대한 구체적인 설명은 생략하도록 한다. 사용자는 메모리 시뮬레이터(122)를 통해 설계안을 확인할 수 있고, 수율 예측 결과를 참고하여 설계안을 변경할 수 있다.
- [0049] 전압 설정모듈(124)은 사용자가 설정한 조건에 따라 시뮬레이션 대상이 되는 메모리 설계 디자인에 대하여 여러 종류의 전압을 설정하고, 해당 전압이 인가되는 동작을 시뮬레이션할 수 있도록 한다. 본 발명에서는 정적 램의 어시스트 동작과 정상 동작을 구분하여, 각 동작에 맞는 전압을 설정하고, 해당 전압이 인가되는 동작을 시뮬레이션하도록 한다.
- [0050] 수율 예측 모듈(126)은 본 발명의 주요 특징이 되는 교란 벡터를 산출하고, 교란 벡터에 따라 접근 방해 마진과 쓰기 마진을 각각 산출하며, 이에 기초하여 테스트 대상 메모리 설계안에 대한 수율 예측치를 산출한다.
- [0051] 도 5는 본 발명의 일 실시예에 따른 메모리의 수율 예측 방법을 설명하기 위한 도면이다.
- [0052] 본 발명에서는 최대 전류(I_{CRIT})와 최소 전류(I_{CRITW})에 대한 종래의 선형 근사를 구분적 선형 근사(piecewise linear approximation) 방법으로 대체하여 저전압 조건에서 최대 전류와 최소 전류가 비선형 특성을 가짐에 따라 발생하는 오차를 해소하도록 한다.
- [0053] 도 4에 도시된 바와 같이, 최대 전류와 최소 전류의 값을 각각 소정의 구간으로 구분하고, 각 구간내에서 최대 전류의 경사도 또는 최소 전류의 경사도는 상수가 되도록 한다. 이와 같이, 각 구간에서의 경사도가 상수가 되도록 하고, 구간 단위로 교란 벡터를 산출하여, 오차 발생을 최소화 한다. 이때, 최대 전류 또는 최소 전류를 구분하는 구간을 k 라 하면, 각 구간에서의 최대전류 또는 최소전류의 변화량은 다음과 같이 변경된다.

수학식 5

$$\delta M_k = \sum_{i=1}^6 G_{k,i} \delta x_{k,i}$$

[0054]

[0056] 이때, i 는 메모리 셀에 포함된 트랜지스터의 개수를 나타내는 것으로, 현재는 6개의 트랜지스터를 고려하여 설계되었으나, 수율 예측이 수행되는 메모리 셀에 포함된 트랜지스터의 개수에 따라 변경될 수 있다.

[0057] 표준표차의 정의에 따라 수학식 5를 정리하면 다음과 같다.

수학식 6

$$1\sigma M = \sqrt{\frac{1}{N} \sum_{k=1}^N \delta M_k^2} = \sqrt{\frac{1}{N} \sum_{k=1}^N \sum_{i=1}^6 G_{k,i}^2 \sigma_{k,i}^2} = \sqrt{\sum_{i=1}^6 \hat{G}_i^2 \sigma_i^2}$$

[0058]

이때, $G_{k,i} = |\partial M_k / \partial x_{k,i}|$ 는 최대 전류 또는 최소 전류를 구분하는 구간에서의 경사도 값을 나타낸다.

그리고 각 구간에서의 경사도 값은 다음과 같이 정리될 수 있다.

수학식 7

$$\hat{G}_i = \sqrt{\frac{1}{N\sigma_i^2} \sum_{k=1}^N G_{k,i}^2 \sigma_{k,i}^2}$$

그리고 각 구간에서의 문턱전압의 표준편차는 다음과 같이 산출될 수 있다.

수학식 8

$$\sigma_{k,i} = \sqrt{\int_k (x_i - \mu_i)^2 p(x_i) dx}, \quad \text{where } \mu_i = \int_k x_i p(x_i) dx$$

그리고 수학식 7과 8은 다음과 같이 정규화된 형식으로 변환될 수 있다.

수학식 9

$$1\sigma M = \sqrt{\sum_{i=1}^6 \hat{G}_i^2}, \quad \text{where } \hat{G}_i = \sqrt{\frac{1}{N} \sum_{k=1}^N G_{k,i}^2 \sigma_{k,i}^2}$$

이와 같이 산출된 값이 각각 수학식 2와 수학식 3에 반영되어 자연 벡터와 최고 가능 벡터가 산출될 수 있다.

한편, 최근 사용되고 있는 정적 램에서는 어시스트 동작을 수행한다.

읽기 동작시에 어시스트 동작을 수행하는 과정은 워드라인의 전압이 정상 구간에 비하여 낮게 인가되는 언더드 라이브 구간(WL=WLUD)과 정상 구간(WL=VDD)을 포함하며, 이때 비트라인은 플로팅 상태에 있기 때문에 비트라인의 전압은 지속적으로 변화하게 된다. 그 결과 어시스트 동작에서의 전압 조건에 따라 실제 정적 램의 수율은 달라지게 되는데, 종래의 방법은 DC 전압 조건만을 고려하여 전체 교란 벡터를 생성하므로 오류가 발생할 수 밖에 없다. 이에, 본 발명에서는 교란 벡터를 생성하는 과정에서 새로운 방법을 제안하고자 한다.

도 6와 도 7은 본 발명의 일 실시예에 따른 정적 램의 교란 벡터 생성 방법을 도시한 순서도이다.

도시된 바와 같이, 정적 램에서는 어시스트 동작구간과 정상 동작구간을 포함하는 형태로 읽기 동작 또는 쓰기 동작이 수행되며, 어시스트 동작구간에서는 일반적으로 워드라인에 인가되는 전압이 정상 동작구간에서 인가되는 전원전압(VDD) 보다 낮게 설정된다. 이때, 어시스트 동작구간에서는 DC 전압 조건이 설정된 상태에서 비트라인 전압 플로팅 상태에 있기 때문에, 어시스트 동작이 수행되는 시간동안 비트라인의 전압이 변화하게 된다. 본 발명에서는 이러한 변화에 따른 교란벡터의 변경 사항을 반영하고자 한다.

먼저, 어시스트 동작 구간에서의 DC 전압 입력 조건에 따라 교란 벡터를 생성하고, 이를 기초로 제 1 마진을 산출한다(S710). 이때, DC 전압 입력 조건은 전원 전압 또는 워드라인에 인가되는 전압을 의미한다. 또한 제 1 마진은 앞서 설명한 구분적 선형 근사 방법에 따라 생성한 교란 벡터를 기초로 산출한 것으로, 접근 방해 마진 또는 쓰기 마진을 포함한다. 이때, 제 1 마진은 어시스트 동작 구간에서의 DC 전압 입력 조건에 기초하여 산출

된 것임을 의미하며, 이후에 설명할 제 2 마진과 구분하기 위하여, 새로운 명칭을 정의한 것이다.

- [0076] 다음으로, 앞선 단계(S710)에서 설정된 DC 전압 입력 조건에 따라 미리 정하여진 어시스트 동작구간 만큼 AC 시뮬레이션을 수행한다(S620). AC 시뮬레이션을 수행함에 따라 어시스트 동작의 종료 시점에 비트라인 전압을 확정할 수 있게 되고, 이는 이후 정상동작 구간에서의 DC 전압 입력 조건으로 활용된다.
- [0077] 다음으로, 앞선 단계(S720)에서 수행한 AC 시뮬레이션이 종료됨에 따라 확정된 비트라인 전압 값을 포함하는 정상 동작 구간에서의 DC 전압 입력 조건에 따라 교란 벡터를 생성하고, 이를 기초로 제 2 마진을 산출한다(S730). 제 2 마진은 앞서 설명한 구분적 선형 근사 방법에 따라 생성한 교란 벡터를 기초로 산출한 것으로, 접근 방해 마진 또는 쓰기 마진을 포함한다. 이때, 제 2 마진은 정상 동작 구간에서의 DC 전압 입력 조건에 기초하여 산출된 것임을 의미하며, 앞서 설명한 제 1 마진과 구분되는 개념이다.
- [0078] 다음으로, 앞서 산출한 제 1 마진과 제 2 마진의 크기를 비교하고, 그 값이 가장 작은 최소 마진을 선택한다(S740). 이와 같이 산출된 최소 접근 방해 마진 또는 최소 쓰기 마진에 기초하여 정적 램의 수율을 예측한다.
- [0079] 본 발명의 일 실시예에 따른 메모리의 수율 예측 방법은 컴퓨터에 의해 실행되는 프로그램 모듈과 같은 컴퓨터에 의해 실행 가능한 명령어를 포함하는 기록 매체의 형태로도 구현될 수 있다. 컴퓨터 판독 가능 매체는 컴퓨터에 의해 액세스될 수 있는 임의의 가용 매체일 수 있고, 휘발성 및 비휘발성 매체, 분리형 및 비분리형 매체를 모두 포함한다. 또한, 컴퓨터 판독가능 매체는 컴퓨터 저장 매체를 포함할 수 있다. 컴퓨터 저장 매체는 컴퓨터 판독가능 명령어, 데이터 구조, 프로그램 모듈 또는 기타 데이터와 같은 정보의 저장을 위한 임의의 방법 또는 기술로 구현된 휘발성 및 비휘발성, 분리형 및 비분리형 매체를 모두 포함한다.
- [0080] 본 발명의 방법 및 시스템은 특정 실시예와 관련하여 설명되었지만, 그것들의 구성 요소 또는 동작의 일부 또는 전부는 범용 하드웨어 아키텍처를 갖는 컴퓨터 시스템을 사용하여 구현될 수 있다.
- [0081] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.
- [0082] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

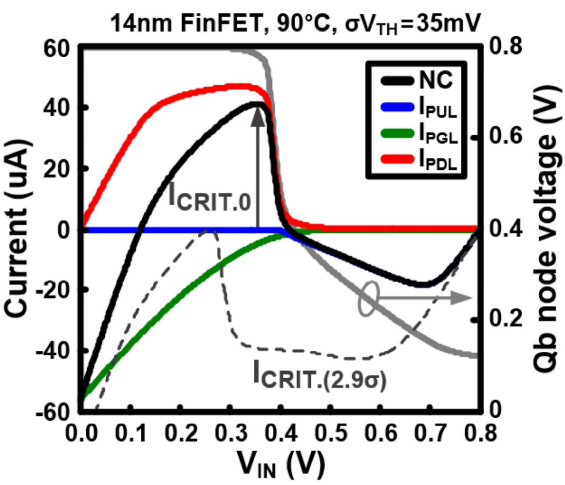
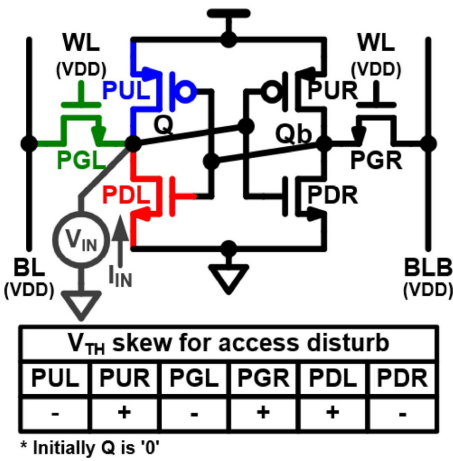
부호의 설명

- [0083] 100: 수율 예측 장치
110: 프로세서
120: 저장부

도면

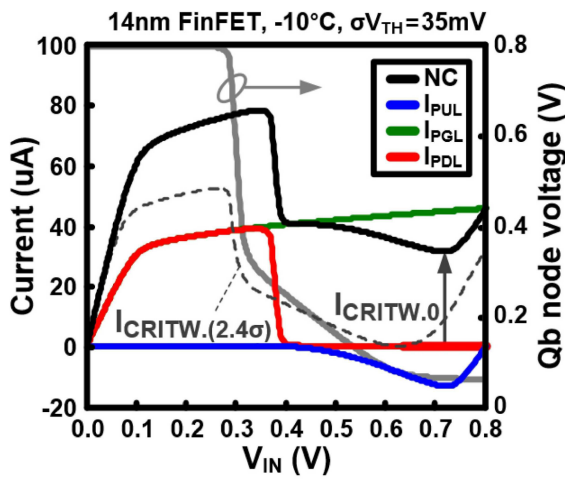
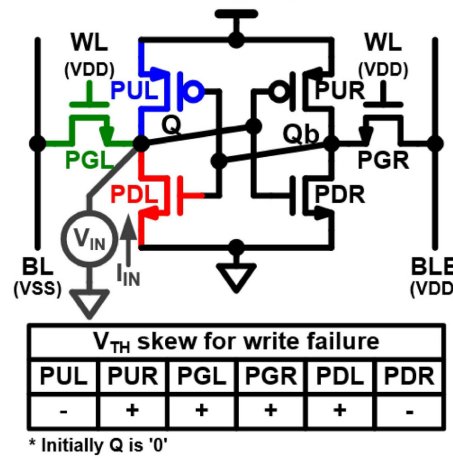
도면1a

Access Disturb Margin (ADM)

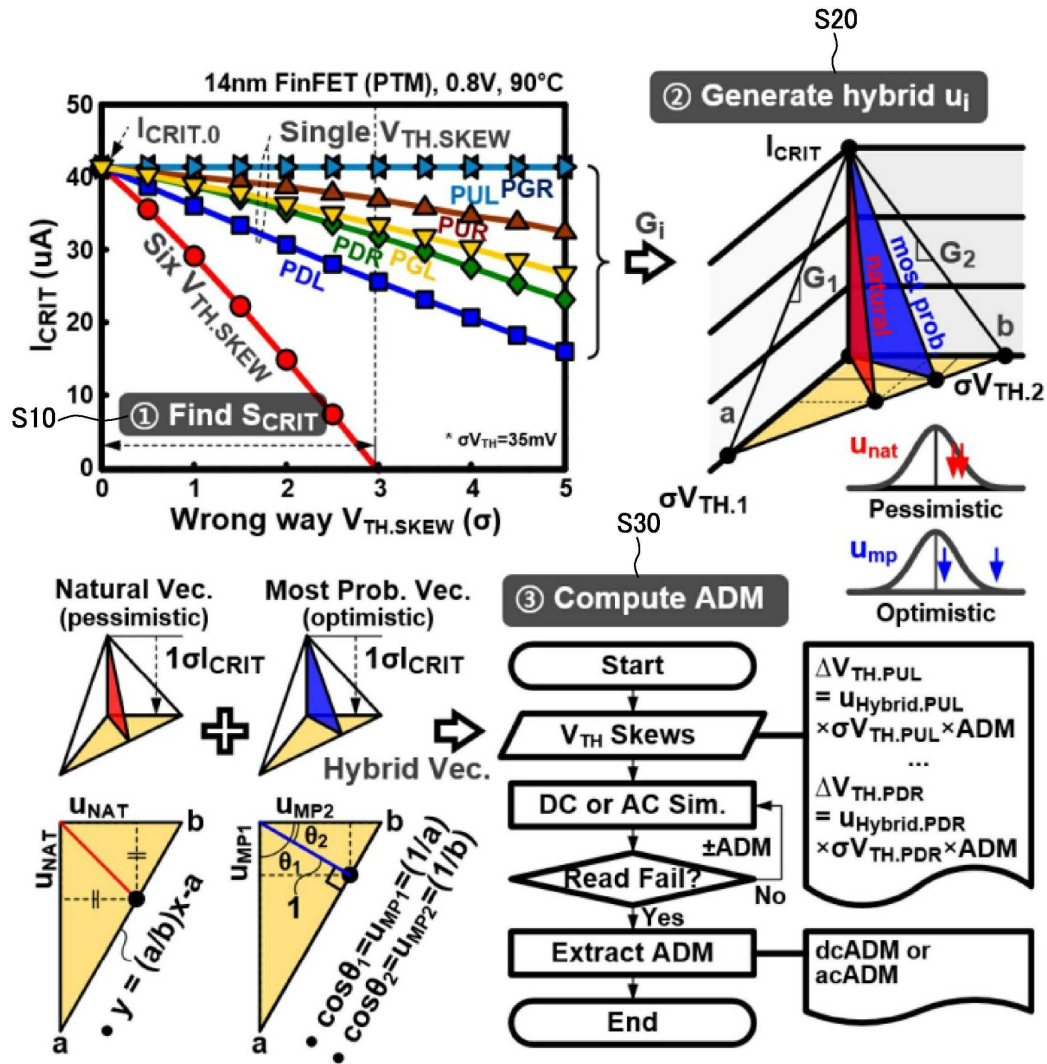


도면1b

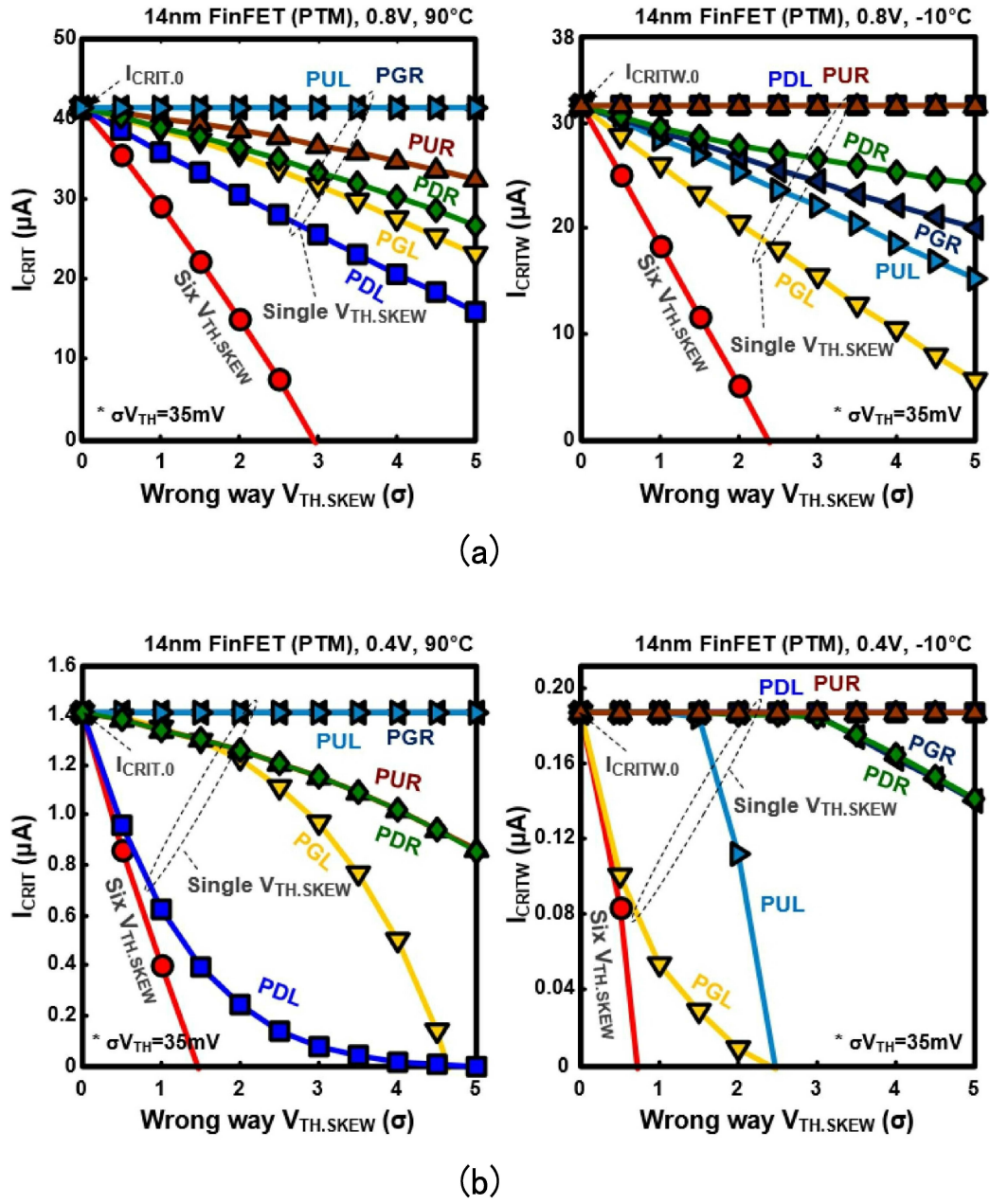
Write Margin (WRM)



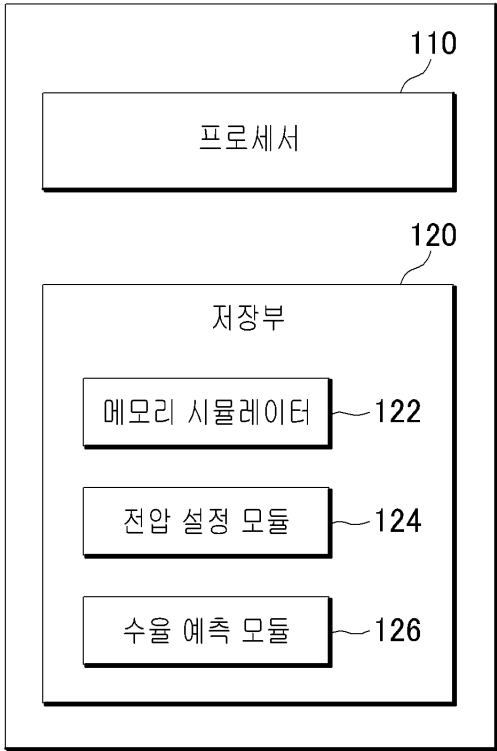
도면2



도면3

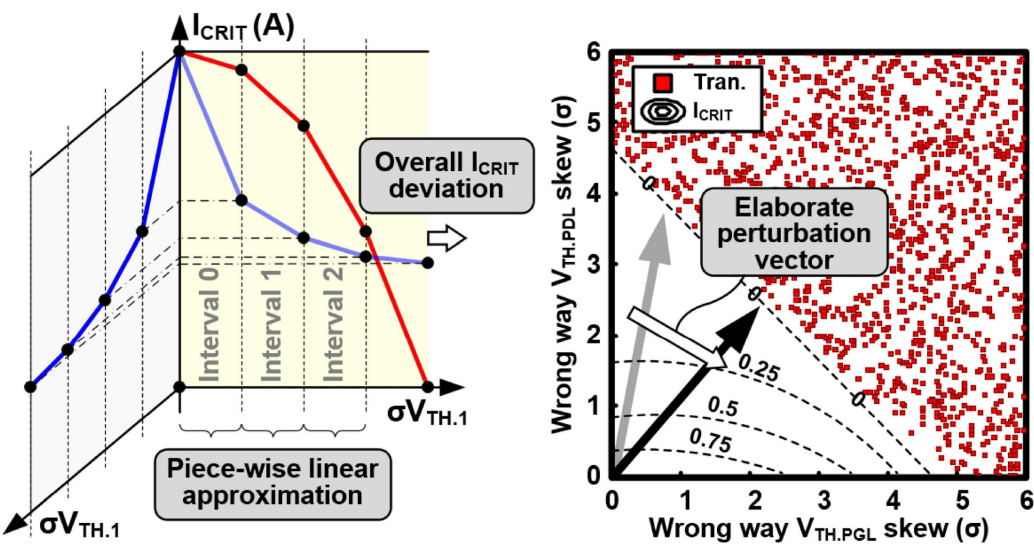


도면4

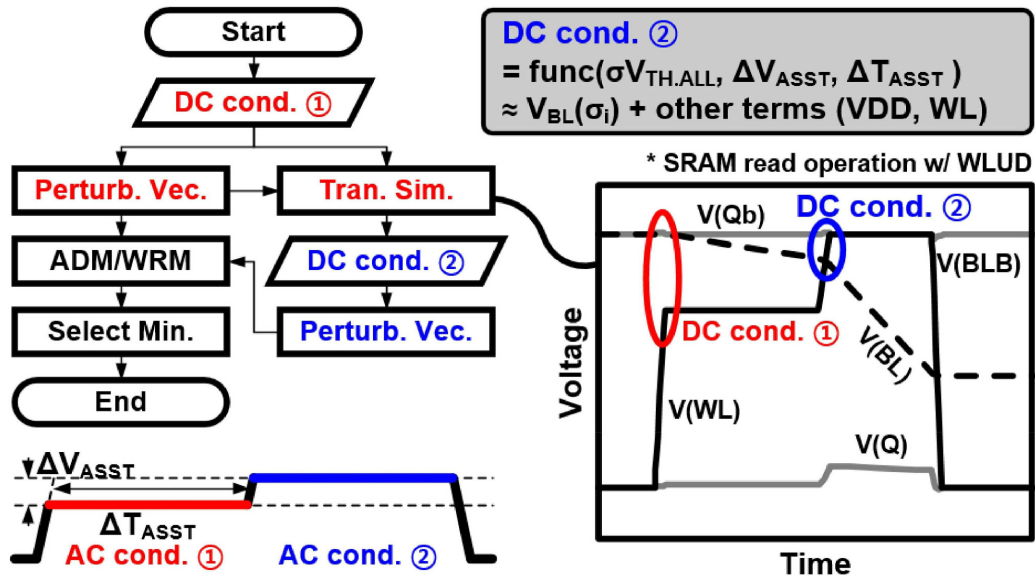


100

도면5



도면6



도면7

