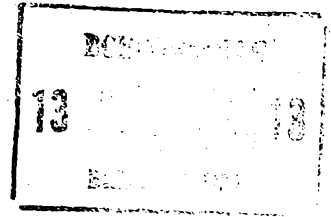




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3649973/24-24
- (22) 05.10.83
- (46) 07.04.85. Бюл. № 13
- (72) Я.Ф.Блейер, Ф.П.Звиргэдиньш, Я.Ю.Шлихте и Э.Э.Родэ
- (71) Рижский ордена Трудового Красного Знамени политехнический институт
- (53) 681,333 (088.8)
- (56) 1. Авторское свидетельство СССР № 661566, кл. G 06 G 7/46, 1976.

2. Авторское свидетельство СССР № 918951, кл. G 06 F 15/328, 1980 (прототип).

(54)(57) 1. УСТРОЙСТВО ДЛЯ РЕШЕНИЯ КРАЕВЫХ ЗАДАЧ, содержащее два блока формирования частного решения, каждый из которых содержит кодоуправляемую R-сетку, коммутатор, блок элементов И, шифратор и дешифратор, выход которого подключен к первым входам коммутатора и блока элементов И, выход которого соединен с разрядными входами кодоуправляемой R-сетки, группа центральных узлов которой подключена к второму входу коммутатора, блок управления, состоящий из генератора тактовых импульсов, коммутатора условий перехода, регистра команд, коммутатора команд, счетчика, блока памяти программы и регистра микрокоманд, блок арифметических вычислений, первый выход которого подключен к вторым входам блоков элементов И обоих блоков формирования частного решения, первый и второй аналого-цифровые преобразователи, информационные входы которых соединены с выходами коммута-

торов соответственно первого и второго блоков формирования частного решения, первый шифратор кода адреса, выход которого подключен к входам дешифраторов обоих блоков формирования частного решения, второй шифратор кода адреса, выход которого соединен с входами шифраторов обоих блоков формирования частного решения, первый регистр кода адреса, выход которого подключен к первым входам первого и второго шифраторов кода адреса, второй регистр кода адреса, выход которого соединен с вторыми входами шифраторов кода адреса и с управляющим входом коммутатора конфигураций, первая группа выходов которого подключена к первой группе граничных узлов кодоуправляемой R-сетки первого блока формирования частного решения, вторая группа граничных узлов которой соединена с первой группой информационных входов коммутатора конфигураций, вторая группа выходов которого подключена к первой группе граничных узлов кодоуправляемой R-сетки второго блока формирования частного решения, вторая группа граничных узлов которой соединена с второй группой информационных входов коммутатора конфигураций, вход ввода данных устройства подключен к информационным входам первого и второго регистров кода адреса и регистра команд, выход которого соединен с первым информационным входом коммутатора команд, выход которого подключен к счетному входу счетчика и к входу блока памяти программы, группа выходов которого

соединена с группой входов регистра микрокоманд, первый выход которого подключен к второму информационному входу коммутатора команд, управляющий вход которого соединен с выходом коммутатора условий перехода, управляющий вход которого подключен к второму выходу регистра микрокоманд, третий выход которого соединен с управляющим входом регистра команд, выход генератора тактовых импульсов подключен к стробирующим входам регистра команд, счетчика и регистра микрокоманд, четвертый выход которого соединен с управляющим входом счетчика, выход которого соединен со стробирующим входом коммутатора команд, пятый выход регистра микрокоманд подключен к стробирующим входам первого и второго регистров кода адреса, первого и второго аналого-цифровых преобразователей и блоков элементов И обоих блоков формирования частного решения, вход запуска устройства соединен с первым информационным входом коммутатора условий перехода, отличающемся тем, что, с целью повышения быстродействия, в него введены два блока памяти, триггер, мультиплексор, блок регистрации, а в каждый блок формирования частного решения введен элемент ИЛИ, выход которого соединен с вторым входом дешифратора, пятый выход регистра микрокоманд подключен к первому входу блока арифметических вычислений, к стробирующим входам первого и второго блоков памяти и к установочному входу триггера, выход которого соединен с первыми входами элементов ИЛИ и с первыми управляющими входами первого и второго блоков памяти, вторые управляющие входы которых подключены к выходам соответственно первого и второго шифраторов кода адреса, второй выход блока арифметических вычислений соединен с вторым информационным

входом коммутатора условий перехода и с входами разрешения съема информации аналого-цифровых преобразователей и блоков памяти, третий выход блока арифметических вычислений подключен к информационному входу блока регистрации, управляющий вход которого соединен с шестым выходом регистра микрокоманд, выходы первого и второго блоков памяти подключены соответственно к первому и второму информационным входам мультиплексора, выход которого соединен с вторым входом блока арифметических вычислений, третий вход которого подключен к информационному входу второго регистра кода адреса, выход второго шифратора кода адреса соединен с управляющим входом мультиплексора.

2. Устройство по п.1, отличающееся тем, что блок арифметических вычислений содержит два сумматора, элемент памяти, узел умножения, схему сравнения и элемент И, выход которого является первым выходом блока, первый вход которого соединен со стробирующими входами сумматоров, элемента памяти, узла умножения и схемы сравнения, выход которой соединен с первым входом элемента И и является вторым выходом блока, третий выход которого подключен к первому входу первого сумматора, к выходу элемента памяти и к первому входу узла умножения, выход которого соединен с первым входом второго сумматора, выход которого подключен к второму входу элемента И и к первому входу схемы сравнения, второй вход блока соединен с вторым входом первого сумматора, третий вход блока подключен к вторым входам элемента памяти, узла умножения, второго сумматора и схемы сравнения.

1

Изобретение относится к аналого-цифровой вычислительной технике и может быть применено для решения краевых задач теории поля, описываемых дифференциальными уравнениями

2

в частных производных, методом дискретного моделирования.

Известно устройство для решения нелинейных краевых задач, содержащее блок управления и сопряжения, под-

ключенный к цифровому блоку и через аналого-цифровой преобразователь соединенный с блоком коммутатора, и сеточные блоки, каждый из которых содержит кодоуправляемый блок задания напряжений и токов, выход которого подключен к сетке проводимостей, связанной через блок релеяного коммутатора с буферным усилителем-повторителем, соединенным с блоком коммутатора, подключенного к блоку управления и сопряжения и связанного с селекторами, блоком коммутации областей произвольной конфигурации и с блоком занесения информации, соединенным с кодоуправляемым блоком задания напряжений и токов, с первым селектором и через блок управления с сеткой проводимости, подключенной к блоку коммутации областей произвольной конфигурации, селекторы соединены между собой и подключены к блоку коммутации областей производной конфигурации.

В этом устройстве повышена точность решения уравнений за счет возможности образования необходимой конфигурации решающей сетки [1].

Однако, это устройство обладает низким быстродействием.

Наиболее близким техническим решением к изобретению является вычислительное устройство для решения нелинейных краевых задач, содержащее два блока формирования частотного решения, включающие каждый кодоуправляемую R-сетку, коммутатор, блок элементов И, шифратор и дешифратор, выход которого подключен к первым входам коммутатора и блока элементов И, выход которого соединен с разрядными входами кодоуправляемой R-сетки, группа центральных узлов которой подключена к второму входу коммутатора, подключенного к аналого-цифровому преобразователю и к шифратору и соединенного с шифратором кода адреса, с регистром кода адреса и регистром конфигурации, связанным с коммутатором конфигураций, соединенным с кодоуправляемыми R-сетками, аналого-цифровой преобразователь, цифровая вычислительная машина, регистр кода адреса и регистр кода конфигурации соединены с блоком управления.

Известное устройство позволяет параллельно с занесением информации в регистр конфигурации управлять ком-

мутатором конфигураций и обеспечивает аппаратную реализацию преобразования адресов, что повышает его быстродействие [2].

Однако известное устройство обладает низким быстродействием при съеме информации с кодоуправляемых R-сеток, что вызывает расход энергии и нагрев аппаратуры устройства, вызывающий уход ее параметров в процессе съема решения. Это снижает точность решения задачи и требует дополнительных затрат машинного времени. Кроме того, в известном устройстве неравномерно загружена аппаратура устройства.

Целью изобретения является повышение быстродействия устройства.

Поставленная цель достигается тем, что в устройство, содержащее два блока формирования частного решения, каждый из которых содержит кодоуправляемую R-сетку, коммутатор, блок элементов И, шифратор и дешифратор, выход которого подключен к первым входам коммутатора и блока элементов И, выход которого соединен с разрядными входами кодоуправляемой R-сетки, группа центральных узлов которой подключена к второму входу коммутатора, блок управления, состоящий из генератора тактовых импульсов, коммутатора условий перехода, регистра команд, коммутатора команд, счетчика, блока памяти программы и регистра микрокоманд, блок арифметических вычислений, первый выход которого подключен к вторым входам блоков элементов И обоих блоков формирования частного решения, первый и второй аналого-цифровые преобразователи, информационные входы которых соединены с выходами коммутаторов соответственно первого и второго блоков формирования частного решения, первый шифратор кода адреса, выход которого подключен к входам дешифраторов обоих блоков формирования частного решения, второй шифратор кода адреса, выход которого соединен с входами шифраторов обоих блоков формирования частного решения, первый регистр кода адреса, выход которого подключен к первым входам первого и второго шифраторов кода адреса, второй регистр кода адреса, выход которого соединен с вторыми входами

шифраторов кода адреса и с управляющим входом коммутатора конфигураций, первая группа выходов которого подключена к первой группе граничных узлов кодоуправляемой R-сетки первого блока формирования частного решения, вторая группа граничных узлов которой соединена с первой группой информационных входов коммутатора конфигураций, вторая группа выходов которого подключена к первой группе граничных узлов кодоуправляемой R-сетки второго блока формирования частного решения, вторая группа граничных узлов которой соединена с второй группой информационных входов коммутатора конфигураций, вход ввода данных устройства подключен к информационным входам первого и второго регистров кода адреса и регистра команд, выход которого соединен с первым информационным входом коммутатора команд, выход которого подключен к счетному входу счетчика и к входу блока памяти программы, группа выходов которого соединена с группой входов регистра микрокоманд, первый выход которого подключен к второму информационному входу коммутатора команд, управляющий вход которого соединен с выходом коммутатора условий перехода, управляющий вход которого подключен к второму выходу регистра микрокоманд, третий выход которого соединен с управляющим входом регистра команд, выход генератора тактовых импульсов подключен к стробирующим входам регистра команд, счетчика и регистра микрокоманд, четвертый выход которого соединен с управляющим входом счетчика, выход которого соединен со стробирующим входом коммутатора команд, пятый выход регистра микрокоманд подключен к стробирующим входам первого и второго регистров кода адреса, первого и второго аналого-цифровых преобразователей и блоков элементов И обоих блоков формирования частного решения, вход запуска устройства соединен с первым информационным входом коммутатора условий перехода, введены два блока памяти, триггер, мультиплексор, блок регистрации, а в каждый блок формирования частного решения введен элемент ИЛИ, выход которого соединен с вторым входом дешифратора, пятый выход регистра микро-

команд подключен к первому входу блока арифметических вычислений, к стробирующим входам первого и второго блоков памяти и к установочному входу триггера, выход которого соединен с первыми входами элементов ИЛИ и с первыми управляющими входами первого и второго блоков памяти, вторые управляющие входы которых подключены к выходам соответственно первого и второго шифраторов кода адреса, второй выход блока арифметических вычислений соединен с вторым информационным входом коммутатора условий перехода и с входами разрешенной съема информации аналого-цифровых преобразователей и блоков памяти, третий выход блока арифметических вычислений подключен к информационному входу блока регистрации, управляющий вход которого соединен с шестым выходом регистра микрокоманд, выходы первого и второго блоков памяти подключены соответственно к первому и второму информационным входам мультиплексора, выход которого соединен с вторым входом блока арифметических вычислений, третий вход которого подключен к информационному входу второго регистра кода адреса, выход второго шифратора кода адреса соединен с управляющим входом мультиплексора.

Кроме того, блок арифметических вычислений содержит два сумматора, элемент памяти, узел умножения, схему сравнения и элемент И, выход которого является первым выходом блока, первый вход которого соединен со стробирующими входами сумматоров, элемента памяти, узла умножения и схемы сравнения, выход которой соединен с первым входом элемента И и является вторым выходом блока, третий выход которого подключен к первому входу первого сумматора, к выходу элемента памяти и к первому входу узла умножения, выход которого соединен с первым входом второго сумматора, выход которого подключен к второму входу элемента И и к первому входу схемы сравнения, второй вход блока соединен с вторым входом первого сумматора, третий вход блока подключен к вторым входам элемента памяти, узла умножения, второго сумматора и схемы сравнения

На фиг. 1 изображена блок-схема предлагаемого устройства; на фиг. 2 - блок-схема блока управления; на фиг. 3 - блок-схема блока арифметических вычислений; на фиг. 4 - блок-схема алгоритма работы устройства.

Устройство содержит блоки 1 формирования частного решения, каждый из которых содержит кодоуправляемую R-сетку 2, коммутатор 3, блок элементов И 4, шифратор 5, элемент ИЛИ 6 и дешифратор 7. Кроме того, устройство содержит аналого-цифровые преобразователи 8 и 9, блоки 10 и 11 памяти, шифратор 12 кода адреса, регистр 13 кода адреса, шифратор 14 кода адреса, регистр 15 кода адреса, коммутатор 16 конфигураций, вход 17 ввода данных, блок 18 арифметических вычислений, блок 19 управления, блок 20 регистрации, мультиплексор 21, триггер 22. Кроме того, блок 18 арифметических вычислений содержит сумматоры 23 и 24, элемент 25 памяти, узел 26 умножения, схему 27 сравнения, элемент И 28. Блок 19 управления содержит регистр 29 микрокоманд, блок 30 памяти программы, коммутатор 31 команд, счетчик 32, регистр 33 команд, генератор 34 тактовых импульсов и коммутатор 35 условий перехода.

Устройство для решения краевых задач работает по блок-схеме алгоритма, представленной на фиг. 4, где приняты следующие обозначения:

- ПВ19 - пуск блока 19 управления,
 УКОФ.Т. - запись кода конфигурации в регистр 15 и установка триггера 22 в "нуль",
 $N_n - N_k$ - запись адресов в регистр 13 кода адреса от начального до конечного адреса,
 D_1 - подтверждение записи данных в блок 18 арифметических вычислений,
 КЗД - конец записи данных в R-сетке 2,
 УТ1 - установка триггера 22 в "единицу",
 ВР - выдача результата решения задачи из блока 18 арифметических вычислений,

- УКОП - установка кода операции в регистр 29 микрокоманд,
 ВА УП - выборка адреса,
 ЗД - запись кодовых эквивалентов,
 АР - аналоговое решение системы разностных уравнений,
 ПКПС - переход к программе съема результата решения P^1 ,
 АЦП - аналого-цифровые преобразователи 8 и 9,
 КП - конец преобразования,
 РСР - разрешение считывания с блока 10 (11),
 СРМ - считывание результата моделирования с блока 10(11) памяти,
 ЗС - запуск первого сумматора 23, формирование нового решения.

Блок 19 управления организует работу всех блоков аналоговой вычислительной машины по записанной в его памяти программе. Данные и команды в машину поступают по входной шине 17 данных последовательно байт за байтом, которые синхронизируются сигналом запуска, поступающим на вход квитирования блока 13 управления. Для выполнения любой операции в регистр 33 команд с входной шины 17 данных записывают код команды, который используется блоком 19 управления в качестве адреса перехода к соответствующей микропрограмме, путем передачи его в блок 30 памяти программы. По этому адресу из блока 30 выбирают микрокоманду и засылают ее в регистр 29 микрокоманд. Из регистра 29 микрокоманд с первого выхода адрес перехода поступает на второй вход коммутатора 31 команд, с второго выхода адрес выбора источника следующего адреса микрокоманды - на первый вход коммутатора 35 условий, с третьего выхода сигнал управления - на второй вход счетчика 32, с группы выходов сигналы управления по программе - на входы управления соответствующих блоков устройства. На пятом выходе регистра 29 микрокоманд вырабатывается сигнал квитирования записи информации, свидетельствующий о том, что команда или данные приняты в блоке 19 управле-

ния. Соответствующее кодирование блока 30 позволяет микропрограммно реализовать выполнение всех функций машины путем последовательной проверки условий ветвления микропрограмм, поступающих на вход коммутатора 35, и выборки поля управляющих сигналов в регистре 29 микрокоманд.

Первой выполняется команда установки конфигурации решающего поля сеточной модели. По этой команде из регистра 29 микрокоманд на вход управления регистра 15 кода конфигураций поступает сигнал разрешения записи, и с входной шины 17 данных код конфигурации записывают в регистр 15 кода конфигураций, с выхода которого код конфигурации поступает на вторые входы шифратора 12 кода адреса и шифратора 14 кода, а также на вход коммутатора 16 конфигураций. По этому коду коммутатор 16 конфигураций соединяет граничные выходы R-сеток 2 блоков 1. По этой же команде устанавливают триггер 22 в режим ввода данных в сеточную модель. Следующей по программе выполняют операцию ввода исходных данных для решения системы разностных уравнений $A_x = b$. С входной шины 17 данных в элемент 25 памяти последовательно байт за байтом записывают вектор сеточной функции x^0 в первом приближении. Вектор правых частей b записывают во второй сумматор 24, а квадратную матрицу A - в узел 26 умножения.

Ввод исходных данных осуществляется квитированием сигналов "Пуск" и "Готов к приему" на втором входе и первом выходе блока 19, а занесение информации в элемент 25 памяти, в узел 26 умножения и во второй сумматор 24 происходит по сигналам управления с группы выходов блока 19. Ввод исходных данных решаемой задачи прекращается с появлением на втором входе коммутатора 35 условий сигнала "Конец приема данных". По этому сигналу блок 19 переходит к выполнению операции умножения $A \cdot x^0$ в узле 26 умножения, на первый вход которого поступает x^0 , а по второму входу записана квадратная матрица A . Результат умножения поступает на первый вход второго сумматора 24, где суммируется с вектором b . На вы-

ходе второго сумматора 24 формируется вектор невязки $r^0 = b - Ax^0$, поступающий на первые входы схемы 27 сравнения и элементы И 28. По сигналу блока 19 на выходе схемы 27 сравнения формируется результат сравнения $r^0 \leq \epsilon$ (ϵ - постоянная, характеризующая желаемую точность решения), поступающий на второй вход элемента И 28 и на третий вход коммутатора 35 условий.

Если $r^0 \leq \epsilon$, то результат решения x^0 с выхода устройства памяти выводится на блок 20 регистрации. Если $r^0 > \epsilon$, происходит переход к программе занесения r^0 и A в R-сетки 2 решающих блоков 1. С входной шины 17 данных по сигналу управления из регистра микрокоманд в регистр 13 кода адреса записывают код адреса блока 1 в R-сетки 2, к которой предполагается обращение последующими командами. Записанные коды с выхода регистра 13 кода адреса поступают на первые входы шифратора 14 кода адреса и шифратора 12 кода адреса узлового процессора, где в соответствии с кодом конфигурации, действующим на вторых входах, их преобразуют из представления в координатах базовых областей конфигурации в коды физического адреса блока 1. Код физического адреса блока 1 поступает с выхода шифратора 14 кода адреса на входы шифратора 5, а код адреса R-сетки 2 с выхода шифратора 12 кода адреса узлового процессора - на первые входы дешифраторов 7. С выхода шифратора 5 выбранного блока 1 разрешающий сигнал через элемент ИЛИ 6 поступает на второй вход дешифратора 7.

Дешифрованный адрес с выхода дешифратора 7 поступает на первые входы коммутатора 3 и блок элементов И 4. На второй вход блока элементов И 4 с первого выхода блока арифметических вычислений последовательно поступают коды данных и с выхода блока элементов И 4 по сигналу управления записываются в R-сетку 2, где формируется частное решение. Затем содержимое регистра 13 увеличивают на "единицу", и указанный процесс циклически повторяют. В узлах R-сетки 2 блоков 1 формируется решение U^i как результат умножения вводимого тока i^0 на значения, обратные величинам установленных проводимос-

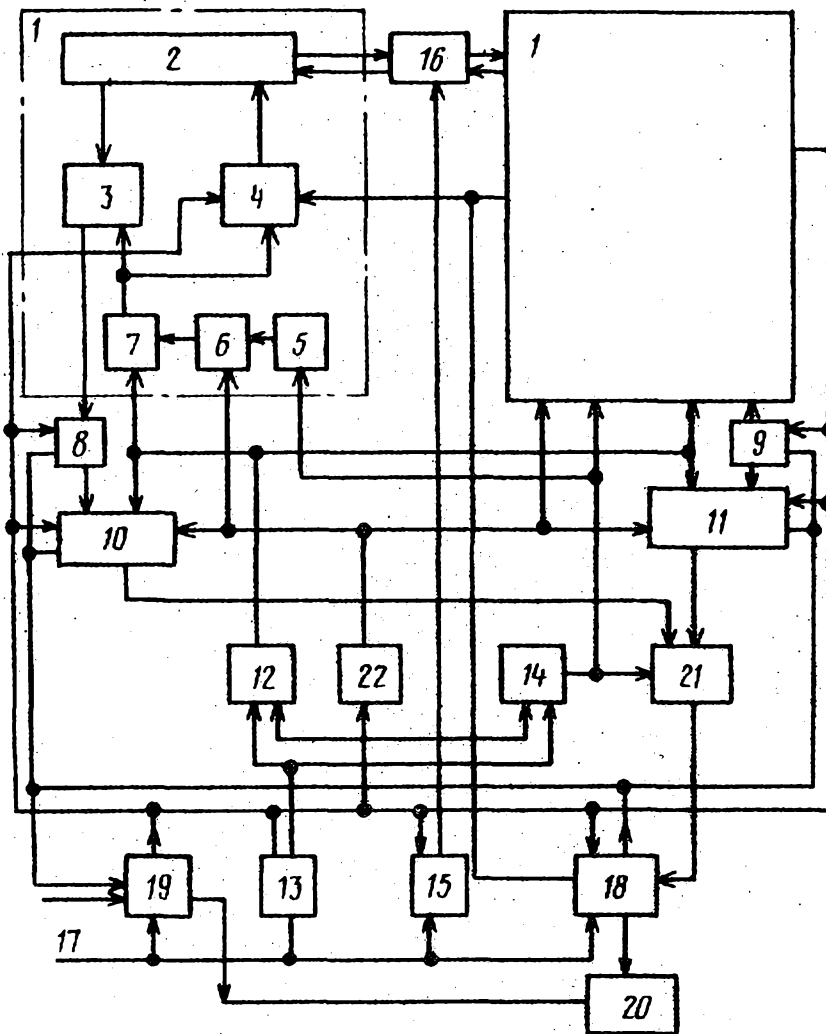
тей сеточной модели, на которой формируется окончательное решение задачи $U^0 = \sum_j U_j^0$, и устройство переходит в режим съема решения. По сигналу управления с выхода регистра 29 микрокоманд триггер 22 переводят в режим съема решения. С выхода триггера 22 сигнал управления поступает через элемент ИЛИ на второй вход дешифраторов 7 всех блоков 1 и на третьи входы блоков 10 и 11 памяти, подготавливая их для приема результата решения. В регистр 13 адреса записывают начальный адрес, поступающий на первый вход шифратора 12 кода адреса, выходной код которого поступает на дешифраторы 7 всех блоков 1 и на вторые входы блоков 10 и 11 памяти.

По сигналу с выходов дешифраторов 7 во всех блоках 1 коммутаторы 3 подключают выбранный узел к соответствующему аналого-цифровому преобразователю 8 или 9. По сигналу управления с выхода регистра 29 микрокоманд запускают аналого-цифровые преобразователи 8 и 9, и блок 13 управления ожидает сигнал "Конец преобразования". По этому сигналу на вход управления блоков 10 и 11 с выхода регистра 29 микрокоманд поступает сигнал записи выходного кода аналого-цифровых преобразователей в ячейки памяти блоков 10 и 11 памяти, после чего содержимое регистра 13 кода адреса увеличивает на "единицу", и коммутаторы 3 во всех блоках 1 подключают очередные узлы к аналого-цифровым преобразователям 8 и 9. Рассмотренный процесс циклически повторяется до полного опроса всех узлов сеточной модели. По окончании выполнения программы съема решения с сеточной модели в блоках 10 и 11 памяти оказывается записан вектор поправки P^0 , и блок 18 арифметических вычислений по сигналу управления с выхода регистра 29 микропрограмм переходит к выполнению программы вычисления нового решения $\chi^1 = \chi^0 + P^0$. Для этого триггер 22 по сигналу управления из блока 19 устанавливает в режим считывания данных из блоков 10 и 11 памяти. Как и при занесении данных в сеточную модель с помощью регистра 13 кода адреса, шифратора 12 кода адреса и шифра-

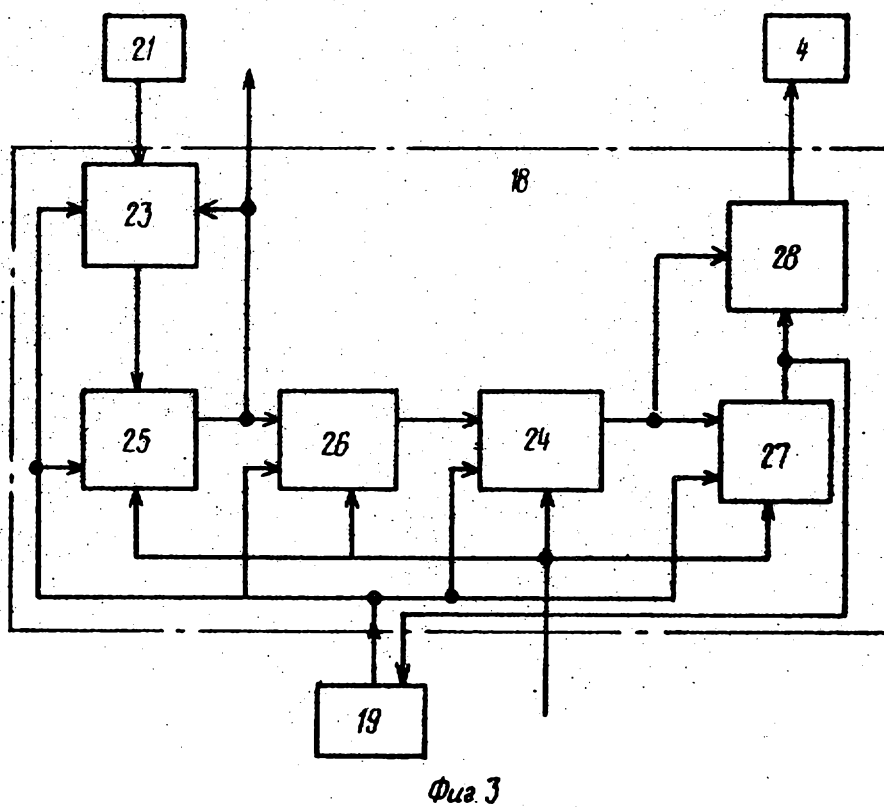
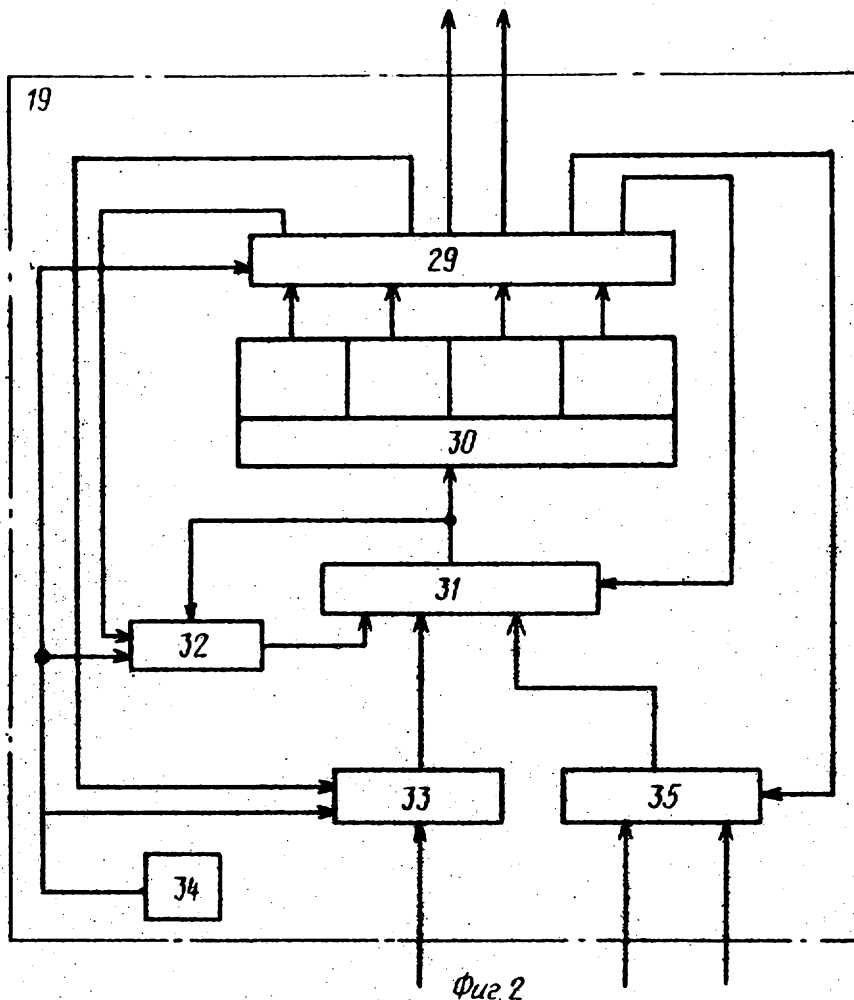
ра 14 кода адреса выбирают адрес ячейки памяти блока 10 памяти и управляют мультиплексором 21.

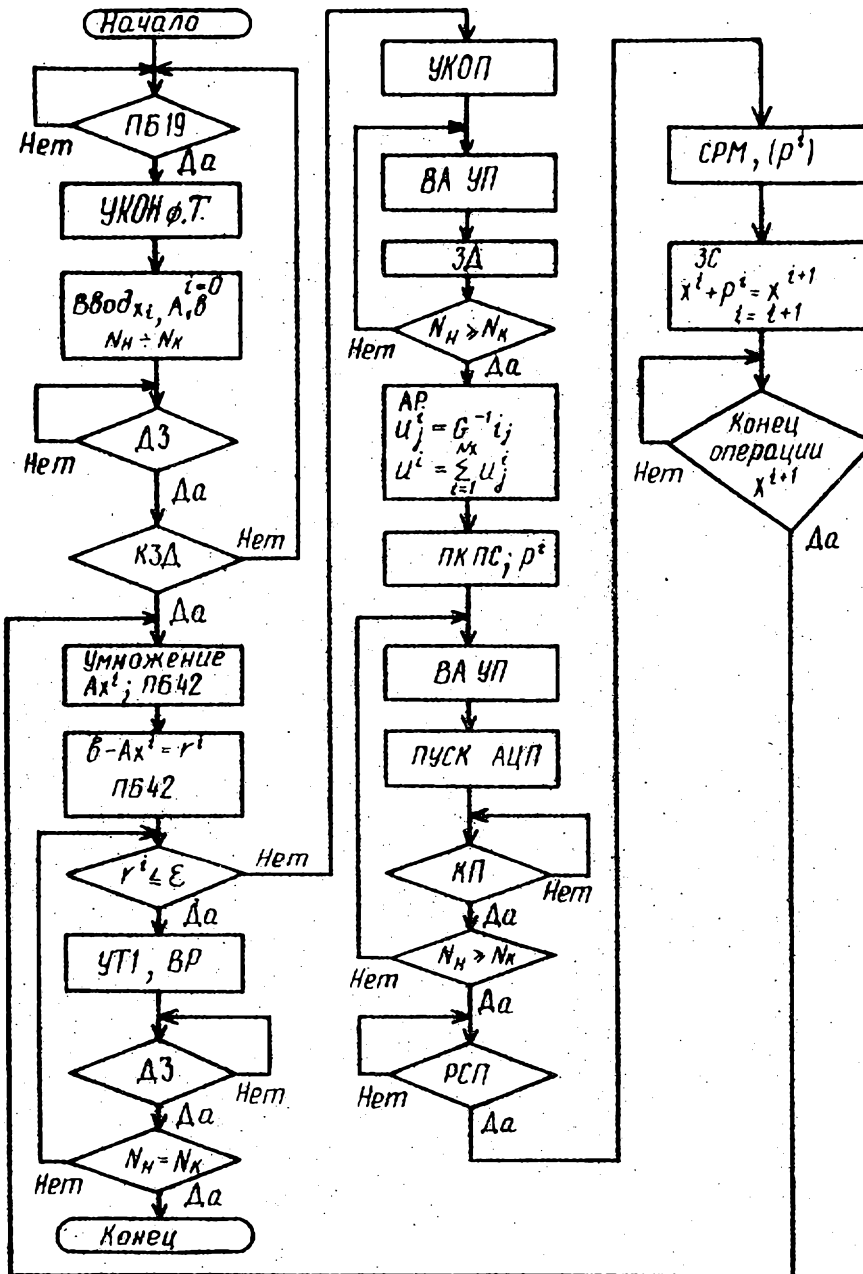
Выбранная ячейка памяти через мультиплексор 21 подключается к второму входу первого сумматора 23 блока 18 арифметических вычислений. В первом сумматоре 23 содержимое выбранной ячейки складывают с решением, хранимым в элементе 25 памяти. Результат суммирования записывают в элемент 42 памяти. С второго выхода блока 10 памяти на третий вход коммутатора 35 условий поступает сигнал подтверждения выборки, блок 19 управляет регистром 13 кода адреса, который задает адрес очередной ячейки памяти, и процесс происходит по описанному алгоритму до полного опроса блоков 10 и 11 памяти. В элементе 25 памяти в результате формируется новое приближенное решение $\chi^1 = P^0 + \chi^0$. Затем блок 19 приступает к программе проверки точности полученного решения по описанному выше алгоритму. В узле 26 умножения выполняют операцию $A \cdot \chi^1$. Затем во втором сумматоре 24 выполняют операцию $r^1 = b - A\chi^1$, и в схеме 27 сравнения получают результат $r^1 \geq \epsilon$. Если $r^1 \leq \epsilon$, то результат нового решения χ^1 с выхода элемента 25 памяти поступает на вход блока 20 регистрации. Если $r^1 > \epsilon$, машина переходит к программе ввода в сеточную модель нового вектора невязки r^1 , и процесс происходит по описанному алгоритму, кроме настройки координатных проводимостей сеточной модели.

Предлагаемая аналоговая вычислительная машина обеспечивает скоростной съем информации при любом количестве решающих блоков 1 при использовании аналого-цифровых преобразователей и коммутаторов любого быстрого действия за счет параллельного съема информации с решающих блоков. Оперативная разгрузка сеточной модели позволяет использовать ее для последующих циклов моделирования и нахождения промежуточных решений. Кроме того, питание сеточной модели можно включать только на время опроса, что снижает потребляемую мощность, уменьшает нагрев проводимостей сеточной модели и повышает точность решения задачи.



Фиг. 1





Фиг. 4

Редактор В.Данко
 Составитель В.Рыбин
 Техред М.Гергель
 Корректор М.Демчик

Заказ 1901/36
 Тираж 710
 Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПП "Патент", г. Ужгород, ул. Проектная, 4