

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 26 年 8 月 14 日 (2014.8.14)

【公開番号】特開 2012-216876 (P2012-216876A)

【公開日】平成 24 年 11 月 8 日 (2012.11.8)

【年通号数】公開・登録公報 2012-046

【出願番号】特願 2012-177071 (P2012-177071)

【国際特許分類】

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 27/115 (2006.01)

H 0 1 L 21/8247 (2006.01)

【 F I 】

H 0 1 L 29/78 3 7 1

H 0 1 L 27/10 4 3 4

【誤訳訂正書】

【提出日】平成 26 年 7 月 1 日 (2014.7.1)

【誤訳訂正 1】

【訂正対象書類名】特許請求の範囲

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項 1】

ソース領域及びドレイン領域を有する表面を有し、前記ソース領域及び前記ドレイン領域がチャンネル領域によって分離された半導体基板と、

前記チャンネル領域の上の前記基板の表面上に配置された 3 n m を超える E O T である酸化膜厚を有するトンネル障壁絶縁体構造、前記トンネル障壁絶縁体構造及び前記チャンネル領域の上に配置された導電層、前記導電層及び前記チャンネル領域の上に配置された電荷捕獲構造、並びに前記電荷捕獲構造及び前記チャンネル領域の上に配置された上側絶縁体構造を有する、前記チャンネル上の多層スタックと、

前記上側絶縁体構造及び前記チャンネル領域の上に配置された上側導電層とを具え、

前記トンネル障壁絶縁体構造が第 1 の酸化シリコン層と、前記第 1 の酸化シリコン層の上に配置された窒化シリコン層と、前記窒化シリコン層の上に配置された第 2 の酸化シリコン層とを具え、正孔注入を利用して消去を行い、

前記チャンネル領域に対する前記チャンネル領域の上に配置された前記導電層の領域の比を、前記チャンネル領域の上に配置された前記導電層の領域に対する前記チャンネル領域の上に配置された前記上側導電層の領域の比にほぼ等しくすることにより、電荷は、ただ前記電荷捕獲構造中にのみ捕獲されるメモリセル。

【請求項 2】

請求項 1 記載のメモリセルにおいて、前記チャンネル領域が、ソース - ドレイン間における長さを有し、該チャンネル領域が該長さに垂直な 45 n m 未満の幅を有することを特徴とするメモリセル。

【請求項 3】

請求項 1 記載のメモリセルにおいて、前記多層スタックが酸化膜厚を有し、前記チャンネル領域が、ソース - ドレイン間の長さ及び前記多層スタックの酸化膜厚の 1.5 倍未満の長さに垂直な幅を有することを特徴とするメモリセル。

【請求項 4】

請求項 1 記載のメモリセルにおいて、前記チャネル領域が、アクティブ領域を有し、該アクティブ領域がソース - ドレイン間における長さを有し、該チャネル領域が該長さに垂直な幅を有し、前記導電層が、前記チャネル領域のアクティブ領域の幅にほぼ等しい幅を有することを特徴とするメモリセル。

【請求項 5】

請求項 1 記載のメモリセルにおいて、前記トンネル障壁絶縁体構造が、バンドギャップが調整されたトンネル障壁構造を具えることを特徴とするメモリセル。

【請求項 6】

請求項 1 記載のメモリセルにおいて、前記導電層が、ドーピングされた半導体材料を含むことを特徴とするメモリセル。

【請求項 7】

請求項 1 記載のメモリセルにおいて、前記導電層が、6 nm 未満の厚さを有するドーピングされたポリシリコンを含むことを特徴とするメモリセル。

【請求項 8】

請求項 1 記載のメモリセルにおいて、前記導電層が金属を含むことを特徴とするメモリセル。

【請求項 9】

請求項 1 記載のメモリセルにおいて、前記電荷捕獲構造が窒化シリコンを含むことを特徴とするメモリセル。

【請求項 10】

請求項 1 記載のメモリセルにおいて、前記電荷捕獲構造が、窒化シリコン、ナノ粒子が組み込まれた絶縁体、又は Al_2O_3 、 Hf_2O_3 のような高誘電率酸化金属を具えることを特徴とするメモリセル。

【請求項 11】

半導体基板上のメモリセルのアレイと、

前記基板においてチャネル領域によって分離されるソース領域及びドレイン領域と、前記チャネル領域の上に配置された 3 nm を超える EOT である酸化膜厚を有するトンネル障壁絶縁体構造と、前記トンネル障壁絶縁体構造及び前記チャネル領域の上に配置された導電層と、前記導電層及び前記チャネル領域の上に配置された電荷捕獲構造と、前記電荷捕獲構造の上に配置された上側絶縁体構造と、前記上側絶縁体構造及び前記チャネル領域の上に配置された上側導電層とを具え、

前記トンネル障壁絶縁体構造が第 1 の酸化シリコン層と、前記第 1 の酸化シリコン層の上に配置された窒化シリコン層と、前記窒化シリコン層の上に配置された第 2 の酸化シリコン層とを具え、正孔注入を利用して消去を行い、

前記チャネル領域に対する前記チャネル領域の上に配置された前記導電層の領域の比を、前記チャネル領域の上に配置された前記導電層の領域に対する前記チャネル領域の上に配置された前記上側導電層の領域の比にほぼ等しくすることにより、電荷は、ただ前記電荷捕獲構造中にのみ捕獲されるメモリセルと、

行デコーダと、

列デコーダと、

センス増幅器と、

少なくとも一つの入力ポートと、

少なくとも一つの出力ポートと、

データイン構造と、

バイアス配置状態マシンとを具える記憶装置。

【請求項 12】

半導体基板の表面上に 3 nm を超える EOT である酸化膜厚を有するトンネル障壁絶縁体構造を形成し、前記トンネル障壁絶縁体構造の上に導電層を形成し、前記導電層の上に電荷捕獲構造を形成し、前記電荷捕獲構造の上に上側絶縁体構造を形成し、前記上側絶縁

体構造の上に上側導電層を形成するステップと、

前記半導体基板の表面にドーパントを注入してソース領域及びドレイン領域を形成するステップであって、前記ソース領域及びドレイン領域は、チャンネル領域によって分離されるとともに、前記チャンネル領域を前記トンネル障壁絶縁体構造より下にする、ステップと、を有し、

前記トンネル障壁絶縁体構造が第１の酸化シリコン層と、前記第１の酸化シリコン層の上に配置された窒化シリコン層と、前記窒化シリコン層の上に配置された第２の酸化シリコン層とを具え、正孔注入を利用して消去を行い、

前記チャンネル領域に対する前記チャンネル領域の上に配置された前記導電層の領域の比を、前記チャンネル領域の上に配置された前記導電層の領域に対する前記チャンネル領域の上に配置された前記上側導電層の領域の比にほぼ等しくすることにより、電荷は、ただ前記電荷捕獲構造中にのみ捕獲される、メモリセルの製造方法。

【請求項１３】

請求項１２記載の方法において、複数のメモリセルを具えるメモリアレイを形成することを特徴とするメモリセルの製造方法。

【請求項１４】

請求項１２記載の方法において、前記トンネル障壁絶縁体構造が、バンドギャップが調整されたトンネル障壁構造を具えることを特徴とするメモリセルの製造方法。

【請求項１５】

請求項１２記載の方法において、前記導電層が、６ｎｍ未満の厚さを有するポリシリコンを含むことを特徴とするメモリセルの製造方法。

【請求項１６】

請求項１２記載の方法において、前記電子捕獲構造が、４～８ｎｍの範囲の厚さを有する窒化シリコンを含むことを特徴とするメモリセルの製造方法。

【請求項１７】

請求項１２記載の方法において、前記上側絶縁体構造が、５～９ｎｍの範囲の厚さを有する酸化シリコンを含むことを特徴とするメモリセルの製造方法。

【請求項１８】

請求項１２記載の方法において、前記上側導電層が、約５０ｎｍの厚さを有するポリシリコンを含むことを特徴とするメモリセルの製造方法。

【請求項１９】

３ｎｍを超える大きさのＥＯＴである酸化膜厚を有するトンネル障壁絶縁体構造を半導体基板の表面上に形成し、前記トンネル障壁絶縁体構造の上に導電層を形成し、前記導電層の上に電荷捕獲構造を形成し、前記電子捕獲構造の上に上側絶縁体構造を形成し、前記上側絶縁体構造の上に上側導電層を形成し、前記上側導電層の上にハードマスク層を形成するステップと、

前記ハードマスク層、前記上側導電層、前記上側絶縁体構造、前記電荷捕獲構造、前記導電層、前記トンネル障壁構造及び前記半導体基板に進行して、メモリセルの行を分離する基板トレンチを規定するステップと、

高密度プラズマＨＤＰ化学的蒸着技術を用いてギャップに酸化シリコン又は他の絶縁材料を充填して、帽子形状構造をトレンチ間の前記ハードマスク層の上に形成するとともに、前記半導体基板に延在するトレンチ分離構造を形成するステップと、

前記ハードマスク層を剥離するステップと、

前記メモリセルの行を形成するために少なくとも前記導電層までエッチングするステップと、

前記半導体基板の表面にドーパントを注入することによってソース領域及びドレイン領域を形成するステップであって、前記ソース領域及び前記ドレイン領域の対をメモリセルチャンネル領域によって分離するとともに、前記チャンネル領域を前記トンネル障壁絶縁体構造より下にするステップと、を有し、

前記トンネル障壁絶縁体構造が第１の酸化シリコン層と、前記第１の酸化シリコン層の

上に配置された窒化シリコン層と、前記窒化シリコン層の上に配置された第2の酸化シリコン層とを具え、正孔注入を利用して消去を行う、メモリセルのアレイの製造方法。

【請求項20】

請求項19記載のメモリセルのアレイの製造方法において、前記ハードマスク層が、約100nmの厚さを有する窒化シリコンを含むことを特徴とするメモリセルのアレイの製造方法。

【請求項21】

請求項19記載のメモリセルのアレイの製造方法において、絶縁材料の分離構造が酸化シリコンを含むことを特徴とするメモリセルのアレイの製造方法。

【請求項22】

請求項19記載のメモリセルのアレイの製造方法において、複数の絶縁材料の分離構造の形成による余分な酸化物の除去が化学機械研磨を含むことを特徴とするメモリセルのアレイの製造方法。

【請求項23】

請求項19記載のメモリセルのアレイの製造方法において、前記ハードマスク層の剥離後の前記上側導電層からの酸化物の除去が、湿式のフッ化水素溶液の浸漬エッチングを具えることを特徴とするメモリセルのアレイの製造方法。

【誤訳訂正2】

【訂正対象書類名】明細書

【訂正対象項目名】0010

【訂正方法】変更

【訂正の内容】

【0010】

したがって、ここで説明する例は、基板の表面の付近にソース領域及びドレイン領域を有するとともにこれらソース領域及びドレイン領域がチャンネル領域によって分離されるメモリセルと、チャンネル領域の上に配置され、約3nmより大きい実質的な酸化膜厚EOT（この場合、EOTは、二酸化シリコンの誘電率と材料の誘電率との比によって増減されるトンネル障壁絶縁体構造の材料の実際の厚さによって決定される。）を有することによって基板から電荷捕獲層への直接のトンネリングを抑制するのに十分な厚さ及び絶縁特性を有するトンネル障壁絶縁体構造と、トンネル障壁絶縁体構造の上に配置され、チャンネル領域を部分的にカバーし、好適にはチャンネル幅寸法を完全にカバーし、更に好適にはチャンネル幅とチャンネル長寸法の両方をカバーする導電層と、導電層の上に配置された絶縁電子捕獲構造と、電子捕獲構造の上に配置された上側誘電体構造と、上側誘電体構造の上に配置された上側導電層とを有するメモリセルを有する。送電層は、チャンネル及びトンネル絶縁体の表面を問う電位にするとともに電子捕獲層で捕獲された電荷によって悪影響が及ぼされた電界を分布させることによって電子捕獲層の均一でない電荷分布を解消するよう作用する。

【誤訳訂正3】

【訂正対象書類名】明細書

【訂正対象項目名】0040

【訂正方法】変更

【訂正の内容】

【0040】

30nm未満の重要な特徴を規定する工程によって製造される典型的な実施の形態において、30nm未満のソース・ドレイン間の長さ及び30nm未満の長さに垂直な幅を有し、多層スタックは、約20nm未満の実質的な酸化膜厚を有し、チャンネル領域は、多層スタックの実質的な酸化膜厚の1.5倍未満の長さに垂直な幅を有する。

【誤訳訂正4】

【訂正対象書類名】明細書

【訂正対象項目名】0041

【訂正方法】変更

【訂正の内容】

【 0 0 4 1 】

典型的な実施の形態において、メモリセルのチャネル幅 W を45 nm未満とする。メモリセルの実質的な酸化膜厚は、電荷捕獲構造の絶縁体層に基づき、一実施の形態では15 ~ 25 nmのオーダーに基づく。この構造を有するメモリセルに対して、チャネル幅を、トンネル障壁絶縁体、電荷捕獲構造及び上側絶縁体層の組合せのEOTとして計算されるメモリセルの実質的な酸化膜厚の約1.5倍未満とすることができ、更に好適には、メモリセルの実質的な酸化膜厚にほぼ等しくすることができる。20 nm以下及びメモリセルのEOT未満のチャネル幅を有する実施の形態を、ホトレジストトリミング技術、位相シフトマスクング又は他のサブリソグラフィックパターンニング技術を用いて実現することができる。