

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6817895号
(P6817895)

(45) 発行日 令和3年1月20日 (2021.1.20)

(24) 登録日 令和3年1月4日 (2021.1.4)

(51) Int. Cl.

F I

H O 1 L 29/78 (2006.01)

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 5 2 H

H O 1 L 29/78 6 5 3 C

H O 1 L 29/78 6 5 8 E

H O 1 L 29/78 6 5 8 F

H O 1 L 29/78 6 5 2 F

請求項の数 4 (全 14 頁)

(21) 出願番号 特願2017-102560 (P2017-102560)
 (22) 出願日 平成29年5月24日 (2017.5.24)
 (65) 公開番号 特開2018-198267 (P2018-198267A)
 (43) 公開日 平成30年12月13日 (2018.12.13)
 審査請求日 令和1年8月9日 (2019.8.9)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (73) 特許権者 317011920
 東芝デバイス&ストレージ株式会社
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100108062
 弁理士 日向寺 雅彦
 (72) 発明者 藤農 佑樹
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 (72) 発明者 横山 昇
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1方向に延びる第1導電形の第1半導体領域と、

前記第1方向に延び、前記第1方向に交差する第2方向に前記第1半導体領域と配置され、空隙を囲む第2導電形の第2半導体領域と、

前記空隙と、前記第2半導体領域との間に設けられ、シリコン酸化物を含む第1絶縁膜と、シリコン窒化物を含む第2絶縁膜と、シリコン酸化物を含む第3絶縁膜とを有する絶縁部と、

を備え、

前記第1絶縁膜、前記第2絶縁膜及び前記第3絶縁膜は、前記第2半導体領域から前記空隙に向かって順に位置し、

前記第1絶縁膜と前記第3絶縁膜の厚さの合計は、前記第2絶縁膜の厚さの0.5倍以上であって4倍以下である半導体装置。

【請求項 2】

前記第1絶縁膜は、前記第2半導体領域の側面上及び底面上に位置し、

前記第2絶縁膜は、前記第1絶縁膜の側面上及び底面上に位置し、

前記第3絶縁膜は、前記第2絶縁膜の側面上及び底面上に位置する請求項1記載の半導体装置。

【請求項 3】

前記第1半導体領域及び前記第2半導体領域上に設けられた第2導電形の第3半導体領

10

20

域と、

前記空隙上に設けられ、前記第 3 半導体領域との間で前記絶縁部が位置するカバー膜と

、

をさらに備えた請求項 1 または 2 に記載の半導体装置。

【請求項 4】

第 1 方向に延びる第 1 導電形の第 1 半導体領域と、

前記第 1 方向に延び、前記第 1 方向に交差する第 2 方向に空隙を介して前記第 1 半導体領域と配置される第 2 導電形の第 2 半導体領域と、

前記空隙と、前記第 1 半導体領域及び前記第 2 半導体領域との間に設けられ、シリコン酸化物を含む第 1 絶縁膜と、シリコン窒化物を含む第 2 絶縁膜と、シリコン酸化物を含む第 3 絶縁膜とを有する絶縁部と、

を備えた半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

実施形態は、半導体装置に関する。

【背景技術】

【0002】

電力制御などの用途に用いられる半導体装置として、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) がある。このような MOSFET には、n 形半導体領域と p 形半導体領域とがトレンチを介して交互に設けられた、スーパージャンクション構造を有するものがある。このような構造を有する MOSFET には、セルのピッチの微細化に伴って高アスペクト比のトレンチが形成され、各半導体領域の保護と共にトレンチの埋め込み性を向上することが課題となる。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2003 - 309261 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

実施形態の目的は、信頼性が向上した半導体装置を提供することである。

【課題を解決するための手段】

【0005】

実施形態に係る半導体装置は、第 1 方向に延びる第 1 導電形の第 1 半導体領域と、前記第 1 方向に延び、前記第 1 方向に交差する第 2 方向に前記第 1 半導体領域と配置され、空隙を囲む第 2 導電形の第 2 半導体領域と、前記空隙と、前記第 2 半導体領域との間に設けられ、シリコン酸化物を含む第 1 絶縁膜と、シリコン窒化物を含む第 2 絶縁膜と、シリコン酸化物を含む第 3 絶縁膜とを有する絶縁部と、を備える。前記第 1 絶縁膜、前記第 2 絶縁膜及び前記第 3 絶縁膜は、前記第 2 半導体領域から前記空隙に向かって順に位置し、前記第 1 絶縁膜と前記第 3 絶縁膜の厚さの合計は、前記第 2 絶縁膜の厚さの 0.5 倍以上であって 4 倍以下である。

【図面の簡単な説明】

【0006】

【図 1】第 1 実施形態に係る半導体装置を示す斜視図である。

【図 2】第 1 実施形態に係る半導体装置を示す断面図である。

【図 3】図 3 (a) は、図 2 の領域 A の拡大図であって、図 3 (b) は、図 2 の領域 B の拡大図である。

【図 4】第 1 実施形態に係る半導体装置の製造方法を示す断面図である。

【図 5】第 1 実施形態に係る半導体装置の製造方法を示す断面図である。

【図 6】第 1 実施形態に係る半導体装置の製造方法を示す断面図である。

【図 7】第 1 実施形態に係る半導体装置の製造方法を示す断面図である。

【図 8】第 1 実施形態に係る半導体装置の製造方法を示す断面図である。

【図 9】第 1 実施形態に係る半導体装置の製造方法を示す断面図である。

【図 10】第 2 実施形態に係る半導体装置を示す斜視図である。

【図 11】第 3 実施形態に係る半導体装置を示す断面図である。

【図 12】図 11 の領域 C の拡大図である。

【発明を実施するための形態】

【0007】

以下に、本発明の各実施形態について図面を参照しつつ説明する。

10

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものと同じとは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

なお、本願明細書と各図において、既出の図に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

【0008】

以下、本明細書においては、XYZ 直交座標系を採用する。ドレイン領域 1 から半導体領域 2 に向かう方向を Z 方向とし、Z 方向に対して垂直な方向であって相互に直交する 2 方向を X 方向及び Y 方向とする。

なお、以下で説明する各実施形態について、各半導体領域の p 形と n 形を反転させて各実施形態を実施しても良い。

20

【0009】

(第 1 実施形態)

図 1 は、本実施形態に係る半導体装置を示す斜視図である。

図 2 は、本実施形態に係る半導体装置を示す断面図である。

図 3 (a) 及び図 3 (b) は、図 2 の領域 A 及び領域 B の拡大図である。

図 1 及び図 2 は、半導体装置 100 の斜視図及び断面図をそれぞれ示している。図 2 は、図 1 の半導体装置 100 の一部を拡大して示している。なお、図 1 において、ソース電極 11 及び柱状部 60 の図示が省略されている。

半導体装置 100 は、例えば、MOSFET である。

30

【0010】

図 1 に示すように、半導体装置 100 には、ドレイン領域 1 と、第 1 導電形の半導体領域 2 と、第 1 導電形の半導体領域 3 と、第 2 導電形の半導体領域 4 と、第 2 導電形の半導体領域 5 と、第 1 導電形の半導体領域 6 と、コンタクト領域 7 と、ゲート電極 8 と、ゲートコンタクト 9 と、ドレイン電極 10 と、が設けられている。

ドレイン領域 1 の導電形は、例えば n^+ 形である。

【0011】

n^+ 、 n 、 n^- 及び p^+ 、 p 、 p^- の表記は、各導電形における実効的な不純物濃度の相対的な高低を表す。すなわち、「+」が付されている表記は、「+」及び「-」のいずれも付されていない表記よりも不純物濃度が相対的に高く、「-」が付されている表記は、いずれも付されていない表記よりも不純物濃度が相対的に低いことを示す。

40

【0012】

また、「実効的な不純物濃度」とは、半導体材料の導電性に寄与する不純物の濃度をいい、ドナーとなる不純物とアクセプタとなる不純物の双方が含まれている場合は、その相殺分を除いた濃度をいう。なお、n 形不純物は、例えば、リン (P) であり、p 形不純物は、例えば、ホウ素 (B) である。

【0013】

半導体領域 2 は、ドレイン領域 1 の上面 1a 上に設けられ、その導電形は、例えば n^- 形である。

半導体領域 3 は、半導体領域 2 上に複数設けられ、その導電形は、例えば n 形である。

50

半導体領域 3 は、例えば、n ピラー領域である。複数の半導体領域 3 は、半導体領域 2 上に選択的に位置する。複数の半導体領域 3 は、X 方向に延びており、Y 方向に互いに離間して配置されている。

【0014】

半導体領域 4 は、半導体領域 2 上に複数設けられ、その導電性は、例えば p 形である。半導体領域 4 は、例えば、p ピラー領域である。複数の半導体領域 4 は、半導体領域 2 上に選択的に位置する。複数の半導体領域 4 は、X 方向に延びており、Y 方向で隣り合う半導体領域 3 の間に位置するように Y 方向に互いに離間して配置されている。

【0015】

n 形の半導体領域 3 と、p 形の半導体領域 4 とは、Y 方向において交互に設けられている。つまり、本実施形態の半導体装置 100 は、MOSFET であって、スーパージャンクション構造を有するものである。

10

【0016】

半導体領域 5 は、半導体領域 3 上、及び、半導体領域 4 上に複数設けられ、その導電性は、例えば p 形である。半導体領域 5 は、例えば、p ベース領域である。複数の半導体領域 5 は、半導体領域 3 上に選択的に位置する。複数の半導体領域 5 は、X 方向に延びており、Y 方向に互いに離間して配置されている。

【0017】

半導体領域 6 は、半導体領域 5 上に複数設けられ、その導電性は、例えば n⁺ 形である。半導体領域 6 は、例えば、ソース領域である。複数の半導体領域 6 は、半導体領域 5 上に選択的に位置する。複数の半導体領域 6 は、X 方向に延びており、Y 方向に互いに離間して配置されている。

20

【0018】

コンタクト領域 7 は、半導体領域 5 上に複数設けられ、その導電性は、例えば p⁺ 形である。複数のコンタクト領域 7 は、半導体領域 5 上に選択的に位置する。複数のコンタクト領域 7 は、X 方向に延びており、Y 方向で隣り合う半導体領域 6 の間に位置するように Y 方向に互いに離間して配置されている。コンタクト領域 7 は、後述するソース電極 11 に接続される。

【0019】

ゲート電極 8 は、ゲート絶縁膜 20（図 2 参照）を介して、半導体領域 3 上に複数設けられている。複数のゲート電極 8 は、半導体領域 3 上に選択的に位置する。

30

複数のゲート電極 8 は、X 方向に延びており、Y 方向で隣り合う半導体領域 5 の間に位置するように Y 方向に互いに離間して配置されている。また、複数のゲート電極 8 は、Y 方向で隣り合う半導体領域 6 の間に位置するように Y 方向に互いに離間して配置されている。つまり、コンタクト領域 7 及びゲート電極 8 は、半導体領域 6 を介して Y 方向に交互に配置されている。

ゲート電極 8 は、例えば、n 形不純物を含有した多結晶シリコンを含む。

【0020】

ゲートコンタクト 9 は、ゲート電極 8 上に複数設けられている。複数のゲートコンタクト 9 は、Y 方向に延びており、X 方向に所定の間隔で配置されている。ゲートコンタクト 9 は、例えば、金属材料によって形成される。

40

【0021】

ゲートコンタクト 9 を介して、ゲート電極 8 は、外部の周辺回路（図示せず）に電氣的に接続される。ゲートコンタクト 9 を介して、ゲート電極 8 に閾値以上の電圧が印加されることで、MOSFET がオン状態となり、半導体領域 5 の表面にチャネル（反転層）が形成される。

ドレイン電極 10 は、ドレイン領域 1 の下面 1b 上に設けられている。ドレイン電極 10 は、ドレイン領域 1 に電氣的に接続される。ドレイン電極 10 は、例えば、金属材料によって形成される。

【0022】

50

図 2 に示すように、半導体領域 6 の一部上と、ゲート電極 8 の側面上及び底面上とは、ゲート絶縁膜 20 が設けられている。ゲート絶縁膜 20 は、例えば、シリコン酸化物 (SiO_2) を含む。

ゲート電極 8 上、及び、ゲート絶縁膜 20 上には、層間絶縁膜 21 が設けられている。例えば、層間絶縁膜 21 は、膜 21 a 及び膜 21 b の 2 層構造を有する。膜 21 a は、例えばシリコン酸化物を含む。膜 21 b は、膜 21 a 上に設けられ、例えば BPSG (Boro-phospho silicate glass) を含む。

【 0023 】

半導体領域 4、5 内には絶縁部 30 が設けられている。絶縁部 30 は、X 方向に延びている。絶縁部 30 は、半導体領域 2、3 に形成されたトレンチ T 内に設けられている。トレンチ T の内面上に、半導体領域 4 を介して絶縁部 30 が位置する。

10

【 0024 】

トレンチ T は空隙部 V を含む。絶縁部 30 は、半導体領域 4 及び空隙部 V の間に位置する。

トレンチ T 内であって、空隙部 V 上にはカバー膜 35 が設けられている。カバー膜 35 は、例えば BPSG を含む。カバー膜 35 は、例えば、トレンチ T におけるキャップ膜として機能する。絶縁部 30 は、カバー膜 35 と、半導体領域 4 の一部及び半導体領域 5 との間に位置する。

絶縁部 30 及びカバー膜 35 は、内部に空隙部 V が形成された柱状部 60 を構成する。

【 0025 】

20

なお、図 2 に示す例では、カバー膜 35 は空隙部 V 上に設けられているが、空隙部 V の側面の少なくとも一部上に設けられても良い。つまり、カバー膜 35 は、Y 方向において絶縁部 30 及び空隙部 V の間に位置しても良い。

【 0026 】

絶縁部 30 は、絶縁膜 30 a と、絶縁膜 30 b と、絶縁膜 30 c と、を有する。

絶縁膜 30 a は、例えば、シリコン酸化物 (SiO_2) を含む。絶縁膜 30 b は、引張応力を有する材料、例えば、シリコン窒化物 (Si_3N_4) を含む。絶縁膜 30 c は、例えば、シリコン酸化物 (SiO_2) を含む。

絶縁膜 30 a、絶縁膜 30 b 及び絶縁膜 30 c の形状は、例えば、底を有する筒状である。また、半導体領域 4 の形状は、例えば、底を有する筒状である。

30

【 0027 】

図 3 (a) に示すように、絶縁膜 30 a は、半導体領域 4 の側面上に位置する。絶縁膜 30 b は、絶縁膜 30 a の側面上に位置する。絶縁膜 30 c は、絶縁膜 30 b の側面上に位置する。絶縁部 30 は、カバー膜 35 の側面、及び、空隙部 V の側面を覆っており、絶縁膜 30 c、30 b、30 a がこれらの側面から離れる方向にこの順で位置する。

【 0028 】

図 3 (b) に示すように、絶縁膜 30 a は、半導体領域 4 の底面上に位置する。絶縁膜 30 b は、絶縁膜 30 a の底面上に位置する。絶縁膜 30 c は、絶縁膜 30 b の底面上に位置する。絶縁部 30 は、空隙部 V の底面を覆っており、絶縁膜 30 c、30 b、30 a がこの底面から離れる方向にこの順で位置する。

40

【 0029 】

絶縁部 30 内の膜厚においては、絶縁膜 30 a を絶縁膜 30 b 及び絶縁膜 30 c より大きくして、絶縁膜 30 b を絶縁膜 30 c より大きくすることが可能である。また、絶縁膜 30 a の膜厚を薄くして、絶縁膜 30 c を CVD (Chemical Vapor Deposition) 膜により形成しても良い。この場合、絶縁膜 30 c を絶縁膜 30 a 及び絶縁膜 30 b より大きくして、絶縁膜 30 b を絶縁膜 30 a より大きくすることが可能である。なお、絶縁膜 30 c を CVD 膜によって形成する代わりに、他の被覆性の良い材料を用いて形成しても良い。

絶縁膜 30 a と絶縁膜 30 c の合計膜厚は、絶縁膜 30 b の膜厚の 0.5 倍以上であって 4 倍以下である。絶縁膜 30 a と絶縁膜 30 c の合計膜厚は、絶縁膜 30 b の膜厚の 1

50

倍以上（または同等以上）であって4倍以下であれば、さらに望ましい。絶縁膜30aと絶縁膜30cが、例えばシリコン酸化物（SiO₂）を含み、絶縁膜30bが、例えばシリコン窒化物（SiN）を含む場合、絶縁膜30aと絶縁膜30cの合計膜厚は、絶縁膜30bの膜厚の1.8倍程度であることが望ましい。

【0030】

絶縁膜30a、30b、30cの膜厚とは、半導体領域4の側面上に絶縁膜30a、30b、30cが順に位置する場合（図3（a）の場合）、絶縁膜30a、30b、30cのY方向の厚さに相当し、半導体領域4の底面上に絶縁膜30a、30b、30cが順に位置する場合（図3（b）の場合）、絶縁膜30a、30b、30cのZ方向の厚さに相当する。

10

【0031】

絶縁膜30aは、例えば、半導体領域3及び半導体領域4を保護する。絶縁膜30bは、例えば、絶縁膜30aの応力（例えば、圧縮応力）を緩和させる。絶縁膜30cは、例えば、トレンチT内にカバー膜35を埋め込み易くする。

【0032】

図2に示すように、半導体領域6の一部上と、コンタクト領域7上と、層間絶縁膜21の側面上及び上面上とは、ソース電極11が設けられている。また、ソース電極11は、絶縁部30上及びカバー膜35上に設けられている。ソース電極11は、例えば、金属材料によって形成される。

ソース電極11上には、層間絶縁膜22が設けられている。層間絶縁膜22は、例えば、シリコン酸化物を含む。

20

【0033】

次に、本実施形態に係る半導体装置の製造方法について説明する。

図4～図9は、半導体装置100の製造方法を示す断面図である。

なお、図4～図9に示された領域は、図2に示された領域の一部に相当する。なお、図4～図9においては、柱状部60より上の部分、及び、半導体領域2より下の部分は示されていない。

まず、図4に示すように、第1導電形の半導体基板40上に、第1導電形の半導体層41をエピタキシャル成長させる。

【0034】

30

続いて、半導体層41上に、シリコン酸化膜等を含むマスク材を形成する。例えば、マスク材は、CVD法により半導体層41上に膜を堆積した後、リソグラフィ法及びRIE（Reactive Ion Etching）法により形成される。

【0035】

続いて、パターニングされたマスク材をマスクに、半導体基板40及び半導体層41にトレンチTを形成する。トレンチTは、例えば、RIE法により形成される。その後、マスク材を剥離する。なお、トレンチTを形成した後の半導体基板40は、半導体領域2に相当する。また、トレンチTを形成した後の半導体層41は、半導体領域3に相当する。

【0036】

次に、図5に示すように、トレンチTの内壁面上及び底面上に、エピタキシャル成長法により、p形不純物を含む半導体膜42を形成する。半導体膜42は、トレンチT間の半導体領域3上にも形成される。半導体膜42は、例えば、ノンドープの単結晶シリコンを含む。半導体膜42は、半導体領域4に相当する。

40

【0037】

続いて、トレンチT内であって半導体領域4の側面及び底面に、例えば熱酸化により、絶縁膜30aを形成する。絶縁膜30aは、トレンチT間の半導体領域4にも形成される。例えば、絶縁膜30aは、シリコン酸化物によって形成される。

【0038】

次に、図6に示すように、トレンチT内であって絶縁膜30aの側面上及び底面上に、例えばLPCVD（Low Pressure Chemical Vapor Deposition）法により、絶縁膜30b

50

を形成する。絶縁膜 30b は、トレンチ T 間の絶縁膜 30a 上にも形成される。例えば、絶縁膜 30b は、シリコン窒化物によって形成される。

【0039】

続いて、トレンチ T 内であって絶縁膜 30b の側面及び底面に、例えば熱酸化により、絶縁膜 30c を形成する。絶縁膜 30c は、トレンチ T 間の絶縁膜 30b にも形成される。例えば、絶縁膜 30c は、シリコン酸化物によって形成される。

【0040】

次に、図 7 に示すように、トレンチ T を埋め込むように、絶縁膜 30c 上に、例えば CVD 法により、カバー膜 35 を形成する。例えば、カバー膜 35 は、BPSG によって形成される。これにより、トレンチ T 内に、カバー膜 35 が上に位置する空隙部 V が形成される。続いて、カバー膜 35 にリフロー及びアニール処理を施す。

10

【0041】

絶縁膜 30b の側面上及び底面上に絶縁膜 30c (シリコン酸化膜) が形成されているので、トレンチ T の上部にカバー膜 35 が形成され易い。つまり、絶縁膜 30c によって、トレンチ T の深さ方向 (- Z 方向) におけるカバー膜 35 の埋め込み性が向上する。

【0042】

次に、図 8 に示すように、エッチング処理を施してカバー膜 35 の一部を除去する。トレンチ T 上、及び、トレンチ T 間に位置するカバー膜 35 を除去するようにエッチバックする。続いて、例えば CDE (Chemical Dry Etching) 法により、トレンチ T 間の絶縁膜 30a 上に位置する絶縁膜 30b、30c を除去する。

20

【0043】

次に、図 9 に示すように、エッチング処理を施して、トレンチ T 間の半導体領域 4 上に位置する絶縁膜 30a を除去する。続いて、例えば CMP (Chemical Mechanical Polishing) 法により、半導体領域 3 の一部、及び、半導体領域 4 の一部を除去する。これにより、絶縁膜 30a、30b、30c の上面、及び、カバー膜 35 の上面が平坦化され、絶縁膜 30a、絶縁膜 30b 及び絶縁膜 30c を有する絶縁部 30 が形成される。

【0044】

その後、公知の製造方法により、半導体領域 5、6 と、コンタクト領域 7 と、ゲート絶縁膜 20 と、ゲート電極 8 と、を形成する。続いて、層間絶縁膜 21 と、ソース電極 11 と、層間絶縁膜 22 と、ゲートコンタクト 9 と、ドレイン電極 10 と、を形成することで

30

【0045】

次に、本実施形態の効果について説明する。

n 形半導体領域と p 形半導体領域とがトレンチを介して交互に設けられたスーパージャンクション構造を有する MOSFET では、セルのピッチの微細化に伴って高アスペクト比のトレンチが形成され易い。トレンチの内面上及び上部上には、p 形半導体領域及びカバー膜がそれぞれ形成され、トレンチの一部 (p 形半導体領域及びカバー膜で囲まれた部分) には空隙部が形成される場合がある。

【0046】

このような MOSFET では、p 形半導体領域から空隙部に電流が漏れ易くなる。空隙部へのリーク電流によって MOSFET の動作に不具合が生じる虞がある。また、トレンチの上部上にカバー膜を形成する場合、カバー膜が側面に位置する膜の材料によってはトレンチに対するカバー膜の埋め込み性が低下し易くなる。

40

【0047】

また、カバー膜に含まれるホウ素やリン等の不純物が n 形半導体領域及び p 形半導体領域に染み出す場合があり、これらの半導体領域を保護するために p 形半導体領域の側壁に厚い膜を形成することが考えられる。しかし、p 形半導体領域の側壁に圧縮応力を有する膜 (例えば、シリコン酸化膜) を形成すると、圧縮応力を有する膜が厚く形成されることでウェーハの反りが大きくなってしまう。ウェーハの大きな反りは、製造工程中における加工精度を低下させ、製造装置の安定した稼働を妨げる原因となる。

50

【 0 0 4 8 】

本実施形態の半導体装置 1 0 0 において、トレンチ T 内の半導体領域 4 上に絶縁膜 3 0 a、3 0 b、3 0 c が順に設けられている。このような絶縁膜 3 0 a、3 0 b、3 0 c (例えば、ONO 膜) を設けると、半導体領域 4 から空隙部 V に電流が漏れることを抑制する。

【 0 0 4 9 】

また、本実施形態では、絶縁膜 3 0 a によってカバー膜 3 5 の不純物等から半導体領域 3 及び半導体領域 4 を保護する。そして、絶縁膜 3 0 b は引張応力を有する材料 (例えば、シリコン窒化物) を含むので、絶縁膜 3 0 b によって絶縁膜 3 0 a の応力を相殺してウェーハの反りを抑制する。例えば、絶縁膜 3 0 a の膜厚と、絶縁膜 3 0 b の膜厚とを所定の比率になるように設定すると (例えば、絶縁膜 3 0 a と絶縁膜 3 0 c の合計膜厚を絶縁膜 3 0 b の膜厚の 1 . 8 倍程度にすると)、カバー膜 3 5 の不純物の染み出しと、ウェーハの反りとがより抑制される。

10

【 0 0 5 0 】

また、本実施形態では、絶縁膜 3 0 c は、例えばシリコン酸化物を含むので、絶縁膜 3 0 c の側面上にカバー膜 3 5 が形成され易くなる。つまり、トレンチ T に対するカバー膜 3 5 の埋め込み性が向上する。

本実施形態によれば、信頼性が向上した半導体装置及びその製造方法を提供することができる。

【 0 0 5 1 】

20

(第 2 実施形態)

図 1 0 は、本実施形態に係る半導体装置を示す斜視図である。

図 1 0 は、半導体装置 2 0 0 を示す斜視図である。図 1 0 に示された領域は、図 1 に示された領域に相当する。なお、図 1 0 において、ソース電極 1 1 及び柱状部 6 0 の図示が省略されている。

本実施形態において、半導体領域 3 及び半導体領域 4 より上の構成が第 1 実施形態と異なる。よって、これ以外の構成の詳細な説明は省略する。

【 0 0 5 2 】

図 1 0 に示すように、半導体装置 2 0 0 には、ドレイン領域 1 と、半導体領域 2 と、半導体領域 3 と、半導体領域 4 と、半導体領域 5 と、半導体領域 6 と、コンタクト領域 7 と、ゲート電極 8 と、ゲートコンタクト 9 と、ドレイン電極 1 0 と、が設けられている。

30

【 0 0 5 3 】

半導体領域 5 は、半導体領域 3 上、及び、半導体領域 4 上に複数設けられている。複数の半導体領域 5 は、X - Y 平面を島状に配置されている。

半導体領域 6 は、半導体領域 5 上に複数設けられている。複数の半導体領域 6 は、X - Y 平面を島状に配置されている。

【 0 0 5 4 】

コンタクト領域 7 は、半導体領域 5 上に複数設けられている。複数のコンタクト領域 7 は、X - Y 平面を島状に配置されている。また、複数のコンタクト領域 7 は、Y 方向で隣り合う半導体領域 6 の間に位置するように Y 方向に互いに離間して配置されている。

40

半導体領域 5、半導体領域 6 及びコンタクト領域 7 をそれぞれ有する複数の領域 5 0 は、X - Y 平面を島状に配置されている。

【 0 0 5 5 】

ゲート電極 8 は、半導体領域 3 上に格子状に設けられている。ゲート電極 8 は、X 方向及び Y 方向で隣り合う半導体領域 5 の間に位置する。

ゲートコンタクト 9 は、ゲート電極 8 上に設けられている。

【 0 0 5 6 】

本実施形態において、絶縁部 3 0 の構成及び配置は第 1 実施形態と同じである。つまり、図 2、図 3 (a) 及び図 3 (b) に示すように、絶縁部 3 0 は、絶縁膜 3 0 a、3 0 b、3 0 c を有し、半導体領域 4、5 内に設けられている。

50

本実施形態の効果は、前述の第 1 実施形態と同じである。

【 0 0 5 7 】

(第 3 実施形態)

図 1 1 は、本実施形態に係る半導体装置を示す断面図である。

図 1 2 は、図 1 1 の領域 C の拡大図である。

図 1 1 に示すように、半導体装置 3 0 0 には、ドレイン領域 1 と、半導体領域 2 と、半導体領域 3 と、半導体領域 4 と、半導体領域 5 と、半導体領域 6 と、ゲート電極 8 と、ドレイン電極 1 0 と、ソース電極 1 1 と、ゲート絶縁膜 2 0 と、層間絶縁膜 2 1 と、絶縁部 3 0 と、カバー膜 3 5 と、が設けられている。層間絶縁膜 2 1 は、膜 2 1 a 及び膜 2 1 b を有する。

10

【 0 0 5 8 】

半導体領域 2 は、ドレイン領域 1 の上面 1 a 上に設けられている。

半導体領域 3 は、半導体領域 2 上に複数設けられている。複数の半導体領域 3 は、X 方向に延びており、Y 方向に互いに離間して配置されている。

半導体領域 4 は、半導体領域 2 上に複数設けられている。複数の半導体領域 4 は、X 方向に延びており、Y 方向で隣り合う半導体領域 3 の間に位置するように Y 方向に互いに離間して配置されている。

【 0 0 5 9 】

複数の半導体領域 3 及び複数の半導体領域 4 は、多段エピタキシャル法を用いて形成される。例えば、リソグラフィ法を用いたイオン注入と、エピタキシャル成長法とを Z 方向に交互に繰り返す。これにより、n 形の半導体領域 3 と、p 形の半導体領域 4 とが Y 方向において交互に位置するように半導体領域 2 上に設けられる。つまり、本実施形態の半導体装置 3 0 0 は、M O S F E T であって、スーパージャンクション構造を有するものである。

20

【 0 0 6 0 】

半導体領域 5 は、半導体領域 3 上、及び、半導体領域 4 上に複数設けられている。複数の半導体領域 5 は、Y 方向に互いに離間して配置されている。

半導体領域 6 は、半導体領域 5 上に複数設けられている。複数の半導体領域 6 は、Y 方向に互いに離間して配置されている。

【 0 0 6 1 】

ゲート電極 8 は、半導体領域 3 上にゲート絶縁膜 2 0 を介して複数設けられている。複数のゲート電極 8 は、Y 方向に互いに離間して配置されている。

ドレイン電極 1 0 は、ドレイン領域 1 の下面 1 b 上に設けられている。

ソース電極 1 1 は、半導体領域 5 の一部上と、半導体領域 6 の一部上と、層間絶縁膜 2 1 上と、絶縁部 3 0 上と、カバー膜 3 5 上とに設けられている。

30

【 0 0 6 2 】

絶縁部 3 0 は、トレンチ T 1 内に設けられている。トレンチ T 1 は、破線で示すように、半導体領域 2、半導体領域 3、半導体領域 5 及び半導体領域 6 からなる半導体領域 5 1 と、半導体領域 2、半導体領域 4 及び半導体領域 5 からなる半導体領域 5 2 との間に形成される。トレンチ T 1 の内面上に絶縁部 3 0 が位置する。

40

【 0 0 6 3 】

カバー膜 3 5 は、トレンチ T 1 の空隙部 V 上に設けられている。絶縁部 3 0 は、半導体領域 5 1 と、空隙部 V 及びカバー膜 3 5 との間に位置する。また、絶縁部 3 0 は、半導体領域 5 2 と、空隙部 V 及びカバー膜 3 5 との間に位置する。

【 0 0 6 4 】

図 1 2 に示すように、絶縁部 3 0 は、絶縁膜 3 0 a、絶縁膜 3 0 b 及び絶縁膜 3 0 c を有する。

絶縁膜 3 0 a は、半導体領域 5 1 の側面上、及び、半導体領域 5 2 の側面上に位置する。また、絶縁膜 3 0 a は、トレンチ T 1 の底面上であって半導体領域 2 上に位置する。

絶縁膜 3 0 b は、絶縁膜 3 0 a の側面上及び底面上に位置する。

50

絶縁膜 30c は、絶縁膜 30b の側面上及び底面上に位置する。

つまり、絶縁部 30 は、カバー膜 35 の側面と、空隙部 V の側面及び底面とを覆っており、絶縁膜 30c、30b、30a がこれらの側面及び底面から離れる方向にこの順で位置する。絶縁膜 30a、絶縁膜 30b 及び絶縁膜 30c の形状は、例えば、底を有する筒状である。

本実施形態の効果は、前述の第 1 実施形態と同じである。

【0065】

前述したように、一例として、スーパージャンクション構造を有する MOSFET を例に説明したが、各実施形態に係る半導体装置は、スーパージャンクション構造を有する IGBT (Insulated Gate Bipolar Transistor) 等、その他の半導体装置に適用しても良

10

【0066】

以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明及びその等価物の範囲に含まれる。

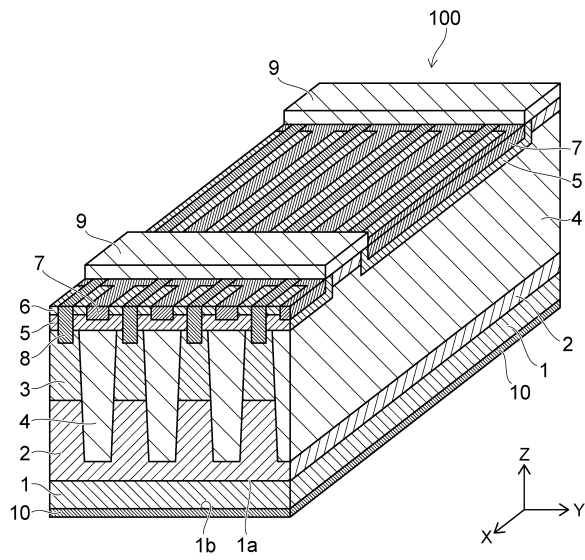
【符号の説明】

【0067】

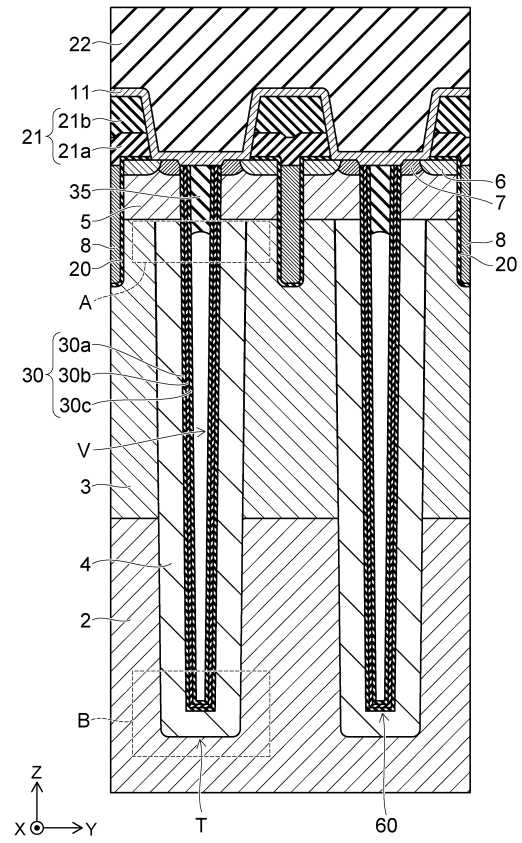
20

1 : ドレイン領域、1a : 上面、1b : 下面、2 ~ 6、51、52 : 半導体領域、7 : コンタクト領域、8 : ゲート電極、9 : ゲートコンタクト、10 : ドレイン電極、11 : ソース電極、20 : ゲート絶縁膜、21、22 : 層間絶縁膜、21a、21b : 膜、30 : 絶縁部、30a、30b、30c : 絶縁膜、35 : カバー膜、40 : 半導体基板、41 : 半導体層、42 : 半導体膜、50 : 領域、60 : 柱状部、100、200、300 : 半導体装置、T、T1 : トレンチ、V : 空隙部

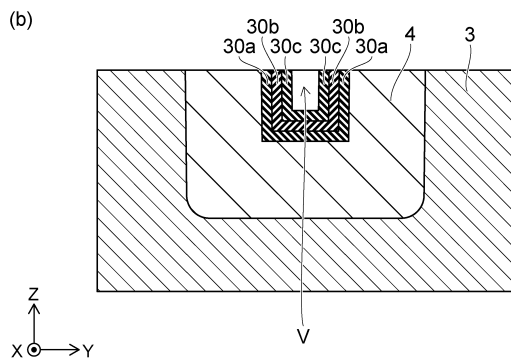
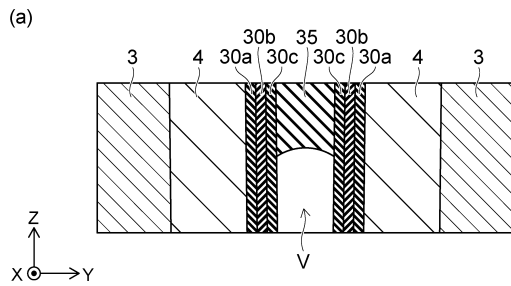
【図 1】



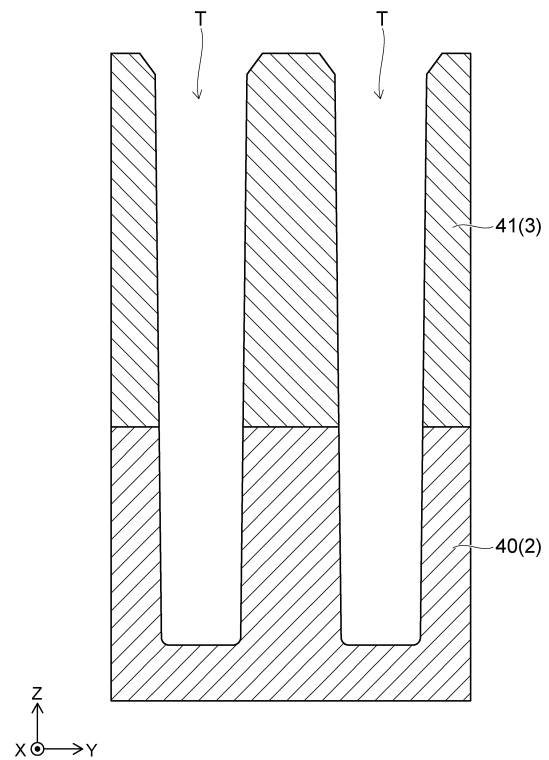
【図 2】



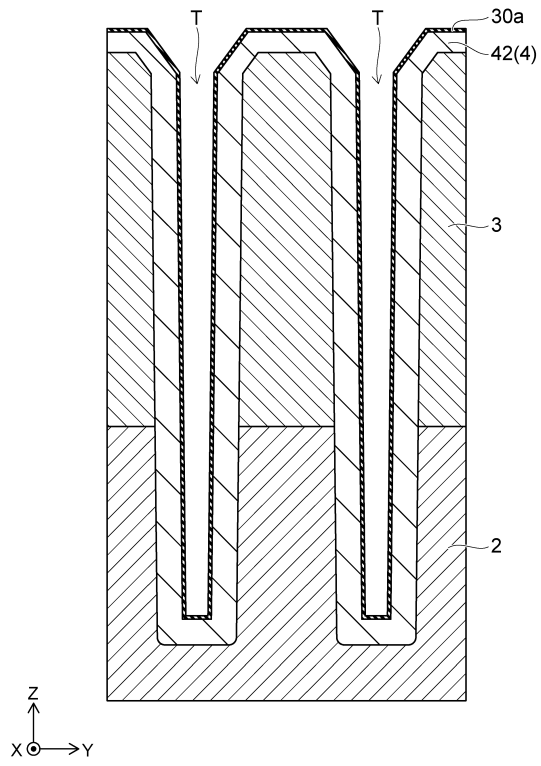
【図 3】



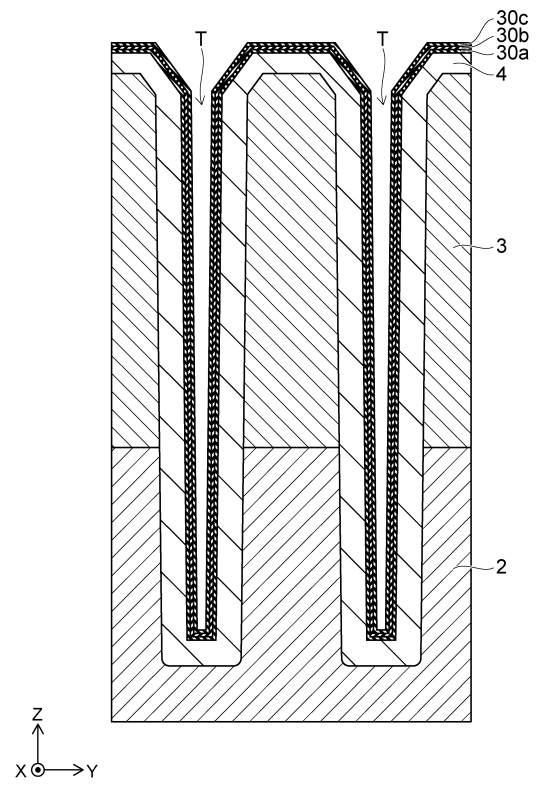
【図 4】



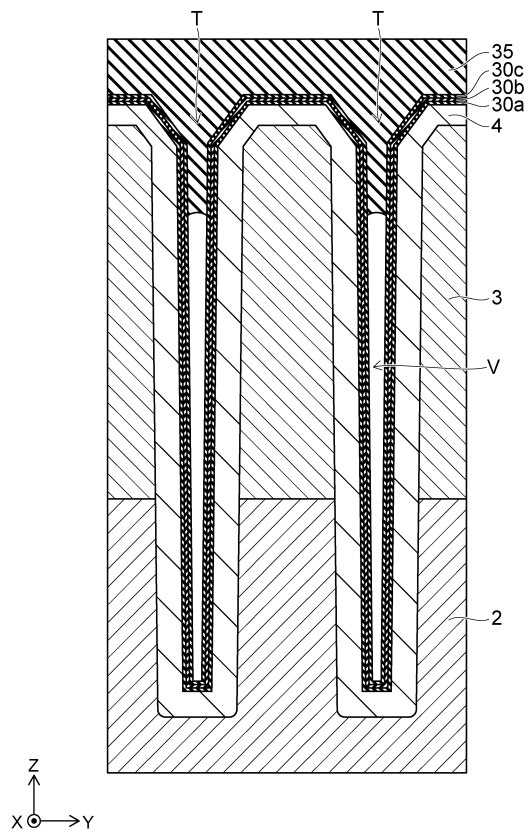
【図 5】



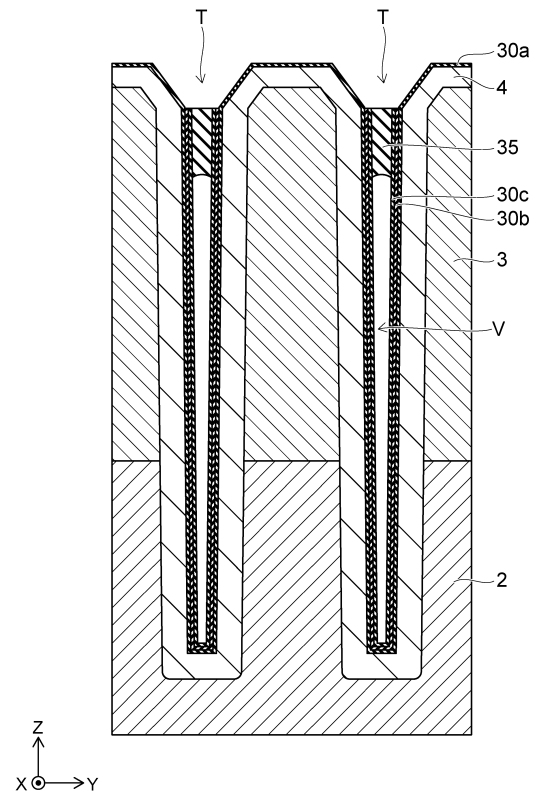
【図 6】



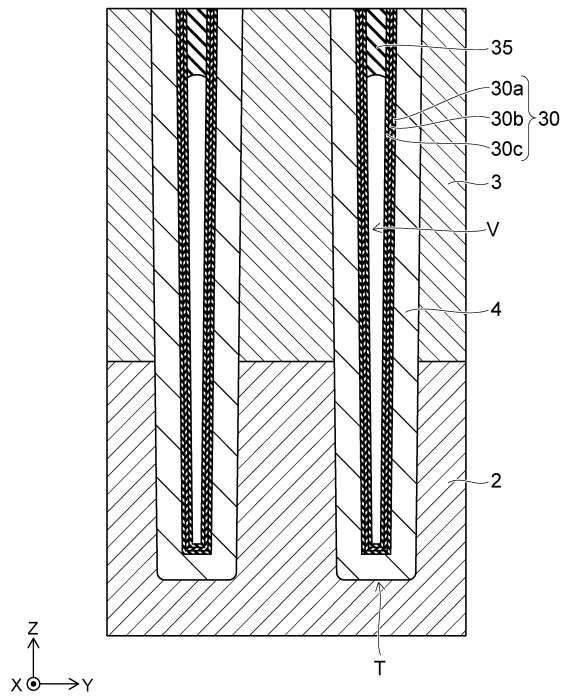
【図 7】



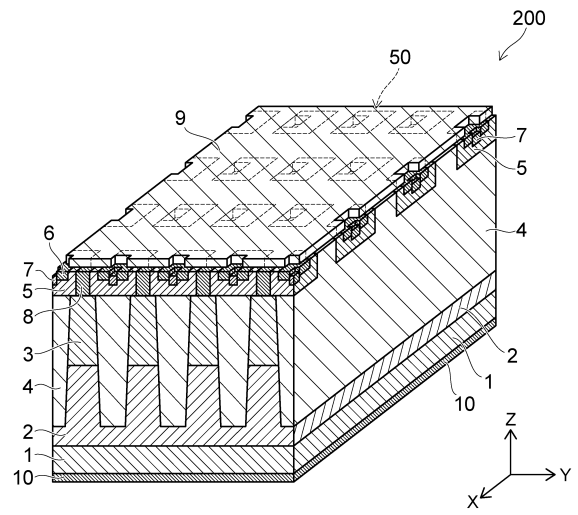
【図 8】



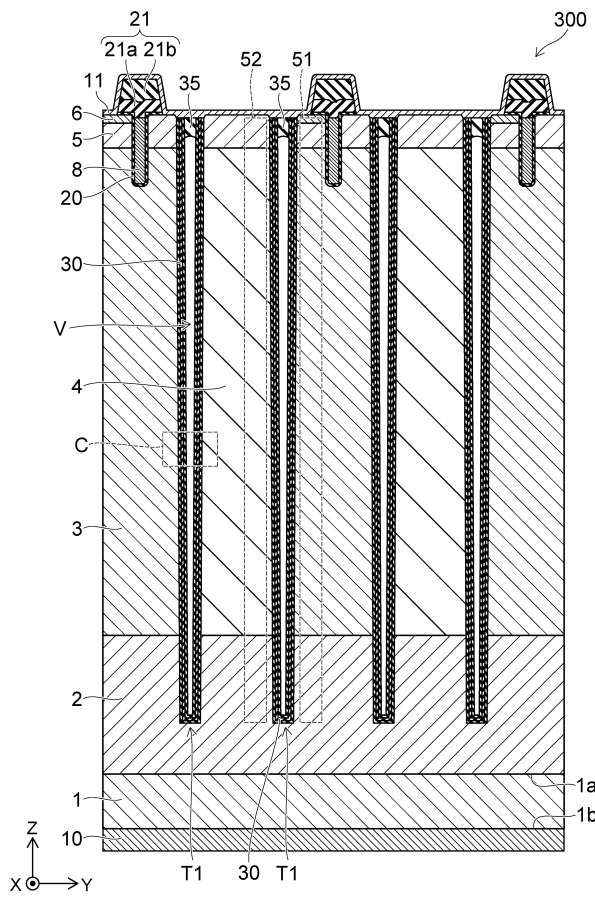
【 図 9 】



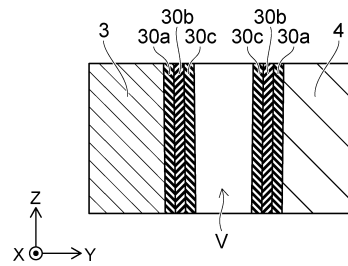
【 図 1 0 】



【 図 1 1 】



【 图 1 2 】



フロントページの続き

(72)発明者 奥村 秀樹

東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 恩田 和彦

(56)参考文献 特開2003-309261(JP,A)

米国特許出願公開第2014/0327069(US,A1)

特開2006-135150(JP,A)

特開2000-196074(JP,A)

特開2008-047602(JP,A)

特開2004-214511(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78

H01L 21/336