

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年9月22日(22.09.2016)

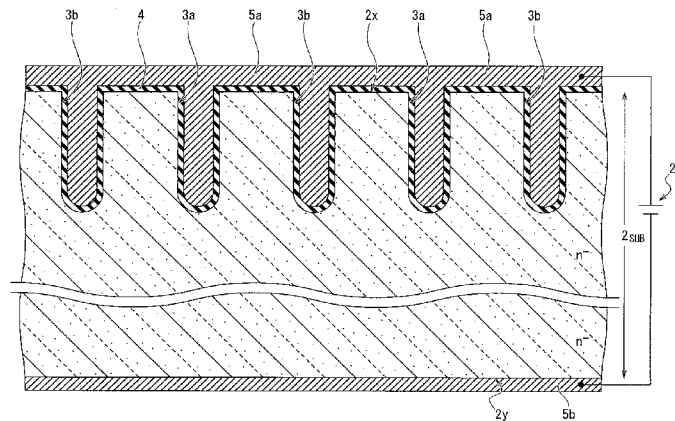


(10) 国際公開番号
WO 2016/147529 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/739 (2006.01)
H01L 21/66 (2006.01) H01L 29/78 (2006.01)
 - (21) 国際出願番号: PCT/JP2016/000464
 - (22) 国際出願日: 2016年1月29日(29.01.2016)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2015-052594 2015年3月16日(16.03.2015) JP
 - (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
 - (72) 発明者: 小野澤 勇一(ONOZAWA, Yuichi); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).
 - (74) 代理人: 鈴木 壯兵衛(SUZUKI, Sohbe); 〒1056032 東京都港区虎ノ門四丁目3番1号 城山トラストタワー32階 特許業務法人日栄国際特許事務所 Tokyo (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称: 半導体装置の製造方法



(57) Abstract: Provided is a semiconductor device manufacturing method whereby suitable screening can be implemented in a manufacturing process of a semiconductor device having a trench-gate structure. This semiconductor device manufacturing method is provided with: a step for forming first and second trenches (3a, 3b) in the upper surface of a flat-board-like base body section; a step for forming an insulating film (4) inside of each of the first and second trenches (3a, 3b); a step for forming a conductive film (5a) on the upper surface of the base body section such that the inside of each of the first and second trenches (3a, 3b) is filled with the conductive film with the insulating film (4) therebetween; a step for inspecting the insulating characteristics of the insulating film (4) by applying a voltage between the conductive film (5a) and the lower surface of the base body section; and a step for selectively removing the conductive film (5a) on the upper surface after inspecting the insulating characteristics, forming a gate electrode inside of the first trench (3a), and forming an isolated electrode inside of the second trench (3b), said isolated electrode being isolated from the gate electrode.

(57) 要約:

[続葉有]



WO 2016/147529 A1



トレンチゲート構造を有する半導体装置の製造プロセスにおいて適切なスクリーニングを実施することが可能な半導体装置の製造方法を提供する。半導体装置の製造方法は、平板状の基体部の上面に第1及び第2トレンチ(3a, 3b)を形成する工程と、第1及び第2トレンチ(3a, 3b)の各々の内部に絶縁膜(4)を形成する工程と、絶縁膜(4)を介して第1及び第2トレンチ(3a, 3b)の各々の内部を埋め込むように基体部の上面上に導電膜(5a)を形成する工程と、導電膜(5a)と基体部の下面との間に電圧を印加して絶縁膜(4)の絶縁特性を検査する工程と、絶縁特性を検査した後、上面上の導電膜(5a)を選択的に除去して、第1トレンチ(3a)の内部にゲート電極を形成し、第2トレンチ(3b)の内部にゲート電極と分離された分離電極を形成する工程とを備える。

明 細 書

発明の名称：半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置の製造方法に関し、特に、トレンチゲート構造を有する半導体装置の製造に適用して有効な技術に関するものである。

背景技術

[0002] 電力変換装置のインバータ部やコンバータ部などに使用されるスイッチング素子として、例えばトレンチゲート構造の絶縁ゲート型バイポーラトランジスタ（IGBT）が知られている。このトレンチゲート構造のIGBTは、オン動作及びオフ動作に移行する際、特にゲートーコレクタ間の容量が大きい場合、著しい充放電時間と発生損失の増大をもたらす。この発生損失は、オン電圧で決まる定常損失と、オン動作時及びオフ動作時のスイッチング損失との和として発生する。このため、このスイッチング損失の原因であるゲートーコレクタ間の容量を低減することが重要である。

[0003] ゲートーコレクタ間の容量を低減する方法として、例えば特許文献1に記載されているようなダミートレンチ構造を用いる方法がある。このダミートレンチ構造では、複数のトレンチのうちの所定のトレンチ（ダミートレンチ）の内部に設けられた電極とエミッタ電極とを電気的に接続する。これにより、ゲート容量の絶対値を減ずるとともに、特にフローティング層を有するIGBTではゲートーコレクタ間の容量を小さくすることができる。

[0004] しかしながら、特許文献1に記載のダミートレンチ構造は、ダミートレンチ内部の電極とエミッタ電極とを電気的に接続している。このため、ダミートレンチの形状異常や、ダミートレンチと電極との間の絶縁膜の膜質劣化といった不具合を電圧印加によりスクリーニングすることが困難である。

先行技術文献

特許文献

[0005] 特許文献1：特開2007-74006公報

発明の概要

発明が解決しようとする課題

[0006] 本発明の目的は、トレンチゲート構造を有する半導体装置の製造プロセスにおいて適切なスクリーニングを実施することが可能な半導体装置の製造方法を提供することにある。

課題を解決するための手段

[0007] 上記目的を達成するため、本発明の一態様に係る半導体装置の製造方法は、平板状の基体部の上面に第1及び第2トレンチを形成する工程と、第1及び第2トレンチの各々の内部に絶縁膜を形成する工程と、絶縁膜を介して第1及び第2トレンチの各々の内部を埋め込むように基体部の上面上に導電膜を形成する工程と、導電膜と基体部の下面との間に電圧を印加して絶縁膜の絶縁特性を検査する工程と、絶縁特性を検査した後、上面上の導電膜を選択的に除去して、第1トレンチの内部にゲート電極を形成し、第2トレンチの内部にゲート電極と分離された分離電極を形成する工程と、を備える。

発明の効果

[0008] 本発明によれば、トレンチゲート構造を有する半導体装置の製造プロセスにおいて適切なスクリーニングを実施することが可能な半導体装置の製造方法を提供することができる。

図面の簡単な説明

[0009] [図1]本発明の第1の実施形態に係る半導体装置のチップレイアウト図である。

[図2]本発明の第1の実施形態に係る半導体装置の要部断面図である。

[図3]本発明の第1の実施形態に係る半導体装置の製造方法に用いられる半導体基板の概略構成を示す図（（a）は平面図，（b）は断面図）である。

[図4]図3（a）の一部を拡大した要部平面図である。

[図5]本発明の第1の実施形態に係る半導体装置の製造方法を説明するための要部平面図である。

[図6]本発明の第1の実施形態に係る半導体装置の製造方法を説明するための要部断面図である。

[図7]本発明の第1の実施形態に係る半導体装置の製造方法を説明するための要部断面図である。

[図8]本発明の第1の実施形態に係る半導体装置の製造方法を説明するための図（(a)は平面図，(b)は断面図）である。

[図9]本発明の第1の実施形態に係る半導体装置の製造方法を説明するための図（(a)は平面図，(b)は断面図）である。

[図10]本発明の第1の実施形態に係る半導体装置の製造方法を説明するための要部断面図である。

[図11]本発明の第1の実施形態に係る半導体装置の製造方法を説明するための要部断面図である。

[図12]図9の一部を拡大して示す要部平面図である。

[図13]本発明の第1の実施形態に係る半導体装置の製造方法を説明するための要部断面図である。

[図14]本発明の第1の実施形態に係る半導体装置の製造方法を説明するための要部断面図である。

[図15]本発明の第1の実施形態に係る半導体装置の製造方法を説明するための要部断面図である。

[図16]本発明の第1の実施形態に係る半導体装置の製造方法を説明するための要部断面図である。

[図17]本発明の第1の実施形態に係る半導体装置の製造方法を説明するための要部断面図である。

[図18]本発明の第1の実施形態に係る半導体装置の製造方法を説明するための要部断面図である。

[図19]本発明の第1の実施形態に係る半導体装置の製造方法を説明するための要部断面図である。

[図20]本発明の第1の実施形態に係る半導体装置の製造方法を説明するための

の要部断面図である。

[図21]本発明の第2の実施形態に係る半導体装置の製造方法を説明するための図（（a）は平面図，（b）は断面図）である。

[図22]本発明の第2の実施形態に係る半導体装置の製造方法を説明するための要部断面図である。

[図23]本発明の第2の実施形態に係る半導体装置の製造方法を説明するための要部断面図である。

[図24]本発明の第2の実施形態に係る半導体装置の製造方法を説明するための要部平面図である。

[図25]本発明の第2の実施形態に係る半導体装置の製造方法において、変形例を説明するための要部平面図である。

[図26]本発明の第3の実施形態に係る半導体装置の製造方法を説明するための図（（a）は平面図，（b）は断面図）である。

[図27]本発明の第3の実施形態に係る半導体装置の製造方法を説明するための要部断面図である。

[図28]本発明の第3の実施形態に係る半導体装置の製造方法を説明するための図（（a）は平面図，（b）は断面図）である。

[図29]本発明の第3の実施形態に係る半導体装置の製造方法を説明するための図（（a）は平面図，（b）は断面図）である。

[図30]本発明の第3の実施形態に係る半導体装置の製造方法を説明するための要部断面図である。

[図31]本発明の第3の実施形態に係る半導体装置の製造方法を説明するための要部断面図である。

発明を実施するための形態

[0010] 以下、本発明の第1乃至第3の実施形態に係る半導体装置の製造方法について、図面を参照して詳細に説明する。

[0011] 本明細書において、「第1主電極領域」とは、IGBTにおいてエミッタ領域又はコレクタ領域のいずれか一方となる領域を意味する。電界効果トラ

ンジスタ（FET）や静電誘導トランジスタ（SIT）においてはソース領域又はドレイン領域のいずれか一方となる領域を意味する。静電誘導サイリスタ（SISサイリスタ）やゲートターンオフサイリスタ（GTO）においてはアノード領域又はカソード領域のいずれか一方となる領域を意味する。

[0012] 「第2主電極領域」とは、IGBTにおいては上記第1主電極領域とはならないエミッタ領域又はコレクタ領域のいずれか一方となる領域を意味する。FET、SITにおいては上記第1主電極領域とはならないソース領域又はドレイン領域のいずれか一方となる領域を意味する。SISサイリスタやGTOにおいては上記第1主電極領域とはならないアノード領域又はカソード領域のいずれか一方となる領域を意味する。

[0013] 即ち、第1主電極領域がエミッタ領域であれば、第2主電極領域はコレクタ領域を意味する。第1主電極領域がソース領域であれば、第2主電極領域はドレイン領域を意味する。第1主電極領域がアノード領域であれば、第2主電極領域はカソード領域を意味する。以下の第1乃至第3の実施形態では、トレンチゲート構造のIGBTに着目して説明するので、エミッタ領域を「第1主電極領域」、コレクタ領域を「第2主電極領域」と呼ぶ。

[0014] 以下の第1乃至第3の実施形態の説明では、第1導電型がn型、第2導電型がp型の場合について例示的に説明するが、導電型を逆の関係に選択して、第1導電型をp型、第2導電型をn型としても構わない。また、本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに上付き文字で付す+および-は、+および-の付記されていない半導体領域に比してそれぞれ相対的に不純物濃度が高いまたは低い半導体領域であることを意味する。

[0015] 更に、以下の説明において「上面」「下面」などの「上」「下」の定義は、図示した断面図上の単なる表現上の問題である。例えば、半導体装置の方位を90°変えて観察すれば「上」「下」の呼称は、「左」「右」になり、180°変えて観察すれば「上」「下」の呼称の関係は逆になることは勿論

である。

[0016] なお、以下の第1乃至第3の実施形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。また、第1乃至第3の実施形態で説明される添付図面は、見易くまたは理解し易くするために正確なスケール、寸法比で描かれていない。本発明はその要旨を超えない限り、以下に説明する第1乃至第3の実施形態の記載に限定されるものではない。

[0017] (第1の実施形態)

<第1の実施形態に係る半導体装置の構造>

本発明の第1の実施形態に係る半導体装置は、図1に示す平面図から分かるように、平面が方形状の半導体チップ20を主体に構成されたIGBTである。なお、平面形状は例示であり、方形状に限定されるものではない。

[0018] 半導体チップ20は、中央部に設けられた素子形成領域21aと、この素子形成領域21aを囲むようにして周辺部に設けられた耐圧領域21bとを備えている。素子形成領域21aには、図2などに示す分離電極6bに電氣的に接続されたエミッタ電極としての第1主電極12と、図2などに示すゲート電極6aに電氣的に接続された制御電極13とが配置されている。

[0019] 第1主電極12及び制御電極13は、外部端子（ボンディングパッド）として使用され、外部との電氣的な導通の仲介を行うボンディングワイヤなどの接続手段が接続される。半導体チップ20は、図2に示すように、第1導電型（n-型）のドリフト層2が例えば単結晶シリコンからなる半導体基板2_{SUB}で構成されている。

[0020] 図1に回路図記号（シンボルマーク）で示すように、素子形成領域21aには、トレンチゲート構造のスイッチング素子としての第1の実施形態の半導体装置が構成されている。そして、耐圧領域21bには、図1に示す構造に限定されるものではないが、例えば3本の第2導電型（p型）のフィールドリミットリング（FLR）領域19が素子形成領域21aを囲むようにして三段配列で設けられている。

- [0021] 第1の実施形態の半導体装置は、図2に示すように、半導体基板 2_{SUB} の一部で構成されたn⁻型のドリフト層2を備えている。ドリフト層2の上には、第2導電型(p型)のベース領域7が設けられている。ベース領域7の上面からベース領域7を貫いて下面側のドリフト層2に到達するように、複数の第1トレンチ3a及び複数の第2トレンチ3bが設けられている。図2に示すトポロジーに限定されるものではないが、説明の便宜上、一部の構成として交互に配列された2つの第1トレンチ3a及び3つの第2トレンチ3bを例示的に示している。
- [0022] また、第1の実施形態に係る半導体装置は、複数の第1トレンチ3aのそれぞれの内壁に沿って設けられた第1絶縁膜4aと、複数の第2トレンチ3bのそれぞれの内壁に沿って設けられた第2絶縁膜4bとを備えている。
- [0023] また、第1の実施形態に係る半導体装置は、複数の第1トレンチ3aのそれぞれの内部に第1絶縁膜4aを介して設けられたゲート電極6aと、複数の第2トレンチ3bのそれぞれの内部に第2絶縁膜4bを介して設けられた分離電極6bとを備えている。分離電極6bは、ゲート電極6aと電氣的及び構造的に絶縁分離されている。
- [0024] また、第1の実施形態に係る半導体装置は、ベース領域7の上部に第1主電極12に接するように設けられたエミッタ領域としての第1導電型(n⁺型)の第1主電極領域8を備えている。第1主電極領域8は、第1トレンチ3aの幅方向において互いに対向する両脇にそれぞれ設けられている。第1主電極領域8は第1トレンチ3aに対応して設けられており、第2トレンチ3bの両脇には設けられていない。ドリフト層2の下には、コレクタ領域としての第2導電型(p⁺型)の第2主電極領域16が設けられている。
- [0025] また、第1の実施形態に係る半導体装置は、第2主電極領域16と接して設けられたコレクタ電極としての第2主電極17と、ドリフト層2の下に設けられた第1導電型(n⁺型)のバッファ層15とを備えている。
- [0026] 図2に示すように、ゲート電極6a、分離電極6bの上には、層間絶縁膜10と、第1主電極12と、保護膜14が下から順に設けられている。図2

では図示を省略しているが、図1に示す制御電極13は、第1主電極12と同一レベルとなるように、ゲート電極6a、分離電極6b、層間絶縁膜10よりも上層に設けられている。保護膜14には、図示していないが、第1主電極12の一部を露出する第1主電極用ボンディング開口や制御電極13の一部を露出する制御電極用ボンディング開口などが設けられている。

[0027] 第1主電極12は、層間絶縁膜10を貫通するコンタクト孔11を介して、ベース領域7、第1主電極領域8及び分離電極6bの各々と低いオーミック接触抵抗をなすように電気的にかつ金属学的に接続されている。第2主電極17も、第2主電極領域16と低いオーミック接触抵抗をなすように電気的にかつ金属学的に接続されている。

[0028] ゲート電極6aは、詳細に図示していないが図1に示す制御電極13と電気的に接続されている。ゲート電極6aは、層間絶縁膜10で覆われており、この層間絶縁膜10によって第1主電極領域8と電気的に絶縁分離されている。

[0029] 分離電極6bは、半導体装置のスイッチング損失の原因であるゲートコレクタ間の容量を低減するために第1主電極領域8と電気的に接続されており、第1主電極12から第1主電極領域8とともに第1基準電位が供給される。また、分離電極6bは、ゲート電極6a及び図1に示す制御電極13に対しては電気的に絶縁分離されている。すなわち、分離電極6bは、第1主電極12を通して第1主電極領域8と同様の電位が印加されるが、ゲート電極6aとは異なってチャンネルの形成に寄与しないダミー電極である。そして、第2トレンチ3bは、内部に分離電極6bが設けられたダミートレンチである。

[0030] 第1絶縁膜4a及び第2絶縁膜4bは、例えば熱酸化法による二酸化シリコン(SiO_2)膜で形成されている。第1絶縁膜4a及び第2絶縁膜4bとしては、熱酸化法の他に化学的気相堆積(CVD)法などにより形成される酸化シリコン膜や窒化シリコン膜、或いはこれらのうちの複数の組み合わせである積層膜を用いることができる。第1絶縁膜4a及び第2絶縁膜4bと

しては、高耐圧が要求されるパワーデバイス（電力用半導体装置）においては緻密性に有利な熱酸化法による SiO_2 膜を用いることが好ましい。

[0031] ゲート電極6a及び分離電極6bには、例えば不純物が添加された多結晶シリコン膜（ドープドシリコン膜）が低比抵抗な導電膜として採用可能である。ゲート電極6a及び分離電極6bはドープドポリシリコン膜（DOPOS膜）に限定されるものではない。例えば、DOPOSの他に、タングステン（W）、モリブデン（Mo）、チタン（Ti）、コバルト（Co）などの高融点金属、或いはこれらのシリサイドである WSi_2 、 MoSi_2 、 TiSi_2 、 CoSi_2 などをゲート電極6a及び分離電極6bに用いてもよい。更にDOPOS膜とシリサイド膜との複合膜であるポリサイド膜などをゲート電極6a及び分離電極6bに採用してもよい。

[0032] 層間絶縁膜10としては、例えばCVD法による SiO_2 膜を用いることが可能である。層間絶縁膜10としては、シリコン窒化膜（ Si_3N_4 膜）、ホウケイ酸ガラス膜（BSG膜）、リンケイ酸ガラス膜（PSG膜）又はホウリンケイ酸ガラス膜（BPSG膜）などでも構わない。第1主電極12及び制御電極13には、例えばアルミニウム（Al）膜、又はアルミニウム・シリコン（Al-Si）、アルミニウム・銅（Al-Cu）、アルミニウム・銅・シリコン（Al-Cu-Si）などのアルミニウム合金膜を用いることができる。第2主電極17は例えば金（Au）膜で形成されている。保護膜14は、例えばポリイミド系の絶縁性樹脂の他にBSG、PSG、BPSG膜などが採用可能である。

[0033] 第1主電極領域8の直下のベース領域7には、ゲート電極6aに印加される電圧に制御されてチャンネルが形成される。「ベース領域7」はIGBTにおいてはチャンネルが形成される領域を意味するが、IGBT以外のスイッチング素子においてはIGBTのベース領域に等価な表面にチャンネルが形成されるチャンネル形成領域を意味する。

[0034] 第1トレンチ3aの内部に設けられた第1絶縁膜4aは、第1主電極領域8の直下のベース領域7にチャンネルの表面電位を静電的に制御するゲート膜

として機能する。一方、第2トレンチ3bの内部に設けられた第2絶縁膜4bはゲート膜としては機能しない。しかしながら、第2トレンチ3bの底部でも電界が集中するので、この第2絶縁膜4bにおいても第1絶縁膜4aと同様に、時間の経過とともに絶縁破壊が起こるT D D B (Time Dependent Dielectric Breakdown) 現象に対する信頼性を確保する必要がある。T D D Bに対する信頼性は、トレンチの形状異常や、トレンチと電極との間の絶縁膜の膜質劣化といった不具合を電圧印加によりスクリーニングすることで高めることができる。

[0035] <第1の実施形態に係る半導体装置の動作>

次に、第1の実施形態に係る半導体装置の動作について、図2を参照して説明する。第1主電極12に第1基準電位（例えば0V）を印加し、第2主電極17に第1基準電位よりも高い第2基準電位（例えば600V）を印加した状態でゲート電極6aの電圧が閾値以下の電圧では半導体装置はオフ状態である。

[0036] この状態で図示しないゲート駆動回路よりゲート抵抗を介して閾値より高い電圧をゲート電極6aに印加すると、p型のベース領域7で第1絶縁膜4aを介してゲート電極6aと対向している部分がn型に反転してチャンネルが形成される。これにより、電子が第1主電極12からn⁺型の第1主電極領域（エミッタ領域）8、p型のベース領域7のチャンネルを通り、n⁻型のドリフト層2に注入されることでオン状態となる。このオン状態において、第1主電極12と第2主電極17との間の電圧降下が半導体装置のオン電圧である。

[0037] 半導体装置をオン状態からオフ状態にするには、第1主電極12とゲート電極6aとの間の電圧を閾値以下にすることによって、ゲート電極6aに蓄積されていた電荷はゲート抵抗を介してゲート駆動回路へ放電される。その際、n型に反転していたチャンネルがp型に戻り、チャンネルが無くなることにより電子の供給がなされなくなり、半導体装置がオフ状態になる。

[0038] <第1の実施形態に係る半導体装置の製造方法>

次に、第1の実施形態に係る半導体装置の製造方法について、IGBTの製造方法を例に図3乃至図20を用いて説明する。以下の説明では、第1トレンチ3a及び第2トレンチ3bを形成した後、p型のベース領域7及びn+型の第1主電極領域8を形成する場合について説明するが、このような手順に限定されるものではない。

[0039] なお、図3、図8、図9は、複数のチップに切り出す前のウエハ状態での半導体基板全体を示す図である。また、図6、図7、図10、図13乃至図20は、ウエハ状態の半導体基板に区画されたチップ形成領域での断面構造を示す要部断面図である。また、図11は半導体基板を導電性のステージ上に配置した状態を示す断面図である。

[0040] (a) まず、図3に示すように、例えば単結晶シリコンウエハからなるn-型の半導体基板 2_{SUB} を基体部として準備する。この半導体基板 2_{SUB} は、互いに反対側に位置する上面 2_x 及び下面 2_y を有し、平面形状が円形状で構成されている。

[0041] なお、図3乃至図20では「基体部」として、第1導電型(n-型)の半導体基板 2_{SUB} を用いる場合を例示している。この半導体基板 2_{SUB} の代わりに、第2導電型(p+)型の半導体基板上にn型のエピタキシャル成長層をバッファ層として形成した後、このバッファ層よりも低濃度の第1導電型のエピタキシャル成長層を形成した3層構造を実現するように埋め込みエピタキシャル成長をして、このエピタキシャル成長層を基体部として採用してもよい。

[0042] 半導体基板 2_{SUB} は、第1の実施形態に係る半導体装置の製造プロセスが施された後、複数の半導体チップに分割される。本明細書及び添付図面では半導体チップとして分割される部分をチップ形成領域21と定義し、複数の半導体チップに分割するための切削部分をスクライブ領域(ダイシング領域)22と定義する。したがって、半導体基板 2_{SUB} は、図3に示すように、物理的に形成されているものではないが、スクライブ領域22によって行列状に区画された複数のチップ形成領域21を有している。また、複数のチップ形

成領域 21 の各々は、図 4 に示すように、これも物理的に形成されているものではないが、図 1 の半導体チップ 1 と同様に、半導体装置が形成される素子形成領域 21 a と F L R 領域 19 が形成される耐圧領域 21 b とを有している。

[0043] (b) 次に、半導体基板 2_{SUB} の上面 $2x$ において、図 5 に示すように、チップ形成領域 21 の耐圧領域 21 b に、素子形成領域 21 a を取り囲むように環状に延伸する 3 本の F L R 領域 19 を形成する。この 3 本の F L R 領域 19 は、p 型を呈する不純物イオンとして例えばボロンイオン ($^{11}B^+$) 又は二フッ化ボロンイオン ($^{49}BF_2^+$) を注入し、その後、注入された不純物イオンを活性化させる熱処理を施すことによって形成される。この 3 本の F L R 19 は、図 3 に示す複数のチップ形成領域 21 の各々に形成される。

[0044] (c) 次に、図 6 に示すように、半導体基板 2_{SUB} の上面 $2x$ の表層部に、複数の第 1 トレンチ 3 a 及び複数の第 2 トレンチ 3 b を掘る。複数の第 1 トレンチ 3 a 及び複数の第 2 トレンチ 3 b の各々は、例えば幅 $1\mu m$ 、深さ $5\mu m \sim 10\mu m$ 程度のストライプ状の平行パターンで形成する。複数の第 1 トレンチ 3 a 及び複数の第 2 トレンチ 3 b の各々は、フォトリソグラフィ技術を用いて半導体基板 2_{SUB} の上面 $2x$ を例えば R I E などのドライエッチングで選択的にエッチングすることにより形成される。複数の第 1 トレンチ 3 a 及び複数の第 2 トレンチ 3 b の各々は、図 6 に示す配列に限定されないが、例えば一方向に所定の間隔をおいて交互に配列される。複数の第 1 トレンチ 3 a 及び複数の第 2 トレンチ 3 b の各々は、図 3 に示す複数のチップ形成領域 21 の各々において図 4 の平面パターンで定義される素子形成領域 21 a の内部に形成される。第 2 トレンチ 3 b は第 1 トレンチ 3 a のダミートレンチとして使用される。

[0045] (d) 次に、半導体基板 2_{SUB} の上面 $2x$ において、複数の第 1 トレンチ 3 a 及び複数の第 2 トレンチ 3 b の各々の内部に例えば熱酸化処理により SiO_2 膜からなる絶縁膜 4 を形成する。この工程において、絶縁膜 4 は、隣り合うトレンチの間の半導体基板 2_{SUB} の上面 $2x$ にも形成され、半導体基板 2_{SU}

B の上面 $2x$ 、第1トレンチ $3a$ 及び第2トレンチ $3b$ の各々の内部に亘って連続的に形成される。また、絶縁膜 4 は、図3に示す複数のチップ形成領域 21 の各々に形成されると共に、スクライブ領域 22 にも形成される。

[0046] (e) 次に、図7に示すように、半導体基板 2_{SUB} の上面 $2x$ に複数の第1トレンチ $3a$ 及び複数の第2トレンチ $3b$ の各々の内部を埋め尽くすように、導電膜 5 として例えば低比抵抗のドーパドポリシリコン膜をCVD法で形成する。導電膜 5 は、例えば $1\mu m$ のトレンチ幅に対して $1\mu m$ 程度の膜厚で形成する。この工程において、導電膜 5 は、図8に示すように、複数のチップ形成領域 21 及びスクライブ領域 22 に亘って形成される。また、導電膜 5 は半導体基板 2_{SUB} の下面 $2y$ 及び側面にも形成され、半導体基板 2_{SUB} の全体が導電膜 5 によって覆われる。

[0047] ここで、第1トレンチ $3a$ の内部に位置する絶縁膜 4 及び導電膜 5 は、図13を参照すれば、後の第1絶縁膜 $4a$ 、ゲート電極 $6a$ のそれぞれに対応する。また、第2トレンチ $3b$ の内部に位置する絶縁膜 4 及び導電膜 5 は、図13を参照すれば、後の第2絶縁膜 $4b$ 、分離電極 $6b$ のそれぞれに対応する。

[0048] (f) 次に、図9に示すように、半導体基板 2_{SUB} の上面 $2x$ の外周端部から側面に亘って半導体基板 2_{SUB} を覆っている導電膜 5 をエッチングにより選択的に除去する。これにより、半導体基板 2_{SUB} の全体を覆っている導電膜 5 を、半導体基板 2_{SUB} の上面 $2x$ 側の第1導電膜 $5a$ と、半導体基板 2_{SUB} の下面 $2y$ 側の第2導電膜 $5b$ とに分割する。

[0049] (g) 次に、図10に示すように、第1導電膜 $5a$ と半導体基板 2_{SUB} の下面 $2y$ との間に電圧を印加して絶縁膜 4 の絶縁特性を検査する。具体的には、図11に示すように、導電性のステージ 26 に半導体基板 2_{SUB} の下面 $2y$ の第2導電膜 $5b$ が接するようにステージ 26 上に半導体基板 2_{SUB} を配置する。そして、電源 27 の負極側とステージ 26 とを電氣的に接続し、電源 27 の正極側に電氣的に接続されたプローブ針 28 の先端を第1導電膜 $5a$ に圧接する。そして、第1導電膜 $5a$ と半導体基板 2_{SUB} の下面 $2y$ との間に、

通常の動作よりも高い電圧を電源 27 から印加してゲートショック試験を実施した後、第 1 導電膜 5 a と半導体基板 2_{SUB} の下面 2 y との間に流れる電流を計測する。

[0050] ゲートショック試験は、時間の経過とともに絶縁膜 4 に絶縁破壊が起こる T D D B 現象を評価するための加速試験である。ゲートショック試験は、ゲートーコレクタ間に印加される通常の例えば約 2 MV / c m 程度の電圧よりも高い例えば約 5 MV / c m 程度の電圧を第 1 導電膜 5 a と半導体基板 2_{SUB} の下面 2 y との間に印加して行う。

[0051] この工程において、図 10 に示すように、第 1 トレンチ 3 a の内部及び第 2 トレンチ 3 b の内部を含む半導体基板 2_{SUB} と第 1 導電膜 5 a との間の絶縁膜 4 の全体に電界が印加されるので、絶縁膜 4 の全体にストレスを付加することができる。そして、第 1 導電膜 5 a と半導体基板 2_{SUB} との間の漏れ電流が基準値以上の場合には絶縁膜 4 の膜質劣化が生じていると判定できるので、絶縁膜 4 の絶縁特性を検査することができる。

[0052] したがって、第 1 の実施形態では第 2 トレンチ 3 b がダミートレンチ、第 2 トレンチ 3 b の内部の第 1 導電膜 5 a (後の分離電極 6 b) がダミー電極として使用されるが、ダミートレンチやダミー電極に関係なく、第 1 トレンチ 3 a 及び第 2 トレンチ 3 b の各々の形状異常や、第 1 トレンチ 3 a と第 1 導電膜 5 a (後のゲート電極 6 a) との間の絶縁膜 4 (後の第 1 絶縁膜 4 a) 及び第 2 トレンチ 3 b と第 2 導電膜 5 b (後の分離電極 6 b) との間の絶縁膜 4 (後の第 2 絶縁膜 4 b) のそれぞれの膜質劣化を電圧印加によりスクリーニングすることができる。

[0053] また、この工程において、電源 27 の負極側の印加電圧の電極として機能する第 2 導電膜 5 b が半導体基板 2_{SUB} の下面 2 y の全体に設けられている。したがって、電源 27 の負極側の印加電圧の電極を半導体基板 2_{SUB} の上面 2 x に設ける場合と比較して、第 1 トレンチ 3 a の内部及び第 2 トレンチ 3 b の内部を含む半導体基板 2_{SUB} と第 1 導電膜 5 a との間の絶縁膜 4 に印加される電界の集中を抑制することができる。この結果、絶縁膜 4 の全体に均一に

ストレスを付加することができる。

[0054] また、第1の実施形態に係る半導体装置がIGBTの場合は半導体基板 2_{SUB} の上面側の第1主電極領域8及びベース領域7と、下面側の第2主電極領域16との間に電圧を印加することにより半導体基板 2_{SUB} の厚さ方向に電流が流れるので、実動作に順じたストレスを絶縁膜4に付加することができる。

[0055] なお、プローブ針28の先端を圧接する際、第1導電膜5aにプローブ針28の先端の圧接による凹状の圧接跡が付く。また、第1導電膜5aに異物が付着したりすることがある。このプローブ針28の圧接跡や異物は、この後に第1導電膜5aをエッチングして第1トレンチ3aの内部にゲート電極6a及び第2トレンチ3bの内部に分離電極6bを形成する際にエッチ残りを発生させる要因となる。したがって、この後の第1導電膜5aのエッチングによって除去される部分にプローブ針28の先端を接触させてゲートショック試験を実施することが好ましい。

[0056] 具体的には、図12において、チップ形成領域21の角部23やスクライプ領域22における第1導電膜5aにプローブ針28の先端を圧接することが好ましい。また、FLR領域19はチップ形成領域21の角部23において円弧形状の平面パターンになっており、FLR領域19の円弧形状平面パターン部分の外側では、FLR領域19のストライプ状平面パターン部分の外側と比較して広がっているため、FLR領域19に損傷を与えることなく、プローブ針28の先端を第1導電膜5aに容易に接触させることができる。

[0057] (h) 次に、第1導電膜5aをRIEなどのドライエッチングでエッチバックすることによって、図13に示すように、半導体基板 2_{SUB} の上面 $2 \times$ 上の第1導電膜5aを選択的に除去する。これにより、複数の第1トレンチ3aの各々の内部に第1導電膜5aからなるゲート電極6aを埋め込むと共に、複数の第2トレンチ3bの各々の内部に第1導電膜5aからなり、かつゲート電極6aと電気的にかつ構造的に分離された分離電極6bを埋め込む。

この第1導電膜5aの選択的な除去は、図3に示す複数のチップ形成領域21の各々において行われると共に、スクライブ領域22においても行われる。

[0058] この平坦化の工程において、絶縁膜4に対して選択性を有するエッチング条件で第1導電膜5aをエッチバックすることで、半導体基板 2_{SUB} の上面 $2x$ 上の絶縁膜4はエッチングストップとして機能し、半導体基板 2_{SUB} の上面 $2x$ のエッチングを防止することができる。

[0059] (i) 次に、図14に示すように、半導体基板 2_{SUB} の上面 $2x$ 上の絶縁膜4をウエットエッチングなどにより選択的に除去して半導体基板 2_{SUB} の上面 $2x$ を露出させる。この絶縁膜4の除去は、図3に示す複数のチップ形成領域21の各々において行われると共に、スクライブ領域22においても行われる。

[0060] この工程において、絶縁膜4は、図14に示すように、第1トレンチ3aの内部に位置する第1絶縁膜4aと、第2トレンチ3bの内部に位置する第2絶縁膜4bとに分割される。第1トレンチ3aの内部に位置する第1絶縁膜4aはゲート膜として機能する。ダミートレンチとして使用される第2トレンチ3bの内部に位置する第2絶縁膜4bはゲート膜として機能しないが、第2絶縁膜4bは第1絶縁膜4aと共にゲートショック試験が施されており、TDD B現象に対する信頼性が確保されている。

[0061] (j) 次に、図15に示すように、半導体基板 2_{SUB} の上面 $2x$ の表層部にp型のベース領域7を形成する。このベース領域7は、p型を呈する不純物イオンとして例えばボロンイオン又は二フッ化ボロンイオンを注入し、その後、注入された不純物イオンを活性化させる熱処理を施すことによって形成される。このベース領域7は、第1トレンチ3a及び第2トレンチ3bの各々の先端よりも浅く形成する。例えば、ベース領域7は、第1トレンチ3a及び第2トレンチ3bの各々の深さ $5\sim 10\mu\text{m}$ に対して、 $1\sim 8\mu\text{m}$ 程度の深さで形成する。このベース領域7は、図3に示す複数のチップ形成領域21の各々に形成される。

- [0062] なお、この第1の実施形態では、第1トレンチ3 aの内部にゲート電極6 a、第2トレンチ3 bの内部に分離電極6 bをそれぞれ形成した後にベース領域7を形成している。なお、ベース領域7は半導体基板 2_{SUB} の上面 $2 \times$ の表層部に第1トレンチ3 a及び第2トレンチ3 bを形成する前に半導体基板 2_{SUB} の上面 $2 \times$ の表層部に形成してもよい。この場合、第1トレンチ3 a及び第2トレンチ3 bの各々は、ベース領域7を突き抜けるようにして半導体基板 2_{SUB} の上面 $2 \times$ の表層部に形成される。
- [0063] (k) 次に、フォトリソグラフィ工程によって選択的イオン注入のマスクを形成する。このマスクの窓部を介してn型を呈する不純物イオンとして例えばヒ素イオン($^{75}As^+$)を注入する。その後、注入された不純物イオンを活性化させる熱処理を施す。これにより、図16に示すように、ベース領域7の上部にエミッタ領域としての第1主電極領域8が選択的に形成される。
- [0064] 第1主電極領域8は、第1トレンチ3 aの幅方向において互いに対向する両脇にそれぞれ形成され、第2トレンチ3 bの両脇には形成されない。この第1主電極領域8は、ベース領域7よりも浅く形成する。この第1主電極領域8は、図3に示す複数のチップ形成領域21の各々に形成される。
- [0065] (l) 次に、ゲート電極6 a上及び分離電極6 b上を含む半導体基板 2_{SUB} の上面上の全面に、例えばCVD法で SiO_2 膜からなる層間絶縁膜10を形成する。そして、フォトリソグラフィ技術及びドライエッチング技術などを用いて、図17に示すように、層間絶縁膜10の上部表面から半導体基板 2_{SUB} の上面 $2 \times$ に到達するように層間絶縁膜10を貫通するコンタクト孔11を開孔する。層間絶縁膜10は、図3に示すチップ形成領域21毎に分割され、コンタクト孔11は図3に示す複数のチップ形成領域21の各々に形成される。
- [0066] (m) 次に、コンタクト孔11の内部を埋め尽くし、かつ層間絶縁膜10を覆うように半導体基板 2_{SUB} の上面 $2 \times$ 上の全面にスパッタリング法などにより金属膜を形成する。金属膜は、例えばAl膜、又はAl-Si、Al-Cu、Al-Cu-SiなどのAl合金膜からなる。その後、フォトリソグ

ラフィ技術によりエッチング用マスクを形成し、この金属膜を選択的なエッチングによりパターンニングする。これにより、図18に示すように、半導体基板 2_{SUB} の上面 2_x 上にエミッタ電極としての第1主電極12を形成すると共に、詳細に図示していないが、図1に示す制御電極13を形成する。

[0067] 第1主電極12は、ベース領域7、第1主電極領域8及び分離電極6bと低いオーミック接触抵抗をなすように電気的にかつ金属学的に接続される。制御電極13は、ゲート電極6aの各々と電気的に接続される。第1主電極12及び制御電極13は、図3に示す複数のチップ形成領域21の各々に形成される。

[0068] (n)次に、図18に示すように、第1主電極12及び制御電極13を覆うようにして半導体基板 2_{SUB} の上面 2_x 上の全面に例えばポリイミド系の絶縁性樹脂からなる保護膜14を形成する。その後、保護膜14をエッチングによりパターンニングして保護膜14に、第1主電極12の一部を露出する第1主電極用ボンディング開口、及び制御電極13の一部を露出する制御電極用ボンディング開口などを形成する。保護膜14は、図3に示すチップ形成領域21毎に分割される。第1主電極用ボンディング開口及び制御電極用ボンディング開口などは、図3に示す複数のチップ形成領域21の各々に形成される。

[0069] (o)次に、半導体基板 2_{SUB} の下面 2_y を例えばバックグラインド法やCMP法で研削して半導体基板 2_{SUB} の厚さを薄くする。この工程において、図19に示すように、半導体基板 2_{SUB} の下面 2_y の第2導電膜5bは除去される。

[0070] (p)次に、図20に示すように、半導体基板 2_{SUB} の下面 2_y の表層部に n^+ 型のバッファ層15及び p^+ 型の第2主電極領域16を形成する。バッファ層15及び第2主電極領域16は、半導体基板 2_{SUB} の下面 2_y に、 n 型を呈する不純物イオンを注入すると共に、 p 型を呈する不純物イオンを注入し、その後、注入された不純物イオンを活性化させる熱処理を施すことにより形成される。 n 型を呈する不純物イオンとして例えばリンイオンを注入し

、p型を呈する不純物イオンとして例えばボロンイオンを注入する。

[0071] バッファ層15は、半導体基板 2_{SUB} の下面2yから深さ方向に第2主電極領域16よりも深い位置に形成され、残余の半導体基板 2_{SUB} がドリフト層2となる。バッファ層15及び第2主電極領域16は、半導体基板 2_{SUB} の下面2yにおいて、詳細に図示していないが、図3に示す複数のチップ形成領域21の各々に亘って共通に形成される。

[0072] (q) 次に、半導体基板 2_{SUB} の下面2yの全面に、第2主電極領域16と低いオーミック接触抵抗をなすように電気的にかつ金属学的に接続される第2主電極17を形成する。これにより、第1の実施形態に係る半導体装置のウエハプロセスがほぼ完了する。そして、この後、半導体基板 2_{SUB} のスクライブ領域22をダイシングブレードで切削して複数のチップ形成領域21を分割する。これにより、図1に示すように、チップ形成領域21からなる半導体チップ20が完成する。

[0073] 以上のように、本発明の第1の実施形態に係る半導体装置の製造方法では、ダミートレンチやダミー電極に関係なく、第1トレンチ3a及び第2トレンチ3bの各々の形状異常や、第1トレンチ3aと第1導電膜5a（後のゲート電極6a）との間の絶縁膜4（後の第1絶縁膜4a）及び第2トレンチ3bと第2導電膜5b（後の分離電極6b）との間の絶縁膜4（後の第2絶縁膜4b）のそれぞれの膜質劣化を電圧印加によりスクリーニングすることができる。したがって、チャンネルの形成に寄与しないダミー電極としての分離電極6b、及びゲート電極6aを有するトレンチゲート構造の半導体装置の製造プロセスにおいて適切なスクリーニングを実施することができる。

[0074] また、本発明の第1の実施形態に係る半導体装置の製造方法では、電源27の負極側の印加電圧の電極として機能する第2導電膜5bが半導体基板 2_{SUB} の下面2yの全体に設けられている。このため、電源27の負極側の印加電圧の電極を半導体基板 2_{SUB} の上面2xに設ける場合と比較して、第1トレンチ3aの内部及び第2トレンチ3bの内部を含む半導体基板 2_{SUB} と第1導電膜5aとの間の絶縁膜4に印加される電界の集中を抑制することができ、

絶縁膜4の全体に均一にストレスを付加することができる。

[0075] また、ダミートレンチの内部の絶縁膜の膜質劣化を電圧印加によりスクリーニングする方法として、ダミートレンチの内部のダミー電極に電氣的に接続された独立パッドを設け、この独立パッドとエミッタ電極との間に電圧印加を行った後、組み立て工程においてワイヤなどで独立パッドとエミッタ電極とを電氣的に接続する方法がある。しかしながら、この場合、ダミートレンチの内部のダミー電極と独立パッドとを電氣的に接続するランナーや独立パッドを追加する必要がある。このため、同じチップサイズで比較した場合、素子形成領域の面積が小さくなるのと、組立工程の工数が増加する。

[0076] これに対し、第1の実施形態に係る半導体装置の製造方法では、独立パッドや、この独立パッドとダミートレンチ内のダミー電極とを電氣的に接続するランナーを付加することなく、適切なスクリーニングを実施することができる。したがって、素子形成領域21aの減少や組立工程の追加を抑制することができる。

[0077] また、本発明の第1の実施形態に係る半導体装置の製造方法では、第1導電膜5aと半導体基板2_{SUB}の下面2yとの間に電圧を印加する際、第1導電膜5aにプローブ針28を接触させる位置としてチップ形成領域21の角部23の空きスペースやスクライブ領域22を設定する。これにより、この後の第1導電膜5aをエッチングしてゲート電極6a及び分離電極6bを形成する際にエッチ残りが生じた場合でも、歩留りの低下を防止することができる。

[0078] (第2の実施形態)

本発明の第2の実施形態に係る半導体装置の製造方法について、図21乃至図24を用いて説明する。第2の実施形態に係る半導体装置の製造方法では、導電膜5のエッチング工程及び絶縁膜4の絶縁特性の検査工程以外は上述した第1の実施形態に係る半導体装置の製造方法とほぼ同一である。このため、第2の実施形態に係る半導体装置の製造方法では、導電膜5の1回目のエッチング工程に特化して説明し、その他の工程については詳細な説明を

省略する。

[0079] なお、図21は複数のチップに切出す前のウエハ状態での半導体基板全体を示す図である。また、図22は、ウエハ状態の半導体基板に設けられたチップ形成領域での断面構造を示す要部断面図である。また、図23は半導体基板を導電性のステージ上に配置した状態を示す要部断面図である。

[0080] (a2) まず、単結晶シリコンウエハからなるn-型の半導体基板 2_{SUB} を半導体基体として準備する。その後、上述した第1の実施形態と同様の工程を施して、図5に示すように3本のFLR領域19と、図6に示すように複数の第1トレンチ3a及び複数の第2トレンチ3bと、図7及び図8に示すように絶縁膜4及び導電膜5とを形成する。

[0081] (b2) 次に、半導体基板 2_{SUB} の上面2x側でチップ形成領域21以外を覆っている導電膜5及び半導体基板 2_{SUB} の側面を覆っている導電膜5をエッチングにより選択的に除去する。これにより、図21に示すように、半導体基板 2_{SUB} の全体を覆っている導電膜5を、半導体基板 2_{SUB} の上面2x側の第1導電膜5aと、半導体基板 2_{SUB} の下面2y側の第2導電膜5bとに分割するとともに、第1導電膜5aにおいては複数のチップ形成領域21毎に分割する。

[0082] (c2) 次に、図22に示すように、第1導電膜5aと半導体基板 2_{SUB} の下面2yとの間に電圧を印加して絶縁膜4の絶縁特性を検査する。具体的には、図23に示すように、導電性のステージ26に半導体基板 2_{SUB} の下面2yの第2導電膜5bが向かい合うようにステージ26上に半導体基板 2_{SUB} を配置する。そして、電源27の負極側とステージ26とを電氣的に接続し、電源27の正極側に電氣的に接続されたプローブ針28の先端を第1導電膜5aに圧接する。

[0083] そして、第1導電膜5aと半導体基板 2_{SUB} の下面2yとの間に、通常動作よりも高い電圧を上述した第1の実施形態と同様の条件で印加してゲートショック試験を実施した後、絶縁膜4の漏れ電流を計測する。第2の実施形態では、半導体基板 2_{SUB} の上面側の第1導電膜5aがチップ形成領域21毎

に分割されているので、プローブ針 28 の先端の第 1 導電膜 5 a への圧接はチップ形成領域 2 1 毎に実施する。

[0084] この工程において、図 2 2 及び図 2 3 に示すように、チップ形成領域 2 1 毎に、第 1 トレンチ 3 a の内部及び第 2 トレンチ 3 b の内部を含む半導体基板 2_{SUB} と第 1 導電膜 5 a との間の絶縁膜 4 の全体に電界が印加される。このため、チップ形成領域 2 1 毎に絶縁膜 4 の全体にストレスを付加することができる。そして、第 1 導電膜 5 a と半導体基板 2_{SUB} との間の漏れ電流が基準値以上の場合には絶縁膜 4 の膜質劣化が生じていると判定できるので、チップ形成領域 2 1 毎に絶縁膜 4 の絶縁特性を検査することができる。

[0085] したがって、第 2 の実施形態ではダミートレンチやダミー電極に関係なく、第 1 トレンチ 3 a 及び第 2 トレンチ 3 b の各々の形状異常や、第 1 トレンチ 3 a と第 1 導電膜 5 a (後のゲート電極 6 a) との間の絶縁膜 4 (後の第 1 絶縁膜 4 a) 及び第 2 トレンチ 3 b と第 2 導電膜 5 b (後の分離電極 6 b) との間の絶縁膜 4 (後の第 2 絶縁膜 4 b) のそれぞれの膜質劣化を電圧印加によりチップ形成領域 2 1 毎にスクリーニングすることができる。

[0086] また、この工程において、電源 2 7 の負極側の印加電圧の電極として機能する第 2 導電膜 5 b が半導体基板 2_{SUB} の下面 2 y の全体に設けられている。したがって、第 1 の実施形態と同様に、第 1 トレンチ 3 a の内部及び第 2 トレンチ 3 b の内部を含む半導体基板 2_{SUB} と第 1 導電膜 5 a との間の絶縁膜 4 に印加される電界の集中を抑制することができ、チップ形成領域 2 1 毎に絶縁膜 4 の全体に均一にストレスを付加することができる。

[0087] なお、第 2 の実施形態では、図 2 4 に示すように、スクライブ領域 2 2 に第 1 導電膜 5 a が設けられていないので、チップ形成領域 2 1 の角部 2 3 における第 1 導電膜 5 a にプローブ針 28 の先端を圧接することが好ましい。第 2 の実施形態においても、上述の第 1 の実施形態と同様に、FLR 領域 1 9 に損傷を与えることなく、プローブ針 28 の先端を第 1 導電膜 5 a に容易に接触させることができる。

[0088] 次に、上述した第 1 の実施形態と同様の工程を施して、ゲート電極 6 a、

分離電極 6 b、第 1 絶縁膜 4 a、第 2 絶縁膜 4 b、p 型のベース領域 7、n⁺型第 1 主電極領域 8、層間絶縁膜 10、コンタクト孔 11、第 1 主電極 12、制御電極 13、保護膜 14、第 1 主電極用ボンディング開口、制御電極用ボンディング開口、n⁺型のバッファ層 15、p⁺型の第 2 主電極領域 16、第 2 主電極 17 などを形成するとともに、半導体基板下面研削工程を施すことにより、本発明の第 2 の実施形態に係る半導体装置のウエハプロセスがほぼ完了する。

[0089] 以上説明したように、第 2 の実施形態に係る半導体装置の製造方法によれば、ダミートレンチやダミー電極に関係なく、第 1 トレンチ 3 a 及び第 2 トレンチ 3 b の各々の形状異常や、第 1 トレンチ 3 a と第 1 導電膜 5 a との間の絶縁膜 4 及び第 2 トレンチ 3 b と第 2 導電膜 5 b との間の絶縁膜 4 のそれぞれの膜質劣化を電圧印加によりチップ形成領域 21 毎にスクリーニングすることができる。したがって、チャンネルの形成に寄与しないダミー電極としての分離電極 6 b、及びゲート電極 6 a を有するトレンチゲート構造の半導体装置の製造プロセスにおいて適切なスクリーニングをチップ形成領域 21 毎に実施することができる。

[0090] また、本発明の第 2 の実施形態に係る半導体装置の製造方法では、電源 27 の負極側の印加電圧の電極として機能する第 2 導電膜 5 b が半導体基板 2_{SUB} の下面 2 y の全体に設けられている。このため、電源 27 の負極側の印加電圧の電極を半導体基板 2_{SUB} の上面 2 x に設ける場合と比較して、第 1 トレンチ 3 a の内部及び第 2 トレンチ 3 b の内部を含む半導体基板 2_{SUB} と第 1 導電膜 5 a との間の絶縁膜 4 に印加される電界の集中をチップ形成領域 21 毎に抑制することができ、チップ形成領域 21 毎に絶縁膜 4 の全体に均一にストレスを付加することができる。

[0091] また、本発明の第 2 の実施形態に係る半導体装置の製造方法においても、上述した第 1 の実施形態と同様に、独立パッドや、この独立パッドとダミートレンチ内のダミー電極とを電氣的に接続するランナーを付加することなく、適切なスクリーニングを実施することができるので、素子形成領域の減少

や組立工程の追加を抑制することができる。

[0092] また、本発明の第2の実施形態に係る半導体装置の製造方法においても、第1導電膜5aと半導体基板 2_{SUB} の下面2yとの間に電圧を印加する際、第1導電膜5aにプローブ針28を接触させる位置としてチップ形成領域21の角部23の空きスペースを設定する。これにより、この後の第1導電膜5aをエッチングしてゲート電極6a及び分離電極6bを形成する際にエッチ残りが生じて、第1の実施形態と同様に歩留りの低下を防止することができる。

[0093] なお、導電膜5をエッチングにより選択的に除去して複数のチップ形成領域21に対応する複数の第1導電膜5aに分割する際、図25に示すように、各々がスクライブ領域22に食み出るパッド部24を有する複数の第1導電膜5aに分割してもよい。この場合においても、第2の実施形態と同様に、この後の第1導電膜5aをエッチングしてゲート電極6a及び分離電極6bを形成する際にエッチ残りが生じた場合でも、歩留りの低下を防止することができる。

[0094] (第3の実施形態)

本発明の第3の実施形態に係る半導体装置の製造方法について、図26乃至図31を用いて説明する。第3の実施形態に係る半導体装置の製造方法では、図26に示す半導体基板 $2A_{SUB}$ を用いる。この半導体基板 $2A_{SUB}$ は、上述した第1の実施形態に係る半導体基板 2_{SUB} とほぼ同様の構成になっており、物理的に形成されているものではないがモニタ部25を有する点が異なっている。

[0095] このモニタ部25は、チップ形成領域21及びスクライブ領域22以外の領域に配置され、図4に示すチップ形成領域21と同様に、半導体装置が形成される素子形成領域21aとFLR領域19が形成される耐圧領域21bとを有している。このモニタ部25は、チップ形成領域21と同様の製造プロセスが施される。

[0096] なお、図26、図28及び図29は複数のチップに切出す前のウエハ状態

での半導体基板全体を示す図である。また、図27は、ウエハ状態の半導体基板に設けられたチップ形成領域での断面構造を示す要部断面図である。また、図30及び図31は半導体基板を導電性のステージ上に配置した状態を示す要部断面図である。

[0097] (a3) まず、図26に示すように、例えば単結晶シリコンウエハからなるn-型の半導体基板 $2A_{SUB}$ を基体部として準備する。その後、第1の実施形態と同様の工程を施して、図5と同様に3本のFLR領域19と、図27に示すように、複数の第1トレンチ3a、複数の第2トレンチ3b、絶縁膜4及び導電膜5とを半導体基板 $2A_{SUB}$ の各チップ形成領域21に形成する。これらのFLR領域19、複数の第1トレンチ3a、複数の第2トレンチ3b、絶縁膜4及び導電膜5は半導体基板 $2A_{SUB}$ のモニタ部25にも同様に形成される。導電膜5は、図28に示すように、半導体基板 $2A_{SUB}$ の全体を覆うようにして形成される。

[0098] (b3) 次に、半導体基板 $2A_{SUB}$ の上面2x側でチップ形成領域21以外を覆っている導電膜5及び半導体基板 $2A_{SUB}$ の側面を覆っている導電膜5をエッチングにより選択的に除去する。これにより、半導体基板 $2A_{SUB}$ の全体を覆っている導電膜5を、図29に示すように、半導体基板 $2A_{SUB}$ の上面2x側の第1導電膜5aと、半導体基板 $2A_{SUB}$ の下面2y側の第2導電膜5bとに分割するとともに、第1導電膜5aにおいては複数のチップ形成領域21及びモニタ部25毎に分割する。

[0099] (c3) 次に、図30に示すように、導電性のステージ26に半導体基板 $2A_{SUB}$ の下面2yの第2導電膜5bが向かい合うようにステージ26上に半導体基板 $2A_{SUB}$ を配置する。そして、電源27の負極側とステージ26とを電氣的に接続し、電源27の正極側に電氣的に接続されたプローブ針28の先端をモニタ部25の第1導電膜5aに圧接する。そして、モニタ部25の第1導電膜5aと半導体基板 $2A_{SUB}$ の下面2yとの間に、絶縁膜4の絶縁性を破壊する高電圧を印加する。この工程において、絶縁膜4が絶縁破壊する破壊電圧を測定することにより、半導体基板 $2A_{SUB}$ の下面2yとステージ2

6とが電氣的に接続されているか否かを確認することができる。

[0100] (d3) 次に、上述した第2実施形態と同様に、図31に示すように、チップ形成領域21の第1導電膜5aと半導体基板 $2A_{SUB}$ の下面2yとの間に電圧を印加して絶縁膜4の絶縁特性を検査する。この後、上述した第1の実施形態と同様の工程を施すことにより、本発明の第3の実施形態に係る半導体装置のウエハプロセスがほぼ完了する。

[0101] 以上説明したように、本発明の第3の実施形態に係る半導体装置の製造方法では、半導体基板 $2A_{SUB}$ の下面2yとステージ26とが電氣的に接続されているか否かを確認した後、チップ形成領域21の第1導電膜5aと半導体基板 $2A_{SUB}$ の下面2yとの間に電圧を印加して絶縁膜4の絶縁特性を検査することができる。したがって、半導体基板 $2A_{SUB}$ の下面2yとステージ26との接触不良で絶縁膜4にストレスが付加されずに絶縁特性が検査されてしまうといった検査不良を排除することができる。この結果、電圧印加によるスクリーニングの信頼性を高めることができる。

[0102] なお、上述の第3の実施形態では、チップ形成領域21及びスクライブ領域22以外の領域にモニタ部25を配置した場合について説明したが、モニタ部25はスクライブ領域22に配置してもよい。

[0103] 以上、本発明を上述の第1乃至第3の実施形態に基づき具体的に説明したが、本発明は上述の第1乃至第3の実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

[0104] 例えば、上述の第1乃至第3の実施形態では、トレンチゲート構造を有する半導体装置の製造方法についてIGBTの製造方法を例に説明した。しかしながら、本発明は、これに限定されるものではなく、トレンチゲート構造の電力用MOSFETを有する半導体装置の製造方法に適用することができる。

[0105] また、上述の第1乃至第3の実施形態における半導体基板 2_{SUB} 、 $2A_{SUB}$ を構成する単結晶シリコンウエハの製造方法の例としては、フロートゾーン法(FZ法)、チョクラルスキー法(CZ法)及び磁場印加型チョクラルス

キー法（MCZ法）が挙げられる。これらのいずれの方法による単結晶シリコンウエハを用いた場合でも、上述の第1乃至第3の実施形態に係る半導体装置の製造方法を適用することができる。

[0106] ここで、上述の第1乃至第3の実施形態に係る半導体装置の製造方法を、MCZ法による単結晶シリコンウエハからなる半導体基板 2_{SUB} 、 $2A_{SUB}$ に適用してもよい。MCZ法による単結晶シリコンウエハを用いた場合、FZ法によるウエハと比べて、ダミートレンチの形状異常や、ダミートレンチと電極との間の絶縁膜の膜質劣化といった不具合が生じやすいことがある。即ち、MCZ法による単結晶シリコンウエハは、FZ法による単結晶シリコンウエハと比べて、ウエハ製造時に含まれる炭素や酸素といった不純物の含有濃度が高い。そのため、これらの不純物に起因した結晶欠陥も発生しやすい。このような不純物や結晶欠陥が、ダミートレンチの形状異常や、ダミートレンチと電極との間の絶縁膜の膜質劣化といった不具合原因となる。そこで、上述の第1乃至第3の実施形態に係る半導体装置の製造方法を、MCZ法による単結晶シリコンウエハからなる半導体基板 2_{SUB} 、 $2A_{SUB}$ に適用することにより、上記不具合をスクリーニングする効果がより顕著となる。

[0107] 以上のように、本発明に係る半導体装置の製造方法は、チャンネルの形成に寄与しないダミー電極としての電極を有するトレンチゲート構造の半導体装置の製造プロセスにおいて適切なスクリーニングを実施することができ、トレンチゲート構造を有する半導体装置の製造方法に有用である。

符号の説明

- [0108] 2…第1導電型のドリフト層
2_{SUB}、2A_{SUB}…第1導電型の半導体基板
3a…第1トレンチ、3b…第2トレンチ
4a…第1絶縁膜、4b…第2絶縁膜
5…導電膜、5a…第1導電膜、5b…第2導電膜
6a…ゲート電極、6b…分離電極
7…第2導電型のベース領域

- 8…第1主電極領域（エミッタ領域）
 - 10…層間絶縁膜
 - 11…コンタクト孔
 - 12…第1主電極（エミッタ電極）
 - 13…制御電極
 - 14…保護膜
 - 15…第1導電型のバッファ層
 - 16…第2導電型の第2主電極領域（コレクタ領域）
 - 17…第2主電極（コレクタ電極）
- 20…半導体チップ
 - 21 a…チップ形成領域, 21 b…耐圧領域
 - 22…スクライブ領域
 - 23…角部
 - 24…パッド部
 - 25…モニタ部
 - 26…ステージ
 - 27…電源
 - 28…プローブ針

請求の範囲

- [請求項1] 平板状の基体部の上面に第1及び第2トレンチを形成する工程と、
前記第1及び第2トレンチの各々の内部に絶縁膜を形成する工程と、
、
前記絶縁膜を介して前記第1及び第2トレンチの各々の内部を埋め込むように前記基体部の上面上に導電膜を形成する工程と、
前記導電膜と、前記基体部の下面との間に電圧を印加して前記絶縁膜の絶縁特性を検査する工程と、
前記絶縁特性を検査した後、前記上面上の前記導電膜を選択的に除去して、前記第1トレンチの内部にゲート電極を形成し、前記第2トレンチの内部に前記ゲート電極と分離された分離電極を形成する工程と、
を備えることを特徴とする半導体装置の製造方法。
- [請求項2] 前記基体部は、スクライブ領域で区画された複数のチップ形成領域を有し、
前記第1及び第2トレンチは、前記複数のチップ形成領域の各々に形成され、
前記導電膜は、前記複数のチップ形成領域に亘って一体に形成されることを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項3] 前記導電膜は、前記上面から前記下面に亘って形成され、
前記絶縁特性を検査する工程の前に、前記導電膜を前記上面側と、前記下面側とに分割する工程を更に備えることを特徴とする請求項2に記載の半導体装置の製造方法。
- [請求項4] 前記導電膜と前記下面との間の電圧印加は、前記チップ形成領域の角部又は前記スクライブ領域における前記導電膜にプローブ針を圧接して行うことを特徴とする請求項3に記載の半導体装置の製造方法。
- [請求項5] 前記基体部は、スクライブ領域で区画された複数のチップ形成領域を有し、

前記第1トレンチ、前記第2トレンチ及び前記絶縁膜は、前記複数のチップ形成領域の各々に形成され、

前記絶縁特性を検査する工程の前に、前記上面上の前記導電膜を前記チップ形成領域毎に分割する工程を更に備えることを特徴とする請求項1に記載の半導体装置の製造方法。

[請求項6] 前記導電膜と前記下面との間の電圧印加は、前記チップ形成領域の角部における前記導電膜にプローブ針を圧接して行うことを特徴とする請求項5に記載の半導体装置の製造方法。

[請求項7] 前記チップ形成領域毎に分割された前記導電膜は、前記チップ形成領域から前記スクライブ領域に食み出るパッド部を有し、

前記導電膜と前記下面との間の電圧印加は、前記パッド部にプローブ針を圧接して行うことを特徴とする請求項5に記載の半導体装置の製造方法。

[請求項8] 前記基体部は、モニタ部と、スクライブ領域で区画された複数のチップ形成領域とを有し、

前記第1トレンチ、前記第2トレンチ及び前記絶縁膜は、前記モニタ部及び前記複数のチップ形成領域の各々に形成され、

前記絶縁特性を検査する工程の前に、前記上面上の前記導電膜を前記モニタ部及び前記チップ形成領域毎に分割する工程と、

ステージに前記下面が向かい合うように前記ステージ上に前記基体部を配置する工程と、

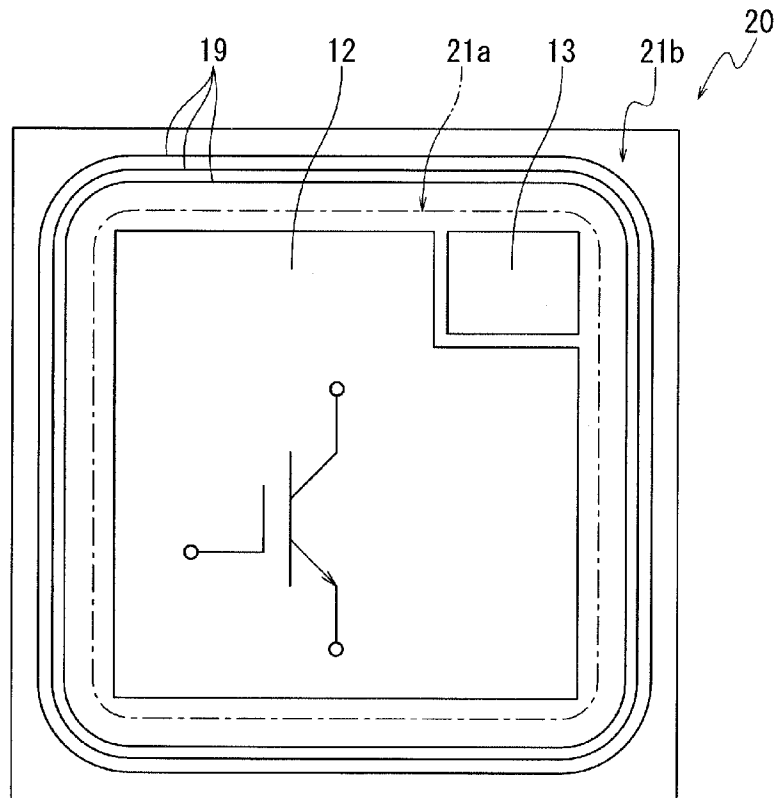
前記モニタ部の前記導電膜と前記下面との間に、前記絶縁膜の絶縁性を破壊する高電圧を印加する工程と、

更に備えることを特徴とする請求項1に記載の半導体装置の製造方法。

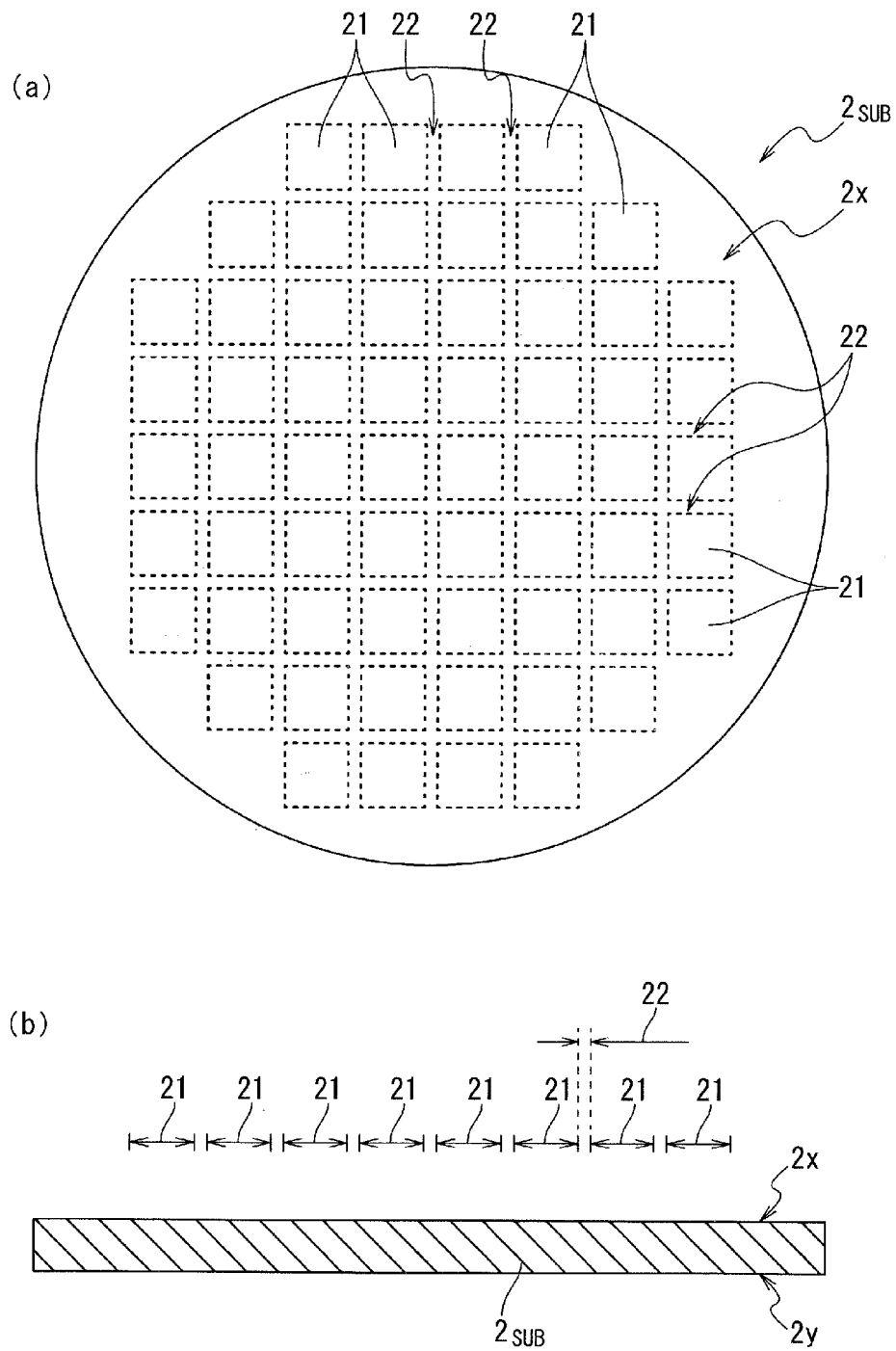
[請求項9] 前記基体部は、磁場印加型チョクラルスキー法で形成された半導体基板であることを特徴とする請求項1に記載の半導体装置の製造方法。

。

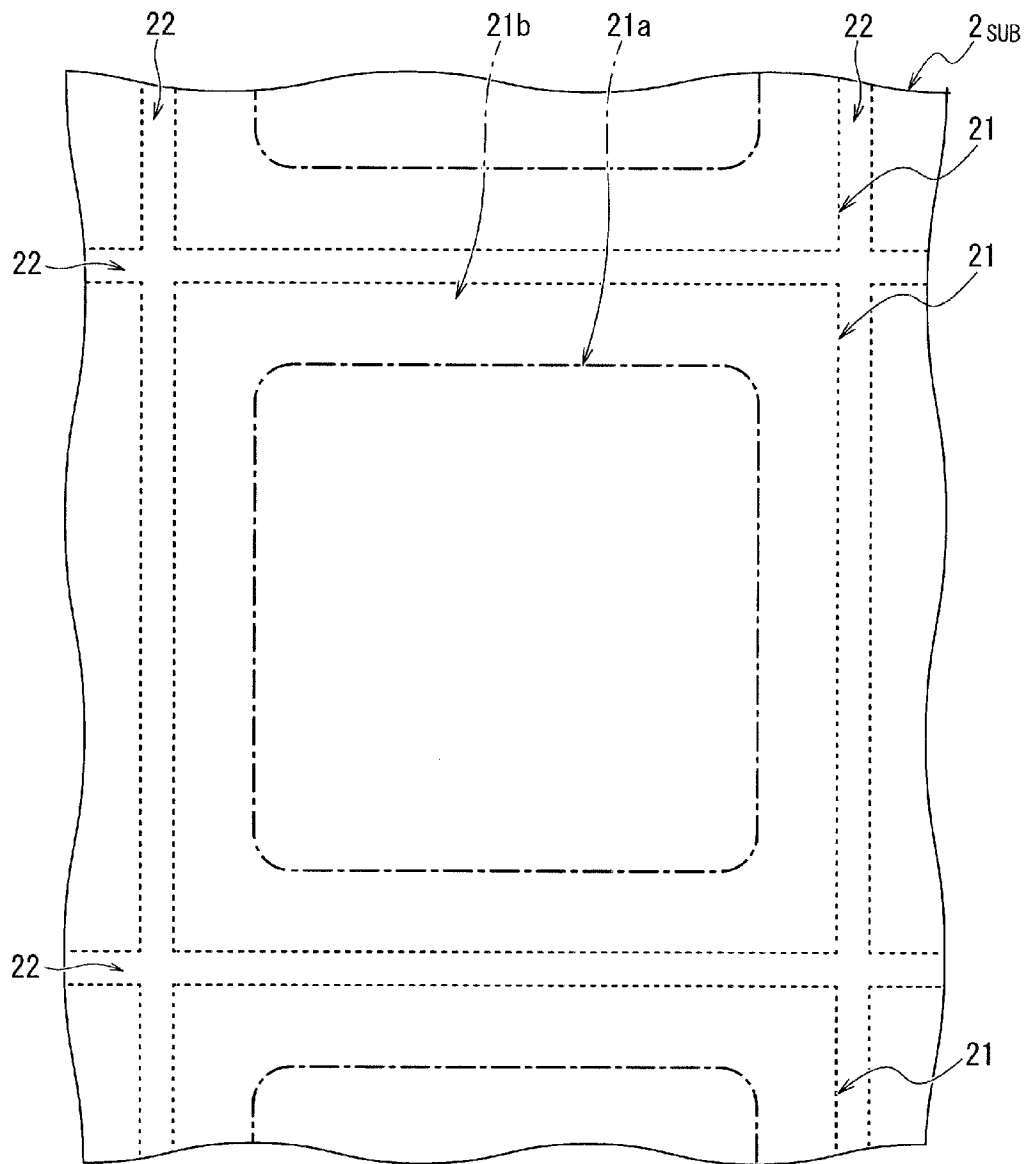
[図1]



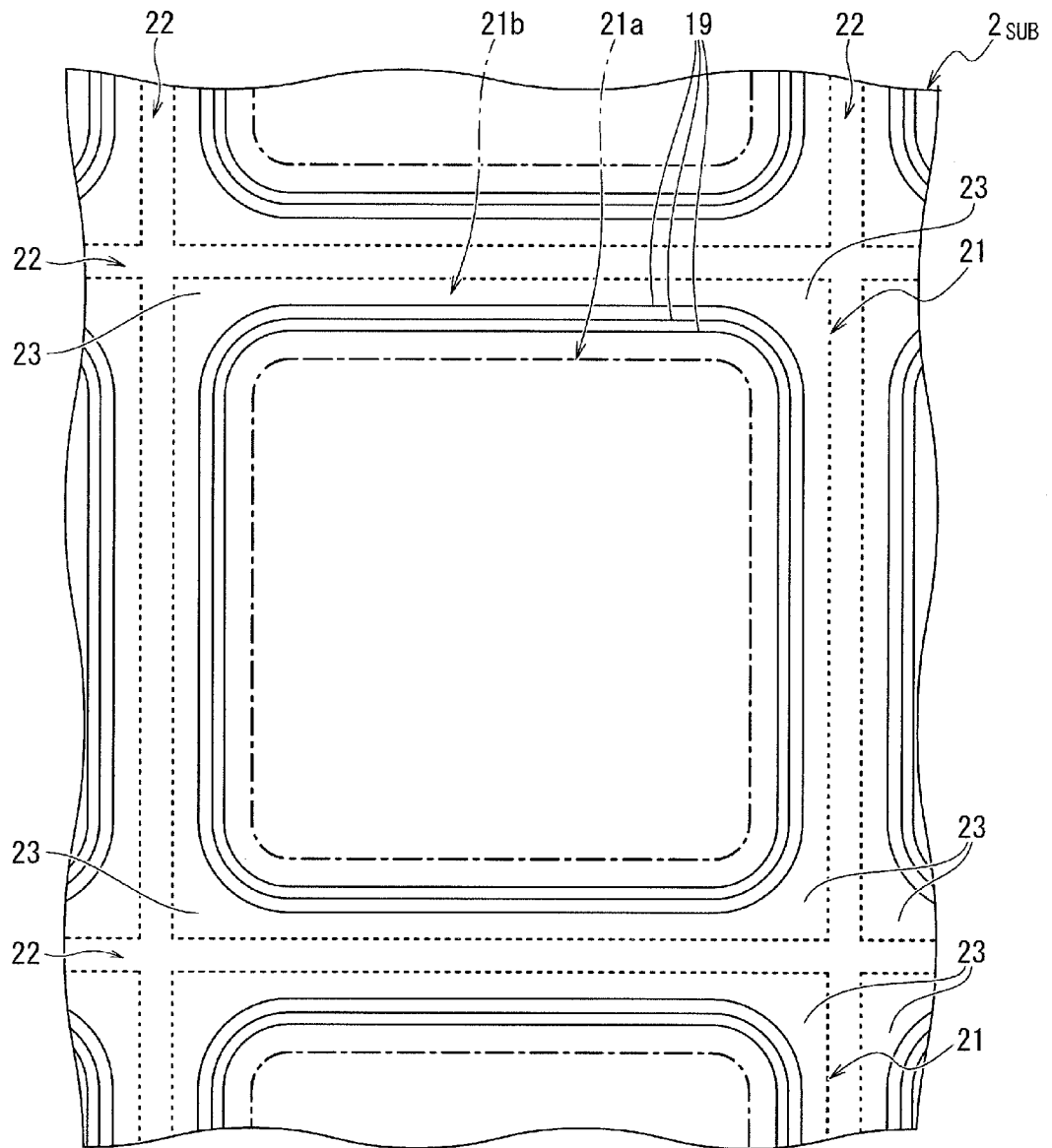
[図3]



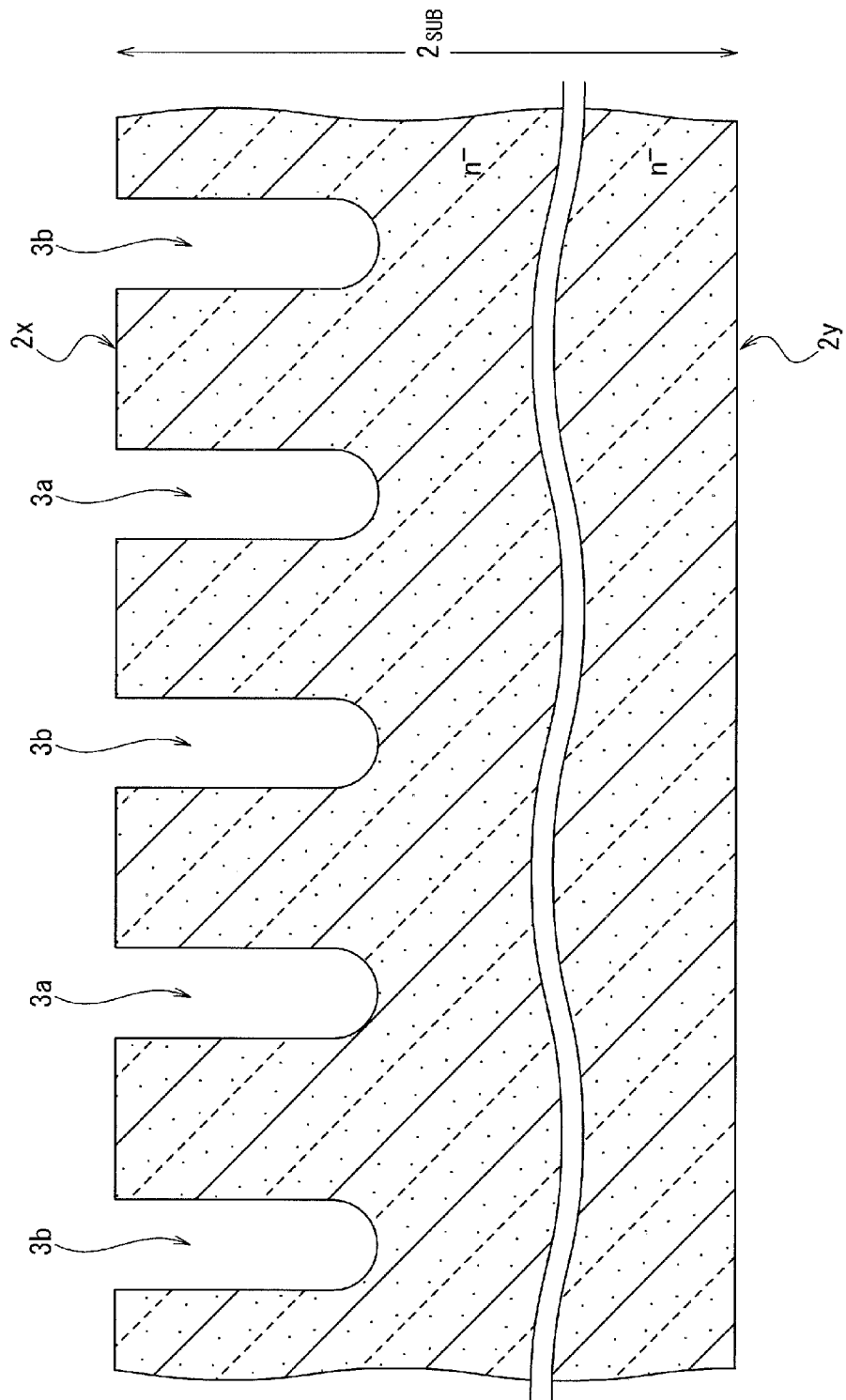
[図4]



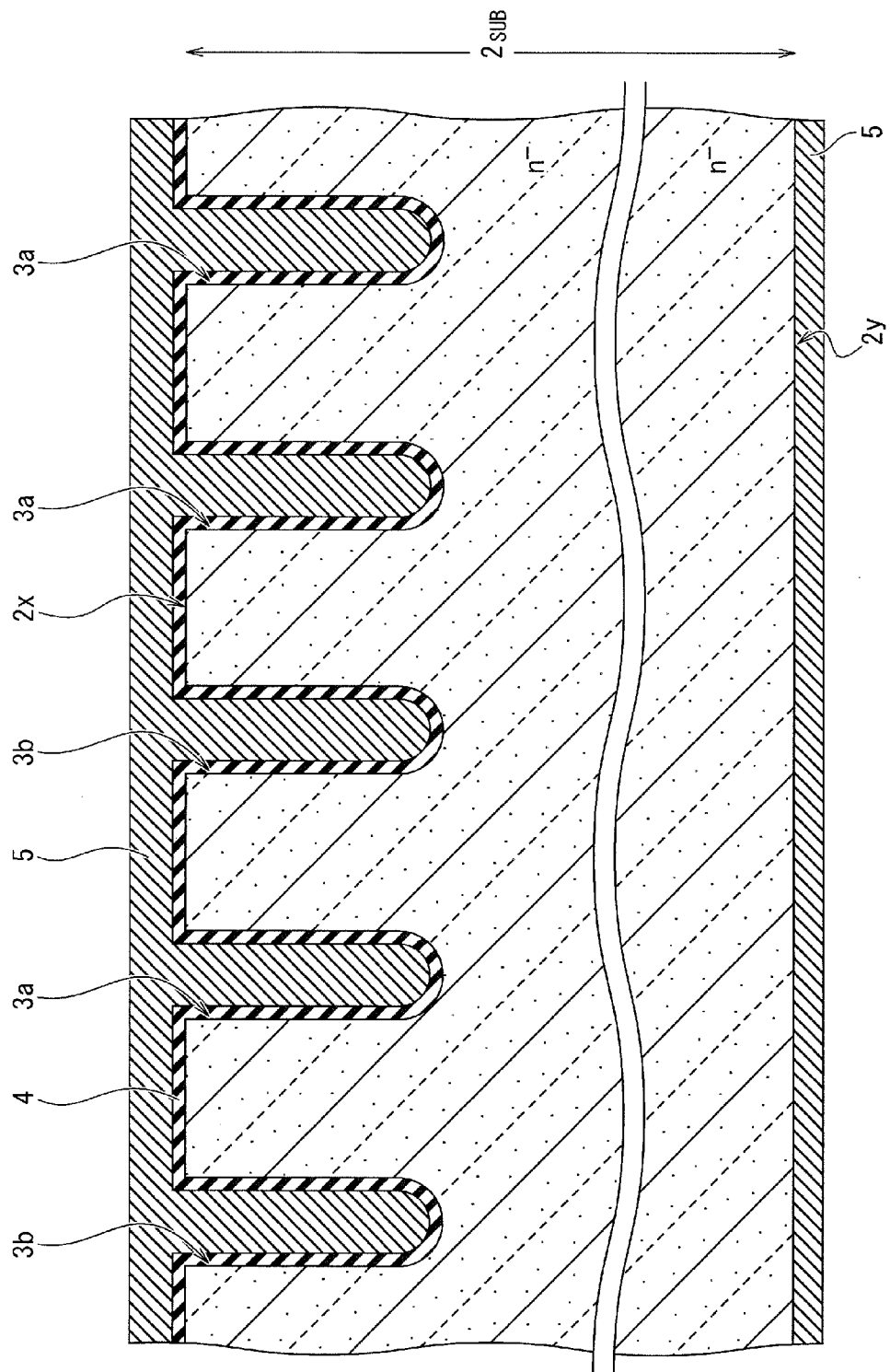
[図5]



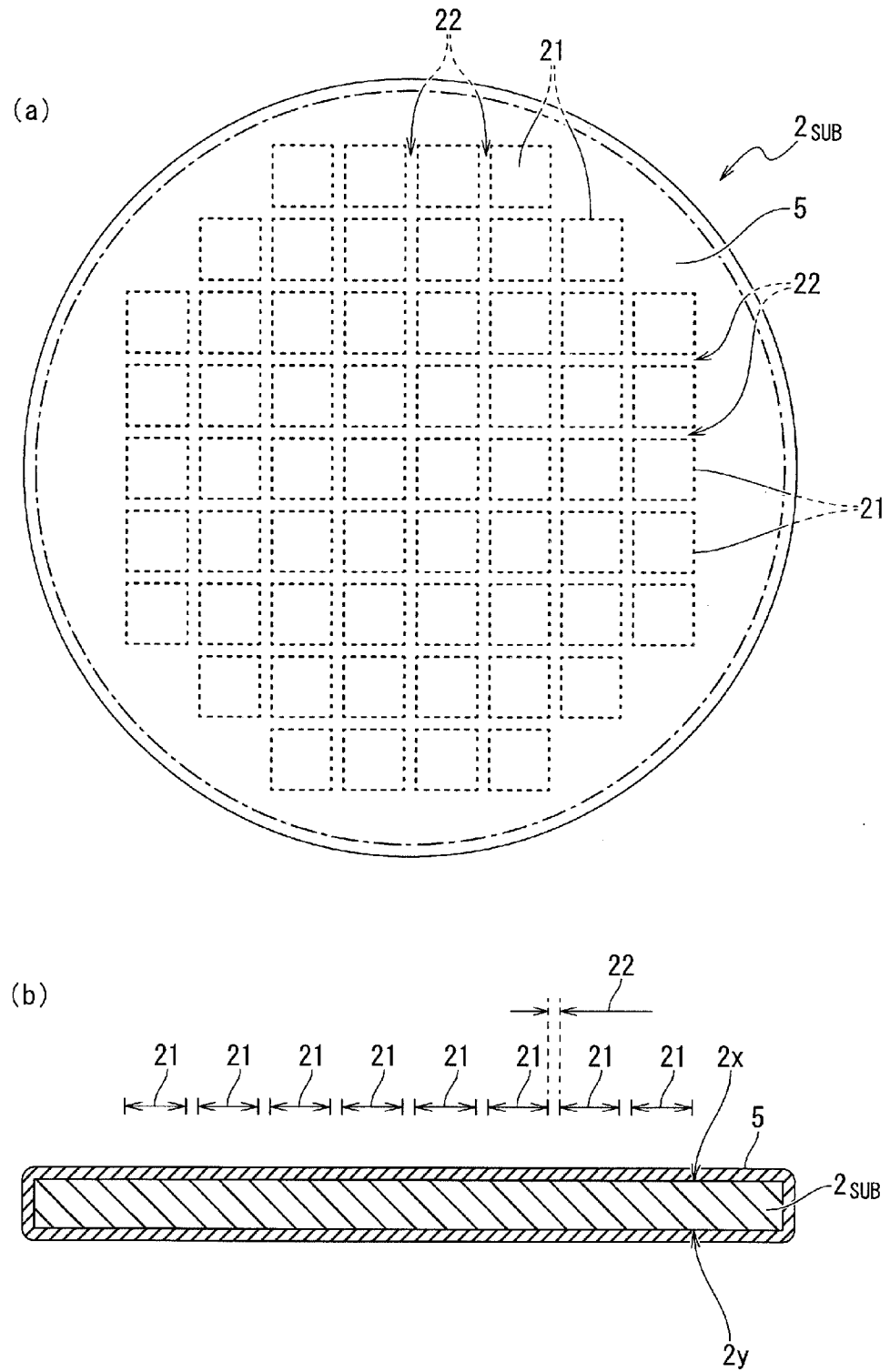
[図6]



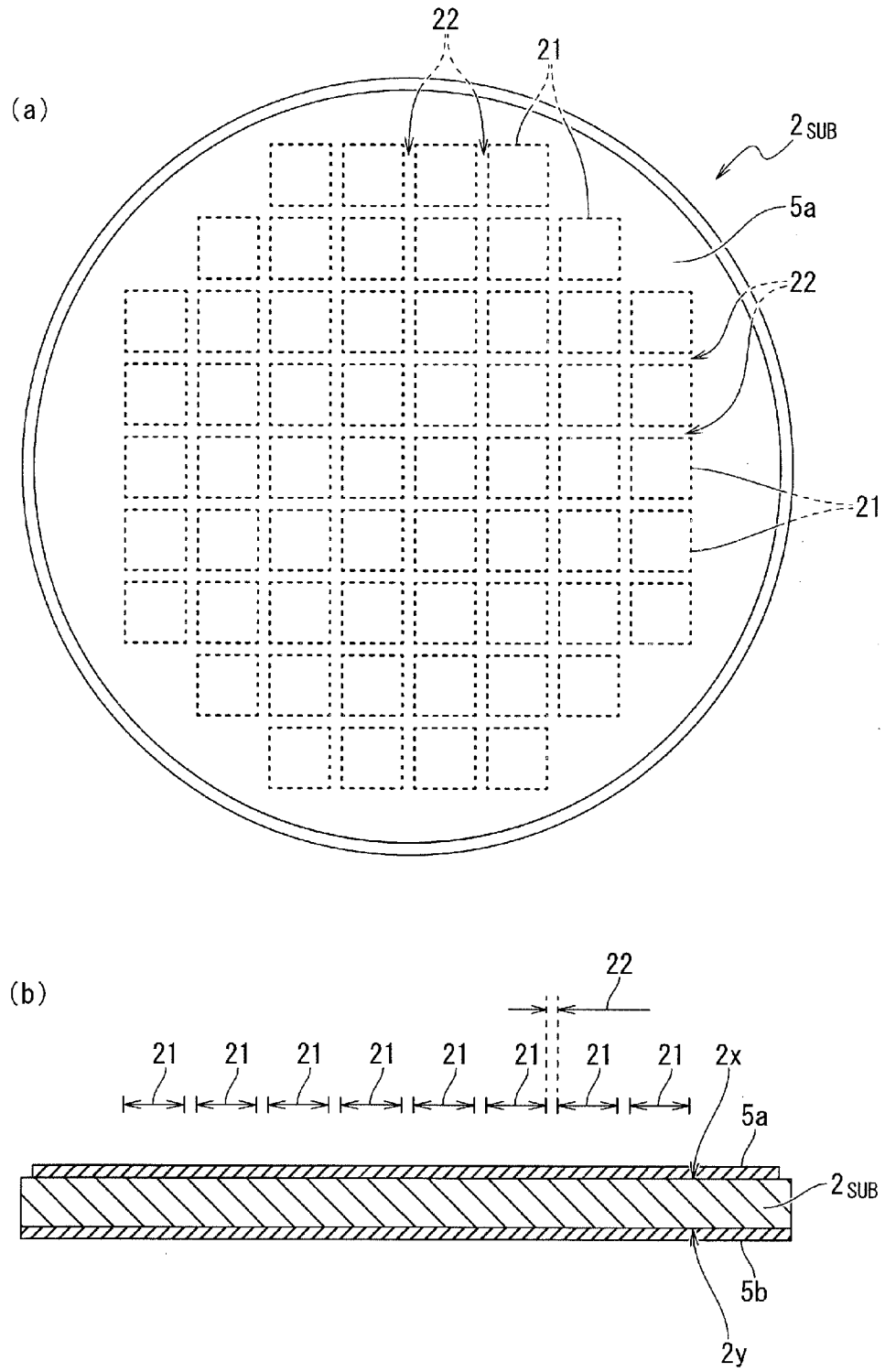
[図7]



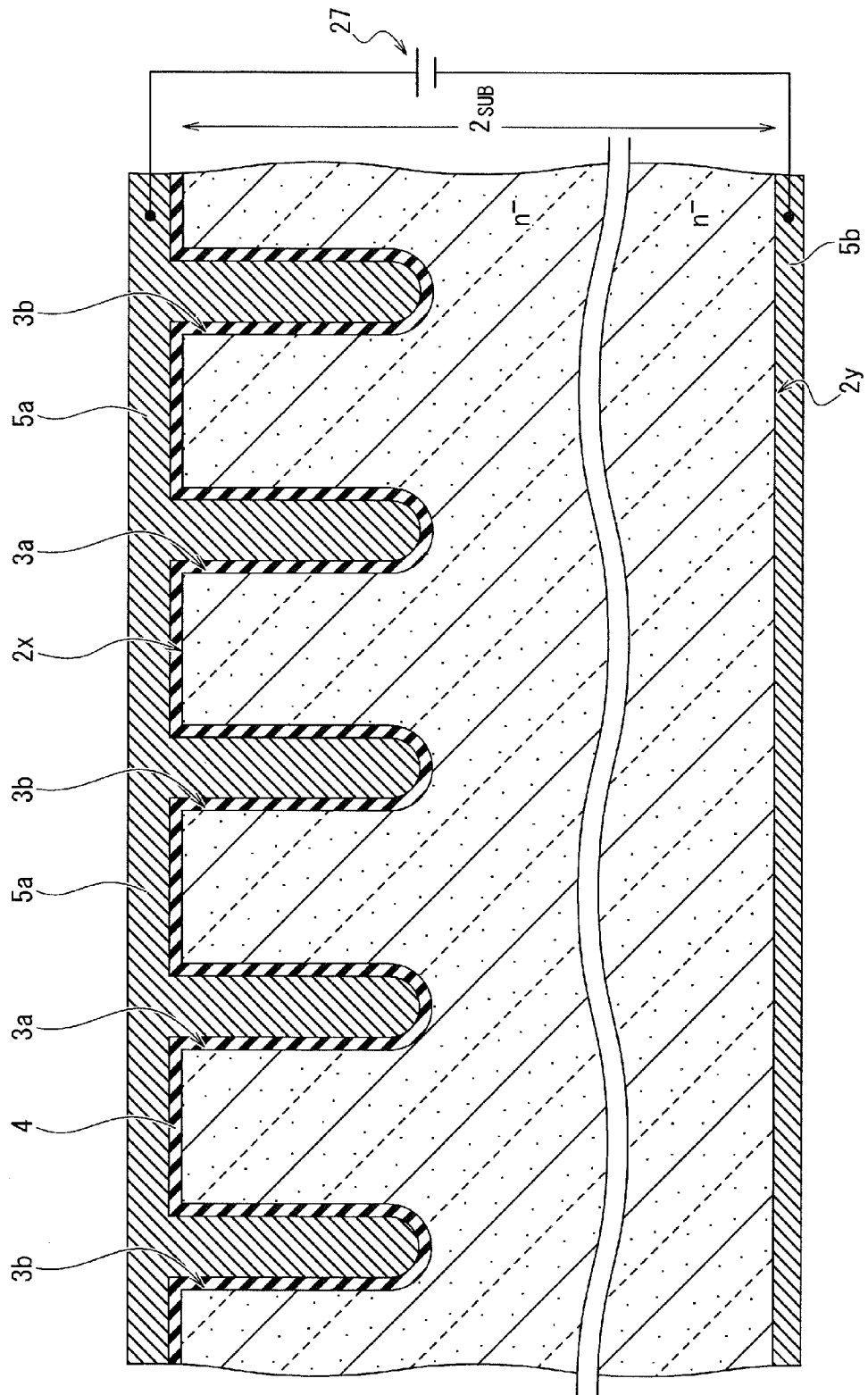
[図8]



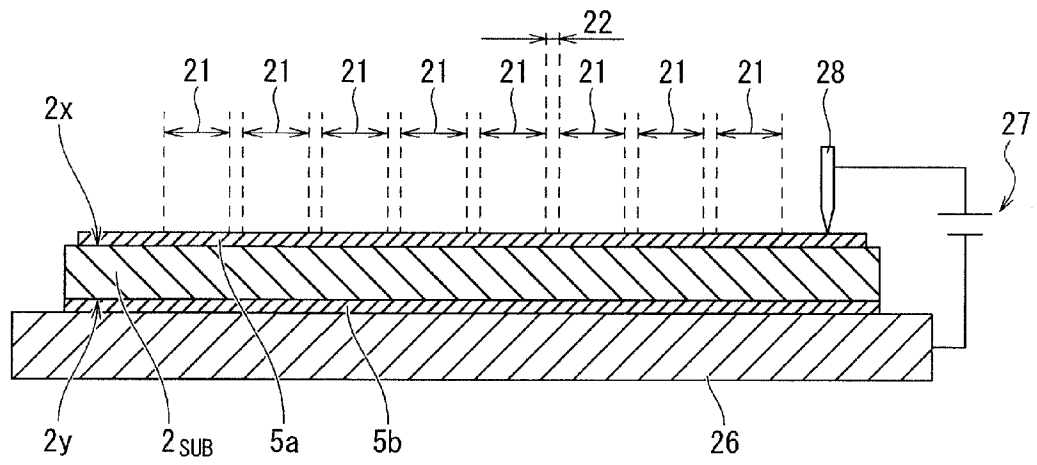
[図9]



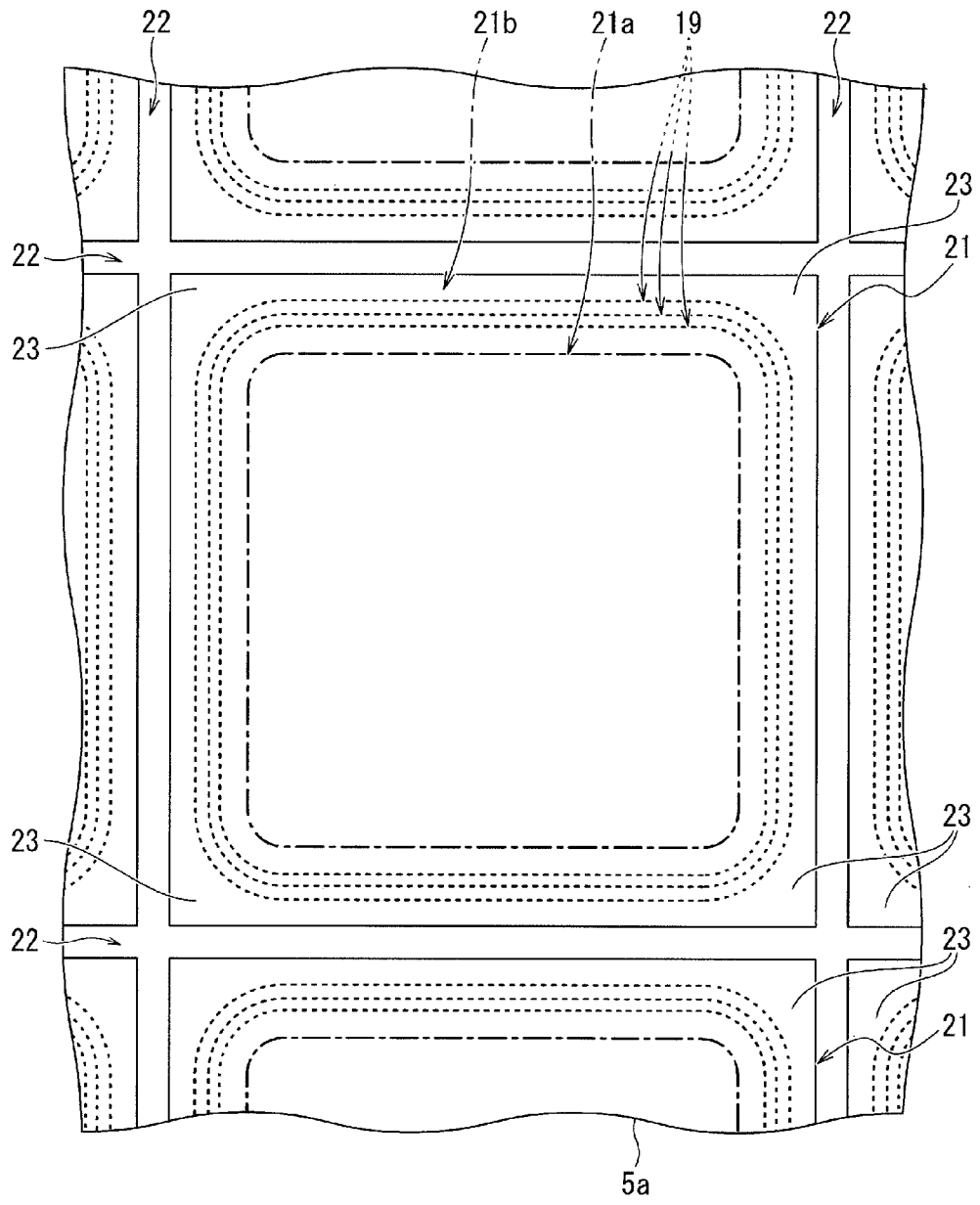
[図10]



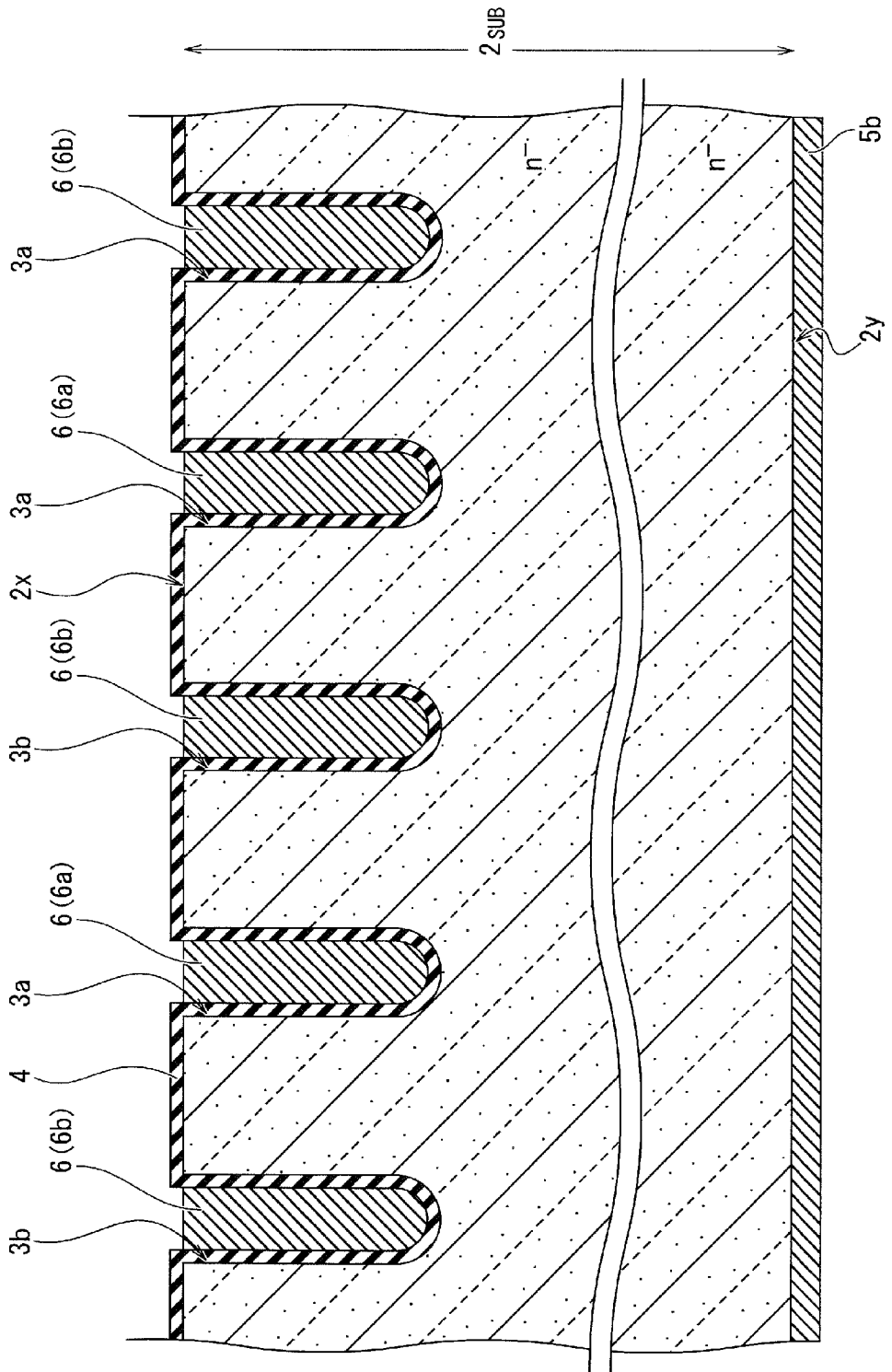
[図11]



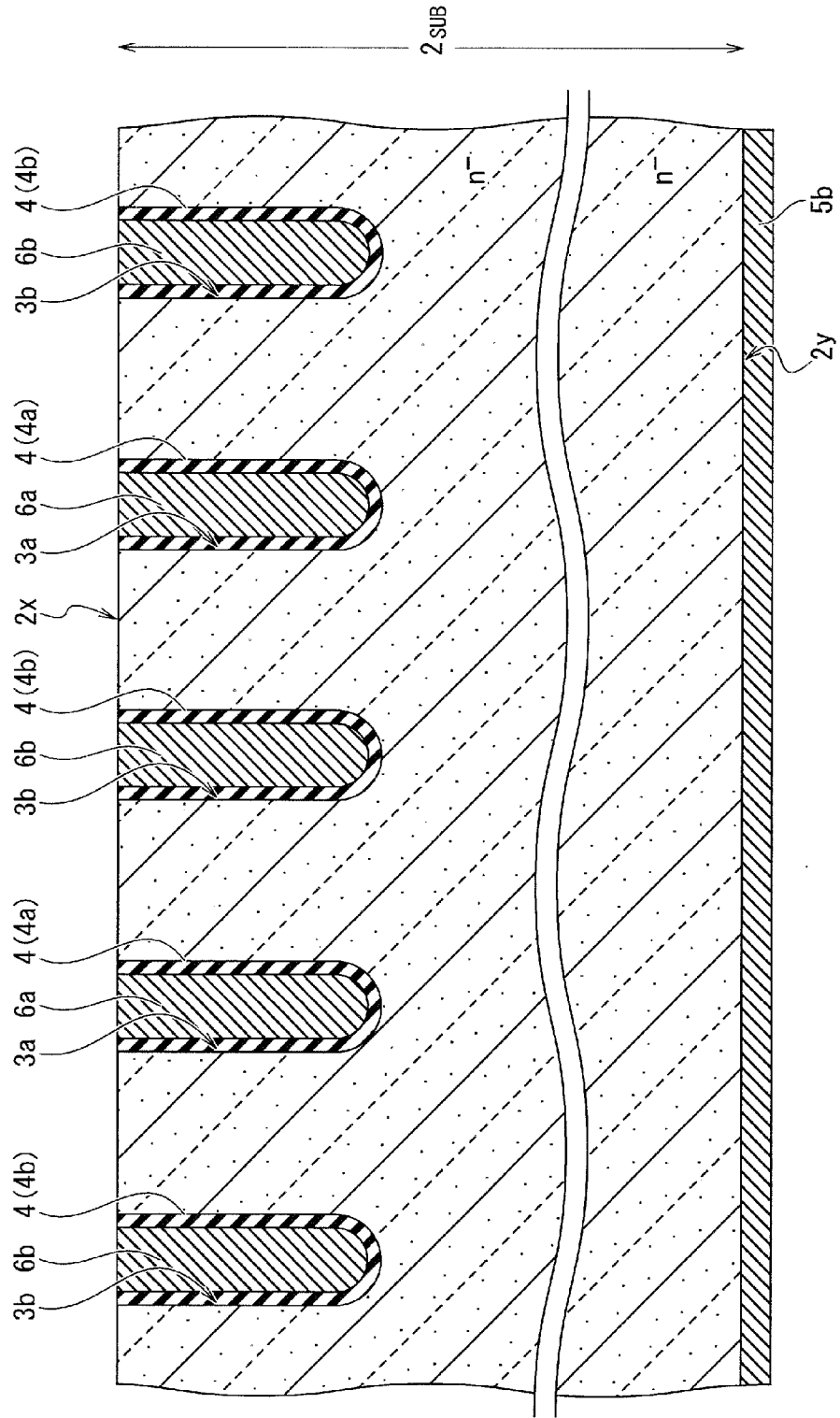
[図12]



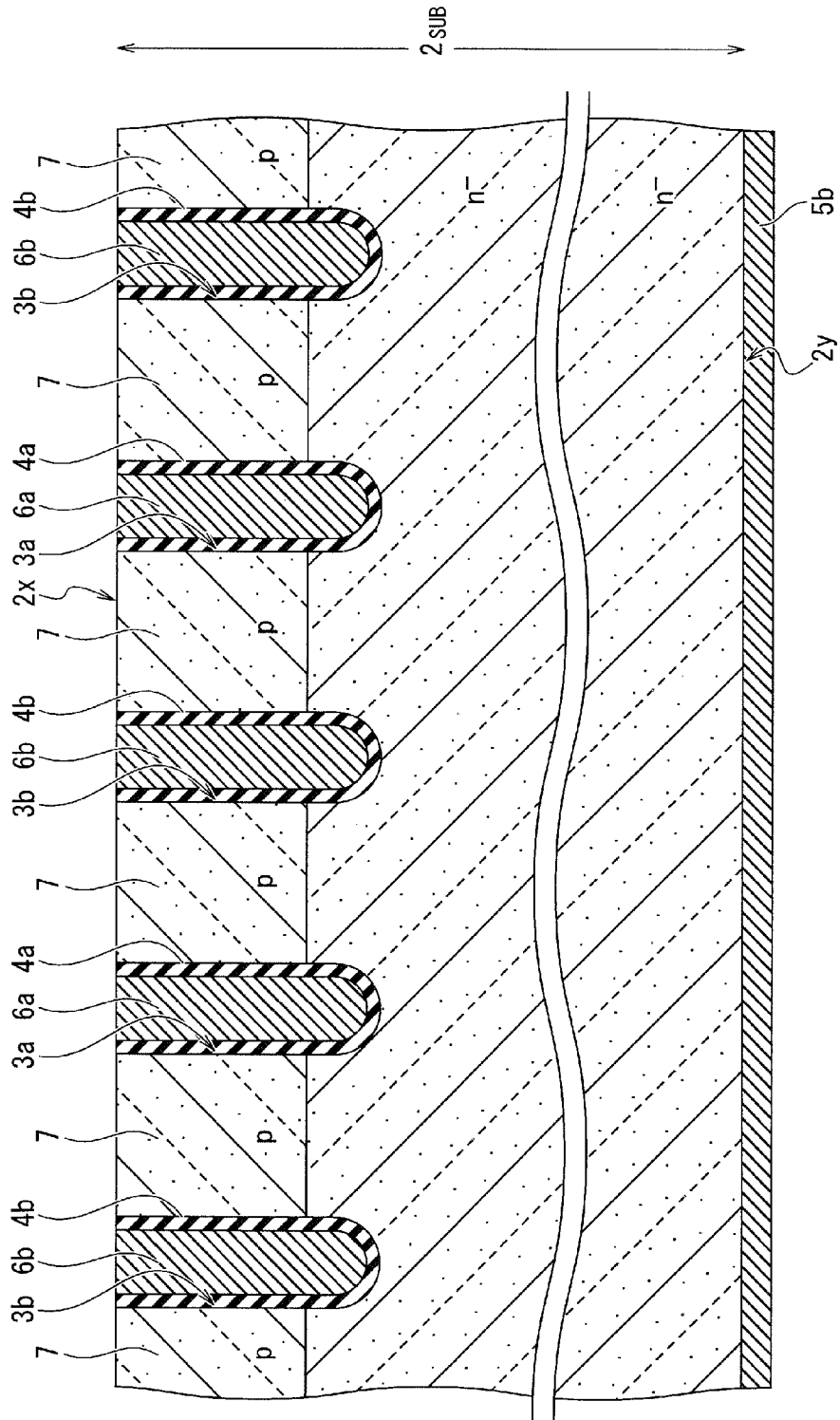
[図13]



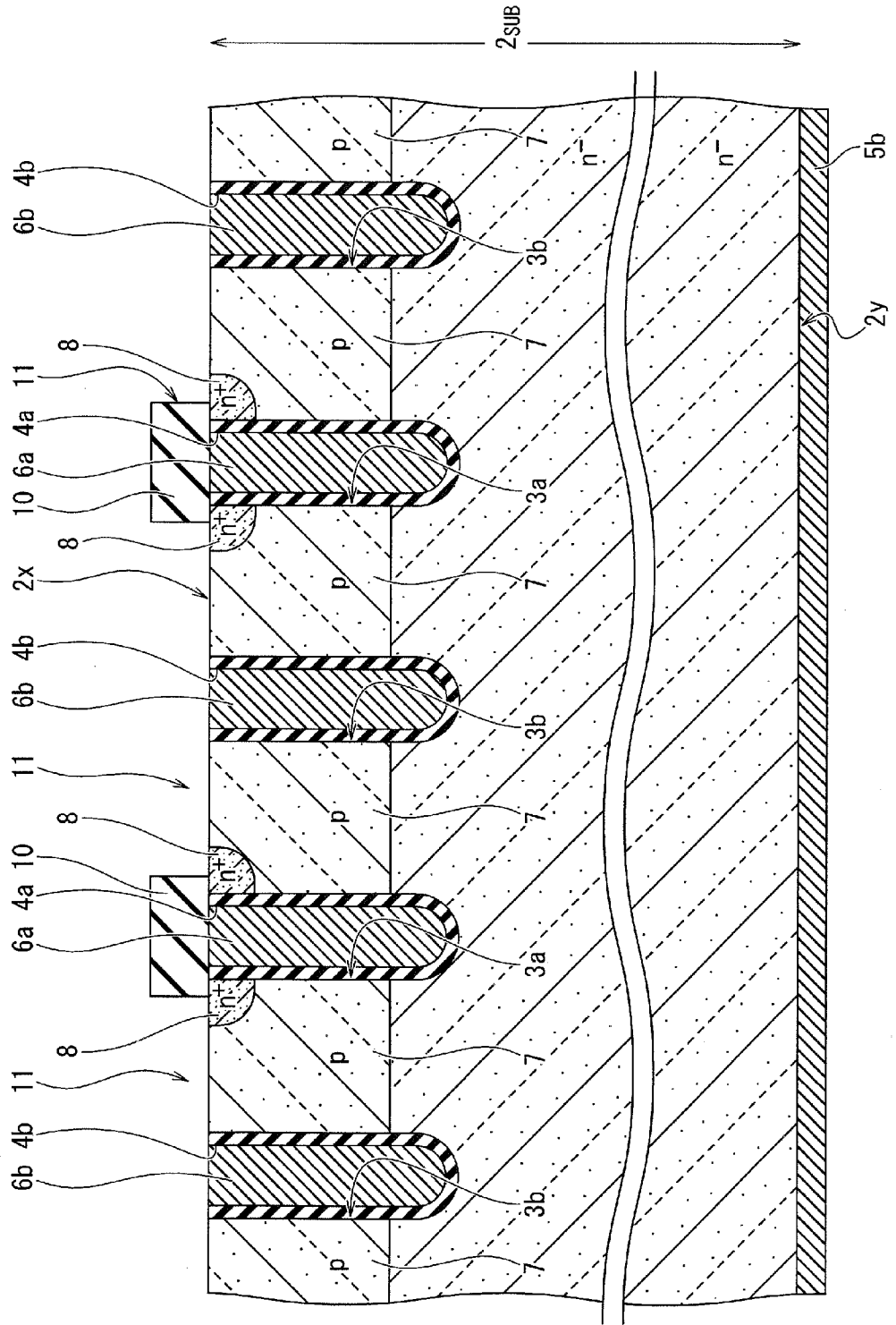
[図14]



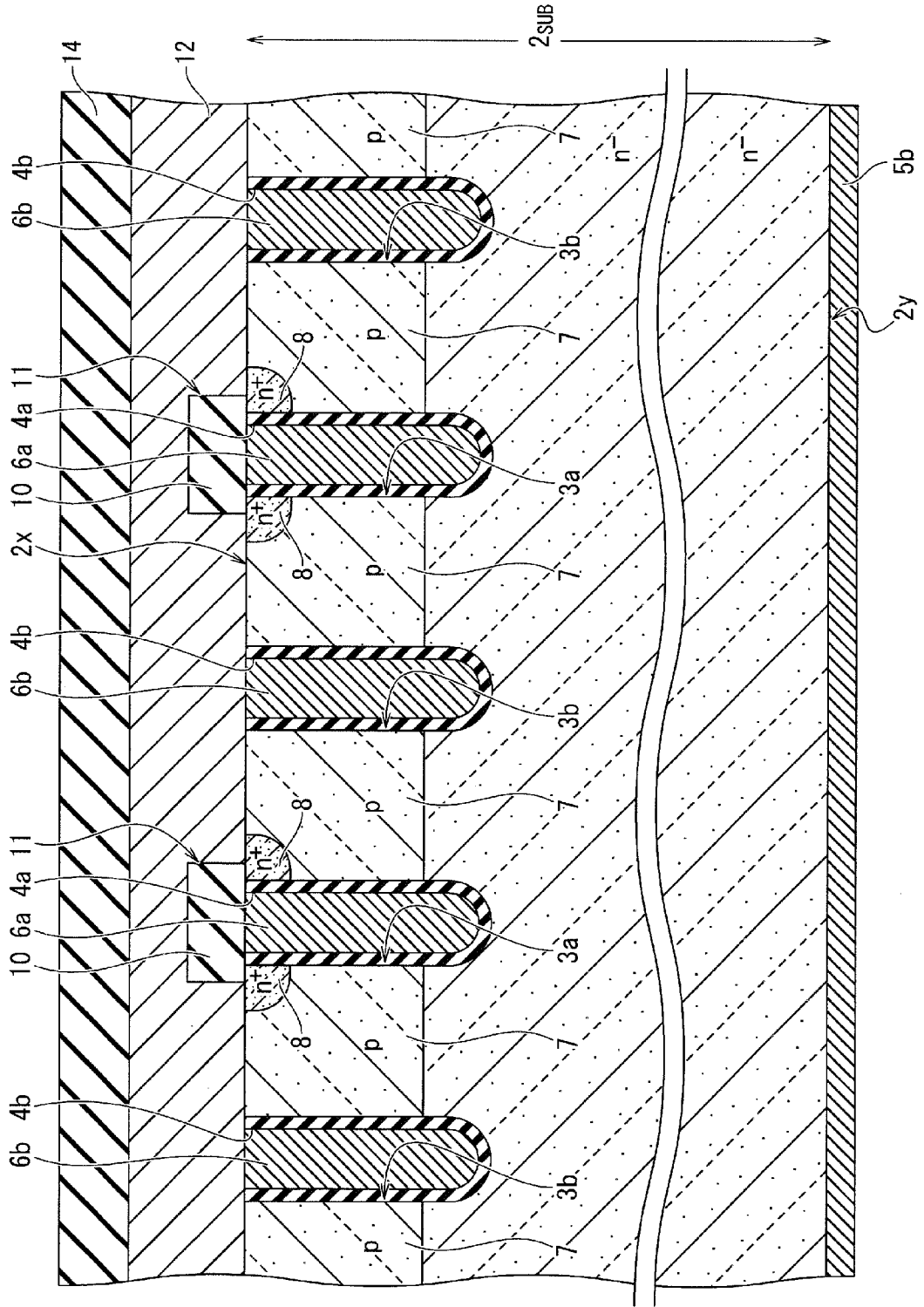
[図15]



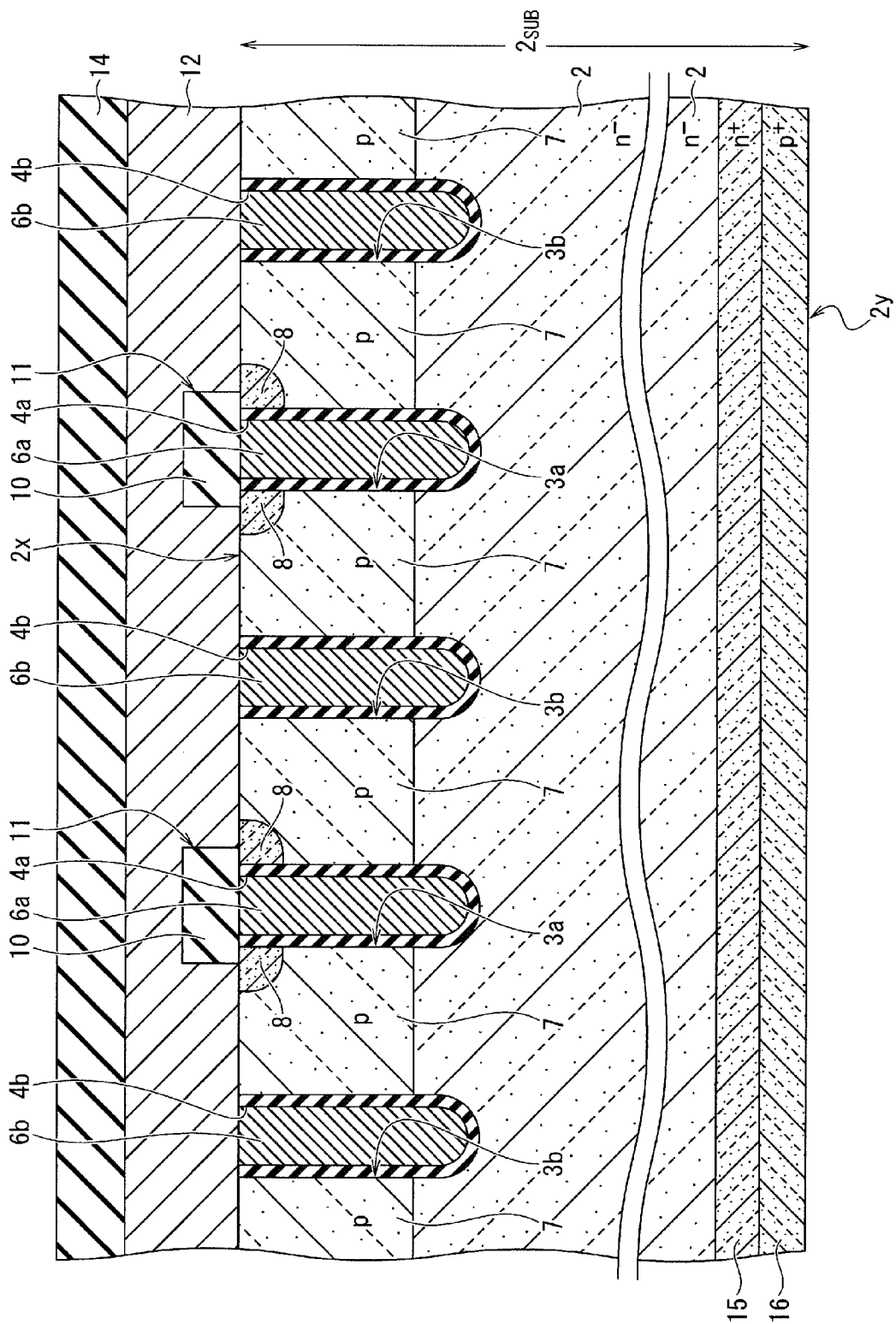
[図17]



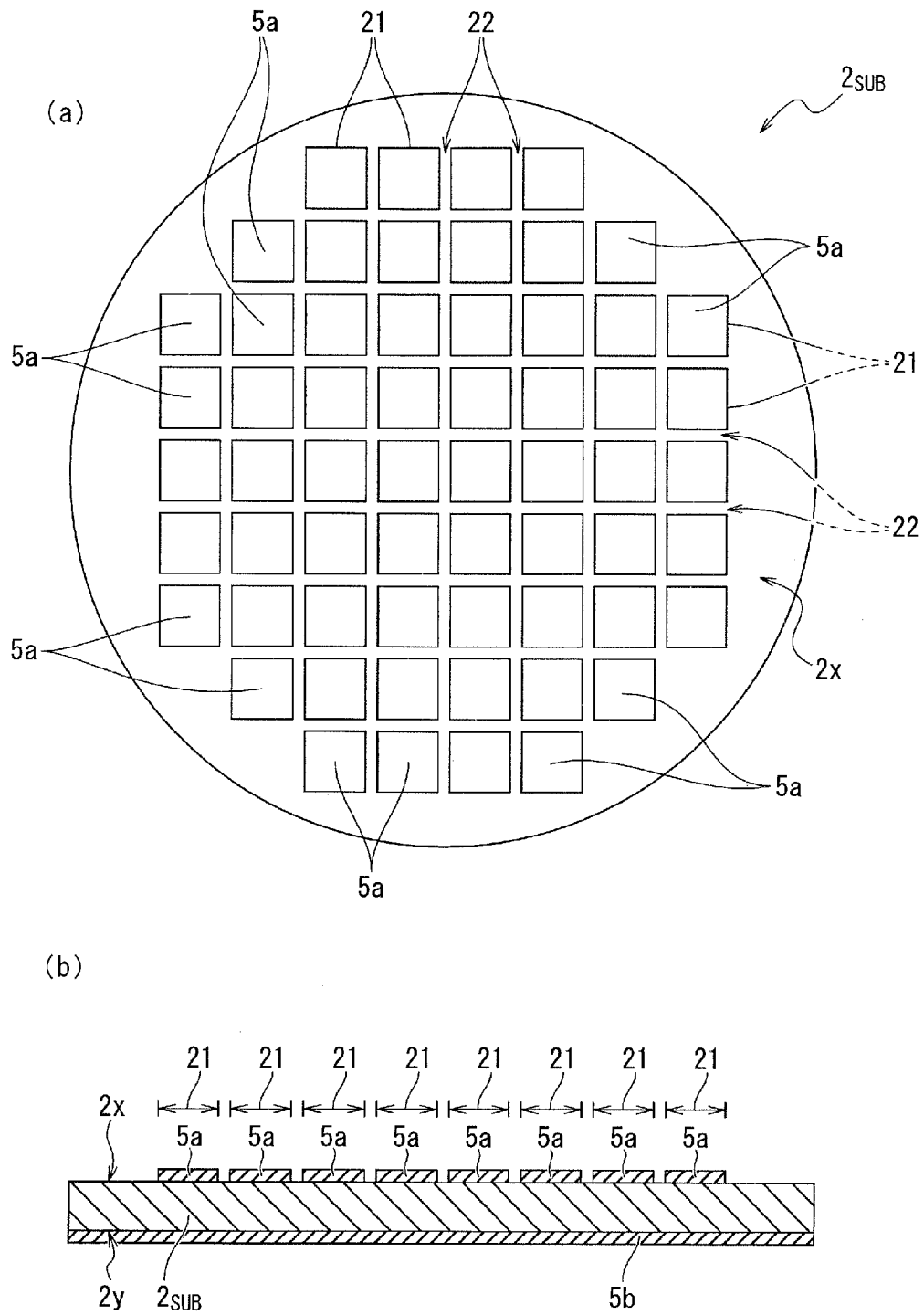
[ 18]



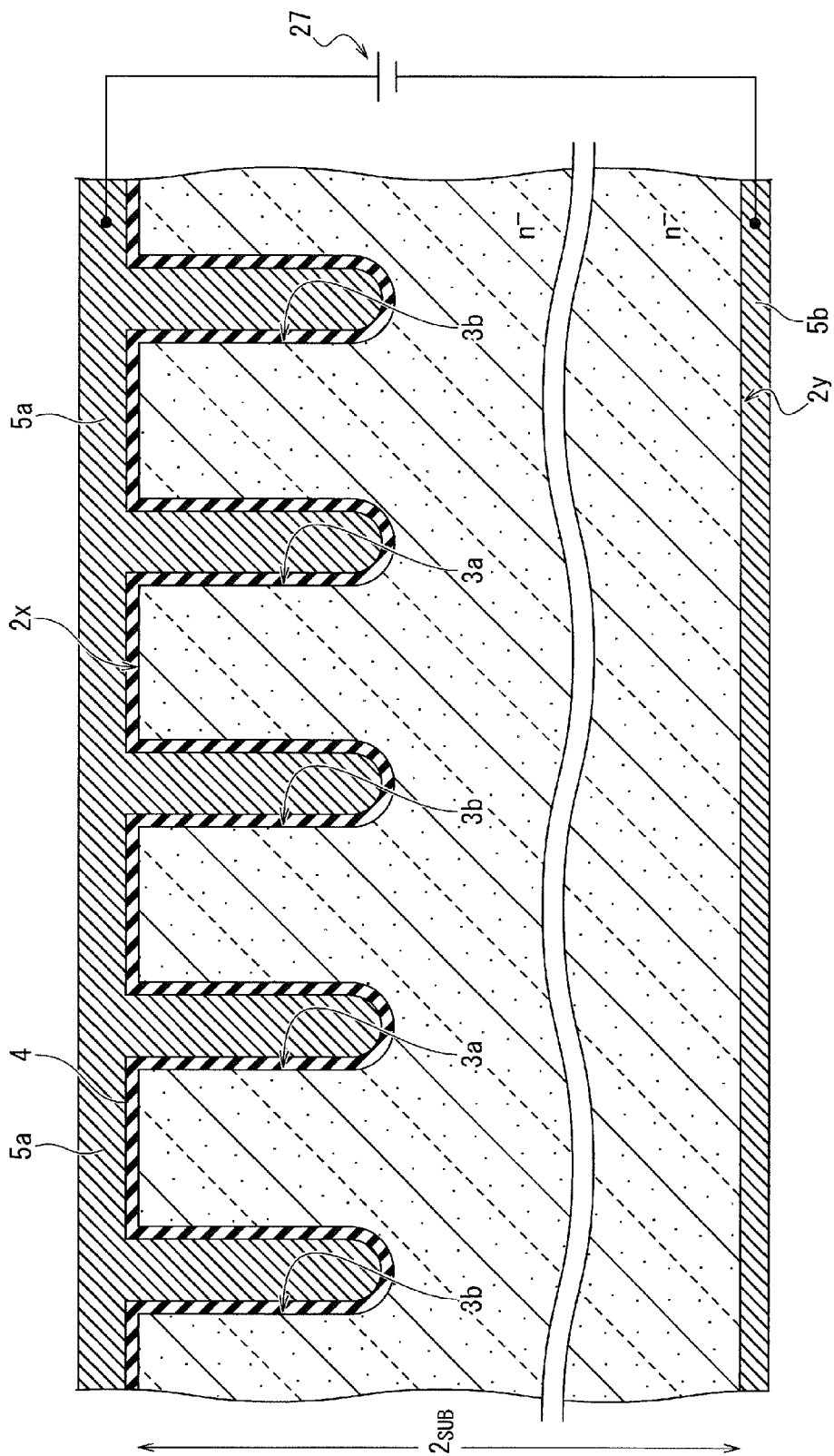
[図20]



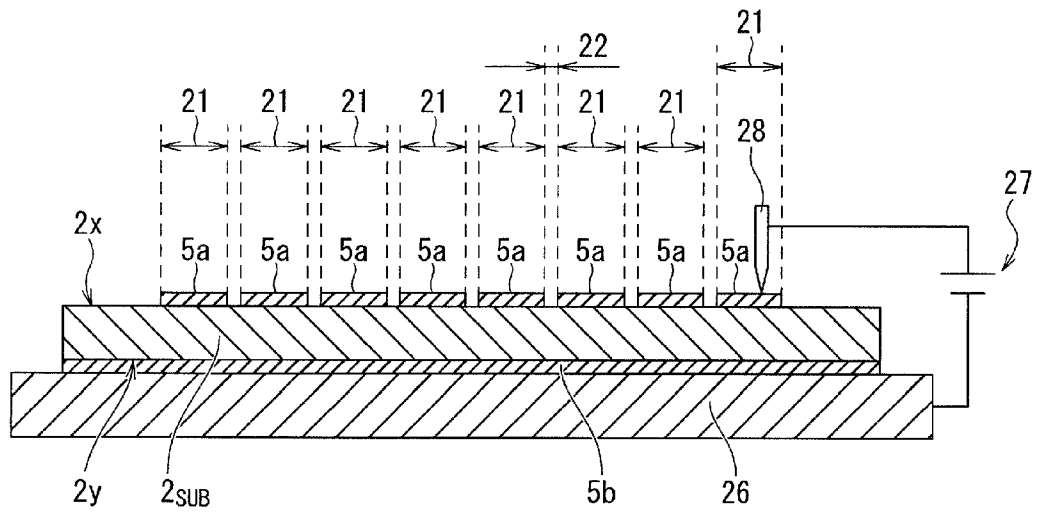
[図21]



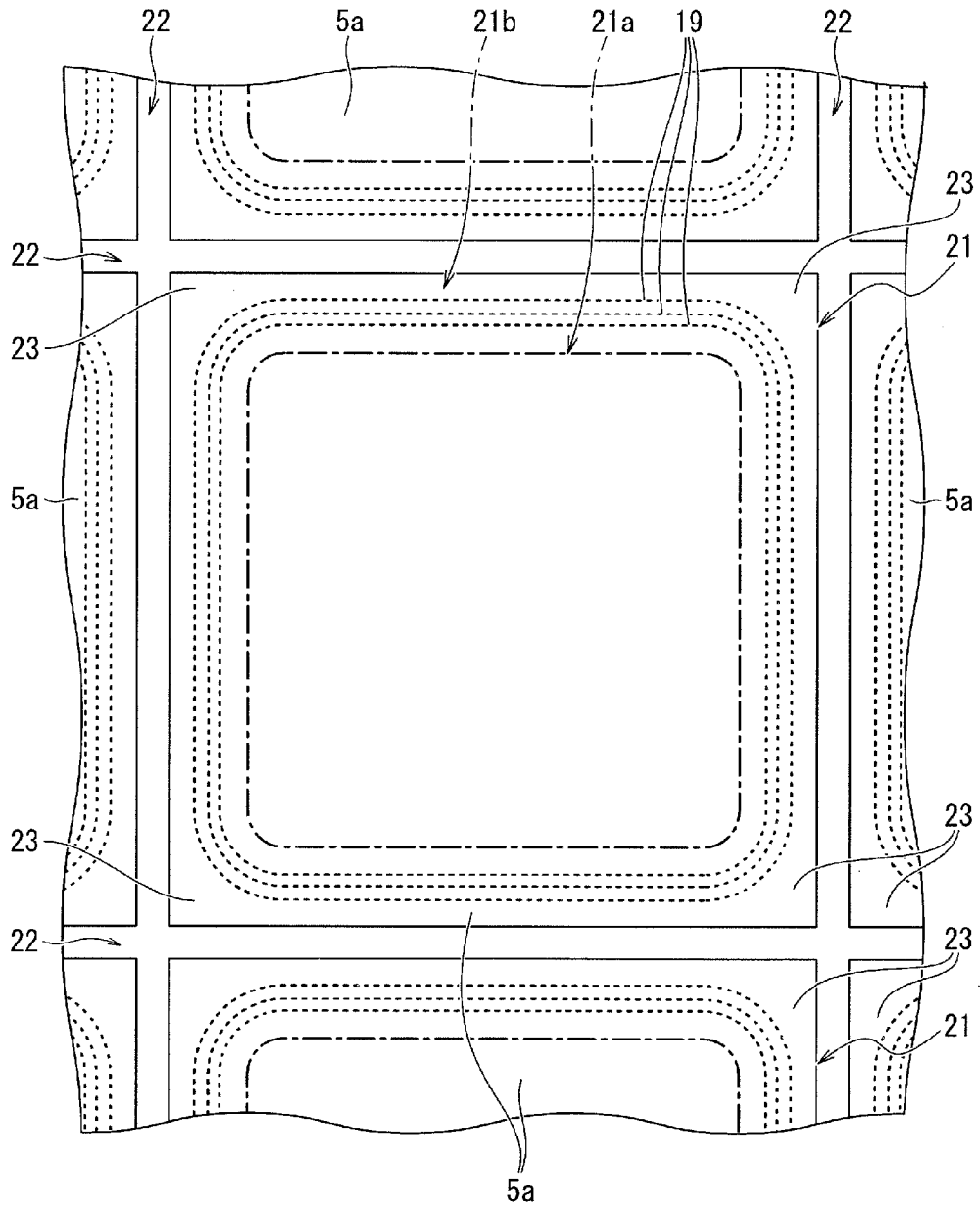
[図22]



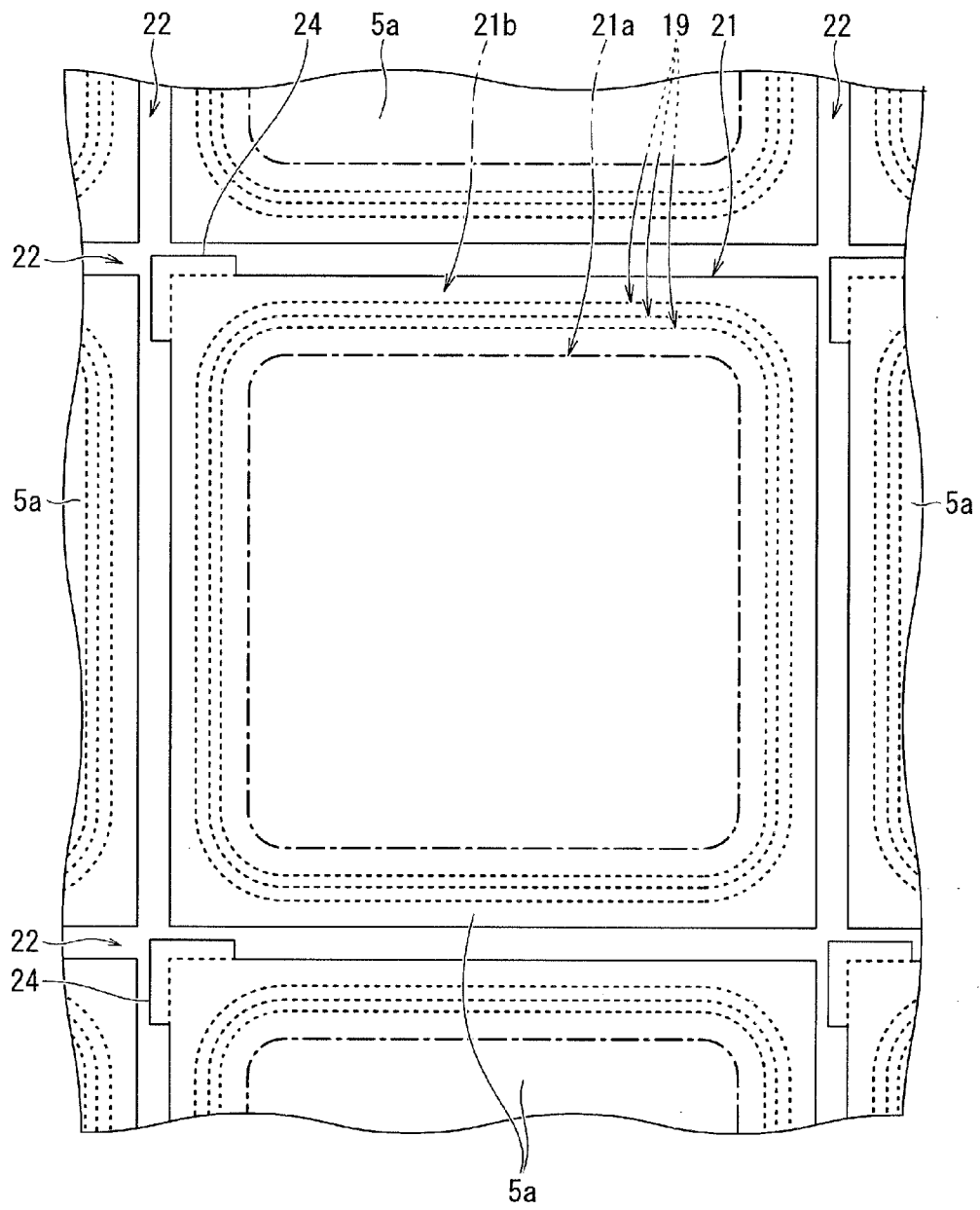
[図23]



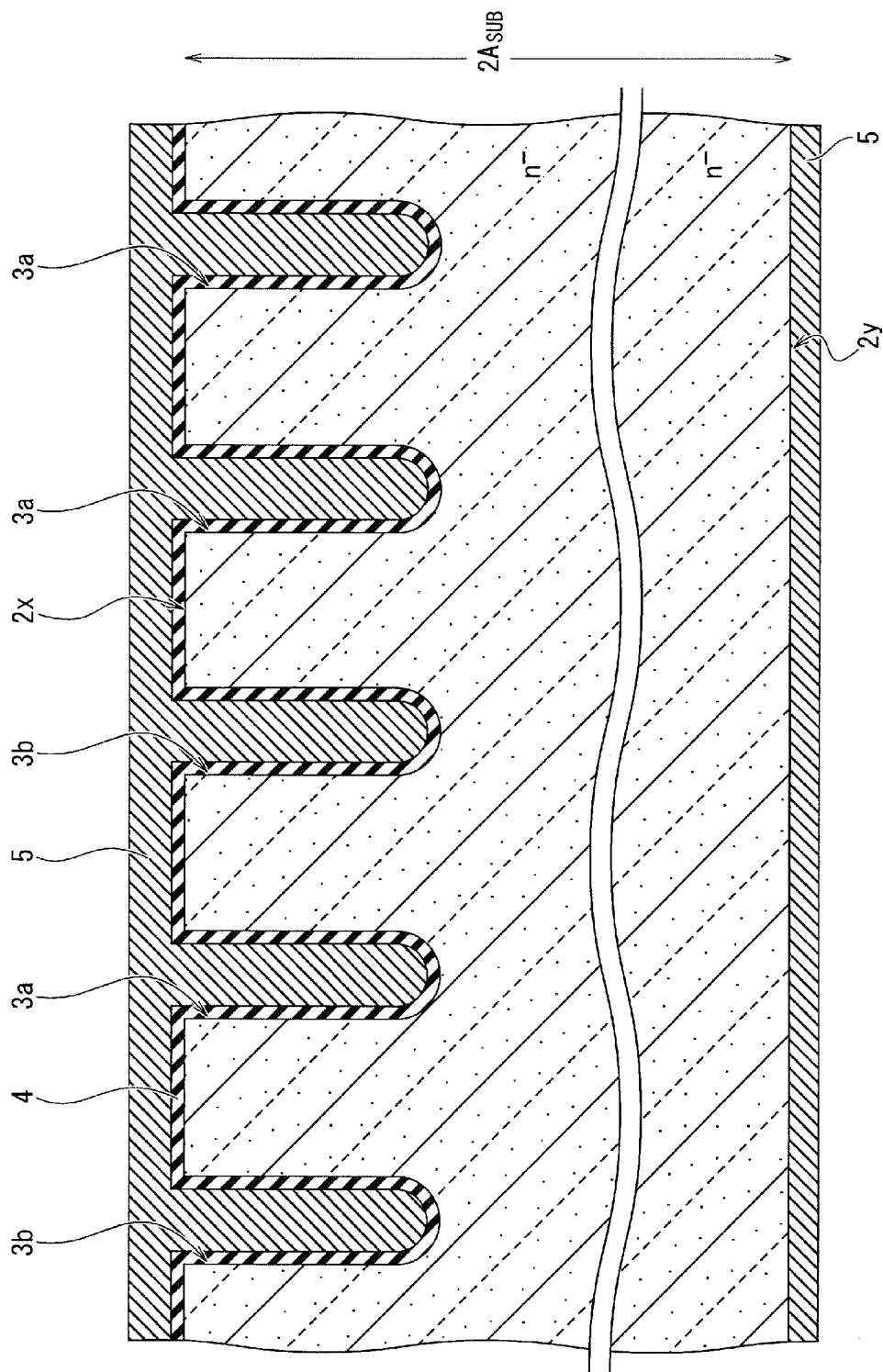
[図24]



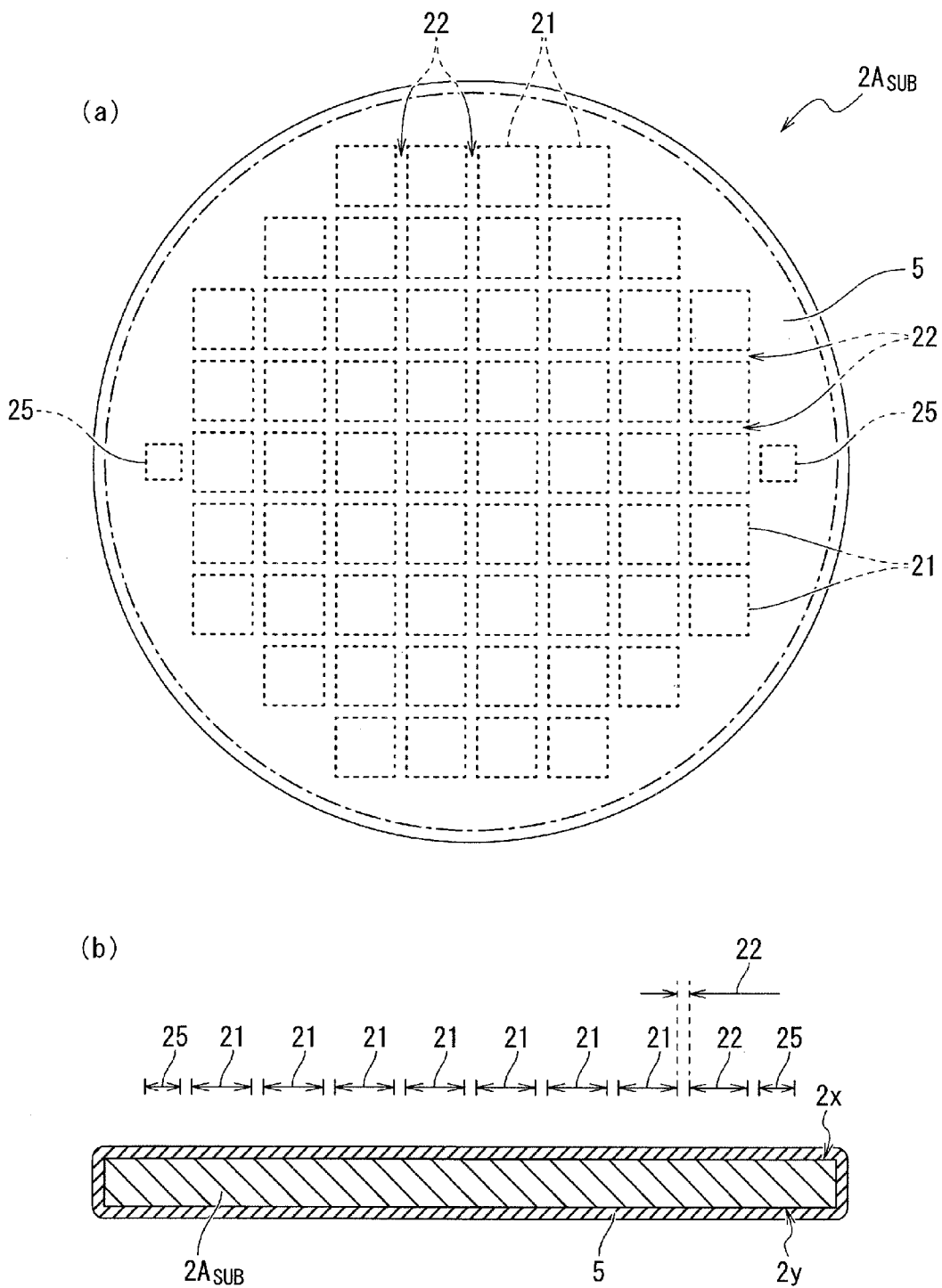
[図25]



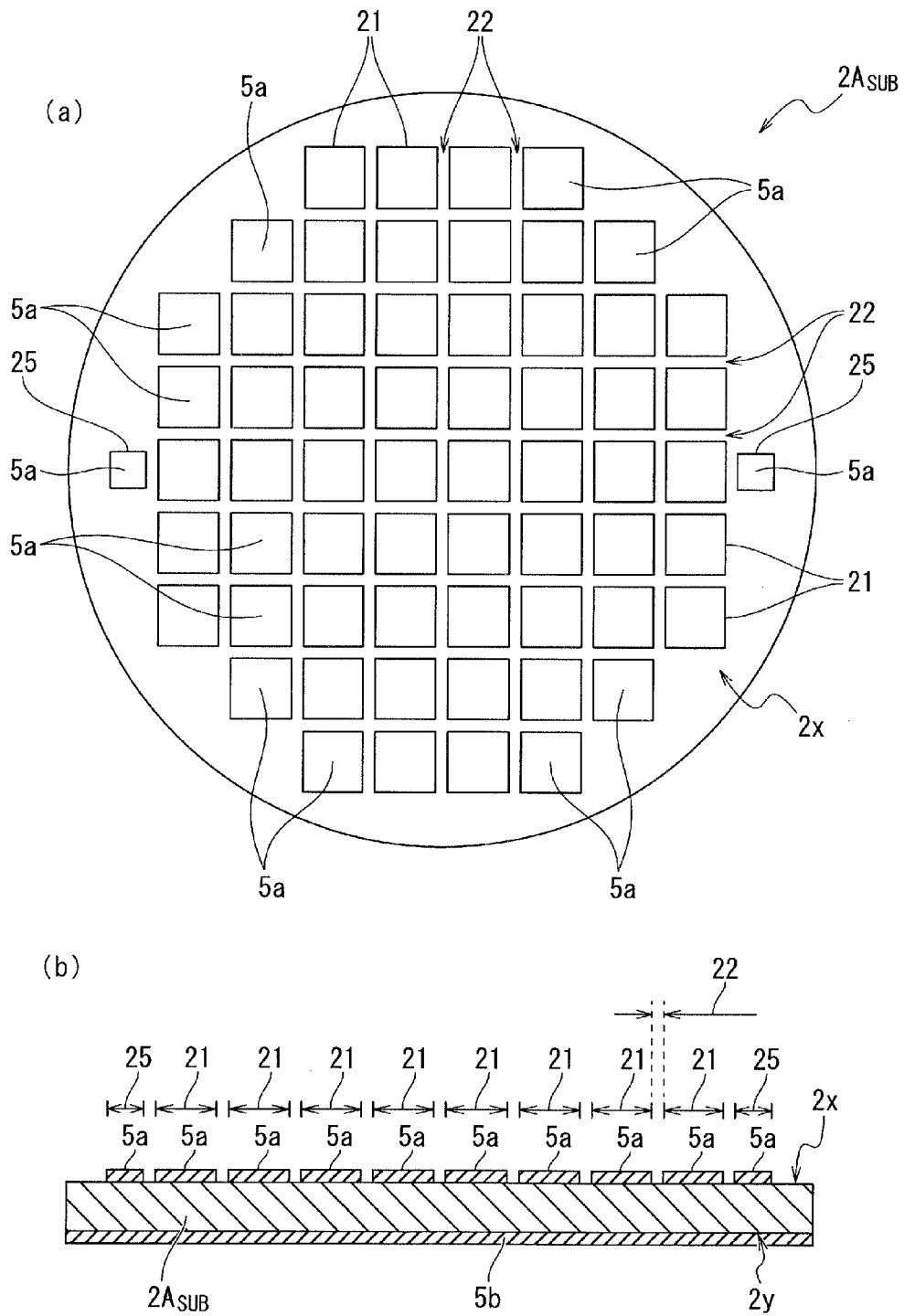
[図27]



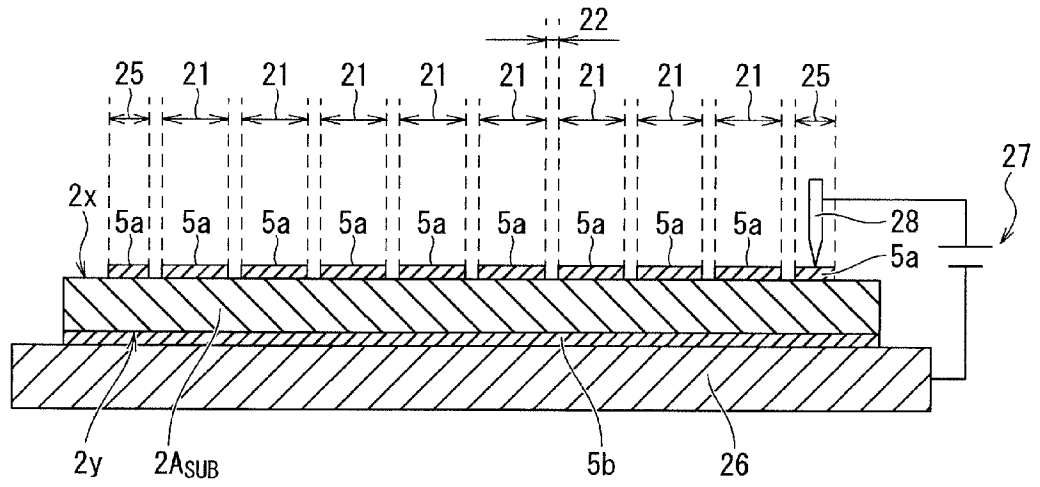
[図28]



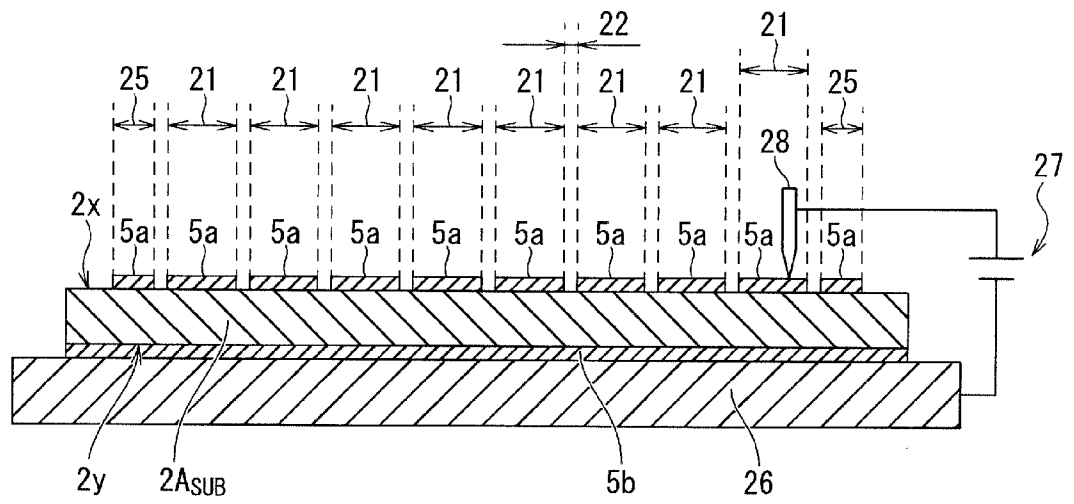
[図29]



[図30]



[図31]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/000464

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/336(2006.01)i, H01L21/66(2006.01)i, H01L29/739(2006.01)i,
H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/336, H01L21/66, H01L29/739, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-183143 A (Toyota Motor Corp.), 12 September 2013 (12.09.2013), fig. 7, 8 (Family: none)	1, 5, 9
Y	JP 2013-171851 A (Fuji Electric Co., Ltd.), 02 September 2013 (02.09.2013), fig. 2 (Family: none)	1, 5, 9
A	JP 2000-252450 A (Hitachi, Ltd.), 14 September 2000 (14.09.2000), fig. 8 (Family: none)	1-9

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 25 March 2016 (25.03.16)	Date of mailing of the international search report 05 April 2016 (05.04.16)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/000464

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-151323 A (Toshiba Corp.), 09 August 2012 (09.08.2012), fig. 8 & US 2012/0187544 A1 fig. 8	1-9
E,A	JP 2016-25124 A (Denso Corp.), 08 February 2016 (08.02.2016), fig. 8 & US 2016/0020310 A1 fig. 8 & DE 102015212864 A1	1-9

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/336(2006.01)i, H01L21/66(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/336, H01L21/66, H01L29/739, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-183143 A（トヨタ自動車株式会社）2013.09.12, 図7, 図8（ファミリーなし）	1, 5, 9
Y	JP 2013-171851 A（富士電機株式会社）2013.09.02, 図2（ファミリーなし）	1, 5, 9
A	JP 2000-252450 A（株式会社日立製作所）2000.09.14, 図8（ファミリーなし）	1-9

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

25.03.2016

国際調査報告の発送日

05.04.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

須原 宏光

電話番号 03-3581-1101 内線 3516

5F

9057

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-151323 A (株式会社東芝) 2012.08.09, 図8 & US 2012/0187544 A1, 図8	1 - 9
E, A	JP 2016-25124 A (株式会社デンソー) 2016.02.08, 図8 & US 2016/0020310 A1, 図8 & DE 102015212864 A1	1 - 9