(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年8月15日(15.08.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/166753 A1

(51) 国際特許分類:
H03F 1/02 (2006.01) *H03F 3/24* (2006.01)

(21) 国際出願番号： PCT/JP2024/002948

(22) 国際出願日： 2024年1月30日(30.01.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
63/444,306 2023年2月9日(09.02.2023) US

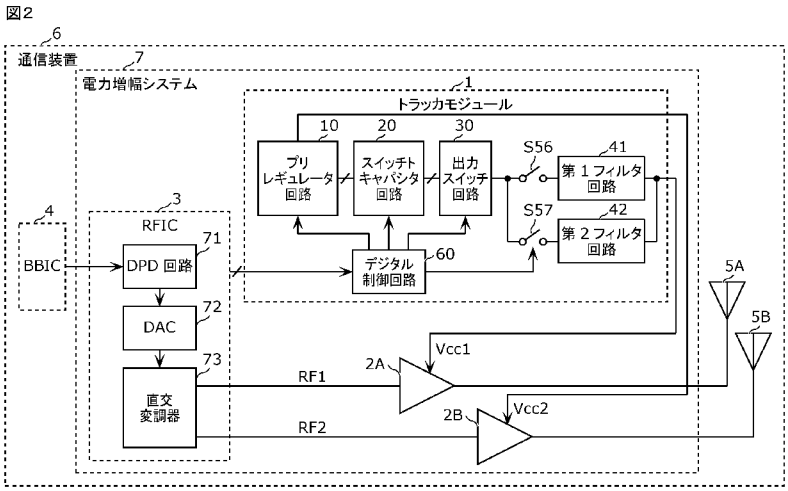
(71) 出願人: 株式会社村田製作所 **(MURATA MANUFACTURING CO., LTD.)** [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 Kyoto (JP).

(72) 発明者: ホバーステン ジョン **(HOVERSTEN, John)**; 02142 マサチューセッツ州ケンブリッジ，１１フロア，メインストリート１イータ・ワイヤレス インク内 Massachusetts (US). ルイス タイ **(LEWIS, Ty)**; 02142 マサチューセッツ州ケンブリッジ，１１フロア，メインストリート１イータ・ワイヤレス インク内 Massachusetts (US). トカチェンコ イェブゲニー **(TKACHENKO, Yevgeniy)**; 02142 マサチューセッツ州ケンブリッジ，１１フロア，メインストリート１イータ・ワイヤレス インク内 Massachusetts (US). 小暮 武 **(KOGURE, Takeshi)**; 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP). 加藤 棟治 **(KATO, Muneharu)**; 〒6178555 京都府長岡京市東神足

(54) **Title:** POWER AMPLIFICATION SYSTEM, POWER AMPLIFICATION METHOD, AND DIGITAL PREDISTORTION CIRCUIT

(54) 発明の名称： 電力増幅システム、電力増幅方法及びデジタルプリディストーション回路

図2



1 Tracker module
6 Communication device
7 Power amplification system
10 Pre-regulator circuit
20 Switched-capacitor circuit
30 Output switch circuit
41 First filter circuit
42 Second filter circuit
60 Digital control circuit
71 DPD circuit
73 Quadrature modulator

(57) **Abstract:** A power amplification system (7) comprises power amplifiers (2A, 2B), a switched-capacitor circuit (20) that is configured to generate a plurality of discrete voltages on the basis of regulated voltage supplied from a pre-regulator circuit (10), an output switch circuit (30) that is configured to selectively output at least one of the plurality of discrete voltages to power amplifier (2A), and a DPD circuit (71) that is configured to pre-distort high-frequency signals (RF1, RF2). The pre-regulator circuit (10) is configured to convert input voltage to regulated voltage, output the regulated voltage to the switched-capacitor circuit (20), and output the regulated voltage to power amplifier (2B) without mediation by the switched-capacitor circuit (20). The DPD circuit (71) uses a first mathematical model to pre-distort high-frequency signal (RF1) and uses a second mathematical model to pre-distort high-frequency signal (RF2) or does not pre-distort high-frequency signal (RF2).

WO 2024/166753 A1

［続葉有］

１丁目１０番１号 株式会社村田製作所内 Kyoto (JP). 松井 利樹(**MATSUI, Toshiki**); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP).

(74) 代理人：吉川 修一，外(**YOSHIKAWA, Shuichi** et al.); 〒5320011 大阪府大阪市淀川区西中島５丁目３番１０号イトーピア新大阪ビル６階 新居国際特許事務所内 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能)：ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

(57) 要約：電力増幅システム（７）は、電力増幅器（２Ａ及び２Ｂ）と、プリレギュレータ回路（１０）から供給された調整電圧に基づいて、複数の離散的電圧を生成するよう構成されたスイッチトキャパシタ回路（２０）と、複数の離散的電圧のうちの少なくとも１つを選択的に電力増幅器（２Ａ）に出力するよう構成された出力スイッチ回路（３０）と、高周波信号（ＲＦ１及びＲＦ２）を予め歪ませるよう構成されたＤＰＤ回路（７１）と、を備え、プリレギュレータ回路（１０）は、入力電圧を調整電圧に変換してスイッチトキャパシタ回路（２０）に出力する、及び、調整電圧をスイッチトキャパシタ回路（２０）を介さずに電力増幅器（２Ｂ）に出力するよう構成され、ＤＰＤ回路（７１）は、第１数式モデルを用いて高周波信号（ＲＦ１）を予め歪ませ、第２数式モデルを用いて高周波信号（ＲＦ２）を予め歪ませる、又は、高周波信号（ＲＦ２）を予め歪ませない。

明　細　書

発明の名称 ：

電力増幅システム、電力増幅方法及びデジタルプリディストーション回路

技術分野

[0001]　本発明は、電力増幅システム、電力増幅方法及びデジタルプリディストーション回路に関する。

背景技術

[0002]　近年、電力増幅回路にトラッキング技術を適用することで、電力付加効率の改善が図られている。特許文献１には、複数の離散的なレベルに時間とともに変化する電源電圧（以下、複数の離散的電圧という）を供給するデジタルエンベロープトラッキング（Ｄ－ＥＴ：Digital Envelope Tracking）のためのトラッカモジュールが開示されている。また、特許文献２には、複数の離散的電圧を供給するシンボルパワートラッキング（ＳＰＴ：Symbol Power Tracking）のためのトラッカモジュールが開示されている。

先行技術文献

特許文献

[0003] 特許文献1：米国特許第８８２９９９３号明細書

特許文献2：米国特許第１０６８６４０７号明細書

発明の概要

発明が解決しようとする課題

[0004]　このような複数の離散的電圧が電力増幅器に供給される場合、電力増幅器が非線形領域で動作することによって生じる非線形歪みを削減するために、デジタルプリディストーション（ＤＰＤ：Digital Pre-Distortion）が用いられることがある。ＤＰＤでは、電力増幅器の入力信号を予め歪ませることにより、電力増幅器で生じる非線形歪みが打ち消される。このとき、電力増幅器ごとに、ＤＰＤのための数式モデルのパラメータ（以下、ＤＰＤパラメータという）がメモリに格納されるため、メモリ量が増加する。

[0005] そこで、本発明は、ＤＰＤパラメータのためのメモリ量の増加を抑制しつつ送信信号の品質を効果的に向上させることができる電力増幅システム、電力増幅方法及びデジタルプリディストーション回路を提供する。

課題を解決するための手段

[0006] 本発明の一態様に係る電力増幅システムは、第１高周波信号を増幅するよう構成された第１電力増幅器と、第２高周波信号を増幅するよう構成された第２電力増幅器と、プリレギュレータ回路から供給された調整電圧に基づいて、複数の離散的電圧を生成するよう構成されたスイッチトキャパシタ回路と、複数の離散的電圧のうちの少なくとも１つを選択的に第１電力増幅器に出力するよう構成された出力スイッチ回路と、第１高周波信号及び第２高周波信号を予め歪ませるよう構成されたデジタルプリディストーション回路と、を備え、プリレギュレータ回路は、入力電圧を調整電圧に変換してスイッチトキャパシタ回路に出力する、及び、調整電圧をスイッチトキャパシタ回路を介さずに第２電力増幅器に出力するよう構成され、デジタルプリディストーション回路は、デジタルプリディストーションのための第１数式モデルを用いて第１高周波信号を予め歪ませ、デジタルプリディストーションのための第２数式モデルを用いて第２高周波信号を予め歪ませる、又は、第２高周波信号を予め歪ませない。

[0007] 本発明の一態様に係る電力増幅方法は、入力電圧を調整電圧に変換し、調整電圧に基づいて複数の離散的電圧を生成し、複数の離散的電圧の少なくとも１つを選択的に第１電力増幅器に供給し、第１数式モデルを用いて第１電力増幅器の第１入力信号を予め歪ませ、予め歪ませられた第１入力信号を増幅し、複数の離散的電圧の生成をスキップして、調整電圧を第２電力増幅器に供給し、第２数式モデルを用いて第２電力増幅器の第２入力信号を予め歪ませ、予め歪ませられた第２入力信号を増幅する。

[0008] 本発明の一態様に係るデジタルプリディストーション回路は、調整電圧に基づいて生成された複数の離散的電圧の少なくとも１つが選択的に供給される第１電力増幅器の第１入力信号を、第１数式モデルを用いて予め歪ませ、

調整電圧が供給される第２電力増幅器の第２入力信号を、第２数式モデルを用いて予め歪ませる。

発明の効果

[0009] 本発明の一態様に係る電力増幅システム等によれば、ＤＰＤパラメータのためのメモリ量の増加を抑制しつつ送信信号の品質を効果的に向上させることができる。

図面の簡単な説明

[0010] [図1A]図１Ａは、ＡＰＴ（Average Power Tracking）モードにおける電源電圧の推移の一例を示すグラフである。

[図1B]図１Ｂは、Ａ－ＥＴ（Analog Envelope Tracking）モードにおける電源電圧の推移の一例を示すグラフである。

[図1C]図１Ｃは、Ｄ－ＥＴモードにおける電源電圧の推移の一例を示すグラフである。

[図2]図２は、実施の形態に係る通信装置の回路構成図である。

[図3]図３は、実施の形態に係るトラッカモジュールの回路構成図である。

[図4]図４は、実施の形態に係る電力増幅方法を示すフローチャートである。

[図5]図５は、実施の形態に係る通信装置の部品配置図である。

発明を実施するための形態

[0011] 以下、本発明の実施の形態について、図面を用いて詳細に説明する。なお、以下で説明する実施の形態は、いずれも包括的又は具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置及び接続形態などは、一例であり、本発明を限定する主旨ではない。

[0012] なお、各図は、本発明を示すために適宜強調、省略、又は比率の調整を行った模式図であり、必ずしも厳密に図示されたものではなく、実際の形状、位置関係、及び比率とは異なる場合がある。各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略又は簡素化される場合がある。

[0013] 以下の各図において、ｘ軸及びｙ軸は、マザー基板の主面と平行な平面上で互いに直交する軸である。具体的には、平面視においてマザー基板が矩形状を有する場合、ｘ軸は、マザー基板の第１辺に平行であり、ｙ軸は、マザー基板の第１辺と直交する第２辺に平行である。また、ｚ軸は、マザー基板の主面に垂直な軸であり、その正方向は上方向を示し、その負方向は下方向を示す。

[0014] 本発明の回路構成において、「接続される」とは、接続端子及び／又は配線導体で直接接続される場合だけでなく、他の回路素子を介して電気的に接続される場合も含む。「直接接続される」とは、他の回路素子を介さずに接続端子及び／又は配線導体で直接接続されることを意味する。「ＣがＡ及びＢの間に接続される」とは、Ｃの一端がＡに接続され、Ｃの他端がＢに接続されることを意味し、Ａ及びＢの間を結ぶ経路にシリーズ接続されることを意味する。「Ａ及びＢの間を結ぶ経路」とは、ＡをＢに電気的に接続する導体で構成された経路を意味する。

[0015] 以下の説明において、「端子」とは、要素内の導体が終了するポイントを意味する。なお、要素間の導体のインピーダンスが十分に低い場合には、端子は、単一のポイントだけでなく、要素間の導体上の任意のポイント又は導体全体と解釈される。

[0016] 本発明の部品配置において、「ＢよりもＣの方がＡに近い」とは、Ａ及びＣの間の距離がＡ及びＢの間の距離よりも短いことを意味する。ここで、「Ａ及びＢの間の距離」とは、Ａ及びＢの間の最短距離を意味する。つまり、「Ａ及びＢの間の距離」とは、Ａの表面上の任意の点とＢの表面上の任意の点とを結ぶ複数の線分のうち最も短い線分の長さを意味する。

[0017] また、「平行」及び「垂直」などの要素間の関係性を示す用語、及び、「矩形」などの要素の形状を示す用語、並びに、数値範囲は、厳格な意味のみを表すのではなく、実質的に同等な範囲、例えば数％程度の誤差をも含むことを意味する。

[0018] まず、高周波信号を高効率に増幅する技術として、高周波信号に基づいて

時間の経過とともに動的に調整された電源電圧を電力増幅器に供給するトラッキングモードについて説明する。トラッキングモードとは、電力増幅器に印加される電源電圧を動的に調整するモードである。トラッキングモードにはいくつかの種類があるが、ここでは、ＡＰＴモード、Ａ－ＥＴモード及びＤ－ＥＴモードについて図１Ａ～図１Ｃを参照しながら説明する。図１Ａ～図１Ｃにおいて、横軸は時間を表し、縦軸は電圧を表す。また、太い実線は、電源電圧を表し、細い実線（波形）は、変調波を表す。

[0019] 図１Ａは、ＡＰＴモードにおける電源電圧の推移の一例を示すグラフである。ＡＰＴモードでは、アベレージパワーに基づいて、１フレーム単位で複数の離散的な電圧レベルに電源電圧を変動させる。その結果、電源電圧信号は矩形波を形成する。

[0020] フレームとは、高周波信号（変調波）を構成する単位を意味する。例えば５ＧＮＲ（5th Generation New Radio）及びＬＴＥ（Long Term Evolution）では、フレームは、１０個のサブフレームを含み、各サブフレームは、複数のスロットを含み、各スロットは、複数のシンボルで構成される。サブフレーム長は１ｍｓであり、フレーム長は１０ｍｓである。

[0021] なお、アベレージパワーに基づいて１フレーム単位又はそれよりも大きな単位で電圧レベルを変動させるモードをＡＰＴモードと呼び、１フレームよりも小さな単位（例えばサブフレーム、スロット又はシンボル）で電圧レベルを変動させるモードと区別する。例えば、シンボル単位で電圧レベルを変動させるモードは、シンボルパワートラッキング（ＳＰＴ：Symbol Power Tracking）モードと呼び、ＡＰＴモードと区別する。

[0022] 図１Ｂは、Ａ－ＥＴモードにおける電源電圧の推移の一例を示すグラフである。Ａ－ＥＴモードでは、エンベロープ信号に基づいて電源電圧を連続的に変動させることで変調波の包絡線が追跡される。

[0023] エンベロープ信号とは、変調波の包絡線を示す信号である。エンベロープ値は、例えば（I^2+Q^2）の平方根で表される。ここで、（Ｉ，Ｑ）は、コンスタレーションポイントを表す。コンスタレーションポイントとは、デジ

タル変調された信号をコンスタレーションダイヤグラム上で表す点である。（Ｉ，Ｑ）は、例えば、送信情報に基づいてＢＢＩＣ（Baseband Integrated Circuit）で決定される。

[0024] 図１Ｃは、Ｄ－ＥＴモードにおける電源電圧の推移の一例を示すグラフである。Ｄ－ＥＴモードでは、エンベロープ信号に基づいて、１フレーム内で複数の離散的な電圧レベルに電源電圧を変動させることで変調波の包絡線が追跡される。その結果、電源電圧信号は矩形波を形成する。

[0025] （実施の形態）

以下に、実施の形態について説明する。

[0026] ［１．１　通信装置６の回路構成］

まず、本実施の形態に係る通信装置６の回路構成について、図２を参照しながら説明する。図２は、本実施の形態に係る通信装置６の回路構成図である。

[0027] なお、図２は、例示的な回路構成であり、通信装置６は、多種多様な回路実装及び回路技術のいずれかを使用して実装され得る。したがって、以下に提供される通信装置６の説明は、限定的に解釈されるべきではない。

[0028] 本実施の形態に係る通信装置６は、セルラーネットワークにおけるユーザ端末（ＵＥ：User Equipment）に相当し、典型的には、携帯電話、スマートフォン、タブレットコンピュータ、ウェアラブル・デバイス等である。なお、通信装置６は、ＩｏＴ（Internet of Things）センサ・デバイス、医療／ヘルスケア・デバイス、車、無人航空機（ＵＡＶ：Unmanned Aerial Vehicle）（いわゆるドローン）、無人搬送車（ＡＧＶ：Automated Guided Vehicle）であってもよい。また、通信装置６は、セルラーネットワークにおけるＢＳ（Base Station）として機能してもよい。

[0029] 図２に示すように、通信装置６は、トラッカモジュール１と、電力増幅器２Ａ及び２Ｂと、ＲＦＩＣ（Radio Frequency Integrated Circuit）３と、ＢＢＩＣ４と、アンテナ５Ａ及び５Ｂと、を備える。なお、電力増幅システム７には、トラッカモジュール１と、電力増幅器２Ａ及び２Ｂと、ＲＦＩＣ

３と、が含まれる。

[0030] トラッカモジュール１は、Ｄ－ＥＴモードに基づいて、複数の離散的電圧を電源電圧Ｖｃｃ１として電力増幅器２Ａに供給することができ、ＡＰＴモードに基づいて、調整電圧を電源電圧Ｖｃｃ２として電力増幅器２Ｂに供給することができる。

[0031] 電力増幅器２Ａは、ＲＦＩＣ３とアンテナ５Ａとの間に接続される。さらに、電力増幅器２Ａは、トラッカモジュール１に接続される。電力増幅器２Ａは、トラッカモジュール１から供給された電源電圧Ｖｃｃ１を用いて、ＲＦＩＣ３から受けた高周波信号ＲＦ１を増幅することができる。高周波信号ＲＦ１は、無線アクセス技術（ＲＡＴ：Radio Access Technology）を用いて構築される第１通信システムの信号である。第１通信システムの例としては、５ＧＮＲ（5th Generation New Radio）システム及び４ＧＬＴＥ（4th Generation Long Term Evolution）システムなどを挙げることができるが、第１通信システムはこれらに限定されない。

[0032] 電力増幅器２Ｂは、ＲＦＩＣ３とアンテナ５Ｂとの間に接続される。さらに、電力増幅器２Ｂは、トラッカモジュール１に接続される。電力増幅器２Ｂは、トラッカモジュール１から供給された電源電圧Ｖｃｃ２を用いて、ＲＦＩＣ３から受けた高周波信号ＲＦ２を増幅することができる。高周波信号ＲＦ２は、ＲＡＴを用いて構築される第２通信システムの信号である。第２通信システムは、第１通信システムと異なる。第２通信システムの例としては、２Ｇ（2nd Generation）通信システムを挙げることができるが、第２通信システムは、これに限定されない。

[0033] ＲＦＩＣ３は、高周波信号を処理する信号処理回路の一例である。ＲＦＩＣ３は、ＢＢＩＣ４からデジタルＩＱ信号を受けて、電力増幅器２Ａ及び２Ｂに高周波信号ＲＦ１及びＲＦ２をそれぞれ供給することができる。ＲＦＩＣ３の内部構成については後述する。

[0034] ＢＢＩＣ４は、高周波信号ＲＦ１及びＲＦ２よりも低い周波数帯域を用いて信号処理するベースバンド信号処理回路である。ＢＢＩＣ４では、例えば

、画像表示のための画像信号、及び／又は、スピーカを介した通話のために音声信号を示すビット系列をデジタル変調してデジタルＩＱ信号を生成する。生成されたデジタルＩＱ信号は、ＲＦＩＣ３に供給される。なお、ＢＢＩＣ４は、通信装置６に含まれてなくてもよい。

[0035] アンテナ５Ａは、電力増幅器２Ａで増幅された高周波信号ＲＦ１を通信装置６の外部に送信する。なお、アンテナ５Ｂは、電力増幅器２Ｂで増幅された高周波信号ＲＦ２を通信装置６の外部に送信する。アンテナ５Ａ及び５Ｂの一方が高周波信号ＲＦ１及びＲＦ２の両方を送信してもよい。この場合、アンテナ５Ａ及び５Ｂの他方は、通信装置６に含まれなくてもよい。また、アンテナ５Ａ及び５Ｂの両方が、通信装置６に含まれなくてもよい。この場合、通信装置６は、外部アンテナに接続されてもよい。

[0036] ［１．２ ＲＦＩＣ３の内部構成］

ＲＦＩＣ３の内部構成について図２を参照しながら説明する。ＲＦＩＣ３は、ＤＰＤ回路７１と、デジタルアナログコンバータ（ＤＡＣ：Digital-to-Analog Converter）７２と、直交変調器（Quadrature Modulator）７３と、を含む。また、ＲＦＩＣ３は、トラッカモジュール１を制御する制御部（図示せず）を有してもよい。なお、ＲＦＩＣ３の制御部としての機能の一部又は全部は、ＲＦＩＣ３の外部に実装されてもよい。

[0037] ＤＰＤ回路７１は、ＤＰＤのための数式モデルを用いて、ＢＢＩＣ４から供給されるデジタルＩＱ信号を予め歪ませることができる。例えば、ＤＰＤ回路７１は、デジタルＩＱ信号から予め歪まされたデジタルＩＱ信号を生成することができる。予め歪まされたデジタルＩＱ信号は、ＤＡＣ７２に供給される。なお、ＤＰＤ回路７１は、ＤＰＤ処理をスキップしてもよい。この場合、ＤＰＤ回路７１は、ＢＢＩＣ４から供給されるデジタルＩＱ信号（つまり、予め歪まされていないデジタルＩＱ信号）をＤＡＣ７２に供給することができる。

[0038] ＤＡＣ７２は、ＤＰＤ回路７１から供給されるデジタルＩＱ信号をアナログＩＱ信号に変換することができる。変換されたアナログＩＱ信号は、直交

変調器７３に供給される。なお、ＤＡＣ７２としては、従来のＤＡＣを用いることができ、特に限定される必要はない。

[0039] 直交変調器７３は、ＤＡＣ７２から供給されるアナログＩＱ信号に直交変調及びアップコンバートを行うことにより高周波信号ＲＦを生成することができる。生成された高周波信号ＲＦは、電力増幅器２に供給される。なお、直交変調器７３としては、従来の直交変調器を用いることができ、特に限定される必要はない。

[0040] なお、図２に表されたＲＦＩＣ３の回路構成は、例示であり、これに限定されない。例えば、ＤＰＤ回路７１、ＤＡＣ７２及び直交変調器７３の一部又は全部は、ＲＦＩＣ３に含まれなくてもよい。例えば、ＤＰＤ回路７１は、ＢＢＩＣ４に含まれてもよい。

[0041] ここで、ＤＰＤ回路７１でＤＰＤに用いられる数式モデルについて説明する。本実施の形態では、ＤＰＤのための数式モデルとしては、メモリ効果が組み込まれている第１数式モデル、又は、メモリ効果が組み込まれていない第２数式モデルを用いることができる。

[0042] メモリ効果とは、過去の入力信号によって生じる電力増幅器の歪みの変化として定義される。したがって、第１数式モデルでは、現在の入力信号によって生じる歪みだけではなく、過去の入力信号によって生じる歪みの変化がモデル化される。そのため、第１数式モデルでは、第２数式モデルよりも非線形歪みを低減することができるが、計算負荷が増大してしまう。

[0043] そこで、本実施の形態では、より少ないメモリ量で非線形歪みを効果的に低減するために、電力増幅器２Ａ及び２Ｂによって異なる数式モデルを用いてＤＰＤが行われる。具体的には、電力増幅器２Ａの入力信号は、第１数式モデルを用いて予め歪ませられ、電力増幅器２Ｂの入力信号は、第２数式モデルを用いて予め歪ませられる、又は、予め歪ませられない。

[0044] ここで、メモリ効果が組み込まれていない第２数式モデルの具体例について説明する。

[0045]

[数1]

$$x[n] = \sum_{i=0}^{N-1} c_i r[n]|r[n]|^i \cdots (1)$$

$x[n]: predistorted\ signal$
$r[n]: original\ input\ signal$
$c_i: DPD\ coefficients$
$N: polynomial\ order$

[0046] 上式（１）は、第２数式モデルで用いられる多項式の一例である。式（１）が用いられる数式モデルは、メモリレス多項式モデル（Memoryless Polynomial Model）と呼ばれる。式（１）では、現在の入力信号ｒ［ｎ］について、入力信号と指数化された入力信号とが掛け合わされる。多項式次数Ｎ及びＤＰＤ係数ｃ$_i$は、メモリレス多項式モデルのパラメータであり、実験的及び／又は経験的に予め決定することができ、例えばＲＦＩＣ３に含まれるメモリ（図示せず）に予め格納される。

[0047] 式（１）において、多項式次数Ｎが増加されれば、非線形歪みの低減が期待されるが、計算負荷の増大が懸念される。なお、式（１）では、メモリ効果が考慮されていないので、メモリレス多項式モデルにおける非線形歪みの低減には限界がある。

[0048] 次に、メモリ効果が組み込まれている第１数式モデルの具体例について説明する。

[0049] [数2]

$$x[n] = \sum_{i=0}^{N-1} \sum_{q=0}^{Q} c_{qi} r[n-q]|r[n-q]|^i \cdots (2)$$

$x[n]: predistorted\ signal$
$r[n]: original\ input\ signal$
$c_{qi}: DPD\ coefficients$
$Q: memory\ depth$
$N: polynomial\ order$

[0050] 上式（２）は、第１数式モデルで用いられる多項式の一例である。式（２）が用いられる数式モデルは、メモリ多項式モデル（ＭＰＭ：Memory Polyno

mial Model）と呼ばれる。式（２）では、過去Ｑ～現在０までの入力信号ｒ［ｎ－ｑ］の各々について、入力信号と指数化された入力信号とが掛け合わされる。多項式次数Ｎ、メモリ深さＱ及びＤＰＤ係数c_{qi}は、ＭＰＭのパラメータであり、実験的及び／又は経験的に予め決定することができ、例えばＲＦＩＣ３に含まれるメモリ（図示せず）に予め格納される。

[0051] 式（２）において、多項式次数Ｎ及びメモリ深さＱが増加されれば、非線形歪みの低減が期待されるが、パラメータ数の増加、計算負荷の増大、及び、ＤＰＤ係数c_{qi}決定時の収束性の低下が懸念される。

[0052] [数3]

$$x[n]=\sum_{i=0}^{N-1}\sum_{q=0}^{Q}c_{qi}r[n-q]|r[n-q]|^{i}\cdots(3-1)$$

$$+\sum_{i=1}^{N_d}\sum_{m=1}^{M_d}\sum_{q=0}^{Q_d}d_{qmi}r[n-q]|r[n-q-m]|^{i}\cdots(3-2)$$

$$+\sum_{i=1}^{N_e}\sum_{m=1}^{M_e}\sum_{q=0}^{Q_e}e_{qmi}r[n-q]|r[n-q+m]|^{i}\cdots(3-3)\cdots(3)$$

$x[n]: predistorted\ signal$
$r[n]: original\ input\ signal$

$c_{qi}, d_{qmi}, e_{qmi}: DPD\ coefficients$

$Q: sync\ memory\ depth$
$N: sync\ order$
$Q_d: lag\ memory\ depth$
$M_d: maximum\ lag$
$N_d: lag\ order$
$Q_e: lead\ memory\ depth$
$M_e: maximum\ lead$
$N_e: lead\ order$

[0053] 上式（３）は、第１数式モデルで用いられる多項式の一例である。式（３）が用いられる数式モデルは、一般化メモリ多項式モデル（ＧＭＰ：Generalized Memory Polynomial Model）と呼ばれる。式（３）では、ｓｙｎｃ項（３－１）が、Ｌａｇ項（３－２）、及び、Ｌｅａｄ項（３－３）と結合され

る。ｓｙｎｃ項（３－１）は、ＭＰＭのための式（２）の項と同一である。Ｌａｇ項（３－２）では、入力信号と指数化された過去の入力信号とが掛け合わされる。Ｌｅａｄ項（３－３）では、入力信号と指数化された未来の入力信号とが掛け合わされる。各項の次数Ｎ、N_d及びN_e、メモリ深さＱ、並びに、ＤＰＤ係数c_{qi}、d_{qmi}及びe_{qmi}は、ＧＭＰのパラメータであり、実験的及び／又は経験的に予め決定することができ、例えばＲＦＩＣ３に含まれるメモリ（図示せず）に予め格納される。

[0054] 式（３）において、各項のメモリ深さＱ、Q_d、Q_e及びクロス幅M_d、M_eが増加されれば、非線形歪みの低減を期待することができるが、パラメータ数の増加、計算負荷の増加、並びに、ＤＰＤ係数c_{qi}、d_{qmi}及びe_{qmi}決定時の収束性の低下が懸念される。

[0055] メモリレス多項式モデル、ＭＰＭ、ＧＭＰの順で、非線形歪みの低減効果が大きくなるが、パラメータ数が増加し、計算負荷（つまり消費電力）も大きくなる。つまり、ＧＭＰでは、ＭＰＭ及びメモリレス多項式モデルよりも非線形歪み低減することができ、ＭＰＭでは、メモリレス多項式モデルよりも非線形歪み低減することができる。逆に、メモリレス多項式モデルでは、ＭＰＭ及びＧＭＰよりも計算負荷を低減することができ、ＭＰＭでは、ＧＭＰよりも計算負荷を低減することができる。さらに、メモリレス多項式モデルでは、ＭＰＭ及びＧＭＰよりもパラメータを格納するためのメモリ量を削減することができ、ＭＰＭでは、ＧＭＰよりもパラメータを格納するためのメモリ量を低減することができる。

[0056] なお、第１数式モデルは、ＭＰＭ及びＧＭＰに限定されない。つまり、第１数式モデルでは、上記式（２）及び（３）と異なる数式が用いられてもよい。また、第２数式モデルは、メモリレス多項式モデルに限定されない。つまり、第２数式モデルでは、上記式（１）と異なる数式が用いられてもよい。

[0057] ［１．３　トラッカモジュール１の回路構成］

次に、トラッカモジュール１の回路構成について、図２を参照しながら説

明する。トラッカモジュール１は、プリレギュレータ回路１０と、スイッチトキャパシタ回路２０と、出力スイッチ回路３０と、第１フィルタ回路４１及び第２フィルタ回路４２と、スイッチＳ５６及びＳ５７と、デジタル制御回路６０と、を備える。

[0058] プリレギュレータ回路１０は、パワーインダクタを用いて、直流電源（図示せず）から供給される入力電圧を調整電圧に変換することができる。プリレギュレータ回路１０は、調整電圧をスイッチトキャパシタ回路２０に供給することができ、さらに、調整電圧をスイッチトキャパシタ回路２０を介さずに電力増幅器２Ｂに供給することもできる。プリレギュレータ回路１０は、パワーインダクタ及びスイッチを含む。パワーインダクタとは、直流（ＤＣ：Direct Current）電圧の昇圧及び／又は降圧に用いられるインダクタである。パワーインダクタは、直流経路に直列配置される。なお、パワーインダクタは、直流経路とグランドとの間に接続（つまり、直流経路に並列配置）されていてもよい。このようなプリレギュレータ回路１０は、磁気レギュレータ又はＤＣ／ＤＣコンバータと呼ばれる場合もある。

[0059] スイッチトキャパシタ回路２０は、複数のキャパシタ及び複数のスイッチを含み、プリレギュレータ回路１０から供給される電圧から、複数の離散的な電圧レベルをそれぞれ有する複数の離散的電圧を生成することができる。スイッチトキャパシタ回路２０は、スイッチトキャパシタ電圧バランサ（Switched-Capacitor Voltage Balancer）と呼ばれる場合もある。

[0060] 出力スイッチ回路３０は、スイッチトキャパシタ回路２０で生成された複数の離散的電圧の少なくとも１つを選択的に電力増幅器２Ａに出力することができる。

[0061] 第１フィルタ回路４１及び第２フィルタ回路４２は、電力増幅器２Ａに供給される複数の離散的電圧からノイズを減衰させることができる。第１フィルタ回路４１及び第２フィルタ回路４２は、パルス整形フィルタ（pulse shaping filter）又はトランジション整形フィルタ（transition shaping filter）と呼ばれる場合もある。

[0062] スイッチＳ５６及びＳ５７は、それぞれ、第１フィルタ回路４１及び第２フィルタ回路４２のオン／オフスイッチである。スイッチＳ５６は、出力スイッチ回路３０及び第１フィルタ回路４１の間に接続される。スイッチＳ５７は、出力スイッチ回路３０及び第２フィルタ回路４２の間に接続される。

[0063] デジタル制御回路６０は、ＲＦＩＣ３からのデジタル制御信号に基づいて、プリレギュレータ回路１０と、スイッチトキャパシタ回路２０と、出力スイッチ回路３０と、スイッチＳ５６及びＳ５７と、を制御することができる。

[0064] なお、トラッカモジュール１は、プリレギュレータ回路１０とスイッチトキャパシタ回路２０と出力スイッチ回路３０と第１フィルタ回路４１及び第２フィルタ回路４２とスイッチＳ５６及びＳ５７とデジタル制御回路６０とのうちの一部を含まなくてもよい。例えば、トラッカモジュール１は、プリレギュレータ回路１０を含まなくてもよい。また例えば、トラッカモジュール１は、第１フィルタ回路４１及び第２フィルタ回路４２とスイッチＳ５６及びＳ５７とを含まなくてもよい。また、プリレギュレータ回路１０とスイッチトキャパシタ回路２０と出力スイッチ回路３０と第１フィルタ回路４１及び第２フィルタ回路４２とスイッチＳ５６及びＳ５７との任意の組み合わせは、単一の回路に統合されてもよい。また、トラッカモジュール１は、プリレギュレータ回路１０とスイッチトキャパシタ回路２０との代わりに、特許文献２のように複数の電圧供給回路を含んでもよい。この場合、出力スイッチ回路３０は、複数の電圧供給回路の少なくとも１つを選択するよう構成されてもよい。

[0065] 次に、トラッカモジュール１に含まれる各回路の回路構成について、図３を参照しながら説明する。図３は、本実施の形態に係るトラッカモジュール１の回路構成図である。

[0066] なお、図３は、例示的な回路構成であり、トラッカモジュール１は、多種多様な回路実装及び回路技術のいずれかを使用して実装され得る。したがって、以下に提供されるトラッカモジュール１の説明は、限定的に解釈される

べきではない。

[0067] ［１．３．１　スイッチトキャパシタ回路２０の回路構成］

まず、図３を参照しながら、スイッチトキャパシタ回路２０の回路構成について説明する。スイッチトキャパシタ回路２０は、図３に示すように、キャパシタＣ１１～Ｃ１６と、キャパシタＣ１０、Ｃ２０、Ｃ３０及びＣ４０と、スイッチＳ１１～Ｓ１４、Ｓ２１～Ｓ２４、Ｓ３１～Ｓ３４、及びＳ４１～Ｓ４４と、を備える。エネルギー及び電荷は、ノードＮ１～Ｎ４でプリレギュレータ回路１０からスイッチトキャパシタ回路２０に入力され、ノードＮ１～Ｎ４でスイッチトキャパシタ回路２０から出力スイッチ回路３０に引き出される。

[0068] キャパシタＣ１１～Ｃ１６の各々は、フライングキャパシタ（トランスファキャパシタと呼ばれる場合もある）として機能する。つまり、キャパシタＣ１１～Ｃ１６の各々は、プリレギュレータ回路１０から供給された調整電圧を昇圧又は降圧するために用いられる。より具体的には、キャパシタＣ１１～Ｃ１６は、４つのノードＮ１～Ｎ４においてＶ１：Ｖ２：Ｖ３：Ｖ４＝１：２：３：４を満たす電圧Ｖ１～Ｖ４（グランド電位に対する電圧）が維持されるように、キャパシタＣ１１～Ｃ１６とノードＮ１～Ｎ４との間で電荷を移動させる。この電圧Ｖ１～Ｖ４が複数の離散的な電圧レベルをそれぞれ有する複数の離散的電圧に相当する。

[0069] キャパシタＣ１１は、２つの電極を有する。キャパシタＣ１１の２つの電極の一方は、スイッチＳ１１の一端及びスイッチＳ１２の一端に接続される。キャパシタＣ１１の２つの電極の他方は、スイッチＳ２１の一端及びスイッチＳ２２の一端に接続される。

[0070] キャパシタＣ１２は、２つの電極を有する。キャパシタＣ１２の２つの電極の一方は、スイッチＳ２１の一端及びスイッチＳ２２の一端に接続される。キャパシタＣ１２の２つの電極の他方は、スイッチＳ３１の一端及びスイッチＳ３２の一端に接続される。

[0071] キャパシタＣ１３は、２つの電極を有する。キャパシタＣ１３の２つの電

極の一方は、スイッチＳ３１の一端及びスイッチＳ３２の一端に接続される。キャパシタＣ１３の２つの電極の他方は、スイッチＳ４１の一端及びスイッチＳ４２の一端に接続される。

[0072] キャパシタＣ１４は、２つの電極を有する。キャパシタＣ１４の２つの電極の一方は、スイッチＳ１３の一端及びスイッチＳ１４の一端に接続される。キャパシタＣ１４の２つの電極の他方は、スイッチＳ２３の一端及びスイッチＳ２４の一端に接続される。

[0073] キャパシタＣ１５は、２つの電極を有する。キャパシタＣ１５の２つの電極の一方は、スイッチＳ２３の一端及びスイッチＳ２４の一端に接続される。キャパシタＣ１５の２つの電極の他方は、スイッチＳ３３の一端及びスイッチＳ３４の一端に接続される。

[0074] キャパシタＣ１６は、２つの電極を有する。キャパシタＣ１６の２つの電極の一方は、スイッチＳ３３の一端及びスイッチＳ３４の一端に接続される。キャパシタＣ１６の２つの電極の他方は、スイッチＳ４３の一端及びスイッチＳ４４の一端に接続される。

[0075] キャパシタＣ１１及びＣ１４のセットと、キャパシタＣ１２及びＣ１５のセットと、キャパシタＣ１３及びＣ１６のセットとの各々は、第１フェーズ及び第２フェーズが繰り返されることで相補的に充電及び放電を行うことができる。

[0076] 具体的には、第１フェーズでは、スイッチＳ１２、Ｓ１３、Ｓ２２、Ｓ２３、Ｓ３２、Ｓ３３、Ｓ４２及びＳ４３がオンにされる。これにより、例えば、キャパシタＣ１２の２つの電極の一方はノードＮ３に接続され、キャパシタＣ１２の２つの電極の他方及びキャパシタＣ１５の２つの電極の一方はノードＮ２に接続され、キャパシタＣ１５の２つの電極の他方はノードＮ１に接続される。

[0077] 一方、第２フェーズでは、スイッチＳ１１、Ｓ１４、Ｓ２１、Ｓ２４、Ｓ３１、Ｓ３４、Ｓ４１及びＳ４４がオンにされる。これにより、例えば、キャパシタＣ１５の２つの電極の一方はノードＮ３に接続され、キャパシタＣ

１５の２つの電極の他方及びキャパシタＣ１２の２つの電極の一方はノードＮ２に接続され、キャパシタＣ１２の２つの電極の他方は、ノードＮ１に接続される。

[0078] このような第１フェーズ及び第２フェーズが繰り返されることにより、例えばキャパシタＣ１２及びＣ１５の一方がノードＮ２から充電されているときに、キャパシタＣ１２及びＣ１５の他方がキャパシタＣ３０に放電することができる。つまり、キャパシタＣ１２及びＣ１５は、相補的に充電及び放電を行うことができる。

[0079] キャパシタＣ１１及びＣ１４のセットとキャパシタＣ１３及びＣ１６のセットとの各々も、第１フェーズ及び第２フェーズが繰り返されることで、キャパシタＣ１２及びＣ１５のセットと同様に、相補的に充電及び放電を行うことができる。

[0080] キャパシタＣ１０、Ｃ２０、Ｃ３０及びＣ４０の各々は、平滑キャパシタとして機能する。つまり、キャパシタＣ１０、Ｃ２０、Ｃ３０及びＣ４０の各々は、ノードＮ１～Ｎ４における電圧Ｖ１～Ｖ４の保持及び平滑化に用いられる。

[0081] キャパシタＣ１０は、ノードＮ１及びグランドの間に接続される。具体的には、キャパシタＣ１０の２つの電極の一方は、ノードＮ１に接続される。一方、キャパシタＣ１０の２つの電極の他方は、グランドに接続される。

[0082] キャパシタＣ２０は、ノードＮ２及びＮ１の間に接続される。具体的には、キャパシタＣ２０の２つの電極の一方は、ノードＮ２に接続される。一方、キャパシタＣ２０の２つの電極の他方は、ノードＮ１に接続される。

[0083] キャパシタＣ３０は、ノードＮ３及びＮ２の間に接続される。具体的には、キャパシタＣ３０の２つの電極の一方は、ノードＮ３に接続される。一方、キャパシタＣ３０の２つの電極の他方は、ノードＮ２に接続される。

[0084] キャパシタＣ４０は、ノードＮ４及びＮ３の間に接続される。具体的には、キャパシタＣ４０の２つの電極の一方は、ノードＮ４に接続される。一方、キャパシタＣ４０の２つの電極の他方は、ノードＮ３に接続される。

[0085] スイッチＳ１１は、キャパシタＣ１１の２つの電極の一方とノードＮ３との間に接続される。具体的には、スイッチＳ１１の一端は、キャパシタＣ１１の２つの電極の一方に接続される。一方、スイッチＳ１１の他端は、ノードＮ３に接続される。

[0086] スイッチＳ１２は、キャパシタＣ１１の２つの電極の一方とノードＮ４との間に接続される。具体的には、スイッチＳ１２の一端は、キャパシタＣ１１の２つの電極の一方に接続される。一方、スイッチＳ１２の他端は、ノードＮ４に接続される。

[0087] スイッチＳ２１は、キャパシタＣ１２の２つの電極の一方とノードＮ２との間に接続される。具体的には、スイッチＳ２１の一端は、キャパシタＣ１２の２つの電極の一方及びキャパシタＣ１１の２つの電極の他方に接続される。一方、スイッチＳ２１の他端は、ノードＮ２に接続される。

[0088] スイッチＳ２２は、キャパシタＣ１２の２つの電極の一方とノードＮ３との間に接続される。具体的には、スイッチＳ２２の一端は、キャパシタＣ１２の２つの電極の一方及びキャパシタＣ１１の２つの電極の他方に接続される。一方、スイッチＳ２２の他端は、ノードＮ３に接続される。

[0089] スイッチＳ３１は、キャパシタＣ１２の２つの電極の他方とノードＮ１との間に接続される。具体的には、スイッチＳ３１の一端は、キャパシタＣ１２の２つの電極の他方及びキャパシタＣ１３の２つの電極の一方に接続される。一方、スイッチＳ３１の他端は、ノードＮ１に接続される。

[0090] スイッチＳ３２は、キャパシタＣ１２の２つの電極の他方とノードＮ２との間に接続される。具体的には、スイッチＳ３２の一端は、キャパシタＣ１２の２つの電極の他方及びキャパシタＣ１３の２つの電極の一方に接続される。一方、スイッチＳ３２の他端は、ノードＮ２に接続される。つまり、スイッチＳ３２の他端は、スイッチＳ２１の他端に接続される。

[0091] スイッチＳ４１は、キャパシタＣ１３の２つの電極の他方とグランドとの間に接続される。具体的には、スイッチＳ４１の一端は、キャパシタＣ１３の２つの電極の他方に接続される。一方、スイッチＳ４１の他端は、グラン

ドに接続される。

[0092] スイッチＳ４２は、キャパシタＣ１３の２つの電極の他方とノードＮ１との間に接続される。具体的には、スイッチＳ４２の一端は、キャパシタＣ１３の２つの電極の他方に接続される。一方、スイッチＳ４２の他端は、ノードＮ１に接続される。つまり、スイッチＳ４２の他端は、スイッチＳ３１の他端に接続される。

[0093] スイッチＳ１３は、キャパシタＣ１４の２つの電極の一方とノードＮ３との間に接続される。具体的には、スイッチＳ１３の一端は、キャパシタＣ１４の２つの電極の一方に接続される。一方、スイッチＳ１３の他端は、ノードＮ３に接続される。つまり、スイッチＳ１３の他端は、スイッチＳ１１の他端及びスイッチＳ２２の他端に接続される。

[0094] スイッチＳ１４は、キャパシタＣ１４の２つの電極の一方とノードＮ４との間に接続される。具体的には、スイッチＳ１４の一端は、キャパシタＣ１４の２つの電極の一方に接続される。一方、スイッチＳ１４の他端は、ノードＮ４に接続される。つまり、スイッチＳ１４の他端は、スイッチＳ１２の他端に接続される。

[0095] スイッチＳ２３は、キャパシタＣ１５の２つの電極の一方とノードＮ２との間に接続される。具体的には、スイッチＳ２３の一端は、キャパシタＣ１５の２つの電極の一方及びキャパシタＣ１４の２つの電極の他方に接続される。一方、スイッチＳ２３の他端は、ノードＮ２に接続される。つまり、スイッチＳ２３の他端は、スイッチＳ２１の他端及びスイッチＳ３２の他端に接続される。

[0096] スイッチＳ２４は、キャパシタＣ１５の２つの電極の一方とノードＮ３との間に接続される。具体的には、スイッチＳ２４の一端は、キャパシタＣ１５の２つの電極の一方及びキャパシタＣ１４の２つの電極の他方に接続される。一方、スイッチＳ２４の他端は、ノードＮ３に接続される。つまり、スイッチＳ２４の他端は、スイッチＳ１１の他端、スイッチＳ２２の他端及びスイッチＳ１３の他端に接続される。

[0097] スイッチＳ３３は、キャパシタＣ１５の２つの電極の他方とノードＮ１との間に接続される。具体的には、スイッチＳ３３の一端は、キャパシタＣ１５の２つの電極の他方及びキャパシタＣ１６の２つの電極の一方に接続される。一方、スイッチＳ３３の他端は、ノードＮ１に接続される。つまり、スイッチＳ３３の他端は、スイッチＳ３１の他端及びスイッチＳ４２の他端に接続される。

[0098] スイッチＳ３４は、キャパシタＣ１５の２つの電極の他方とノードＮ２との間に接続される。具体的には、スイッチＳ３４の一端は、キャパシタＣ１５の２つの電極の他方及びキャパシタＣ１６の２つの電極の一方に接続される。一方、スイッチＳ３４の他端は、ノードＮ２に接続される。つまり、スイッチＳ３４の他端は、スイッチＳ２１の他端、スイッチＳ３２の他端及びスイッチＳ２３の他端に接続される。

[0099] スイッチＳ４３は、キャパシタＣ１６の２つの電極の他方とグランドとの間に接続される。具体的には、スイッチＳ４３の一端は、キャパシタＣ１６の２つの電極の他方に接続される。一方、スイッチＳ４３の他端は、グランドに接続される。

[0100] スイッチＳ４４は、キャパシタＣ１６の２つの電極の他方とノードＮ１との間に接続される。具体的には、スイッチＳ４４の一端は、キャパシタＣ１６の２つの電極の他方に接続される。一方、スイッチＳ４４の他端は、ノードＮ１に接続される。つまり、スイッチＳ４４の他端は、スイッチＳ３１の他端、スイッチＳ４２の他端及びスイッチＳ３３の他端に接続される。

[0101] スイッチＳ１２、Ｓ１３、Ｓ２２、Ｓ２３、Ｓ３２、Ｓ３３、Ｓ４２及びＳ４３を含む第１セットのスイッチと、スイッチＳ１１、Ｓ１４、Ｓ２１、Ｓ２４、Ｓ３１、Ｓ３４、Ｓ４１及びＳ４４を含む第２セットのスイッチとは、制御信号Ｓ２に基づいて相補的にオン及びオフが切り替えられる。具体的には、第１フェーズでは、第１セットのスイッチがオンにされ、第２セットのスイッチがオフにされる。逆に、第２フェーズでは、第１セットのスイッチがオフにされ、第２セットのスイッチがオンにされる。

[0102] 例えば、第１フェーズ及び第２フェーズの一方において、キャパシタＣ１１～Ｃ１３からキャパシタＣ１０～Ｃ４０への充電が実行され、第１フェーズ及び第２フェーズに他方において、キャパシタＣ１４～Ｃ１６からキャパシタＣ１０～Ｃ４０への充電が実行される。つまり、キャパシタＣ１０～Ｃ４０には、キャパシタＣ１１～Ｃ１３又はキャパシタＣ１４～Ｃ１６から常に充電されるので、ノードＮ１～Ｎ４から出力スイッチ回路３０へ高速で電流が流れても、ノードＮ１～Ｎ４には高速で電荷が補充されるので、ノードＮ１～Ｎ４の電位変動を抑制できる。

[0103] このように動作することで、スイッチトキャパシタ回路２０は、キャパシタＣ１０、Ｃ２０、Ｃ３０及びＣ４０のそれぞれの両端でほぼ等しい電圧を維持することができる。具体的には、Ｖ１～Ｖ４のラベルが付された４つのノードにおいて、Ｖ１：Ｖ２：Ｖ３：Ｖ４＝１：２：３：４を満たす電圧Ｖ１～Ｖ４（グランド電位に対する電圧）が維持される。電圧Ｖ１～Ｖ４の電圧レベルは、スイッチトキャパシタ回路２０によって出力スイッチ回路３０に供給可能な複数の離散的な電圧レベルに対応する。

[0104] なお、電圧比（Ｖ１：Ｖ２：Ｖ３：Ｖ４）は、（１：２：３：４）に限定されない。例えば、電圧比（Ｖ１：Ｖ２：Ｖ３：Ｖ４）は、（１：２：４：８）であってもよい。

[0105] また、図３に示したスイッチトキャパシタ回路２０の構成は、一例であり、これに限定されない。図３において、スイッチトキャパシタ回路２０は、４つの離散的電圧を供給可能に構成されていたが、離散的電圧の数はこれに限定されない。スイッチトキャパシタ回路２０は、２以上の任意の数の離散的電圧を供給可能に構成されてもよい。例えば、２つの離散的電圧を供給する場合、スイッチトキャパシタ回路２０は、少なくとも、キャパシタＣ１２及びＣ１５と、スイッチＳ２１～Ｓ２４及びＳ３１～Ｓ３４と、を備えればよい。

[0106] ［１．３．２　出力スイッチ回路３０の回路構成］

次に、図３を参照しながら、出力スイッチ回路３０の回路構成について説

明する。出力スイッチ回路３０は、図３に示すように、入力端子１３１～１３４と、スイッチＳ５１～Ｓ５４と、出力端子１３０と、を備える。

[0107] 出力端子１３０は、第１フィルタ回路４１及び第２フィルタ回路４２に接続される。出力端子１３０は、第１フィルタ回路４１及び／又は第２フィルタ回路４２を介して電力増幅器２Ａに、電圧Ｖ１～Ｖ４の中から選択された電源電圧を供給するための端子である。

[0108] 入力端子１３１～１３４は、スイッチトキャパシタ回路２０のノードＮ４～Ｎ１にそれぞれ接続される。入力端子１３１～１３４は、スイッチトキャパシタ回路２０から電圧Ｖ４～Ｖ１を受けるための端子である。

[0109] スイッチＳ５１は、入力端子１３１と出力端子１３０との間に接続される。具体的には、スイッチＳ５１は、入力端子１３１に接続された端子と、出力端子１３０に接続された端子と、を有する。この接続構成において、スイッチＳ５１は、制御信号Ｓ３によってオン／オフが切り替えられることで、入力端子１３１と出力端子１３０との接続及び非接続を切り替えることができる。

[0110] スイッチＳ５２は、入力端子１３２と出力端子１３０との間に接続される。具体的には、スイッチＳ５２は、入力端子１３２に接続された端子と、出力端子１３０に接続された端子と、を有する。この接続構成において、スイッチＳ５２は、制御信号Ｓ３によってオン／オフが切り替えられることで、入力端子１３２と出力端子１３０との接続及び非接続を切り替えることができる。

[0111] スイッチＳ５３は、入力端子１３３と出力端子１３０との間に接続される。具体的には、スイッチＳ５３は、入力端子１３３に接続された端子と、出力端子１３０に接続された端子と、を有する。この接続構成において、スイッチＳ５３は、制御信号Ｓ３によってオン／オフが切り替えられることで、入力端子１３３と出力端子１３０との接続及び非接続を切り替えることができる。

[0112] スイッチＳ５４は、入力端子１３４と出力端子１３０との間に接続される

。具体的には、スイッチＳ５４は、入力端子１３４に接続された端子と、出力端子１３０に接続された端子と、を有する。この接続構成において、スイッチＳ５４は、制御信号Ｓ３によってオン／オフが切り替えられることで、入力端子１３４と出力端子１３０との接続及び非接続を切り替えることができる。

[0113] これらのスイッチＳ５１～Ｓ５４は排他的にオンになるように制御される。つまり、スイッチＳ５１～Ｓ５４のいずれかのみがオンにされ、スイッチＳ５１～Ｓ５４の残りがオフにされる。これにより、出力スイッチ回路３０は、電圧Ｖ１～Ｖ４の中から選択された１つの電圧を出力することができる。

[0114] なお、図３に示した出力スイッチ回路３０の構成は、一例であり、これに限定されない。特にスイッチＳ５１～Ｓ５４は、４つの入力端子１３１～１３４の少なくとも１つを選択的に出力端子１３０に接続できればよく、どのような構成であってもよい。例えば、出力スイッチ回路３０は、さらに、スイッチＳ５１～Ｓ５３とスイッチＳ５４及び出力端子１３０との間に接続されたスイッチを備えてもよい。また例えば、出力スイッチ回路３０は、さらに、スイッチＳ５１及びＳ５２とスイッチＳ５３及びＳ５４並びに出力端子１３０との間に接続されたスイッチを備えてもよい。

[0115] なお、スイッチトキャパシタ回路２０から２つの離散的な電圧レベルの電圧が供給される場合、出力スイッチ回路３０は、スイッチＳ５１～Ｓ５４のうちの少なくとも２つを備えればよい。

[0116] ［１．３．３　プリレギュレータ回路１０の回路構成］

次に、図３を参照しながら、プリレギュレータ回路１０の構成について説明する。図３に示すように、プリレギュレータ回路１０は、入力端子１１０と、出力端子１１１～１１４と、スイッチＳ６１～Ｓ６３、Ｓ７１～Ｓ７３と、パワーインダクタＬ７１と、キャパシタＣ６１～Ｃ６４と、を備える。

[0117] 入力端子１１０は、直流電圧の入力端子である。つまり、入力端子１１０は、直流電源５０から入力電圧を受けるための端子である。

[0118] 出力端子１１１は、電圧Ｖ４の出力端子である。つまり、出力端子１１１は、スイッチトキャパシタ回路２０に電圧Ｖ４を供給するための端子である。出力端子１１１は、スイッチトキャパシタ回路２０のノードＮ４に接続される。

[0119] 出力端子１１２は、電圧Ｖ３の出力端子である。つまり、出力端子１１２は、スイッチトキャパシタ回路２０に電圧Ｖ３を供給するための端子であり、電力増幅器２Ｂに電圧Ｖ３を電源電圧Ｖｃｃ２として供給するための端子でもある。出力端子１１２は、スイッチトキャパシタ回路２０のノードＮ３に接続され、かつ、電力増幅器２Ｂに接続される。

[0120] 出力端子１１３は、電圧Ｖ２の出力端子である。つまり、出力端子１１３は、スイッチトキャパシタ回路２０に電圧Ｖ２を供給するための端子である。出力端子１１３は、スイッチトキャパシタ回路２０のノードＮ２に接続される。

[0121] 出力端子１１４は、電圧Ｖ１の出力端子である。つまり、出力端子１１４は、スイッチトキャパシタ回路２０に電圧Ｖ１を供給するための端子である。出力端子１１４は、スイッチトキャパシタ回路２０のノードＮ１に接続される。

[0122] スイッチＳ７１は、入力端子１１０とパワーインダクタＬ７１の一端との間に接続される。具体的には、スイッチＳ７１は、入力端子１１０に接続される端子と、パワーインダクタＬ７１の一端に接続される端子と、を有する。この接続構成において、スイッチＳ７１は、制御信号Ｓ１に基づいて開閉を切り替えることで、入力端子１１０とパワーインダクタＬ７１の一端との間の接続及び非接続を切り替えることができる。

[0123] スイッチＳ７２は、パワーインダクタＬ７１の一端とグランドとの間に接続される。具体的には、スイッチＳ７２は、パワーインダクタＬ７１の一端に接続される端子と、グランドに接続される端子と、を有する。この接続構成において、スイッチＳ７２は、制御信号Ｓ１に基づいて開閉を切り替えることで、パワーインダクタＬ７１の一端とグランドとの間の接続及び非接続

を切り替えることができる。

[0124] スイッチＳ７３は、入力端子１１０と電力増幅器２Ｂとの間に接続される。具体的には、スイッチＳ７３は、入力端子１１０に接続される端子と、電力増幅器２Ｂに接続される端子と、を含む。この接続構成において、スイッチＳ７３は、制御信号Ｓ１に基づいて開閉を切り替えることで、入力端子１１０と電力増幅器２Ｂとの接続及び非接続を切り替えることができる。つまり、スイッチＳ７３は、プリレギュレータ回路１０の入力電圧を電力増幅器２Ｂに供給する／供給しないを切り替えることができる。

[0125] スイッチＳ６１は、パワーインダクタＬ７１の他端と出力端子１１１との間に接続される。具体的には、スイッチＳ６１は、パワーインダクタＬ７１の他端に接続された端子と、出力端子１１１に接続された端子と、を有する。この接続構成において、スイッチＳ６１は、制御信号Ｓ１に基づいて開閉を切り替えることで、パワーインダクタＬ７１の他端と出力端子１１１との間の接続及び非接続を切り替えることができる。

[0126] スイッチＳ６２は、パワーインダクタＬ７１の他端と出力端子１１２との間に接続される。具体的には、スイッチＳ６２は、パワーインダクタＬ７１の他端に接続された端子と、出力端子１１２に接続された端子と、を有する。この接続構成において、スイッチＳ６２は、制御信号Ｓ１に基づいて開閉を切り替えることで、パワーインダクタＬ７１の他端と出力端子１１２との間の接続及び非接続を切り替えることができる。

[0127] スイッチＳ６３は、パワーインダクタＬ７１の他端と出力端子１１３との間に接続される。具体的には、スイッチＳ６３は、パワーインダクタＬ７１の他端に接続された端子と、出力端子１１３に接続された端子と、を有する。この接続構成において、スイッチＳ６３は、制御信号Ｓ１に基づいて開閉を切り替えることで、パワーインダクタＬ７１の他端と出力端子１１３との間の接続及び非接続を切り替えることができる。

[0128] キャパシタＣ６１の２つの電極の一方は、スイッチＳ６１と出力端子１１１とに接続される。キャパシタＣ６１の２つの電極の他方は、スイッチＳ６

２と出力端子１１２とキャパシタＣ６２の２つの電極の一方とに接続される。

[0129] キャパシタＣ６２の２つの電極の一方は、スイッチＳ６２と出力端子１１２とキャパシタＣ６１の２つの電極の他方とに接続される。キャパシタＣ６２の２つの電極の他方は、スイッチＳ６３と出力端子１１３とキャパシタＣ６３の２つの電極の一方とを接続する経路に接続される。

[0130] キャパシタＣ６３の２つの電極の一方は、スイッチＳ６３と出力端子１１３とキャパシタＣ６２の２つの電極の他方とに接続される。キャパシタＣ６３の２つの電極の他方は、出力端子１１４とキャパシタＣ６４の２つの電極の一方とに接続される。

[0131] キャパシタＣ６４の２つの電極の一方は、出力端子１１４とキャパシタＣ６３の２つの電極の他方とに接続される。キャパシタＣ６４の２つの電極の他方は、グランドに接続される。

[0132] スイッチＳ６１～Ｓ６３は、排他的にオンになるように制御される。つまり、スイッチＳ６１～Ｓ６３のいずれかのみがオンにされ、スイッチＳ６１～Ｓ６３の残りがオフにされる。スイッチＳ６１～Ｓ６３のいずれかのみをオンとすることにより、プリレギュレータ回路１０は、スイッチトキャパシタ回路２０に供給する電圧を電圧Ｖ２～Ｖ４の電圧レベルで変化させることが可能となる。

[0133] このように構成されたプリレギュレータ回路１０は、出力端子１１１～１１４の少なくとも１つを介してスイッチトキャパシタ回路２０に電荷を供給することができる。

[0134] なお、入力電圧が１つの調整電圧に変換されればよい場合、プリレギュレータ回路１０は、少なくとも、スイッチＳ７１及びＳ７２と、パワーインダクタＬ７１と、を備えればよい。

[0135] ［１．３．４　第１フィルタ回路４１及び第２フィルタ回路４２の回路構成］

次に、図３を参照しながら、本実施の形態に係る第１フィルタ回路４１及

び第２フィルタ回路４２の回路構成について説明する。

[0136] 第１フィルタ回路４１は、インダクタＬ５１及びキャパシタＣ５１の並列回路（ＬＣ並列回路）を含む。インダクタＬ５１及びキャパシタＣ５１の並列回路の一端は、スイッチＳ５６に接続され、インダクタＬ５１及びキャパシタＣ５１の並列回路の他端は、電力増幅器２Ａに接続される。

[0137] 第２フィルタ回路４２は、インダクタＬ５２及びキャパシタＣ５２の並列回路を含む。インダクタＬ５２及びキャパシタＣ５２の並列回路の一端は、スイッチＳ５７に接続され、インダクタＬ５２及びキャパシタＣ５２の並列回路の他端は、電力増幅器２Ａに接続される。

[0138] このように接続された第１フィルタ回路４１及び第２フィルタ回路４２は、スイッチＳ５６及びＳ５７によってオン／オフが切り替えられる。これにより、第１フィルタ回路４１及び第２フィルタ回路４２は、複数の離散的電圧からノイズを除去するための帯域除去フィルタのオン／オフを切り替えることができる。例えば、スイッチＳ５６及びＳ５７の開閉制御によって、以下の（１）～（３）に示す３種類の帯域除去フィルタを実現することができる。

[0139] （１）スイッチＳ５６が閉じられ、かつ、スイッチＳ５７が開かれることで、出力スイッチ回路３０と電力増幅器２Ａとの間に、第１フィルタ回路４１が接続され、第２フィルタ回路４２が接続されない。これにより、第１フィルタ回路４１が帯域除去フィルタとして機能し、第２フィルタ回路４２が帯域除去フィルタとして機能しない。

[0140] （２）スイッチＳ５６が開かれ、かつ、スイッチＳ５７が閉じられることで、出力スイッチ回路３０と電力増幅器２Ａとの間に、第２フィルタ回路４２が接続され、第１フィルタ回路４１が接続されない。これにより、第２フィルタ回路４２が、帯域除去フィルタとして機能し、第１フィルタ回路４１が帯域除去フィルタとして機能しない。

[0141] （３）スイッチＳ５６が閉じられ、かつ、スイッチＳ５７が閉じられることで、出力スイッチ回路３０と電力増幅器２Ａとの間に、第１フィルタ回路

４１及び第２フィルタ回路４２が接続される。これにより、第１フィルタ回路４１及び第２フィルタ回路４２が、帯域除去フィルタとして機能する。

[0142] このようなスイッチＳ５６及びＳ５７の開閉は、例えば高周波信号ＲＦ１のチャネル帯域幅（つまり変調帯域幅）に基づいて制御することができる。また、電力増幅器２Ａが複数の周波数バンドの送信信号を増幅可能である場合には、スイッチＳ５６及びＳ５７の開閉は、電力増幅器２Ａで増幅される送信信号の周波数バンドに基づいて制御されてもよい。なお、スイッチＳ５６及びＳ５７の開閉の制御は、上記に限定されない。

[0143] 図３に表された第１フィルタ回路４１及び第２フィルタ回路４２の回路構成は、例示であり、これに限定されない。例えば、第１フィルタ回路４１及び／又は第２フィルタ回路４２は、インダクタ及びキャパシタの直列回路（ＬＣ直列回路）であってもよい。この場合、ＬＣ直列回路は、出力スイッチ回路３０と電力増幅器２Ａとの間を結ぶ経路とグランドとの間に接続されてもよい。

[0144] ［１．３．５ デジタル制御回路６０の回路構成］

次に、デジタル制御回路６０の回路構成について説明する。デジタル制御回路６０は、図３に示すように、第１コントローラ６１と、第２コントローラ６２と、を備える。

[0145] 第１コントローラ６１は、ＲＦＩＣ３から供給されるクロック信号（ＣＬＫ）に基づいてシリアルデータ信号（ＤＡＴＡ）を処理して制御信号Ｓ１～Ｓ４を生成することができる。ここで、シリアルデータ信号とは、１つの信号線又は回線で１ビットずつ伝送されるデータ信号を意味する。

[0146] 制御信号Ｓ１は、プリレギュレータ回路１０に含まれるスイッチＳ６１～Ｓ６３、Ｓ７１～Ｓ７３の開閉を制御するための信号である。制御信号Ｓ２は、スイッチトキャパシタ回路２０に含まれるスイッチＳ１１～Ｓ１４、Ｓ２１～Ｓ２４、Ｓ３１～Ｓ３４及びＳ４１～Ｓ４４の開閉を制御するための信号である。制御信号Ｓ３は、電力増幅器２ＡにＡＰＴモードが適用される場合に、出力スイッチ回路３０に含まれるスイッチＳ５１～Ｓ５４の開閉を

制御するための信号である。制御信号Ｓ４は、第１フィルタ回路４１及び第２フィルタ回路４２のためのスイッチＳ５６及びＳ５７の開閉を制御するための信号である。

[0147] 第１コントローラ６１でシリアルデータ信号を処理するためのクロック信号には、シリアルデータ信号と別の信号線が用いられているが、これに限定されない。例えば、クロック信号は、シリアルデータ信号と同じ信号線で伝送されてもよい。

[0148] また、本実施の形態では、プリレギュレータ回路１０、スイッチトキャパシタ回路２０、出力スイッチ回路３０及びスイッチＳ５６及びＳ５７の制御のために１つのシリアルデータ信号が用いられているが、複数のシリアルデータ信号が用いられてもよい。

[0149] 第２コントローラ６２は、ＲＦＩＣ３から供給されるデジタル制御論理（ＤＣＬ：Digital Control Logic/Line）信号（ＤＣＬ１、ＤＣＬ２）を処理して制御信号Ｓ５を生成することができる。ＤＣＬ信号は、パラレルデータ信号の一例である。ここで、パラレルデータ信号とは、複数の信号線又は回線で同時に並列的に伝送されるデータ信号を意味する。

[0150] ＤＣＬ信号（ＤＣＬ１、ＤＣＬ２）は、電力増幅器２ＡにＤ－ＥＴモードが適用される場合に、ＲＦＩＣ３によって、高周波信号のエンベロープ信号に基づいて生成される。したがって、制御信号Ｓ５は、電力増幅器２ＡにＤ－ＥＴモードが適用される場合に、出力スイッチ回路３０に含まれるスイッチＳ５１～Ｓ５４の開閉を制御するための信号である。

[0151] ＤＣＬ信号（ＤＣＬ１、ＤＣＬ２）の各々は、１ビット信号である。電圧Ｖ１～Ｖ４の各々は、２つの１ビット信号の組み合わせによって表される。例えば、Ｖ１、Ｖ２、Ｖ３及びＶ４は、「００」、「０１」、「１０」及び「１１」によってそれぞれ表される。電圧レベルの表現には、グレイコード（Gray code）が用いられてもよい。

[0152] なお、本実施の形態では、Ｄ－ＥＴモードにおいて出力スイッチ回路３０の制御に２つのＤＣＬ信号が用いられているが、ＤＣＬ信号の数は、これに

限定されない。例えば、出力スイッチ回路３０の各々が選択可能な電圧レベルの数に応じて１つ又は３以上の任意の数のＤＣＬ信号が用いられてもよい。また、出力スイッチ回路３０の制御に用いられるデジタル制御信号は、ＤＣＬ信号に限定されない。

[0153] ［１．４　電力増幅方法］

次に、本実施の形態に係る電力増幅方法について図４を参照しながら説明する。図４は、本実施の形態に係る電力増幅方法を示すフローチャートである。

[0154] まず、プリレギュレータ回路１０は、直流電源から供給される入力電圧を調整電圧に変換する（Ｓ１０）。次に、電力増幅器２Ａ及び２Ｂのどちらが用いられるかが判定される（Ｓ２０）。つまり、電力増幅器２Ａで高周波信号ＲＦ１が増幅されるか、電力増幅器２Ｂで高周波信号ＲＦ２が増幅されるかが判定される。

[0155] ここで、電力増幅器２Ａが用いられる場合（Ｓ２０の２Ａ）、スイッチトキャパシタ回路２０は、調整電圧に基づいて複数の離散的電圧を生成する（Ｓ３０）。出力スイッチ回路３０は、複数の離散的電圧の少なくとも１つを選択的に電力増幅器２Ａに供給する（Ｓ４０）。これにより、電力増幅器２Ａには、Ｄ－ＥＴモードが適用される。ＲＦＩＣ３は、メモリ効果が組み込まれている第１数式モデルを用いて、電力増幅器２Ａの入力信号（高周波信号ＲＦ１）を予め歪ませる（Ｓ５０）。電力増幅器２Ａは、予め歪まされた入力信号（高周波信号ＲＦ１）を増幅する（Ｓ６０）。

[0156] 一方、電力増幅器２Ｂが用いられる場合（Ｓ２０の２Ｂ）、プリレギュレータ回路１０は、調整電圧を電力増幅器２Ｂに供給する（Ｓ７０）。つまり、離散的電圧の生成がスキップされる。これにより、電力増幅器２Ｂには、ＡＰＴモードが適用される。ＲＦＩＣ３は、メモリ効果が組み込まれていない第２数式モデルを用いて、電力増幅器２Ｂの入力信号（高周波信号ＲＦ２）を予め歪ませる（Ｓ８０）。電力増幅器２Ｂは、予め歪まされた入力信号（高周波信号ＲＦ２）を増幅する（Ｓ９０）。

[0157] なお、図４に示す電力増幅方法は、一例であり、これに限定されない。例えば、ステップＳ８０において、ＲＦＩＣ３は、電力増幅器２Ｂの入力信号を予め歪ませなくてもよい。この場合、ステップＳ９０において、電力増幅器２Ｂは、予め歪ませられていない入力信号を増幅する。

[0158] ［１．５　通信装置６の部品配置］

次に、通信装置６の部品配置について、図５を参照しながら説明する。図５は、本実施の形態に係る通信装置６の部品配置図である。具体的には、図５は、マザー基板１０００及びアンテナ５Ａ及び５Ｂの平面図である。図５において、各部品の配置関係が容易に理解されるように、各部品にはそれを表す文字（例えば「ＰＡ１」など）が付されているが、実際の各部品には、当該文字は付されなくてもよい。

[0159] アンテナ５Ａ（ＡＮＴ１）及びアンテナ５Ｂ（ＡＮＴ２）は、マザー基板１０００の近傍に配置されている。マザー基板１０００には、トラッカモジュール１（ＴＭ）と、電力増幅器２Ａ（ＰＡ１）と、電力増幅器２Ｂ（ＰＡ２）と、ＲＦＩＣ３と、ＢＢＩＣ４と、が配置されている。

[0160] 電力増幅器２Ａの方が電力増幅器２Ｂよりも、トラッカモジュール１の近くに配置されている。つまり、電力増幅器２Ａ及びトラッカモジュール１の間の距離Ｄ１は、電力増幅器２Ｂ及びトラッカモジュール１の間の距離Ｄ２よりも短い。

[0161] さらに、電力増幅器２Ａの方が電力増幅器２Ｂよりも、ＲＦＩＣ３の近くに配置されている。つまり、電力増幅器２Ａ及びＲＦＩＣ３の間の距離Ｄ３は、電力増幅器２Ｂ及びＲＦＩＣ３の間の距離Ｄ４よりも短い。

[0162] ［１．６　効果など］

以上のように、本実施の形態に係る電力増幅システム７は、高周波信号ＲＦ１を増幅するよう構成された電力増幅器２Ａと、高周波信号ＲＦ２を増幅するよう構成された電力増幅器２Ｂと、プリレギュレータ回路１０から供給された調整電圧に基づいて、複数の離散的電圧を生成するよう構成されたスイッチトキャパシタ回路２０と、複数の離散的電圧のうちの少なくとも１つ

を選択的に電力増幅器２Ａに出力するよう構成された出力スイッチ回路３０と、高周波信号ＲＦ１及びＲＦ２を予め歪ませるよう構成されたＤＰＤ回路７１と、を備え、プリレギュレータ回路１０は、入力電圧を調整電圧に変換してスイッチトキャパシタ回路２０に出力する、及び、調整電圧をスイッチトキャパシタ回路２０を介さずに電力増幅器２Ｂに出力するよう構成され、ＤＰＤ回路７１は、ＤＰＤのための第１数式モデルを用いて高周波信号ＲＦ１を予め歪ませ、ＤＰＤのための第２数式モデルを用いて高周波信号ＲＦ２を予め歪ませる、又は、高周波信号ＲＦ２を予め歪ませない。

[0163] また、本実施の形態に係る電力増幅方法は、入力電圧を調整電圧に変換し（Ｓ１０）、調整電圧に基づいて複数の離散的電圧を生成し（Ｓ３０）、複数の離散的電圧の少なくとも１つを選択的に電力増幅器２Ａに供給し（Ｓ４０）、第１数式モデルを用いて電力増幅器２Ａの第１入力信号を予め歪ませ（Ｓ５０）、予め歪ませられた第１入力信号を増幅し（Ｓ６０）、複数の離散的電圧の生成をスキップして、調整電圧を電力増幅器２Ｂに供給し（Ｓ７０）、第２数式モデルを用いて電力増幅器２Ｂの第２入力信号を予め歪ませ（Ｓ８０）、予め歪ませられた第２入力信号を増幅する（Ｓ９０）。

[0164] また、本実施の形態に係るＤＰＤ回路７１は、調整電圧に基づいて生成された複数の離散的電圧の少なくとも１つが選択的に供給される電力増幅器２Ａの第１入力信号を、第１数式モデルを用いて予め歪ませ、調整電圧が供給される電力増幅器２Ｂの第２入力信号を、第２数式モデルを用いて予め歪ませる。

[0165] これらによれば、複数の離散的電圧の少なくとも１つが選択的に供給される電力増幅器２Ａの入力信号に第１数式モデルに基づくＤＰＤが適用され、調整電圧が供給される電力増幅器２Ｂの入力信号に第２数式モデルに基づくＤＰＤが適用される、又は、ＤＰＤが適用されない。複数の離散的電圧が供給される場合には、調整電圧が供給される場合よりも、電力効率の向上のために電力増幅器の非線形領域が積極的に活用される可能性があり、その場合、非線形歪みが増加する。そこで、電力増幅器２Ａの入力信号には、第１数

式モデルを用いることで、非線形歪みを低減させて送信信号の品質の向上を優先させる。一方、電力増幅器２Ｂの入力信号には、第２数式モデルを用いる、又は、ＤＰＤを適用しないことで、電力増幅器２ＢのＤＰＤパラメータのためのメモリ量の削減を優先させる。これにより、ＤＰＤパラメータのためのメモリ量の増加を抑制しつつ、送信信号の品質を効果的に向上させることができる。

[0166] また例えば、本実施の形態に係る電力増幅システム７、電力増幅方法又はＤＰＤ回路７１において、第１数式モデルには、電力増幅器２Ａのメモリ効果が組み込まれてもよく、第２数式モデルには、電力増幅器２Ｂのメモリ効果が組み込まれなくてもよい。

[0167] これによれば、第１数式モデルも用いて入力信号を予め歪ませることで、さらなる送信信号の品質の向上を図ることができ、第２数式モデルを用いて入力信号を予め歪ませることで、さらなるメモリ量の削減を図ることができる。

[0168] また例えば、本実施の形態に係る電力増幅システム７、電力増幅方法又はＤＰＤ回路７１において、電力増幅器２Ａには、Ｄ－ＥＴモードが適用されてもよく、電力増幅器２Ｂには、ＡＰＴモードが適用されてもよい。

[0169] これによれば、Ｄ－ＥＴモードが適用される電力増幅器２Ａに第１数式モデルが用いられ、ＡＰＴモードが適用される電力増幅器２Ｂに第２数式モデルが用いられる、又は、ＤＰＤが適用されない。Ｄ－ＥＴモードでは、ＡＰＴモードよりも電力増幅器の非線形領域が利用されるため、非線形歪みが増加する。したがって、Ｄ－ＥＴモードでは、送信信号の品質の向上を図り、ＡＰＴモードでは、ＤＰＤパラメータのためのメモリ量の削減を図ることで、ＤＰＤパラメータのためのメモリ量の増加を抑制しつつ、送信信号の品質を効果的に向上させることができる。

[0170] また例えば、本実施の形態に係る電力増幅システム７において、電力増幅器２Ｂよりも電力増幅器２Ａの方が、出力スイッチ回路３０を含むトラッカモジュール１の近くに配置されてもよい。

[0171] これによれば、電力増幅器２Ａ及びトラッカモジュール１の間の電圧供給経路を短くすることができる。電力増幅器２Ａに供給される電源電圧Ｖｃｃ１は、電力増幅器２Ｂに供給される電源電圧Ｖｃｃ２よりも短い時間間隔で電圧レベルが離散的に変化するため電圧供給経路における劣化が大きい。したがって、電力増幅器２Ａ及びＲＦＩＣ３の間の電圧供給経路を短くすることによる電源電圧Ｖｃｃ１の劣化の抑制効果は大きい。一方、電力増幅器２Ｂ及びトラッカモジュール１の間の電圧供給経路が長くなることが許容されるので、電力増幅器２Ｂの配置の自由度を向上させることができる。

[0172] また例えば、本実施の形態に係る電力増幅システム７において、電力増幅器２Ｂよりも電力増幅器２Ａの方が、ＤＰＤ回路７１を含むＲＦＩＣ３の近くに配置されてもよい。

[0173] これによれば、電力増幅器２Ａ及びＲＦＩＣ３の間の高周波信号ＲＦ１の伝送経路を短くすることができ、電力増幅器２Ａの入力信号（高周波信号ＲＦ１）の劣化を抑制し、電力増幅器２Ａの出力信号の非線形歪みを低減することができる。一方、電力増幅器２Ｂ及びＲＦＩＣ３の間の高周波信号ＲＦ２の伝送経路が長くなることが許容されるので、電力増幅器２Ｂの配置の自由度を向上させることができる。

[0174] （他の実施の形態）

以上、本発明に係る電力増幅システム及び電力増幅方法について、実施の形態及に基づいて説明したが、本発明に係る電力増幅システム及び電力増幅方法は、上記実施の形態に限定されるものではない。上記実施の形態における任意の構成要素を組み合わせて実現される別の実施の形態や、上記実施の形態に対して本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、上記電力増幅システムを内蔵した各種機器も本発明に含まれる。

[0175] 例えば、上記実施の形態に係る各種回路の回路構成において、図面に開示された各回路素子及び信号経路を接続する経路の間に、別の回路素子及び配線などが挿入されてもよい。例えば、ＤＡＣ７２と直交変調器７３との間に

フィルタが挿入されてもよい。また例えば、電力増幅器２Ａとアンテナ５Ａとの間に、及び／又は、電力増幅器２Ｂとアンテナ５Ｂとの間に、フィルタが挿入されてもよい。

[0176] なお、上記実施の形態では、スイッチトキャパシタ回路から複数の離散的電圧が出力スイッチ回路に供給されていたが、これに限定されない。例えば、複数のＤＣＤＣコンバータから複数の電圧がそれぞれ供給されてもよい。なお、複数の離散的電圧の電圧レベルが等間隔である場合には、スイッチトキャパシタ回路が用いられることが好ましく、トラッカモジュールの小型化に効果的である。

[0177] なお、上記実施の形態では、４つの離散的電圧が電力増幅器に供給されていたが、離散的電圧の数は４つに限定されない。例えば、複数の離散的電圧に、少なくとも、最大出力電力に対応する電圧と、最も発生頻度が高い出力電力に対応する電圧とが含まれれば、電力付加効率の改善を実現することができる。

産業上の利用可能性

[0178] 本発明は、高周波信号を増幅する電力増幅システムとして、携帯電話などの通信機器に広く利用できる。

符号の説明

[0179] １　トラッカモジュール

２Ａ、２Ｂ　電力増幅器

３　ＲＦＩＣ

４　ＢＢＩＣ

５Ａ、５Ｂ　アンテナ

６　通信装置

７　電力増幅システム

１０　プリレギュレータ回路

２０　スイッチトキャパシタ回路

３０　出力スイッチ回路

４１　第１フィルタ回路

４２　第２フィルタ回路

６０　デジタル制御回路

６１　第１コントローラ

６２　第２コントローラ

７１　ＤＰＤ回路

７２　ＤＡＣ

７３　直交変調器

１０００　マザー基板

請求の範囲

[請求項1] 第１高周波信号を増幅するよう構成された第１電力増幅器と、

第２高周波信号を増幅するよう構成された第２電力増幅器と、

プリレギュレータ回路から供給された調整電圧に基づいて、複数の離散的電圧を生成するよう構成されたスイッチトキャパシタ回路と、

前記複数の離散的電圧のうちの少なくとも１つを選択的に前記第１電力増幅器に出力するよう構成された出力スイッチ回路と、

前記第１高周波信号及び前記第２高周波信号を予め歪ませるよう構成されたデジタルプリディストーション回路と、を備え、

前記プリレギュレータ回路は、入力電圧を前記調整電圧に変換して前記スイッチトキャパシタ回路に出力する、及び、前記調整電圧を前記スイッチトキャパシタ回路を介さずに前記第２電力増幅器に出力するよう構成され、

前記デジタルプリディストーション回路は、

デジタルプリディストーションのための第１数式モデルを用いて前記第１高周波信号を予め歪ませ、

デジタルプリディストーションのための第２数式モデルを用いて前記第２高周波信号を予め歪ませる、又は、前記第２高周波信号を予め歪ませない、

電力増幅システム。

[請求項2] 前記第１数式モデルには、前記第１電力増幅器のメモリ効果が組み込まれており、

前記第２数式モデルには、前記第２電力増幅器のメモリ効果が組み込まれていない、

請求項１に記載の電力増幅システム。

[請求項3] 前記第１電力増幅器には、Ｄ－ＥＴ（Digital Envelope Tracking）モードが適用され、

前記第２電力増幅器には、ＡＰＴ（Average Power Tracking）モー

ドが適用される、

請求項１又は２に記載の電力増幅システム。

[請求項4] 前記第２電力増幅器よりも前記第１電力増幅器の方が、前記出力スイッチ回路を含むトラッカモジュールの近くに配置されている、

請求項３に記載の電力増幅システム。

[請求項5] 前記第２電力増幅器よりも前記第１電力増幅器の方が、前記デジタルプリディストーション回路を含む集積回路の近くに配置されている、

請求項３又は４に記載の電力増幅システム。

[請求項6] 入力電圧を調整電圧に変換し、

前記調整電圧に基づいて複数の離散的電圧を生成し、

前記複数の離散的電圧の少なくとも１つを選択的に第１電力増幅器に供給し、

第１数式モデルを用いて前記第１電力増幅器の第１入力信号を予め歪ませ、

予め歪ませられた前記第１入力信号を増幅し、

前記複数の離散的電圧の生成をスキップして、前記調整電圧を第２電力増幅器に供給し、

第２数式モデルを用いて前記第２電力増幅器の第２入力信号を予め歪ませ、

予め歪ませられた前記第２入力信号を増幅する、

電力増幅方法。

[請求項7] 前記第１数式モデルには、前記第１電力増幅器のメモリ効果が組み込まれており、

前記第２数式モデルには、前記第２電力増幅器のメモリ効果が組み込まれていない、

請求項６に記載の電力増幅方法。

[請求項8] 前記第１電力増幅器には、Ｄ－ＥＴモードが適用され、

前記第２電力増幅器には、ＡＰＴモードが適用される、

請求項６又は７に記載の電力増幅方法。

[請求項9] 調整電圧に基づいて生成された複数の離散的電圧の少なくとも１つが選択的に供給される第１電力増幅器の第１入力信号を、第１数式モデルを用いて予め歪ませ、

前記調整電圧が供給される第２電力増幅器の第２入力信号を、第２数式モデルを用いて予め歪ませる、

デジタルプリディストーション回路。

[請求項10] 前記第１数式モデルには、前記第１電力増幅器のメモリ効果が組み込まれており、

前記第２数式モデルには、前記第２電力増幅器のメモリ効果が組み込まれていない、

請求項９に記載のデジタルプリディストーション回路。

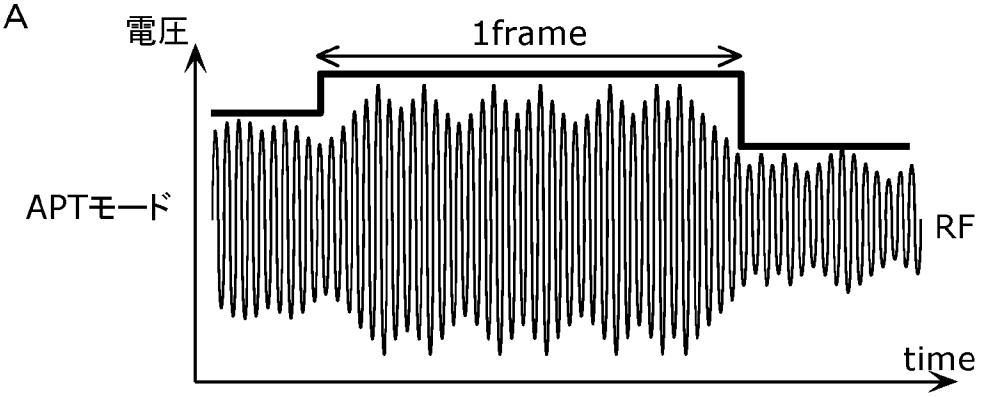
[請求項11] 前記第１電力増幅器には、Ｄ－ＥＴモードが適用され、

前記第２電力増幅器には、ＡＰＴモードが適用される、

請求項９又は１０に記載のデジタルプリディストーション回路。

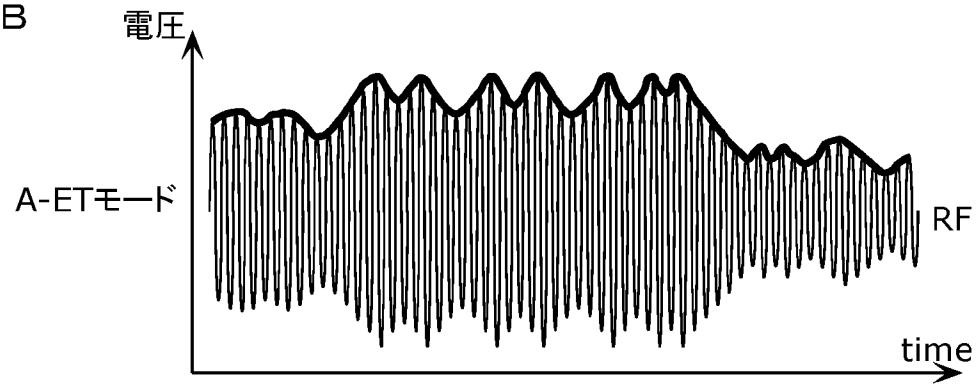
[図1A]

図１Ａ



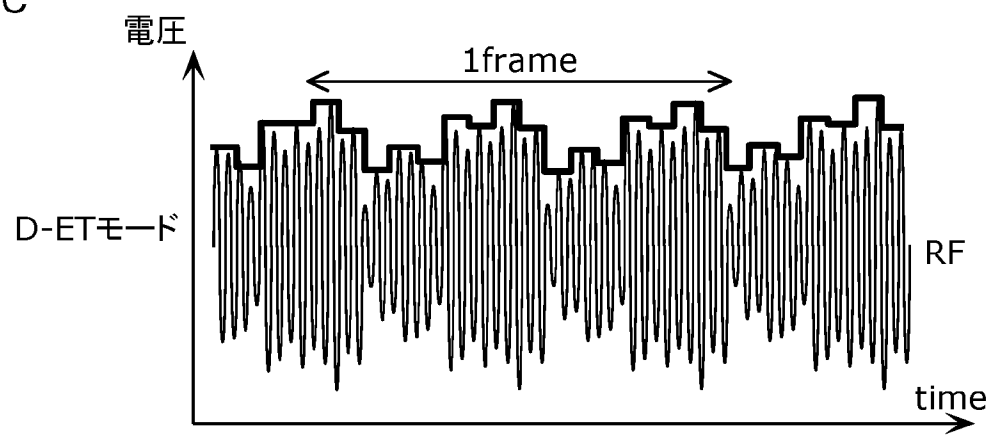
[図1B]

図１Ｂ



[図1C]

図１Ｃ



[図2]

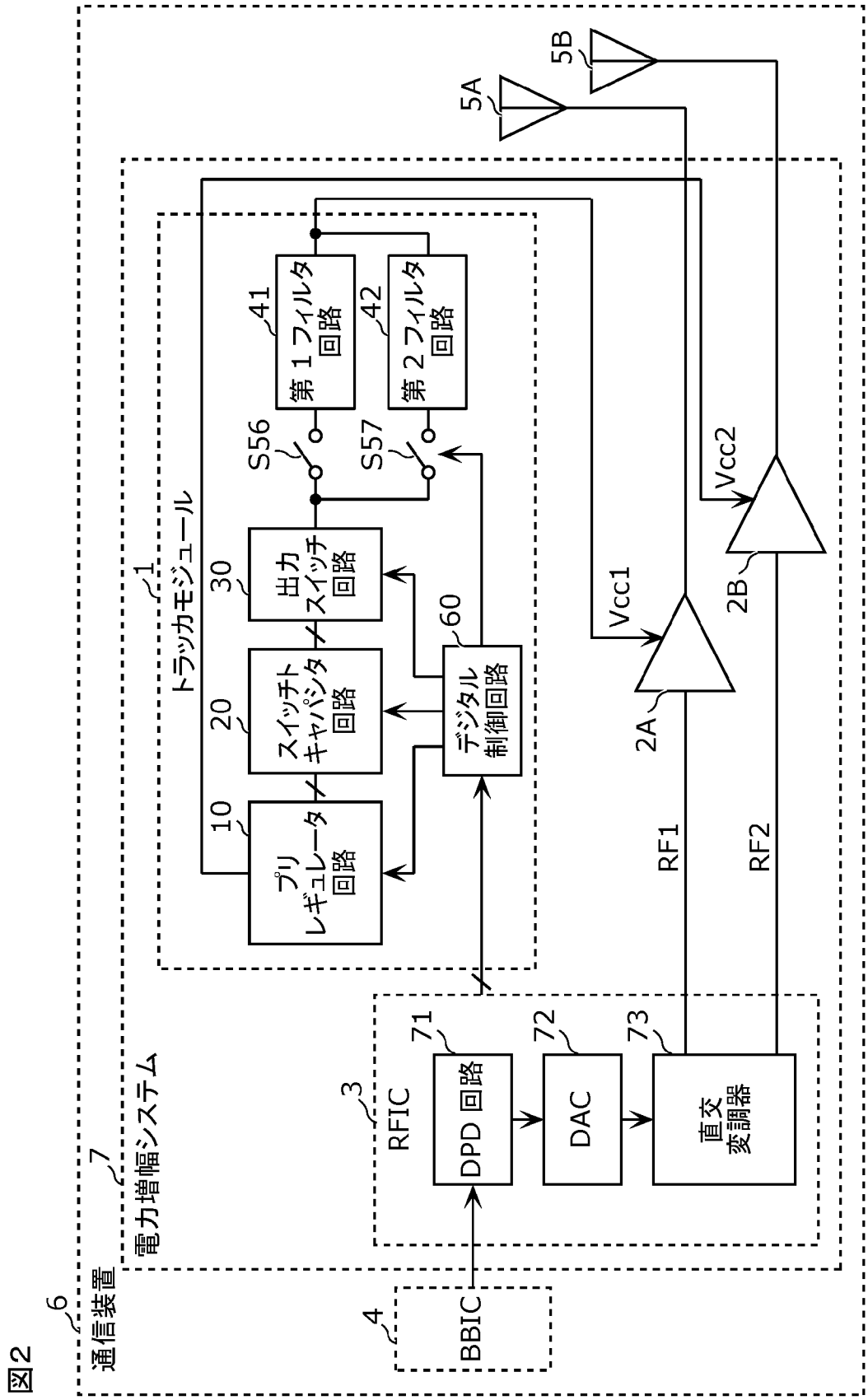

通信装置
6
電力増幅システム
7
BBIC
4
RFIC
3
DPD 回路
71
DAC
72
直交
変調器
73
トラッカモジュール
1
プリ
レギュレータ
回路
10
スイッチト
キャパシタ
回路
20
出力
スイッチ
回路
30
デジタル
制御回路
60
第１フィルタ
回路
41
第２フィルタ
回路
42
S56
S57
5A
5B
2A
2B
Vcc1
Vcc2
RF1
RF2

図2

[図3]

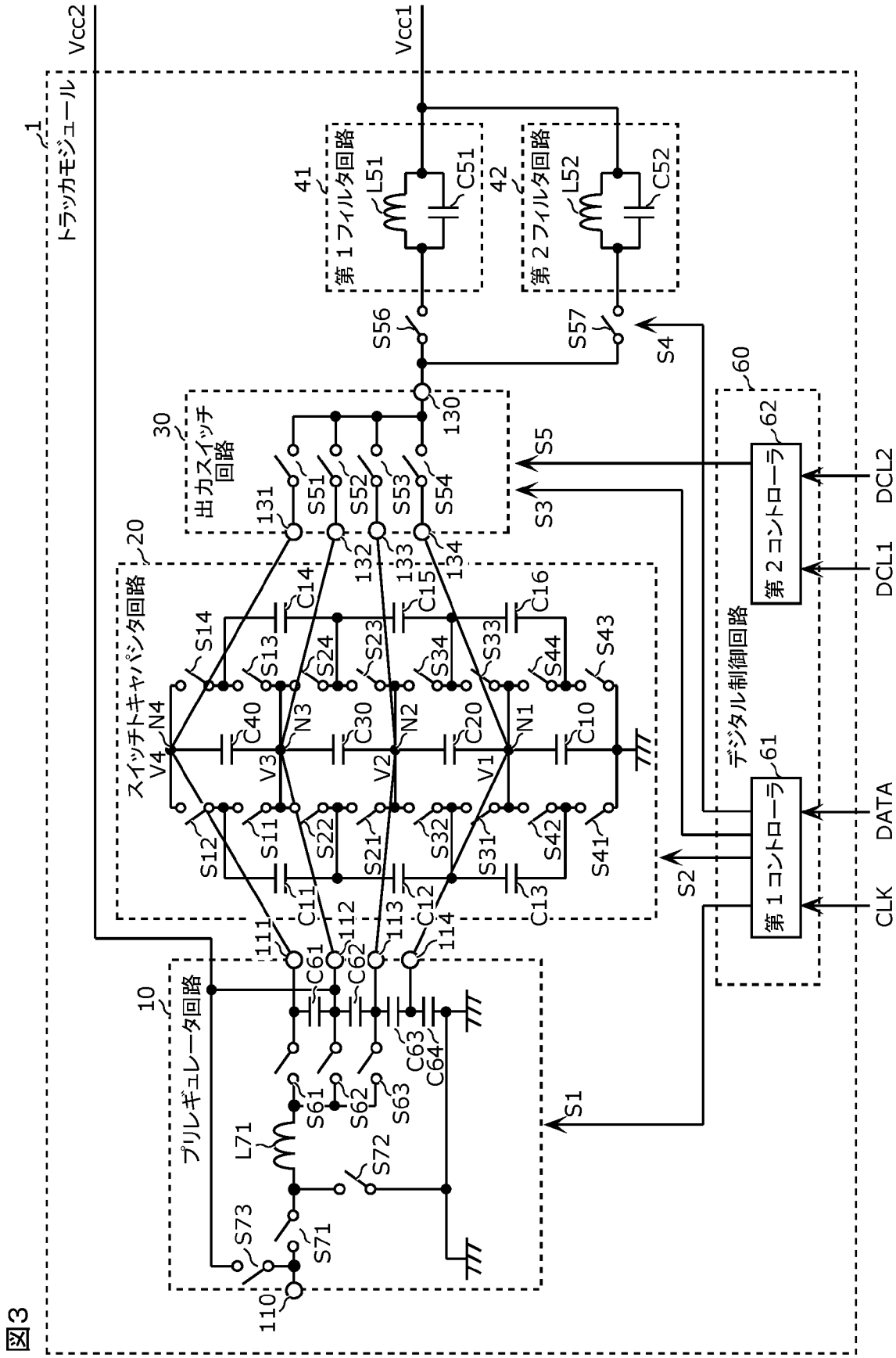
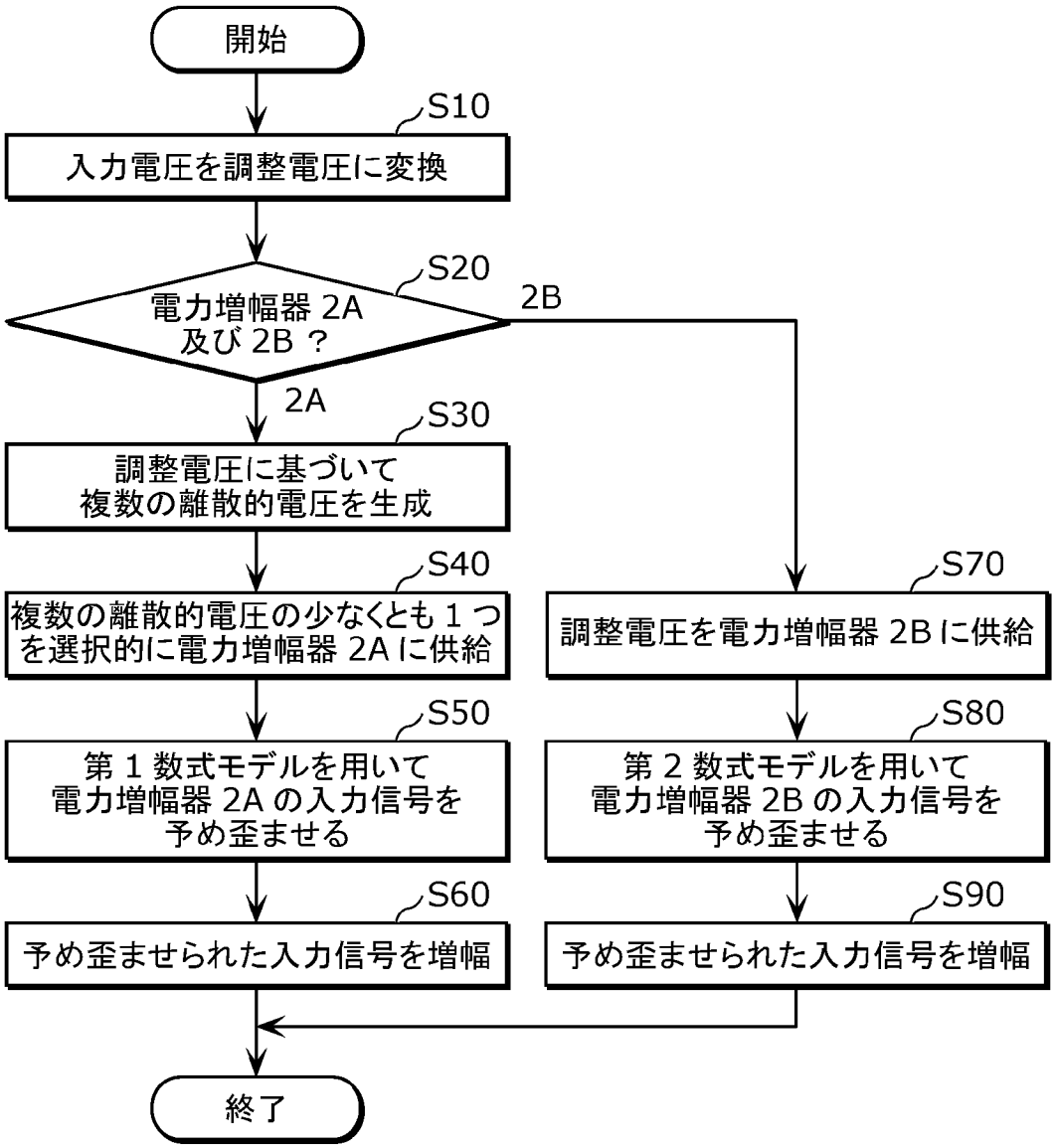

Vcc2
Vcc1
1
トラッカモジュール
41
第１フィルタ回路
L51
C51
42
第２フィルタ回路
L52
C52
S56
S57
S4
60
30
出力スイッチ回路
130
131
S51
S52
S53
S54
S5
S3
62
第２コントローラ
DCL2
DCL1
20
スイッチトキャパシタ回路
132
133
134
C14
C15
C16
S14
S13
S24
S23
S34
S33
S44
S43
N4
N3
N2
N1
C40
C30
C20
C10
V4
V3
V2
V1
S12
S11
S22
S21
S32
S31
S42
S41
S2
デジタル制御回路
61
第１コントローラ
DATA
CLK
C11
C12
C13
111
112
113
114
C61
C62
10
プリレギュレータ回路
C63
C64
S61
S62
S63
L71
S72
S73
S71
110
S1

図3

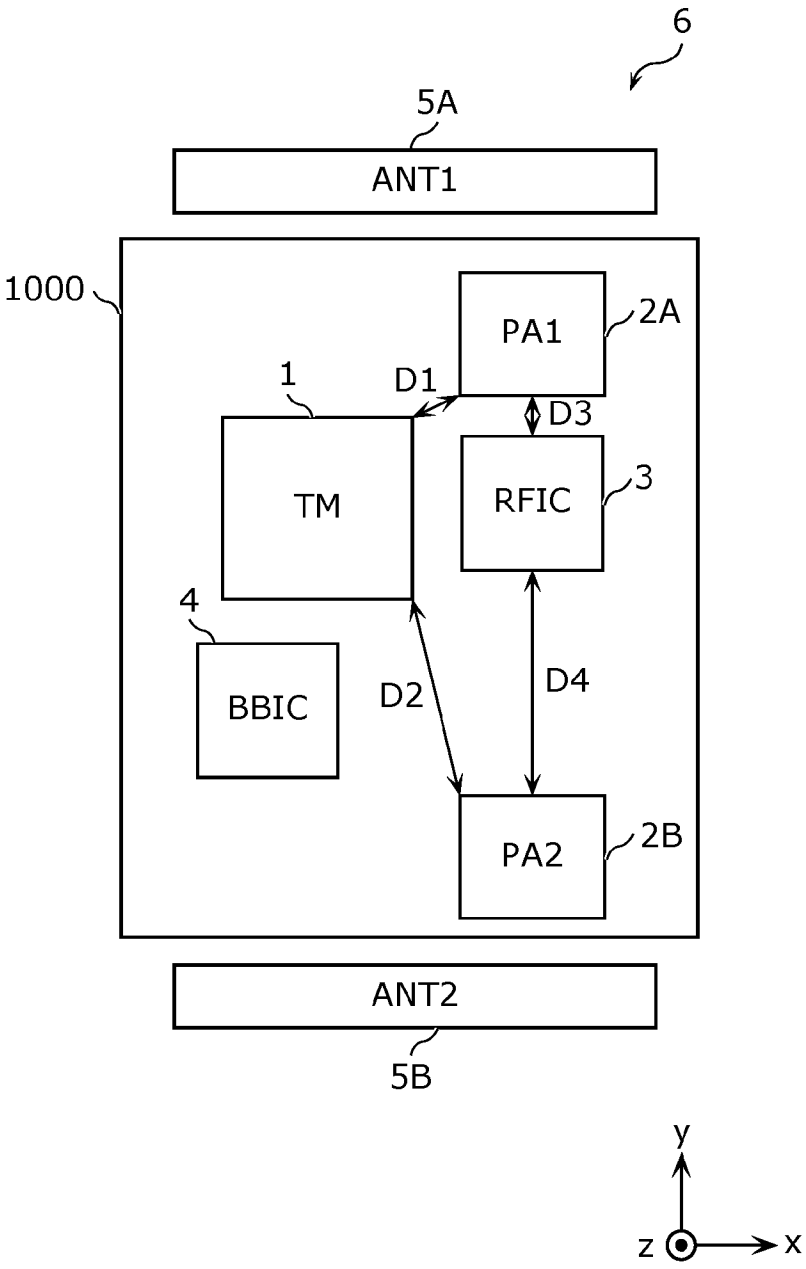
[図4]

図４


開始
S10
入力電圧を調整電圧に変換
S20
電力増幅器 2A
及び 2B ？
2A
2B
S30
調整電圧に基づいて
複数の離散的電圧を生成
S40
複数の離散的電圧の少なくとも１つ
を選択的に電力増幅器 2A に供給
S50
第１数式モデルを用いて
電力増幅器 2A の入力信号を
予め歪ませる
S60
予め歪ませられた入力信号を増幅
S70
調整電圧を電力増幅器 2B に供給
S80
第２数式モデルを用いて
電力増幅器 2B の入力信号を
予め歪ませる
S90
予め歪ませられた入力信号を増幅
終了

[図5]

図5


6
5A
ANT1
1000
PA1
2A
1
D1
D3
TM
RFIC
3
4
BBIC
D2
D4
PA2
2B
ANT2
5B
y
z
x

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2024/002948

A. CLASSIFICATION OF SUBJECT MATTER

H03F 1/02(2006.01)i; ***H03F 3/24***(2006.01)i
FI: H03F1/02 111; H03F3/24

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F1/02; H03F3/24

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2022-549857 A (SKYWORKS SOLUTIONS INC.) 29 November 2022 (2022-11-29) paragraphs [0097]-[0130], fig. 7-10	1
A		2-5, 7, 10
Y	US 2021/0083635 A1 (SAMSUNG ELECTRONICS CO., LTD.) 18 March 2021 (2021-03-18) paragraphs [0031], [0071]-[0088], fig. 1, 6-8	6, 8-9, 11
A		2-5, 7, 10
Y	US 2022/0166389 A1 (TELEFONAKTIEBOLAGET LM ERICSSON (PUBL)) 26 May 2022 (2022-05-26) paragraphs [0064]-[0067], fig. 1-2	6, 8-9, 11
A		2-5, 7, 10

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
03 April 2024	**16 April 2024**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2019-195168 A (SAMSUNG ELECTRONICS CO., LTD.) 07 November 2019 (2019-11-07) paragraphs [0005], [0022]-[0032], fig. 2-4	8, 11
A		2-5, 7, 10
A	WO 2023/002778 A1 (MURATA MANUFACTURING CO., LTD.) 26 January 2023 (2023-01-26) entire text, all drawings	2-5, 7, 10

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/002948

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2022-549857 A	29 November 2022	US 2021/0099134 A1 paragraphs [0112]-[0145], fig. 7-10 GB 2602594 A1 CN 114514696 A KR 10-2022-0064976 A	
US 2021/0083635 A1	18 March 2021	KR 10-2021-0033344 A paragraphs [0024], [0064]-[0070], fig. 1, 6-8 CN 112542999 A	
US 2022/0166389 A1	26 May 2022	CN 113812094 A paragraphs [0070]-[0073], fig. 1-2	
JP 2019-195168 A	07 November 2019	US 2019/0334750 A1 paragraphs [0037]-[0047], fig. 2-4 EP 3565115 A1 KR 10-2019-0125941 A CN 110418400 A	
WO 2023/002778 A1	26 January 2023	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2024/002948

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H03F 1/02(2006.01)i; H03F 3/24(2006.01)i
FI: H03F1/02 111; H03F3/24

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H03F1/02; H03F3/24

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2022-549857 A (スカイワークス ソリューションズ, インコーポレイテッド) 29.11.2022 (2022-11-29) 段落[0097]-[0130], 図7-10	1
A		2-5, 7, 10
Y	US 2021/0083635 A1 (SAMSUNG ELECTRONICS CO., LTD.) 18.03.2021 (2021-03-18) 段落[0031], [0071]-[0088], 図1, 6-8	6, 8-9, 11
A		2-5, 7, 10
Y	US 2022/0166389 A1 (TELEFONAKTIEBOLAGET LM ERICSSON (PUBL)) 26.05.2022 (2022-05-26) 段落[0064]-[0067], 図1-2	6, 8-9, 11
A		2-5, 7, 10
Y	JP 2019-195168 A (三星電子株式会社) 07.11.2019 (2019-11-07) 段落[0005], [0022]-[0032], 図2-4	8, 11
A		2-5, 7, 10

☑ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"D" 国際出願で出願人が先行技術文献として記載した文献
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
03.04.2024	16.04.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

竹内　亨 5G 8388

電話番号 03-3581-1101 内線 3596

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2023/002778 A1 (株式会社村田製作所) 26.01.2023 (2023-01-26) 全文全図	2-5, 7, 10

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/002948

引用文献	公表日	パテントファミリー文献	公表日
JP 2022-549857 A	29.11.2022	US 2021/0099134 A1 段落[0112]-[0145], 図7-10 GB 2602594 A1 CN 114514696 A KR 10-2022-0064976 A	
US 2021/0083635 A1	18.03.2021	KR 10-2021-0033344 A 段落[0024], [0064]-[0070], 図1, 6-8 CN 112542999 A	
US 2022/0166389 A1	26.05.2022	CN 113812094 A 段落[0070]-[0073], 図1-2	
JP 2019-195168 A	07.11.2019	US 2019/0334750 A1 段落[0037]-[0047], 図2-4 EP 3565115 A1 KR 10-2019-0125941 A CN 110418400 A	
WO 2023/002778 A1	26.01.2023	（ファミリーなし）	