



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

208082
(11) (B1)

(51) Int. Cl.³
G 06 F 3/14

(22) Přihlášeno 02 01 80
(21) (PV 79-80)

(40) Zveřejněno 28 11 80

(45) Vydáno 01 12 82

(75)

Autor vynálezu

NĚMEJC JIŘÍ ing., PRAHA a FIXA ZDENĚK, VŠENORY

(54) Zapojení operačního procesoru se zobrazovací jednotkou

Vynález se týká zapojení operačního procesoru se zobrazovací jednotkou, a to pomocí adapteru pro připojení zobrazovací jednotky k operačnímu procesoru přímo, to jest bez dalších řídících jednotek vložených do tohoto spojení.

Dosud užívaná místní připojení zobrazovacích jednotek k operačnímu procesoru jsou zhruba dvojího typu.

U prvního typu je zobrazovací jednotka připojena k operačnímu procesoru obvykle standardizovaným propojením, jako je např. multiplexní kanál počítače, tzv. malý styk, čili malý interface, přičemž zobrazovací jednotka obsahuje kromě vlastní zobrazovací části, generátoru znaků, obvodů řídících pohyb a modulaci jasu paprsku na obrazovce, mimo jiné také paměť uchovávající data nutná k regeneraci celého zobrazení na obrazovce a také řídící jednotku, často dosti složitou, která jednak provádí příkazy, které přes připojení obdrží z operačního procesoru, jednak vykonává autonomní operace vyvolané zásahy operátora na klávesnici, a dále zajišťuje nezbytnou komunikaci s procesorem, která je operátorem z klávesnice požadována. Klávesnice bývá nedílnou součástí připojované zobrazovací jednotky. Vzhledem k požadované univerzálnosti standardních připojení tohoto typu, je protokol komunikace na spojovacích vedeních relativně složitý, takže vyžaduje například pro

změnu zobrazení jednoho znaku v daném místě na obrazovce celou sekvencí akcí „dotaz – odpověď“ a to jak ze strany operačního procesoru, tak ze strany řídící části zobrazovací jednotky. To znamená, že operační procesor musí být pro tuto komunikaci algoritmicky vybaven – například mít k dispozici zvláštní obslužné programy a dále, že operační procesor má možnost diagnostikovat případné poruchy v zobrazovací jednotce pouze prostřednictvím komunikace s řídící částí zobrazovací jednotky. Přitom se vzrůstající složitostí této řídící části roste i pravděpodobnost poruchy řídící části samé. V řadě aplikací, kde je kladen důraz na spolehlivost zobrazovací jednotky a na rychlou lokalizaci její eventuelní poruchy, jak je tomu například u zobrazovací jednotky použité jako konsolové zařízení počítače, je připojení tohoto typu nevýhodné.

U druhého typu řešení, užívaných nejen u větších počítačů, ale i u mikropočítačů, zobrazovací jednotka obsahuje kromě vlastní zobrazovací části, generátoru znaků, obvodů řídících pohyb a modulaci jasu paprsku na obrazovce, jak tomu bylo u prvního typu, již jen jednodušší řídící část a vyrovnávací paměť uchovávající data nutná pro regeneraci určité části zobrazované informace. Kapacita této vyrovnávací paměti odpovídá například jednomu řádku na obrazovce nebo i jen několika málo znakům právě zobrazované řádky.

208 082

Data nutná k regeneraci celého zobrazení na obrazovce jsou přitom uložena v hlavní paměti dat operačního procesoru, odkud jsou periodicky, podle potřeb regenerace obrazu na obrazovce, přenášena do vyrovnávací paměti zobrazovací jednotky. Vyrovnávací paměť je přitom s hlavní pamětí dat procesoru obvykle spojena interními sběrnicemi procesoru a přenos dat je řízen obvody přímého přístupu k hlavní paměti dat tohoto procesoru s minimálními nutnými programovými zásahy procesoru do tohoto přenosu, například pro periodické spouštění tohoto přenosu.

Nevýhodou tohoto typu řešení je, že regenerace celého obrazu na obrazovce, která sa periodicky provádí obvykle s frekvencí blízkou 50 Hz, vyžaduje pro každý jeden cyklus regenerace přenést minimálně jedenkrát obsah celé oblasti hlavní paměti dat operačního procesoru, vyhrazené této regeneraci, do vyrovnávací paměti zobrazovací jednotky. Těmito periodickými přenosy dat jsou hlavní paměť dat procesoru a příslušné sběrnice obsazovány na nikterak zanedbatelnou dobu, což nepříznivě ovlivňuje výkon procesoru samého.

Dále u dosud užívaných řešení zobrazovacích jednotek, zvláště u prvého z výše uvedených typů, využívajících rastrového, či bodového zobrazení znaků na obrazovce probíhá generování posloupnosti pulsů videosignálu vedeného do zobrazovací části jednotky tak, že z paměti zobrazovaných dat jsou jednotlivé znaky čteny postupně, v přesném synchronismu se zobrazováním. Přechtené znaky jsou pak vedeny z paměti zobrazovaných dat do generátoru znaků, který obsahuje především kombinační obvod realizovaný například pamětí generátoru znaků, dále obvod pro převod paralelní formy informace vystupující z paměti generátoru znaků, na seriovou informaci, která je pak vedena přes případný obvod, upravující tvar pulsů popřípadě blokující průchod signálu, do vlastní zobrazovací části, kde je tento signál použit ke klíčování jasu paprsku probíhajícího po obrazovce. Přitom paměť zobrazovaných dat a kombinační obvod generátoru znaků jsou buď spojeny přímo, nebo přes kaskádu registrů, nejčastěji pouze jeden registr, přičemž zápis do každého z těchto registrů je prováděn synchronně s jistými fázemi zobrazování, tedy pohybu paprsku po obrazovce. Důsledkem toho je, že požaduje-li řídicí jednotka zobrazovací jednotky čtení či zápis do paměti zobrazovaných dat v době, kdy se z paměti čtou data potřebná pro regeneraci obrazu na obrazovce dochází ke kolizi požadavků. Tato situace se řeší buď tak, že priorita je dána požadavkům regenerace zobrazení a řídicí jednotka, popřípadě procesor, musí prakticky využívat pro svou činnost s pamětí zobrazovaných dat pouze doby zpětných běhů paprsku na obrazovce, kdy zobrazování je blokováno, nebo tak, že je priorita dána požadavkům procesoru. V prvním případě je nucena řídicí jednotka respektive procesor čekat a svoji činnost řídit s ohledem na okamžitou fázi zobrazování, což může být v některých aplikacích nevhodné. V případě dru-

hém se nelze vyhnout přenosu neplatných informací do generátoru znaků, což se projeví nepříjemným blikáním zobrazení na obrazovce nebo dokonce prosvěcováním bodů rastru v místech obrazovky, kde momentálně žádný prosvětlený bod být zobrazován nemá.

Uvedené nedostatky odstraňuje zapojení operačního procesoru se zobrazovací jednotkou podle vynálezu, jehož podstata spočívá v tom, že zobrazovací jednotka se skládá ze zobrazovací části a adapteru, přičemž adapter je připojen k operačnímu procesoru a k zobrazovací části, a to vstupní datovou sběrnicí vloženou mezi datový výstup operačního procesu a datový vstup paměti zobrazovaných dat, dále výstupní datovou sběrnicí vloženou mezi první datový výstup paměti zobrazovaných dat a datový vstup operačního procesoru, dále adresovou sběrnicí vloženou mezi adresový výstup operačního procesoru a první adresový vstup přepínače adresy, dále příkazovým vedením vloženým mezi řídicí výstup operačního procesoru a příkazový vstup řídicího bloku, dále vedením řízení jasu vloženým mezi výstup generátoru znaků a vstup řízení jasu zobrazovací části, dále vedením řízení pohybu paprsku vloženým mezi třetí výstup rozkladových čítačů a vstup řízení pohybu paprsku po obrazovce zobrazovací části, přičemž první výstup rozkladových čítačů je zapojen na druhý adresní vstup přepínače adresy a druhý výstup rozkladových čítačů je zapojen na druhý vstup generátoru znaků, dále první výstup řídicího bloku je zapojen na řídicí vstup přepínače adresy, jehož výstup je zapojen na adresový vstup paměti zobrazovaných dat, přičemž dále druhý výstup řídicího bloku je zapojen na řídicí vstup paměti zobrazovaných dat, jejíž druhý datový výstup je zapojen na první vstup generátoru znaků.

Toto zapojení podle vynálezu přináší tu výhodu, že periodický proces regenerace obrazu na obrazovce, která je součástí zobrazovací části, je autonomním procesem probíhajícím v adapteru, takže nevyžaduje zásahy operačního procesoru, ani neobsazuje datové a adresní sběrnice operačního procesoru. Přitom připojením adapteru na sběrnice přímo ovládané operačním procesorem je umožněn přímý přístup k libovolnému znaku uloženému v paměti zobrazovaných dat. Je to přístup v podstatě stejně jednoduchý, jako přístup operačního procesoru k místům v jeho hlavní paměti, tedy bez složitých komunikací. Podle vynálezu je možné připojit adapter i tak, že se vůči operačnímu procesoru bude chovat jako součást jeho hlavní paměti.

Výhodná je též verze spočívající v tom, že vstupní datová sběrnice a výstupní datová sběrnice jsou sloučeny v jedinou sběrnicí obousměrnou.

Tato verze je výhodná pro použití v minipočítačích a mikropočítačích, kde vnitřní sběrnice dat bývá řešena jako obousměrná.

Dále jsou výhodné varianty spočívající v tom, že generátor znaků má navíc třetí vstup, který je řídicím vedením vyrovnávací paměti spojen s třetí

tím výstupem řídicího bloku, přičemž generátor znaků je vnitřně rozdělen na dvě části, a to na synchronní část generátoru znaků, jejíž výstup je výstupem generátoru znaků, její druhý vstup je druhým vstupem generátoru znaků a její první vstup je připojen k druhé zmíněné části generátoru znaků a to k výstupu vůči zobrazování asynchronně řízené vyrovnávací paměti FIFO. Paměť typu FIFO – First In, First Out – to jest paměti, z které vystupují informace v tom pořadí, v jakém do ní vstoupily, jejíž řídicí vstup je třetím vstupem generátoru znaků a její datový výstup je prvním vstupem generátoru znaků, popřípadě je navíc spojen čtvrtý vstup řídicího bloku se vstupem rozkladových čítačů řídicím vedením čítačů.

Tato varianta je výhodná tím, že umožňuje prioritní vyřizování požadavků operačního procesoru na čtení a zápis do paměti zobrazovaných dat, bez ohledu na potřeby regenerace zobrazení na obrazovce, aniž by to bylo na újmu kvalitě zobrazení, ovšem až do určité mezní frekvence požadavků operačního procesoru. Velikost této mezní frekvence přitom lze ovlivnit výrazně velikostí a způsobem řízení vůči zobrazování asynchronně řízené vyrovnávací paměti shora uvedeného typu.

Jedno z možných provedení vynálezu je znázorněno na připojených výkresech, kde obr. 1 představuje adapter zobrazovací jednotky a jeho připojení k operačnímu procesoru a k zobrazovací části a obr. 2 představuje příklad zapojení generátoru znaků.

Zapojení operačního procesoru se zobrazovací jednotkou podle obr. 1 je provedeno tak, že adapter 8 je připojen jednak čtyřmi vedeními k operačnímu procesoru 1, jednak dvěma vedeními k zobrazovací části 4, a to sice vstupní datovou sběrnici 102 spojující datový výstup 11 operačního procesoru 1 s datovým vstupem paměti 2 zobrazovaných dat, dále výstupní datovou sběrnici 201 spojující první datový výstup paměti 2 zobrazovaných dat s datovým vstupem 12 operačního procesoru 1, dále adresovou sběrnici spojující adresový výstup 3 operačního procesoru 1 s prvním adresovým vstupem 51 přepínače 5 adresy, dále příkazovým vedením spojujícím řídicí výstup 14 operačního procesoru 1 s příkazovým vstupem 71 řídicího bloku 7, dále vedením řízení jasu spojujícím výstup 34 generátoru 3 znaků se vstupem 41 řízení jasu zobrazovací části 4, dále vedením řízení pohybu paprsku spojujícím třetí výstup 63 rozkladových čítačů 6 se vstupem 42 řízení pohybu paprsku po obrazovce zobrazovací části 4, přičemž první výstup 61 rozkladových čítačů 6 je zapojen na druhý adresní vstup 52 přepínače 5 adresy a druhý výstup 62 rozkladových čítačů 6 je zapojen na druhý vstup 32 generátoru 3 znaků, dále první výstup 72 řídicího bloku 7 je zapojen na řídicí vstup 53 přepínače 5 adresy, jehož výstup 54 je zapojen na adresový vstup 23 paměti 2 zobrazovaných dat, přičemž dále druhý výstup 73 řídicího bloku 7 je zapojen na řídicí vstup 25 paměti 2 zobrazovaných dat, jejíž druhý datový výstup 24 je zapojen na první vstup 31

generátoru 3 znaků. Na třetí vstup 33 generátoru znaků 3 je řídicím vedením vyrovnávací paměti připojen třetí výstup 74 řídicího bloku 7 a dále čtvrtý výstup 75 řídicího bloku 7 je spojen se vstupem 64 rozkladových čítačů 6 řídicím vedením čítačů.

Zapojení podle obr. 1 pracuje následujícím způsobem. Pokud operační procesor 1 nepožaduje od adapteru 8 čtení ani zápis dat do paměti 2 zobrazovaných dat, kterážto situace je dána stavem příkazového vedení, provádí se pouze regenerace zobrazení na obrazovce. Rozkladové čítače 6 generují na výstupech kombinace odpovídající pohybu paprsku po obrazovce a rastrovému způsobu zobrazování znaků. Na prvním výstupu 61 vystupuje adresa znaku v paměti 2 zobrazovaných dat, který má být jako další předán ke zpracování do generátoru 3 znaků na jeho první vstup 31. Přitom řídicí blok 7 signálem na svém prvním výstupu 72 řídí přepínač 5 adresy tak, aby na jeho výstupu 54 se objevila adresa z jeho druhého adresního vstupu 52 a dále vedení je v takovém stavu, že paměť 2 zobrazovaných dat je od vstupní datové sběrnice 102 i od výstupní datové sběrnice 201 logicky odpojena.

Dále rozkladové čítače 6 na svůj druhý výstup 62 umísťují v synchronismu se zobrazováním informací upřesňující polohu paprsku na obrazovce (například číslo linky v rámci jednoho řádku znaků) a na třetí výstup 63 umísťují signály nutné pro synchronizaci činnosti rozkladových obvodů zobrazovací části 4 s čítáním rozkladových čítačů 6. Signál o jasu – tedy prosvětlení bodu na obrazovce – je veden z generátoru 3 znaků vedením řízení jasu přímo do zobrazovací části 4.

Řídicí vedení čítačů a řídicí vedení vyrovnávací paměti jsou na obr. 1 zakreslena pro potřebu zachování kontextu k výkladu obr. 2, kde je popsána jejich činnost.

V situaci, kdy operační procesor 1 požaduje čtení nebo zápis dat do paměti 2 zobrazovaných dat, nastaví stav adresové sběrnice tak, aby odpovídala adrese paměťového místa znaku v paměti 2 zobrazovaných dat, s nímž se má operovat, dále v případě operace zápisu umístí na vstupní datovou sběrnici 102 data, jež mají být zapsána, a vyše po příkazovém vedení do řídicího bloku 7 patřičné signály, které řídicí blok 7 dekoduje a nastaví na svých výstupech takový stav, aby umožnil požadovanou operaci. To jest změni stav svého prvního výstupu 72 tak, aby na výstupu 54 přepínače 5 adresy se objevila adresa z jeho prvního adresního vstupu 51, dále řídí vedením paměť 2 zobrazovaných dat tak, aby se provedl zápis dat ze vstupní datové sběrnice 102 do paměti 2 zobrazovaných dat, respektive aby na první datový výstup paměti 2 zobrazovaných dat byla přečtená informace umístěna. Při této činnosti není dotčen synchronismus zobrazování, to jest při nejmenším chování druhého výstupu 62 a třetího výstupu 63 rozkladových čítačů 6 není požadavky operačního procesoru 1 na čtení a zápis dat nijak ovlivněno.

Po skončení operace čtení nebo zápisu řídicí blok 7 uvede pomocí svých výstupů adapter 8 zpět do stavu regenerace obrazu na obrazovce.

Zapojení podle obr. 2 je rozkreslením jednoho z možných provedení generátoru 3 znaků z obr. 1. Následující popis se proto dotýká i obr. 1. Obvod dle obr. 2 je zapojen tak, že generátor 3 znaků má navíc třetí vstup 33, který je řídicím vedením vyrovnávací paměti spojen s třetím výstupem 74 řídicího bloku 7, přičemž generátor 3 znaků je vnitřně rozčleněn na dvě části, a to sice na synchronní část 320 generátoru znaků, jejíž výstup je výstupem 34 generátoru 3 znaků, její druhý vstup je druhým vstupem 32 generátoru 3 znaků a její první vstup 3201 je připojen k druhé zmíněné části generátoru 3 znaků a to sice k výstupu 3102 vyrovnávací paměti 310, která je vzhledem k procesu zobrazování řízena asynchronně. Řídicí vstup vyrovnávací paměti 310 je třetím vstupem 33 generátoru 3 znaků a její datový vstup je prvním vstupem 31 generátoru 3 znaků.

Synchronní část 320 generátoru znaků je pak zapojena tak, že první vstup 3201 a druhý vstup 32 synchronní části 320 generátoru znaků jsou vstupy dekoderu 330, jehož první výstup 3301 je spojen se vstupem 3401 paměti 340 generátoru znaků, jejíž výstup 3402 je spojen se vstupem 3501 převodníku 350 kódu, jehož výstup 3502 je spojen s prvním vstupem 3601 hradlovacího obvodu 360, přičemž druhý výstup 3302 dekoderu 330 je spojen s druhým vstupem 3602 hradlovacího obvodu 360, jehož výstup je výstupem synchronní části 320 generátoru znaků a tedy i výstupem 34 generátoru 3 znaků. Zapojení podle obr. 2 pracuje v návaznosti na činnost adapteru 8 popsanou pro obr. 1 takto:

Synchronní část 320 generátoru znaků pracuje v synchronismu s procesem regenerace obrazu na obrazovce, bez ohledu na provádění příkazů operačního procesoru 1. Přitom dekoder 330 z kódové kombinace znaku přítomné na jeho prvním vstupu 3201 a z informace o poloze paprsku na obrazovce přicházející z rozkladových čítačů 6 na jeho druhý vstup 32 dekóduje jednak hradlovací (zatemňovací) signál na svém druhém výstupu 3302, jednak

překóduje obě vstupní informace na adresu paměti generátoru znaků, kterou umísťuje na svém prvním výstupu 3301. Paměť 340 generátoru znaků poté na svém výstupu 3402 umístí patřičnou kombinaci, kterou převodník 350 kódu převede do seriové formy odpovídající posloupnosti prosvětlených a neprosvětlených bodů na obrazovce. Signál z převodníku 350 kódu je prohradlován v hradlovacím obvodu 360 a vede pak již po vedení řízení jasu do zobrazovací části 4. Vůči zobrazování asynchronně řízená vyrovnávací paměť 310 je z řídicího bloku 7 řízena signály na svém řídicím vstupu 33 tak, aby v každém okamžiku obsahovala co největší počet kódových kombinací znaků v pořadí, jak po sobě při zobrazování mají následovat, aby totiž byla schopna dodávat postupně znaky synchronní části 320 generátoru znaků i v době, kdy paměť 2 zobrazovaných dat je obsazena činností požadovanou operačním procesorem 1. Jakmile adapter 8 přejde opět do režimu regenerace obrazu, kdy operační procesor 1 od něho nepožaduje žádnou jinou činnost, řídicí blok 7 ovládá svým čtvrtým výstupem 75, je-li toho zapotřebí, rozkladové čítače 6, svým druhým výstupem 73 paměť 2 zobrazovaných dat a svým třetím výstupem 74 přes řídicí vedení vyrovnávací paměti generátor 3 znaků tak, aby co nejdříve vytvořil opět zásobu kódů znaků ve vůči zobrazované asynchronně řízené vyrovnávací paměti 310. Ta může být v jednoduchém případě tvořena třeba jen dvěma registry. Pak se ovšem řízení řídicím blokem 7 podstatně zjednodušuje, takže je možné popřípadě upustit od řízení rozkladových čítačů 6 řídicím vedením čítačů.

Využití vynálezu lze předpokládat v případech, kdy má být zobrazovací jednotka místně připojena k operačnímu procesoru (velkého počítače, minipočítače či mikropočítače), přičemž je požadována maximální jednoduchost činností procesoru při změně zobrazovaných zpráv nebo maximální dostupnost obvodů zobrazovací jednotky diagnostickým prostředkům operačního procesoru. Přitom obvody adapteru mohou být natolik jednoduché, že lze zaručit jejich vysokou spolehlivost.

PŘEDMĚT VYNÁLEZU

1. Zapojení operačního procesoru se zobrazovací jednotkou vyznačující se tím, že zobrazovací jednotka se skládá ze zobrazovací části (4) adapteru (8), přičemž adapter (8) je připojen k operačnímu procesoru (1) a k zobrazovací části (4), a to vstupní datovou sběrnici (102) vloženou mezi datový výstup operačního procesoru (1) a datový vstup paměti (2) zobrazovaných dat, dále výstupní datovou sběrnici (201) vloženou mezi první datový výstup paměti (2) zobrazovaných dat a datový vstup operačního procesoru (1), dále adresovou sběrnici vloženou mezi adresový výstup (13) operačního procesoru (1) a první adresový vstup (51)

přepínače (5) adresy, dále příkazovým vedením vloženým mezi řídicí výstup (14) operačního procesoru (1) a příkazový vstup (71) řídicího bloku (7), dále vedením řízení jasu vloženým mezi výstup (34) generátoru (3) znaků a vstup (41) řízení jasu zobrazovací části (4), dále vedením řízení pohybu paprsku vloženým mezi třetí výstup (63) rozkladových čítačů (6) a vstup (42) řízení pohybu paprsku po obrazovce zobrazovací části (4), přičemž první výstup (61) rozkladových čítačů (6) je zapojen na druhý adresní vstup (52) přepínače (5) adresy a druhý výstup (62) rozkladových čítačů (6) je zapojen na druhý vstup (32) generátoru (3) znaků,

dále první výstup (72) řídicího bloku (7) je zapojen na řídicí vstup (53) přepínače (5) adresy, jehož výstup (54) je zapojen na adresový vstup (23) paměti (2) zobrazovaných dat, přičemž dále druhý výstup (73) řídicího bloku (7) je zapojen na řídicí vstup (25) paměti (2) zobrazovaných dat, jejíž druhý datový výstup (24) je zapojen na první vstup (31) generátoru (3) znaků.

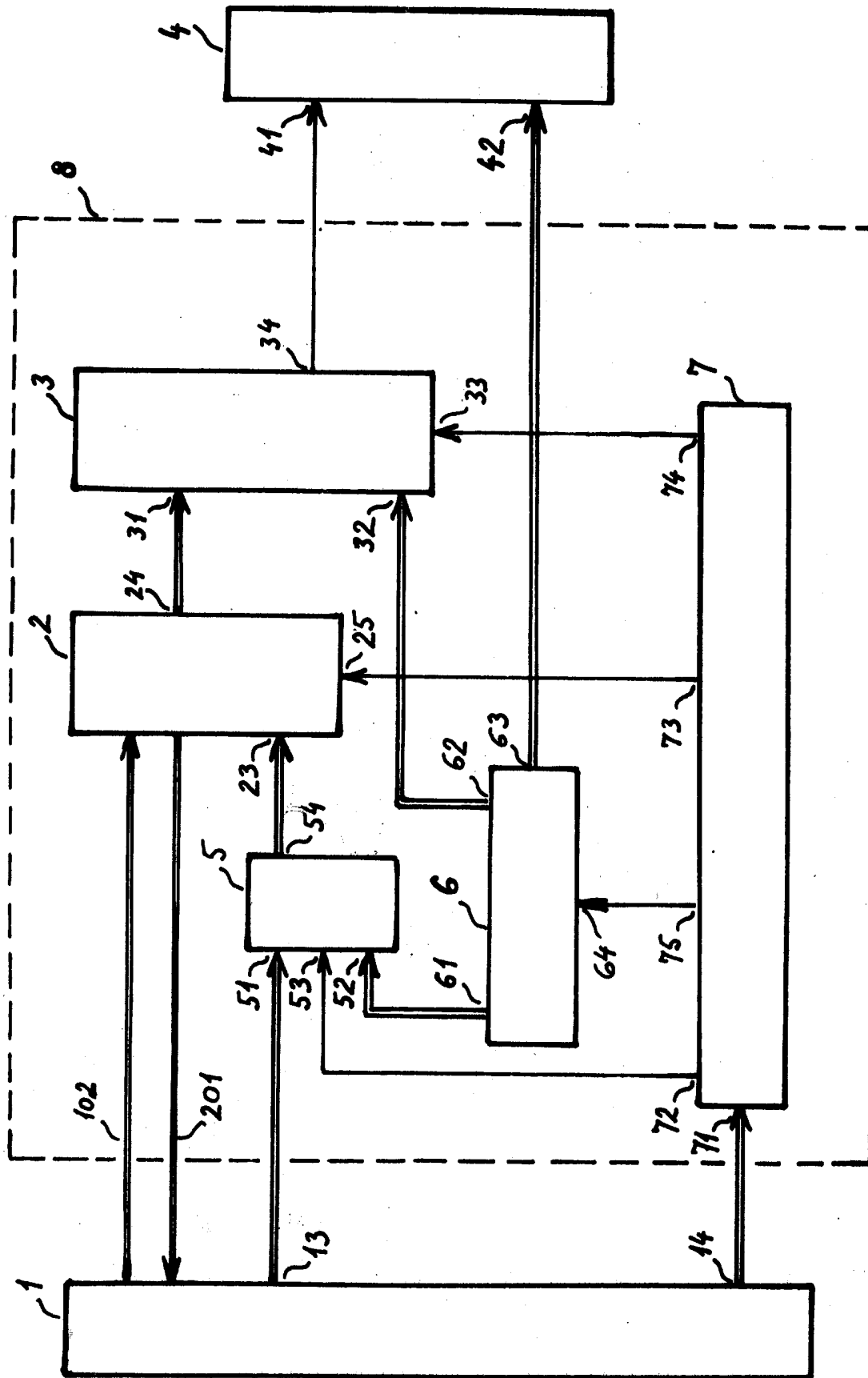
2. Zapojení operačního procesoru podle bodu 1, vyznačující se tím, že vstupní datová sběrnice (102) a výstupní datová sběrnice (201) jsou sloučeny v jedinou sběrnici obousměrnou.

3. Zapojení operačního procesoru podle bodu 1 nebo 2, vyznačující se tím, že generátor (3) znaků má navíc třetí vstup (33), který je řídicím vedením vyrovnávací paměti spojen s třetím výstupem (74)

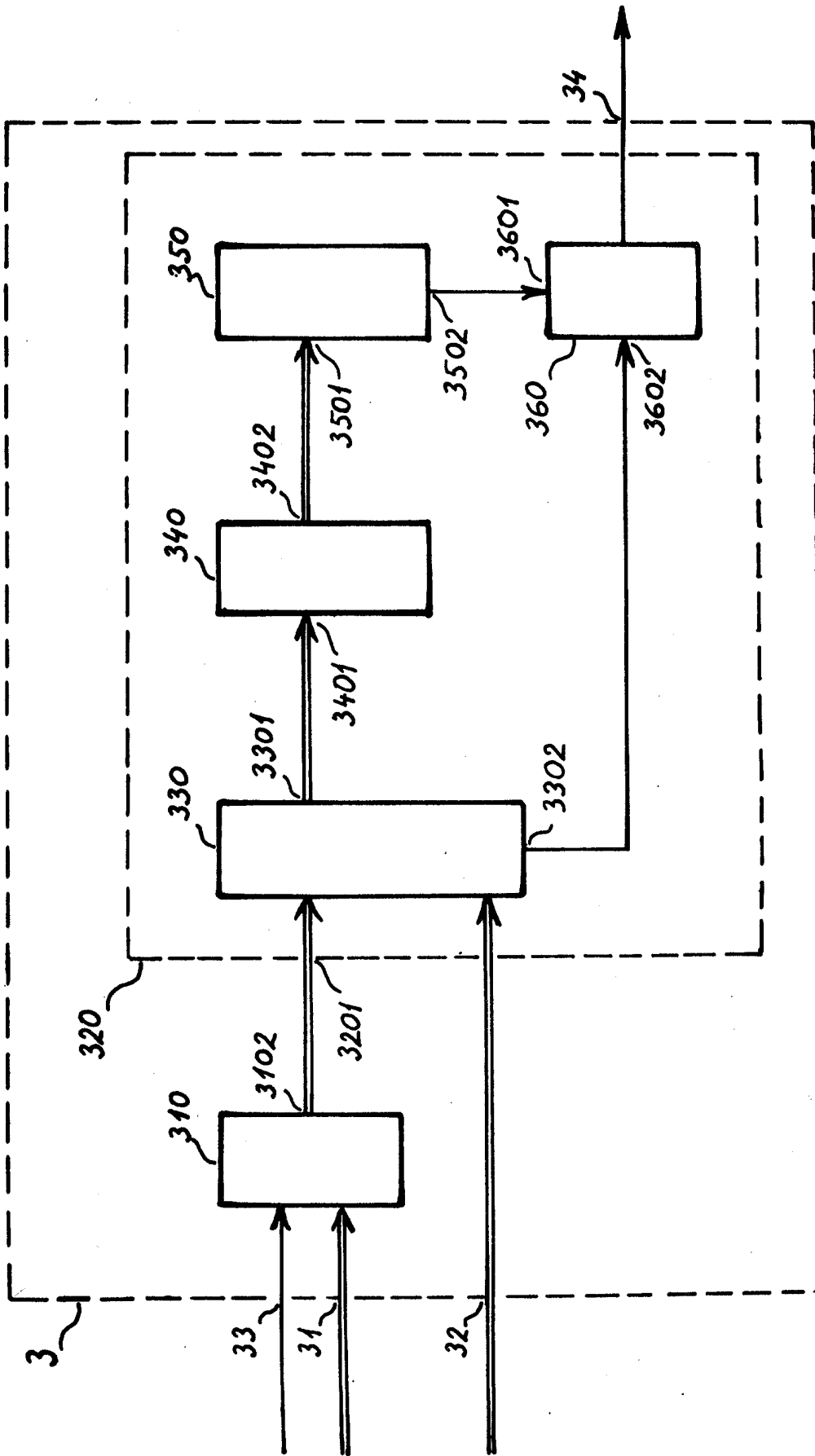
řídicího bloku (7), přičemž generátor (3) znaků je vnitřně rozdělen na dvě části, a to na synchronní část (320) generátoru znaků, jejíž výstup je výstupem (34) generátoru (3) znaků, její druhý vstup je druhým vstupem (32) generátoru (3) znaků a její první vstup (3201) je připojen k druhé zmíněné části generátoru (3) znaků, a to k výstupu (3102) vyrovnávací paměti (310), jejíž řídicí vstup je třetím vstupem (33) generátoru (3) znaků a její datový vstup je prvním vstupem (31) generátoru (3) znaků.

4. Zapojení operačního procesoru podle bodu 3, vyznačující se tím, že je navíc spojen čtvrtý výstup (75) řídicího bloku (7) se vstupem (64) rozkladových čítačů (6) řídicím vedením čítačů.

2 výkresy



Obr. 1



Obr. 2