

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】令和2年1月23日(2020.1.23)

【公開番号】特開2019-21761(P2019-21761A)
 【公開日】平成31年2月7日(2019.2.7)
 【年通号数】公開・登録公報2019-005
 【出願番号】特願2017-138766(P2017-138766)
 【国際特許分類】

H 0 1 L 29/78 (2006.01)
 H 0 1 L 29/12 (2006.01)
 H 0 1 L 21/336 (2006.01)
 H 0 1 L 21/28 (2006.01)
 H 0 1 L 29/417 (2006.01)

【F I】

H 0 1 L 29/78 6 5 2 F
 H 0 1 L 29/78 6 5 2 T
 H 0 1 L 29/78 6 5 2 C
 H 0 1 L 29/78 6 5 2 K
 H 0 1 L 29/78 6 5 8 B
 H 0 1 L 21/28 3 0 1 B
 H 0 1 L 21/28 3 0 1 R
 H 0 1 L 29/50 M

【手続補正書】

【提出日】令和1年12月5日(2019.12.5)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1面と、前記第1面の反対側の第2面とを有する第1導電型の半導体基板と、
 前記半導体基板の前記第1面に設けられ、平面視で第1方向の長さが前記第1方向に交差する第2方向の長さより長く、かつ、断面視で前記第1面から前記半導体基板の深さ方向に延びる第1導電型の第1半導体領域と、

前記半導体基板に設けられ、平面視で前記第1半導体領域を覆い、かつ、断面視で前記第1半導体領域の底部から前記半導体基板の深さ方向に延びる、前記第1導電型とは逆の第2導電型の第2半導体領域と、

前記半導体基板の前記第1面に設けられ、平面視で前記第1半導体領域の前記第2方向の両端部に隣接し、かつ、断面視で前記第1面から前記第2半導体領域に達するように延びる第2導電型の第3半導体領域と、

前記半導体基板の前記第1面上に絶縁膜を介して設けられたゲート電極と、
 を備え、

前記第1半導体領域の前記第1方向の両端部に隣接する第1部分のしきい値電圧は、前記第1半導体領域の前記第2方向の両端部に隣接する第2部分のしきい値電圧より高い、半導体装置。

【請求項2】

請求項1記載の半導体装置において、

前記第 1 部分に、前記第 1 半導体領域の前記第 1 方向の両端部の側部を覆うように、前記第 1 面から前記第 2 半導体領域に達するように延びる第 2 導電型の第 4 半導体領域を設け、

前記第 4 半導体領域の第 2 導電型の不純物の濃度は、前記第 3 半導体領域の第 2 導電型の不純物の濃度より高い、半導体装置。

【請求項 3】

請求項 2 記載の半導体装置において、

前記絶縁膜は、前記第 1 部分上に形成された第 1 絶縁膜と、前記第 2 部分上に形成された第 2 絶縁膜とを備え、

前記第 1 絶縁膜の厚さは、前記第 2 絶縁膜より厚い、半導体装置。

【請求項 4】

請求項 3 記載の半導体装置において、

前記第 1 半導体領域の前記第 1 方向の両端部側に位置する前記ゲート電極は、前記第 1 半導体領域の前記第 1 方向の両端部から離れており、

前記第 1 半導体領域の前記第 2 方向の両端部側に位置する前記ゲート電極は、前記第 3 半導体領域に平面視で重なっている、半導体装置。

【請求項 5】

請求項 1 記載の半導体装置において、

前記第 1 部分の第 2 導電型の不純物の濃度を NA_1 、前記絶縁膜のうち、前記第 1 部分上に形成された第 1 絶縁膜の厚さを t_{ox1} とし、

前記第 2 部分の第 2 導電型の不純物の濃度を NA_2 、前記絶縁膜のうち、前記第 2 部分上に形成された第 2 絶縁膜の厚さを t_{ox2} としたときに、

$$t_{ox1} \times NA_1 > t_{ox2} \times NA_2$$

の関係を満たす、半導体装置。

【請求項 6】

請求項 1 記載の半導体装置において、

前記絶縁膜は、前記第 1 部分上に形成された第 1 絶縁膜と、前記第 2 部分上に形成された第 2 絶縁膜とを有し、

前記第 1 絶縁膜の厚さは、前記第 2 絶縁膜より厚い、半導体装置。

【請求項 7】

請求項 6 記載の半導体装置において、

前記第 1 半導体領域の前記第 1 方向の両端部側に位置する前記ゲート電極は、前記第 1 半導体領域の前記第 1 方向の両端部から離れた状態で前記第 1 絶縁膜上に設けられ、

前記第 1 半導体領域の前記第 2 方向の両端部側に位置する前記ゲート電極は、前記第 3 半導体領域に平面視で重なった状態で前記第 2 絶縁膜上に設けられている、半導体装置。

【請求項 8】

請求項 1 記載の半導体装置において、

前記ゲート電極には、前記第 1 半導体領域に平面視で重なる開口部が設けられ、

前記開口部の前記第 1 方向の両端部は、前記第 1 半導体領域の前記第 1 方向の両端部より外側に位置し、

前記開口部の前記第 2 方向の両端部は、前記第 1 半導体領域の前記第 2 方向の両端部より内側に位置する、半導体装置。

【請求項 9】

請求項 1 記載の半導体装置において、

前記半導体基板は、炭化シリコンからなる、半導体装置。

【請求項 10】

(a) 第 1 面と、前記第 1 面の反対側の第 2 面とを有する第 1 導電型の半導体基板の前記第 1 面側から第 1 不純物を導入し、前記第 1 面に、平面視で第 1 方向の長さが前記第 1 方向に交差する第 2 方向の長さより長く、かつ、断面視で前記第 1 面から前記半導体基板の深さ方向に延びる第 1 導電型の第 1 半導体領域を形成する工程、

(b) 前記第1面側から第2不純物を導入し、前記第1半導体領域の底部側に、平面視で前記第1半導体領域を覆い、かつ、断面視で前記第1半導体領域の底部から前記半導体基板の深さ方向に延びる、前記第1導電型とは逆の第2導電型の第2半導体領域を形成する工程、

(c) 前記第1面側から第3不純物を導入し、平面視で前記第1半導体領域の前記第2方向の両端部に隣接する部分に、断面視で前記第1面から前記第2半導体領域に達するように延びる第2導電型の第3半導体領域を形成する工程、

(d) 前記第1面側から第4不純物を導入し、平面視で前記第1半導体領域の前記第1方向の両端部に隣接する部分に、断面視で前記第1面から前記第2半導体領域に達するように延びる第2導電型の第4半導体領域を形成する工程、

(e) 前記半導体基板の前記第1面上に絶縁膜を形成する工程、

(f) 前記絶縁膜上にゲート電極を形成する工程、

を有し、

前記(c)工程は、

(c1) 前記(a)工程で用いたマスクを用いて、断面視で前記第1面の法線に対して斜めの方向から平面視で前記第1半導体領域の前記第2方向の一端部に隣接する部分に前記第3不純物を導入する工程、

(c2) 前記(a)工程で用いたマスクを用いて、断面視で前記第1面の法線に対して斜めの方向から平面視で前記第1半導体領域の前記第2方向の他端部に隣接する部分に前記第3不純物を導入する工程、

を有する、半導体装置の製造方法。

【請求項11】

請求項10記載の半導体装置の製造方法において、

前記(e)工程は、

(e1) 前記第1半導体領域の前記第1方向の両端部に隣接する第1部分上に第1絶縁膜を形成する工程、

(e2) 前記第1半導体領域の前記第2方向の両端部に隣接する第2部分上に第2絶縁膜を形成する工程、

を有し、

前記第1絶縁膜の厚さは、前記第2絶縁膜の厚さより厚い、半導体装置の製造方法。

【請求項12】

請求項11記載の半導体装置の製造方法において、

前記(f)工程は、

(f1) 前記絶縁膜上に多結晶シリコン膜を堆積する工程、

(f2) 前記多結晶シリコン膜を加工し、前記ゲート電極を形成する工程、

を有し、

前記第1半導体領域の前記第1方向の両端部側に位置する前記ゲート電極は、前記第1半導体領域の前記第1方向の両端部から離れており、

前記第1半導体領域の前記第2方向の両端部側に位置する前記ゲート電極は、前記第3半導体領域に平面視で重なっている、半導体装置の製造方法。

【請求項13】

請求項11記載の半導体装置の製造方法において、

前記第1部分の第2導電型の不純物の濃度を NA_1 、前記絶縁膜のうち、前記第1半導体領域の前記第1方向の両端部に隣接する第1部分上に形成された第1絶縁膜の厚さを t_{ox1} とし、

前記第2部分の第2導電型の不純物の濃度を NA_2 、前記絶縁膜のうち、前記第1半導体領域の前記第2方向の両端部に隣接する第2部分上に形成された第2絶縁膜の厚さを t_{ox2} としたときに、

$t_{ox1} \times NA_1 > t_{ox2} \times NA_2$

の関係を満たす、半導体装置の製造方法。

【請求項 1 4】

(a) 第 1 面と、前記第 1 面の反対側の第 2 面とを有する第 1 導電型の半導体基板の前記第 1 面側から第 1 不純物を導入し、前記第 1 面に、平面視で第 1 方向の長さが前記第 1 方向に交差する第 2 方向の長さより長く、かつ、断面視で前記第 1 面から前記半導体基板の深さ方向に延びる第 1 導電型の第 1 半導体領域を形成する工程、

(b) 前記第 1 面側から第 2 不純物を導入し、前記第 1 半導体領域の底部側に、平面視で前記第 1 半導体領域を覆い、かつ、断面視で前記第 1 半導体領域の底部から前記半導体基板の深さ方向に延びる、前記第 1 導電型とは逆の第 2 導電型の第 2 半導体領域を形成する工程、

(c) 前記第 1 面側から第 3 不純物を導入し、平面視で前記第 1 半導体領域の前記第 2 方向の両端部に隣接する部分に、断面視で前記第 1 面から前記第 2 半導体領域に達するように延びる第 2 導電型の第 3 半導体領域を形成する工程、

(d) 前記半導体基板の前記第 1 面上に絶縁膜を形成する工程、

(e) 前記絶縁膜上にゲート電極を形成する工程、

を有し、

前記 (d) 工程は、

(d 1) 前記第 1 半導体領域の前記第 1 方向の両端部に隣接する第 1 部分上に第 1 絶縁膜を形成する工程、

(d 2) 前記第 1 半導体領域の前記第 2 方向の両端部に隣接する第 2 部分上に第 2 絶縁膜を形成する工程、

を有し、

前記第 1 絶縁膜の厚さは、前記第 2 絶縁膜の厚さより厚い、半導体装置の製造方法。

【請求項 1 5】

請求項 1 4 記載の半導体装置の製造方法において、

前記 (e) 工程は、

(e 1) 前記絶縁膜上に多結晶シリコン膜を堆積する工程、

(e 2) 前記多結晶シリコン膜を加工し、前記ゲート電極を形成する工程、

を有し、

前記第 1 半導体領域の前記第 1 方向の両端部側に位置する前記ゲート電極は、前記第 1 半導体領域の前記第 1 方向の両端部から離れた状態で前記第 1 絶縁膜上に形成され、

前記第 1 半導体領域の前記第 2 方向の両端部側に位置する前記ゲート電極は、前記第 3 半導体領域に平面視で重なった状態で前記第 2 絶縁膜上に形成されている、半導体装置の製造方法。