

1. 一种能根据特定压焊区的电位确定内部功能的半导体装置,具有:
与上述特定压焊区分开设置的、与内部电路导电性地连接的普通压焊
5 区;

以及接收检查指示信号和上述特定压焊区的电位,当上述检查指示信号活化时被激活后根据上述特定压焊区的电位将上述普通压焊区导电性地连接在基准电位源节点上的检查用装置,其特征在于:

上述普通压焊区包含:

10 与第1内部电路导电性连接的第1压焊区;

以及与上述第1压焊区分开设置且与第2内部电路导电性连接的第2压焊区,

上述检查用装置具有:

接收上述检查指示信号和上述特定压焊区的电位,当上述检查指示信号活化时根据上述特定压焊区的电位将上述第1压焊区导电性地连接到
15 上述基准电位源节点上的第1装置;

以及当上述检查指示信号活化时根据上述特定压焊区的电位,与上述第1装置互补工作,将上述第2压焊区导电性地连接到上述基准电位源节点上的第2装置。

20 2. 一种能根据特定压焊区的电位确定内部功能的半导体装置,具有:

与上述特定压焊区分开设置的、与内部电路导电性地连接的普通压焊区;

以及接收检查指示信号和上述特定压焊区的电位,当上述检查指示信号活化时被激活后根据上述特定压焊区的电位将上述普通压焊区导电性地连接在基准电位源节点上的检查用装置,其特征在于:
25

上述检查用装置具有:

当上述检查指示信号活化时将上述普通压焊区导电性地连接到第1基准电位源节点上的第1装置;

以及当上述检查指示信号活化时根据上述特定压焊区的电位,与上述第1装置互补工作,将上述普通压焊区导电性地连接到其电位电平与上述
30 第1基准电位源节点的电位电平不同的第2基准电位源节点上的第2装置。

3. 根据权利要求1或2所述的半导体装置,其特征在于:
上述半导体装置是一种检索自如地存储数据的存储器,
上述内部功能是将数据输出到装置外部的输出电路的输出节点的电位变化速度。
- 5 4. 根据权利要求1或2所述的半导体装置,其特征在于:
上述存储器是与从装置外部反复输入的时钟信号同步取入来自外部的信号及数据的时钟同步型静态随机存取存储器,
上述检查指示信号与来自检测是否指定了筛选方式的筛选方式检查装置的筛选方式检测信号通用。
- 10 5. 一种半导体装置的内部功能识别方法,该方法是根据特定压焊区的电位确定内部功能的半导体装置的内部功能识别方法,其特征在于包括:
将检查指示信号送给上述半导体装置的步骤;
测定在导电性地与上述半导体装置的预定的内部电路连接的引线端子上产生的漏电流的步骤;
- 15 以及根据上述测定步骤中测定的漏电流值鉴别上述半导体装置的设定的内部功能的步骤,
上述半导体装置包括输入检查指示信号后根据上述特定压焊区的电位将上述预定的引线端子有选择地导电性地连接到内部的基准电位源节点上的装置。

半导体装置及半导体装置的内部功能识别方法

技术领域

- 5 本发明涉及能根据特定压焊区的电位转换内部功能的半导体装置,尤其涉及具有由特定压焊区的设定电位确定数据输出波形的转换速率控制(Slew Rate Control)功能的半导体存储器。

背景技术

- 10 半导体装置、特别是半导体存储器有各种各样的用途,对应于不同的用途所要求的性能/功能也不同。例如,半导体存储器中使用的字结构随着用途的不同而不同。这种字结构不同时,例如在 $\times 8$ 位结构的存储器和 $\times 16$ 位结构的存储器中,内部有效的地址位及转换成可工作状态的输入输出缓冲电路的数量不同。内部电路的结构相同,只是字结构不同而要求的工作特性相同时,包含各种字结构在内设计存储器时,在内部电路的工作特性相同的情况下,设计效率很低。在这种情况下,设计成能实现两种字结构的存储器,随着用途的不同,进行字结构的切换。通过用1个芯片可实现多种存储器,能用相同的制造工序制作多种存储器,可改善设计效率。这种字结构的切换可根据所要求的字结构设定特定的压焊区的电位来进行。

- 20 通过利用压焊丝或掩模布线设定这种特定的压焊区电位来变更字结构变换等的规格的结构还被用于其它安装工作方式及性能/功能的设定中。在以下的说明中,"内部功能"这一术语除了这种字结构、以及用EDO(扩展数据输出)和静态列方式的工作方式、8K更新周期及4K更新周期这样的规格规定的结构外,还包括以下说明的存储器输出数据时数据的变化速度的设定等的全部结构。即,"内部功能"表示根据特定的压焊区电位能设定其方式/形态的"压焊选择"的全部功能/结构。

- 30 图15是表示用压焊区电位设定内部功能的结构示意图。在图15中,压焊区PD通过内部布线INL导电性地连接着压焊选择功能电路BOF。这里,"导电性地连接"表示在被连接的两者之间形成电流能流过的路径。压焊选择功能电路BOF根据压焊区PD的电位决定实现的功能。压焊区PD通过压焊丝B1导电性地连接在供给第1基准电位即电源电压Vdd的帧引线端子VFd上、或者通过压焊丝B2导电性地连接在传递第2基准电位或接地电压Vss的帧引线端子VFs上。通过将压焊区PD设定成电源电压

Vdd 的电平或接地电压 Vss 的电平,能决定压焊选择功能电路 BOF 实现的功能。

为了保护半导体装置不受机械损伤而用树脂将其密封或装在封壳中。这时,不能从外部与压焊区 PD 接触。帧引线 VFd 及 VF_s 只能通过外部引线端子从外部接触。因此,将半导体装置装在封壳中后(树脂密封后),从外部不能知道压焊区 PD 的电位呈电源电压 Vdd 电平还是呈接地电压 Vss 电平,因此不容易判断压焊选择功能电路 BOF 是否实现所要求的内部功能。为了判断压焊选择功能电路 BOF 实现的内部功能,必须去掉该密封树脂,使压焊区 PD 部分露出来。这时该半导体装置就不能再使用了。

因此,产品出厂时有可能生产出具有不同的内部功能的半导体装置。

发明内容

因此,本发明的目的在于提供一种能从外部容易地测定实现压焊选择功能的特定的压焊区的设定电位的半导体装置。

本发明的另一目的在于提供一种能从外部容易地识别是否象所要求的那样准确地设定了数据输出时改变其输出端的信号波形的转换速率控制功能的半导体存储器。

本发明的半导体装置具有与赋予决定内部功能的电位的特定压焊区分开设置的与内部电路作导电性连接的普通压焊区;以及接收检查指示信号和该特定压焊区的电位,当检查指示信号活化时被激活后根据特定压焊区的电位将普通压焊区导电性地连接在基准电位源节点上的检查用装置。

本发明的半导体装置中的普通压焊区包含与第 1 内部电路导电性连接的第 1 压焊区,及与该第 1 压焊区分开设置且与第 2 内部电路导电性连接的第 2 压焊区。另外,本发明的半导体装置中的检查用装置接收检查指示信号和特定压焊区的电位,具有当检查指示信号活化时根据特定压焊区的电位将第 1 压焊区导电性地连接到基准电位源节点上的第 1 装置,以及当检查指示信号活化时根据特定压焊区的电位与第 1 装置互补工作将第 2 压焊区导电性地连接到基准电位源节点上的第 2 装置。

本发明的半导体装置中的检查用装置具有当检查指示信号活化时将普通压焊区导电性地连接到第 1 基准电位源节点上的第 1 装置;以及当检查指示信号活化时根据特定压焊区的电位与第 1 装置互补工作将普通压焊区导电性地连接到与第 1 基准电位源节点的电位电平不同的电压电平的

第2基准电位源节点上的第2装置。

本发明的半导体装置是一种检索自如地存储数据的存储器，其内部功能在于将数据输出到装置外部的输出电路的输出节点的电位变化速度。根据特定压焊区的电位设定该电位变化速度。

- 5 本发明的半导体装置中的存储器是与从装置外部反复输入的时钟脉冲信号同步取入来自外部的信号及数据的时钟脉冲同步型静态随机存取存储器，检查指示信号与来自筛选方式检查装置的筛选方式检查信号通用。

本发明的半导体装置的内部功能识别方法是一种根据特定压焊区的电位设定内部功能的半导体装置的内部功能识别方法，它包括：将检查指示
10 信号送给该半导体装置的步骤；测定在导电性地与该半导体装置的预定的内部电路连接的引线端子上产生的漏电流的步骤；以及根据测定的漏电流值鉴别半导体装置的设定的内部功能的步骤。半导体装置包括输入检查指示信号后根据特定压焊区的电位将预定的引线端子有选择地连接到装置内部的基准电位源节点上的装置。

- 15 当检查指示信号活化时，根据特定压焊区的电位普通压焊区被有选择地导电性地连接在基准电位源节点上。普通压焊区被导电性地连接在内部电路上，从而被导电性地连接在外部引线端子上。通过该外部引线端子测定普通压焊区上产生的漏电流，由此能识别普通压焊区是否被导电性地连接在基准电位源节点上。该普通压焊区和基准电位源节点之间导电性地连
20 接/非连接对应于特定压焊区的电位。因此，通过测定漏电流，能鉴别特定压焊区的电位，相应地能鉴别设定的内部功能。

附图说明

图1是本发明的第1半导体装置的总体结构略图。

- 25 图2(A)是图1所示的筛选检测电路的结构之一例图，(B)是其工作波形图。

图3(A)是图1所示的单元选择控制电路的结构之一例图，(B)是其工作波形图。

图4是图1所示的输出缓冲电路的结构之一例图。

图5是说明输出缓冲电路的转换速度控制功能用的图。

- 30 图6是说明利用转换速度功能的波形用的图。

图7是图1所示的检查用电路的第1结构略图。

图8是表示使用图7所示的检查用电路时的半导体装置的测试环境的

图。

图 9 是本发明的检查用电路的第 2 结构略图。

图 10 是本发明的检查用电路的第 3 结构略图。

图 11 是表示使用图 10 所示的检查用电路时的测试环境的图。

5 图 12 是本发明的检查用电路的第 4 结构略图。

图 13 是激活检查用电路用的检查指示信号发生电路的另一结构略图。

图 14 是本发明的第 2 半导体装置的主要部分的结构略图。

图 15 是现有的半导体装置的主要部分的结构略图。

具体实施方式

10

[实施形态 1]

图 1 是本发明的实施形态 1 的半导体装置的总体结构的简略框图。图 1 中作为半导体装置示出了与时钟脉冲信号 CLK 同步取入来自外部的控制信号及数据的时钟脉冲同步型静态随机存取存储器。

15 图 1 中半导体装置含有:静态型存储单元被排列成行列状的存储单元阵列 1; 根据送来的行地址信号将存储单元阵列 1 的对应的行(字线)驱动到选择状态的行选择电路 2; 以及根据送来的列地址信号选择存储单元阵列 1 的对应的列(位线对)的列选择电路 3。该行选择电路 2 含有对送来的行地址信号进行译码的行译码器, 以及根据来自行译码器的译码信号将配置在对应的行上的字线驱动到选择状态的字线驱动器。列选择电路 3 含有对送来的列地址信号进行译码并生成列选择信号的列译码器, 以及根据来自列译码器的列译码信号选择存储单元阵列 1 的对应的列(位线对)并连接到内部数据总线(写入/读出数据总线)上的列选择门电路。

25 半导体装置还含有:与通过时钟脉冲输入端子 5 输入的时钟脉冲信号 CLK 的上升同步将送给输入端子 4a~4f 的写入控制信号/GW、/MBW、/BW1、/BW2、/BW3 及/BW4 取入并产生内部写入控制信号的写入控制缓冲器 6; 根据来自写入控制缓冲器 6 的内部写入控制信号控制对存储单元阵列 1 的写入工作的写入控制电路 7; 以及根据来自写入控制电路 7 的写入控制信号和从输入寄存器 8 送来的写入数据, 将数据写入存储单元阵列 1 30 的选择存储单元的写入驱动器 9。

信号/GW 是全局写入信号, 指示同时写入从输入寄存器 8 送来的 32 位的全部数据。信号/MBW 是主字节写入信号, 它活化时能以字节为单位对

从 32 位的输入寄存器 8 送来的数据进行写入控制。信号 /BW1、/BW2、/BW3 及 /BW4 是字节写入信号,用来进行 32 位数据分别与第 1 字节、第 2 字节、第 3 字节、第 4 字节对应的写入控制。写入控制电路 7 与时钟脉冲信号 CLK 的上升同步锁存从该写入控制缓冲器 6 送来的写入控制信号,以字节为单位控制写入。输入寄存器 8 与时钟脉冲信号 CLK 同步取入通过数据输入端子 10 送来的 32 位数据,送给写入驱动器 9。在写入驱动器 9 中,根据来自该写入控制电路 7 的写入控制信号,对指定写入的字节设的驱动电路被激活,将从该输入寄存器 8 送来的写入数据写入对应的存储单元字节。半导体装置还含有:与时钟脉冲信号 CLK 的上升同步取入通过输入端子 11a、11b 及 11c 送来的信号 /CS、/ADSC 及 /ADSP,当信号 /CS 活化时,对信号 /ADSC 及 /ADSP 进行译码,根据该译码结果给出地址取入指示信号及地址取入时间的地址控制缓冲器 12;响应来自地址控制缓冲器 12 的地址取入指示信号,将信号 /CS 锁存起来的片选择寄存器 13;来自地址控制缓冲器 12 的地址取入指示信号活化时被激活后将来自外部的地址信号锁存起来的地址寄存器 14;以及根据来自地址控制缓冲器 12 的地址取入指示信号及地址取入时间指示信号,取入来自地址寄存器 14 的地址后产生内部地址信号的地址发生电路 15。

信号 /CS 是片选择信号,表示该半导体装置处于选择状态。来自片选择寄存器 13 的内部片选择信号 ZCS 活化时,该半导体装置的内部电路工作,进行数据的写入/读出。信号 /ADSC 是地址状态控制信号,表示从存储控制器给出了地址。信号 /ADSP 是地址状态处理信号,表示从处理机给出地址取入指示信号。当该信号 /ADSC 及 /ADSP 两者之一处于活化状态时,地址控制缓冲器 12 给出地址取入时间及地址取入指示信号。当从地址控制缓冲器 12 给出地址取入指示信号时,地址发生电路 15 便取入来自地址寄存器 14 的内部地址信号,将该取入的地址信号送给行选择电路 2 及列选择电路 3。

地址控制缓冲器 12 还与时钟脉冲信号 CLK 的上升同步取入被送给输入端子 11d 的地址超前指示信号 /ADV,并送给地址发生电路 15。当时钟脉冲信号 CLK 上升而该地址超前指示信号 /ADV 处于活化状态时,地址发生电路 15 改变取入的地址,生成内部地址信号,送给行选择电路 2 及列选择电路 3。该地址发生电路 15 根据地址超前指示信号 /ADV 自动地生成地址信号时,地址的变化顺序由送给输入端子 16 的信号 MODE 决定。该信号

MODE 被设定为高电平或低电平时,该地址变化形态被设定为交错方式或线性方式。在线性方式的情况下,地址发生电路 15 将取入的地址作为初始地址,依次改变地址。为交错方式时,地址发生电路 15 将低位的 2 位互相颠倒,生成内部地址信号。这时,地址发生电路 15 能连续地生成地址,这是假定只有 4 个地址的结构。该地址发生电路 15 依次生成内部地址信号的方式称为"脉冲串方式"。

半导体装置还含有:根据从连接端子 17 送来的流程通过指示信号 FT,设定数据输出方式,而且接收由存储单元阵列 1 的列选择电路 3 选择的存储单元数据的输出寄存器 18;以及当送给输入端子 19 的输出允许信号/OE 活化时被激活后对从输出寄存器 18 送来的数据进行缓冲处理,再输出到输出端子 10 的输出缓冲器 20。当流程通过指示信号 FT 处于活化状态(高电平)时,输出寄存器 18 被设定为通过状态,只对存储单元阵列 1 中的选择存储单元数据进行缓冲处理,并进行传递。另一方面,当流程通过指示信号 FT 被设定在非活化状态时,输出寄存器 18 将与时钟脉冲信号 CLK 同步从存储单元阵列 1 读出的数据锁存起来,送给输出缓

冲器 20。输出缓冲器 20 根据特定的压焊区 22 的电位电平,设定输出节点(数据输入输出端子 10)的驱动速度。因此能实现具有与处理用途相适应的数据输出速度的半导体存储器。

半导体装置还含有:根据时钟脉冲信号 CLK 和方式信号 MODE 检测是否指定了筛选方式的筛选检测电路 24;当来自筛选检测电路 24 的筛选方式检测信号 BI 活化时,变更行选择电路 2 及列选择电路 3 的活化期间的单元选择控制电路 26;以及根据压焊区 22 的设定电位 SR(转换速率控制信号)和筛选方式检测信号 BI,有选择地将与内部电路连接的端子 28 连接到基准电位源节点上的检查用电路 30。

当该筛选方式检测信号 BI 活化时,单元选择控制电路 26 使行选择电路 2 及列选择电路 3 处于正常工作状态。另一方面,当该筛选方式检测信号 BI 非活化时,单元选择控制电路 26 检测来自地址发生电路 15 的地址信号的变化,只在从检测出该变化的时刻算起的规定时间内使行选择电路 2 及列选择电路 3 处于活化状态。

在本实施形态 1 中,由压焊区 22 的设定电位(转换速率控制信号 SR)规定的内部功能是输出缓冲器 20 的输出节点驱动速度。

图 2 是图 1 所示的筛选检测电路 24 的结构之一例图。图 2 中,筛选检测

电路 24 包含:将方式信号 MODE 延迟规定时间且将该逻辑反相的反相延迟电路 24a;接收方式信号 MODE 和反相延迟电路 24a 的输出信号的 AND 电路 24b;以及在时钟脉冲信号 CLK 的上升边取入 AND 电路 24b 的输出信号的 D 锁存器 24c。从该 D 锁存器 24c 的输出端 Q 输出筛选方式检测信号 BI。其次参照图 2(B)所示的波形图说明工作情况。

方式信号 MODE 和时钟脉冲信号 CLK 以相同的周期交替地反复进行高电平及低电平的变化。这时,当时钟脉冲信号 CLK 上升时,方式信号 MODE 为高电平。反相延迟电路 24a 将该方式信号 MODE 的逻辑反相且延迟规定时间。从而,响应方式信号 MODE 的上升,具有反相延迟电路 24a 的延迟时间的高电平信号被从 AND 电路 24b 送到 D 型触发电路 24c 的 D 输入端。该 AND 电路 24b 的输出信号在时钟脉冲信号 CLK 的上升边由 D 型触发电路 24c 取入。因此,在 AND 电路 24b 的输出信号变为高电平期间,即在方式信号 MODE 从低电平回到向高电平上升的动作期间,来自该 D 型触发电路 24c 的筛选方式检测信号 BI 被保持在高电平。当方式信号 MODE 被固定在低电平时,AND 电路 24b 的输出信号也被固定在低电平。因此在该状态下,当时钟脉冲信号 CLK 上升时,AND 电路 24b 的输出信号为低电平,来自该 D 型触发电路 24c 的筛选方式检测信号 BI 变为低电平,指示筛选方式结束。

该半导体装置的用途一旦确定后,便固定地设定地址顺序(因为该脉冲串地址顺序根据适用的程序的种类设定)。因此,利用在高电平和低电平期间触发方式信号 MODE 的工作方式来检测筛选方式,使用者不会错误地设定筛选方式。筛选方式是在产品出厂前进行的最后测试,使用者不使用这种方式,通过用使用者不使用的其他方式设定筛选方式,能防止使用者在实际使用半导体装置时错误地设定筛选方式。

该图 2(A)所示的筛选检测电路 24 的结构只是一例,也可以采用这样的结构,即用使用者通常工作时不使用的信号状态的组合设定筛选方式。

[单元选择列控制电路的结构]

图 3(A)是图 1 所示的单元选择控制电路 26 的结构之一例略图。在图 3(A)中,单元选择控制电路 26 含有:检测从地址发生电路 15 给出内部地址信号的变化地址变化检测电路 26a;响应来自地址变化检测电路 26a 的地址变化检测信号 ATD, 发生具有规定的时间间隔的单触发脉冲信号 PU 的单触发脉冲发生电路 26b;以及接收筛选方式检测信号 BI 和来自单触发脉冲发

生电路 26b 的单触发脉冲信号 PU 的 OR 电路 26c。从 OR 电路 26c 给出使图 1 所示的行选择电路 2 及列选择电路 3 呈活化状态的信号 ACT。当该信号 ACT 呈活化状态时,行选择电路 2 及列选择电路 3 处于工作状态。图 3(B)是表示图 3(A)所示的单元选择控制电路 26 工作的波形图。以下,参照图 3(B)所示的波形图说明图 3(A) 所示的单元选择控制电路 26 的工作情况。

内部地址变化后,地址变化检测电路 26a 检测该变化,生成具有规定的时间间隔的单触发脉冲信号的脉冲变化检测信号 ATD。单触发脉冲发生电路 26b 响应该地址变化检测信号 ATD 的上升,生成单触发脉冲信号。当筛选方式检测信号 BI 为低电平时,作为活化信号从 OR 电路 26c 给出来自该单触发脉冲发生电路 26b 的脉冲信号 PU。因此,当筛选方式检测信号 BI 呈低电平的非活化状态时,即在正常工作方式时,不管按照地址变化时钟脉冲信号 CLK 的循环周期如何,行选择电路 2 及列选择电路 3 只在一定的时间间隔呈活化状态。

另一方面,当筛选方式检测信号 BI 为高电平时,根据地址变化检测信号 ATD 生成脉冲信号 PU,但不管该脉冲信号 PU 如何,活化信号 ACT 被固定在高电平的活化状态。在筛选方式时,将电压加在各电路构成元件上。因此,当时钟信号的周期长时,使行选择电路 2 及列选择电路 3 在该时钟脉冲周期长的期间工作,足够大的电压加在各电路上。

在该图 3(A)所示的单元选择控制电路 26 的结构中,地址变化检测电路 26a 也可以这样构成,即只在内部片选择信号 ZCS 活化时生成地址变化检测信号 ATD。例如对应于地址信号的各位设延迟电路,通过采用接收与该延迟电路的输出对应的地址信号位的一致检测电路,就能容易地实现地址变化检测电路。

25 [输出缓冲器的结构]

图 4 是图 1 所示的输出缓冲器 20 的结构略图。图 4 中示出了对 1 位数据输入输出端子 10a 设的输出缓冲电路的结构。图 4 中,输出缓冲器 20 含有:当输出允许信号/OE 活化时被激活后对来自内部的读出数据 RD 进行缓冲处理,然后传递到数据输入输出端子 10a 的缓冲电路 20a;以及根据图 1 所示的压焊区 22 的设定电位(用信号 SR 表示) 调整供给该缓冲电路 20a 的电流量的驱动力调整电路 20b、20c。

缓冲电路 20a 根据从该驱动力调整电路 20b 及 20c 供给的电流量,将该

输入输出端子 10a 驱动到与内部读出数据 RD 对应的电位电平。驱动力调整电路 20b 含有:连接在内部电源节点和缓冲电路 20a 的一个工作电源节点之间、其栅极的接地电压为 V_{ss} 的 p 沟道 MOS 晶体管 PQ1; 以及与该 MOS 晶体管 PQ1 并联设置、其栅极接收将压焊区 22 的设定电位的逻辑反相后的信号 ZSR 的 p 沟道 MOS 晶体管 PQ2。使 MOS 晶体管 PQ2 的电流供给能力比 MOS 晶体管 PQ1 的大。MOS 晶体管 PQ1 处于经常导通状态, 具有由选通脉宽和选通脉高之比决定的电流供给能力, 从电源节点向缓冲电路 20a 的一个工作电源节点供给电流。

驱动力调整电路 20c 含有:连接在缓冲电路 20a 的另一个工作电源节点和接地节点之间、且其栅极接收电源电压 V_{dd} 的 n 沟道 MOS 晶体管 NQ1; 以及与该 MOS 晶体管 NQ1 并联连接、且其栅极接收压焊区 22(参照图 1)的设定电位(信号 SR)的 n 沟道 MOS 晶体管 NQ2。使 MOS 晶体管 NQ2 的电流供给能力比 MOS 晶体管 NQ1 的大。MOS 晶体管 NQ1 的栅极接收电源电压 V_{dd} , 经常导通, 并吸收缓冲电路 20a 的放电电流。

压焊区 22 被固定在电源电压 V_{dd} 电平时, 信号 SR 变成高电平信号。在该状态下, 激励功率调整电路 20b 中的 p 沟道 MOS 晶体管 PQ2 及驱动力调整电路 20c 中的 n 沟道 MOS 晶体管 NQ2 都处于导通状态。因此, 驱动力调整电路 20b 通过 MOS 晶体管 PQ1 及 PQ2, 从电源节点向缓冲电路 20a 的一个工作电源节点供给电流, 另一方面, 驱动力调整电路 20c 通过 MOS 晶体管 NQ1 及 NQ2 将电流从缓冲电路 20a 的另一个工作电源节点放到接地节点。因此, 如图 5 所示, 缓冲电路 20a 的数据输入输出端子 10a 驱动力增大, 数据输入输出端子 10a 上的数据 DQa 高速变化。

另一方面, 压焊区 22 被设定在接地电压电平时, 信号 SR 变成低电平, MOS 晶体管 PQ2 及 NQ2 都呈截止状态。在该状态下, 驱动力调整电路 20b 只通过 MOS 晶体管 PQ1 向缓冲电路 20a 供给电流, 驱动力调整电路 20c 通过 MOS 晶体管 NQ1 将来自缓冲电路 20a 的放电电流放到接地节点。因此在该状态下, 如图 5 所示, 缓冲电路 20a 的电流驱动力减小, 其数据输入输出端子 10a 上的数据 DQa 较慢地变化。

因此, 通过将该压焊区 22 的电位设定成电源电压 V_{dd} 电平或接地电压 V_{ss} 电平, 就能设定输出缓冲器 20 的工作速度(输出负载相同时)。

通过固定该压焊区 22 的电位(信号 SR)的电平, 能用一个芯片实现高速输出数据的芯片和以较低的速度输出数据的芯片。特别是在时钟同步型半

导体装置的情况下,与时钟信号同步进行数据的抽样。因此在该时钟信号的上升边,数据必须呈可靠的确定状态。因此,必须确保该时钟脉冲信号的读出数据的准备时间和保持时间。通过有选择地设定该压焊区 22 的电位,根据使用的工作环境(时钟频率),能设定其输出节点驱动速度及准备时间。

如图 6 所示,半导体存储器 40 和处理机 50 互相用电路板上的布线 BIL 连接时,该板上的布线 BIL 的电阻及电容随板上的半导体存储器 40 和处理机 50 的配置情况的不同而不同。因此该板上的布线 BIL 的负载较小时,输出缓冲器的驱动力减小,该板上的布线 BIL 的负载大时,该输出缓冲器的驱动力增大。这时,输出缓冲器 20 达到与板上的布线 BIL 的负载对应的电流供给能力(输出节点驱动力)。因此,在用相同的系统时钟频率工作的环境中,通过使板上的布线 BIL 的负载一致来调整输出缓冲器的驱动力,不会发生振铃等,能可靠地生成正确的数据,能实现与系统性能相应的半导体存储器。

15 [检查用电路结构 1]

图 7 是图 1 所示的检查用电路的结构图。在图 7 中作为导电性地连接在内部电路上的通常的压焊区 28, 作为一例示出了与接收字节写入信号 /BW1 的端子 4c 连接的压焊区。因此,通过内部布线 51 导电性地连接在该压焊区 28 上的内部电路 50 与图 1 所示的写入控制缓冲器 6 对应。内部电路 50 在其输入初级包含由 p 沟道 MOS 晶体管及 n 沟道 MOS 晶体管构成的 CMOS 反相器 50a。

检查用电路 30 包含接收筛选方式检测信号 BI 和压焊区 22 上的电位(信号 SR)的双输入 AND 电路 30a,以及连接在内部布线 51 和接地节点 Vss 之间且其栅极接收 AND 电路 30a 的输出信号的 n 沟道 MOS 晶体管 30b。压焊区 22 通过图 7 中用虚线表示的压焊丝设定为电源电压 Vdd 电平或接地电压 Vss 电平。其次说明工作情况。

在通常工作方式时,筛选方式检测信号 BI 呈低电平,AND 电路 30a 的输出信号固定在低电平。因此在该状态下,MOS 晶体管 30b 呈截止状态,内部电路 50(写入控制缓冲器 6)根据通过其引线端子 4c 的压焊区 28 及内部布线 51 送给的信号而工作。

被指定为筛选方式后,筛选方式检测信号 BI 变成高电平,AND 电路 30a 作为缓冲电路工作。压焊区 22 被设定为电源电压 Vdd 电平时,信号 SR 为

高电平,AND 电路 30a 的输出信号变成高电平,MOS 晶体管 30b 变成导通状态。另一方面,压焊区 22 被设定为接地电压 V_{ss} 电平时,信号 SR 变为低电平,AND 电路 30a 的输出信号也变为低电平,MOS 晶体管 30b 变成截

止状态。内部电路 50 的输入初级缓冲器 50a 的构成元件即 MOS 晶体管的栅极连接在内部布线 51 上。因此不存在从该内部布线 51 流经输入初级缓冲器 50a 的电流路径。因此通过将高电平信号送给该引线端子 4c,根据 MOS 晶体管 30b 的导通状态/截止状态,如果构成电流有选择地从压焊区 28 经过内部布线 51 流到接地节点 V_{ss} 的路径,则用外部的测试器就能识别 MOS 晶体管 30b 是处于导通状态还是处于截止状态,即能识别压焊区 22 的设定电压电平。通过识别压焊区 22 的设定电压电平,能识别输出缓冲器的转换速率是否降低了。

设定为筛选方式时,半导体装置被设定在初始状态,字节写入信号/BW1 呈高电平。因此在筛选方式时,用通常的测试器就能识别该半导体装置的被设定的内部功能(输出节点驱动速度)。

图 8 是表示进行半导体装置的内部功能识别的测试环境的结构略图。在图 8 中,按规定的顺序将信号(电压)从测试器 60 加到半导体装置 40 的引线端子 40a、40b 及 4c 上。该测试器 60 包含存储该半导体装置 40 测试时加的信号波形且按规定的顺序施加信号(电压)的测试控制电路 60a,以及连接在测试控制电路 60a 和引线端子 4c 之间、将测试控制电路 60a 的输出信号和普通压焊区 28 导电性地连接起来的电流计 60b。通过测试控制电路 60a 设定筛选方式。这时,测试控制电路 60a 将高电平信号输出给引线端子 4c。通过测定流过该电流计 60b 的电流量,能测定半导体装置 40 的引线端子 4c 有无漏电流,从而能识别该半导体装置 40 的转换速率是否已调整。

在引线端子 4c 上在准备时存在允许的漏电流。MOS 晶体管 30b 供给比该允许的漏电流大的电流即可,MOS 晶体管 30b 不要求那么大的电流驱动力。通常在筛选方式时,可同时测试多个半导体装置。因此,同时对用同一制造工序制造的半导体装置进行筛选试验时,即使检查用电路 30 中的漏电流小,但由于将这些多个同时进行筛选测试的半导体装置的引线端子的漏电流相加,所以该电流值增大,即使各半导体装置 40 的检查用电路 30 中的 MOS 晶体管 30b 的电流驱动力小,但利用该电流计 60b 能充分地识别半导体装置 40 中是否通过检查用电路 30 将普通压焊区 28 与接地节点导电性地连接起来。

[检查用电路 2]

图 9 是检查用电路的变更例的结构图。图 9 所示的检查用电路包含接收筛选方式检测信号 ZBI 和压焊区 22 上的电位(信号 SR)的 NOR 电路 30c,以及 NOR 电路 30c 的输出信号活化时将内部布线 51 导电性地连接到
5 接地节点上的 n 沟道 MOS 晶体管 30b。筛选方式检测信号 ZBI 在筛选方式设定时呈低电平,在通常工作方式时呈高电平。另一结构与图 7 所示的结构相同,对应的部分标以相同的参照编号,它们的说明从略。

在该图 9 所示的检查用电路结构的情况下,在通常工作方式时,筛选方式检测信号 ZBI 为高电平,NOR 电路 30c 的输出信号变成低电平,内部布
10 线 51 从接地节点导电性地断开。在该状态下,内部电路 50 输出与送给压焊区 28 的信号对应的信号。设定在筛选方式时,筛选方式检测信号 ZBI 变为低电平,NOR 电路 30c 作为反相电路工作。因此,当压焊区 22 的电位为电源电压 Vdd 电平时,信号 SR 变为高电平,NOR 电路 30c 的输出信号变成低电平。另一方面,当压焊区 22 的电位被设定为接地电压 Vss 电平时,
15 信号 SR 变为低电平,NOR 电路 30c 的输出信号变成高电平。

因此,该 MOS 晶体管 30b 对应于信号 SR 的电位电平,被设定为导通状态或截止状态。因此在与外部引线端子 4c 导电性地连接的压焊区 28 处形成电流路径。将高电平信号送给引线端子 4c,测定该引线端子 4c 的漏电流,根据该漏电流的大小(有无)能识别压焊区 22 的设定电位电平。即当压焊
20 区 22 被设定为电源电压 Vdd 电平时,引线端子 4c 不产生漏电流(或漏电流极小:只内部电路 50 有漏电流),当压焊区 22 被设定为接地电压 Vss 电平时,引线端子 4c 流过很大的漏电流。

[检查用电路 3]

图 10 是按照本发明构成的检查用电路的第 3 种结构图。在图 10 中,与
25 图 9 所示的结构相同,对内部布线 51 设有根据压焊区 22 的电位(信号 SR)和筛选方式检测信号 ZBI,导电性地连接到内部布线 51 的接地节点上的检查用电路 30。该内部布线 51 将内部电路 50 导电性地连接在与外部引线端子 4a 连接的压焊区 28 上。图 1 所示的全局写入信号/GW 被送给该引线端子 4a。检查用电路 30 包含接收筛选方式检测信号 ZBI 和压焊区 22 上的
30 的电位(信号 SR)的 NOR 电路 30c,以及根据该 NOR 电路 30c 的输出信号将内部布线 51 导电性地连接到接地节点上的 n 沟道 MOS 晶体管 30b。

在图 10 所示的结构中,还对内部布线 56 设有第 2 检查用电路 62,该内

部布线 56 将与内部电路 50 分开设置的内部电路 54 导电性地连接在另外的压焊区 52 上。压焊区 52 被导电性地连接在接收主字节写入信号/MBW 的引线端子 4b 上。

5 检查用电路 62 包含:接收压焊区 22 上的电位(信号 SR)的反相器 62a;接收反相器 62a 的输出信号和筛选方式检测信号 ZBI 的 NOR 电路 62b; 以及根据 NOR 电路 62b 的输出信号将内部布线 56 导电性地连接到接地节点上的 n 沟道 MOS 晶体管 62c。其次说明工作情况。

在通常工作方式时,筛选方式检测信号 ZBI 为高电平,NOR 电路 30c 及 62b 都输出低电平信号,MOS 晶体管 30b 及 62c 都处于截止状态。因此内
10 部布线 51 及 56 都被从接地节点导电性地断开,内部电路 50 及 54 根据分别通过压焊区 28 及 52 从引线端子 4a 及 4b 送来的信号工作。

在筛选方式时,筛选方式检测信号 ZBI 为低电平,NOR 电路 30c 及 62b 作为反相器工作。信号 SR(压焊区 22 上的电位)被送给 NOR 电路 30c, 信号 SR 通过反相器 62a 被送给 NOR 电路 62b。因此,该检查用电路 30 及 62
15 在筛选方式时彼此互补地工作。即压焊区 22 被设定为电源电压 Vdd 电平,当信号 SR 为高电平时,检查用电路 62 的 MOS 晶体管 62c 变成导通状态,内部配线 56 被导电性地连接在接地节点上。另一方面,检查用电路 30 的 MOS 晶体管 30b 为截止状态,内部配线 51 被从接地节点导电性地断开。因此,当压焊区 22 被设定为电源电压 Vdd 电平时,漏电流流过引线端子 4b,
20 引线端子 4a 上没有漏电流(或极小)。

另一方面,当压焊区 22 被设定为接地电压 Vss 电平时,信号 SR 为低电平时,检查用电路 30 的 MOS 晶体管 30b 为导通状态,另一方面,检查用电路 62 的 MOS 晶体管 62c 变成截止状态。因此,在该状态下,内部配线 51 被导电性地连接在接地节点上,内部配线 56 被从接地节点导电性地断开,漏
25 电流流过引线端子 4a,引线端子 4b 上不产生漏电流(或产生极小的漏电流)。这时,在进行压焊区电位检测时,高电平信号被加在引线端子 4a 及 4b 上。因此,通过识别漏电流流过引线端子 4a 及 4b 中的哪一个,能鉴别压焊区 22 的设定电位。

图 11 是表示进行具有图 10 所示的检查用电路的半导体装置的测试的
30 结构略图。在图 11 中,遵照规定顺序的信号(电压)被从测试器 60 送给半导体装置 40 的引线端子 4a、4b、...、40c。测试器 60 包含按规定顺序将信号加在半导体装置 40 的各引线端子 4a、4b、...、40c 上的测试控制电路

60a,以及设在引线端子 4a 及 4b 和测试控制电路 60a 的输出端之间的电流计 60ba 及 60bb。来自测试控制电路 60a 的信号通过电流计 60ba 及 60bb 被送给引线端子 4a 及 4b。设定为筛选方式时,用该电流计 60ba 及 60bb 测定流过的电流,识别具有允许漏电流以上大小的漏电流流过哪一个引线端子,鉴别该半导体装置 40 的压焊区 22 的电位、即半导体装置 40 的内部功能(转换速率调整)。

即使采用图 10 所示的检查用电路,也不需要任何另外的压焊区及引线端子,只在现有的测试器中附加电流计,就能鉴别半导体装置 40 被设定的内部功能(转换速率调整功能)。

10 [检查用电路 4]

图 12 是检查用电路的第 4 种结构略图。在图 12 中,检查用电路 30 根据指定为筛选方式时压焊区 22 的设定电位,将通过压焊区 28 把内部电路 50 导电性地连接在外部引线端子 65 上的内部布线 51 有选择地导电性地连接在电源节点或接地节点两者中的一个上。即检查用电路 30 包含:接收筛选方式检测信号 ZBI 和压焊区 22 上的电位(信号 SR)的双输入 NOR 电路 30c;根据 NOR 电路 30c 的输出信号将内部布线 51 导电性地且有选择地连接到接地节点上的 n 沟道 MOS 晶体管 30b;将压焊区 22 上的电位(信号 SR)的逻辑反相的反相器 30d;接收筛选方式检测信号 ZBI 和反相器 30d 的输出信号的 OR 电路 30e;以及根据 OR 电路 30e 的输出信号将内部布线 51 导电性地且有选择地连接在电源节点上的 p 沟道 MOS 晶体管 30f。其次说明工作情况。

在通常工作方式时,筛选方式检测信号 ZBI 为高电平,NOR 电路 30c 的输出信号为低电平,OR 电路 30e 的输出信号变成高电平,MOS 晶体管 30b 及 30f 都变成截止状态。内部电路 50 根据从引线端子 65 送来的信号工作。

25 指定为筛选方式时,筛选方式检测信号 ZBI 被设定为低电平,NOR 电路 30c 作为反相器工作,OR 电路 30e 作为缓冲电路工作。压焊区 22 被设定为电源电压 Vdd 电平时,NOR 电路 30c 的输出信号变成低电平,OR 电路 30e 的输出信号变成低电平。因此 MOS 晶体管 30b 变成截止状态,MOS 晶体管 30f 变成导通状态。内部布线 51 导电性地连接在电源节点上。

30 另一方面,当压焊区 22 被设定为接地电压 Vss 电平时,NOR 电路 30c 的输出信号为高电平,OR 电路 30e 的输出信号变成高电平,MOS 晶体管 30f 变成截止状态,MOS 晶体管 30b 变成导通状态。在该状态下,内部布线 51

导电性地被连接在接地节点上。在图 12 所示的检查用电路 30 的情况下, 作为识别压焊区 22 的设定电位的方法可考虑以下方法。

首先,作为方法之一,先将高电平信号加在引线端子 65 上,检查有无漏电流。当 MOS 晶体管 30f 处于导通状态时,内部布线 51 导电性地被连接在电源节点上,引线端子 65 的漏电流在允许值以下。当 MOS 晶体管 30b 处于导通状态时流过大的漏电流。因此能识别压焊区 22 的设定电位。这时还可增加这样的步骤,即接着将低电平信号加在引线端子 65 上,检查有无漏电流。当 MOS 晶体管 30f 处于导通状态时,电流从检查用电路 30 流到端子 65。当 MOS 晶体管 30b 处于导通状态时,漏电流在允许值以下。因此,当加在引线端子 65 上的电压呈低电平时,识别电流是否从引线端子 65 流出。经过 2 个步骤能可靠地识别压焊区 22 的设定电位。

作为另一种方法,将电源电压 Vdd 和接地电压 Vss 的中间电压信号加在引线端子 65 上。在该状态下,检查通过引线端子 65 流的漏电流的大小及方向。当 MOS 晶体管 30f 处于导通状态时,电流从检查用电路 30 流向引线端子 65。另一方面,当 MOS 晶体管 30b 处于导通状态时,漏电流从引线端子 65 流向检查用电路 30。因此通过识别该漏电流的大小及其方向,能识别压焊区 22 的设定电位,从而能识别设定的内部功能(转换速率调整功能)。

这时用的测试环境与图 1 所示的相同。

在上述实施例中,内部电路采用信号输入电路。该输入电路的输入初级由 CMOS 反相器构成,不存在从内部布线 51 流经内部电路的输入初级的电流路径,因此能根据压焊区的设定电位可靠地识别是否形成了电流路径。之所以不使用信号输出电路,是因为在筛选方式时,检查用电路工作,所以要抑制在信号输出电路的最后输出级形成多余的电流路径,另外还为了防止由最后输出级的电流路径产生的漏电流对压焊区电位鉴别的不良影响。因此,作为该检查指示信号不使用筛选方式检查信号,而使用另外的信号(专用信号)时,在检查指示信号活化时输出缓冲器被设定在高输出阻抗状态的情况下,也可以有选择地对与这种输出缓冲器连接的压焊区形成电流路径。

[其它应用例]

图 13 是本发明的半导体装置的变更例的主要部分的结构略图。在该图 13 所示的结构中包含接收来自外部的信号、片选择信号/CS、可输出信号

/OE、可写入信号/WE 及特定的地址信号位 Ad(也可能是多位),且当这些信号被设定在预定的状态时使检查指示信号 TE 呈活化状态的检查指示信号发生电路 70,以及来自该检查指示信号发生电路 70 的检查指示信号 TE 活化时被激活、根据压焊区 22 上的电位(信号 SR)将内部布线 51 及压焊区 28 导电性地连接在接地节点(基准电位源节点)上的检查用电路 30。

当使用者在通常不使用的状态下设定了外部信号/CS、/OE、WE 及 Ad 时,该检查指示信号发生电路 70 将检查指示信号 TE 激活。作为这种信号状态的组合,例如使片选择信号/CS 为高电平,信号/OE 及/WE 都为低电平,而且将多个地址信号位 Ad 设定为特定的逻辑电平。

在该图 13 所示的结构中,为了指示检查方式,用专用的信号 TE 使检查用电路 30 活化/非活化。因此,将检查用电路 30 设在压焊区 22 附近的压焊区 28,能将检查指示信号发生电路 70 配置在该检查用电路 30 附近,该检查用电路系统的设计布局变得容易了。

该半导体装置不仅可以是与时钟信号同步工作的时钟同步型静态随机存取存储器,也可以是通常的静态随机存取存储器。另外,既可以是动态随机存取存储器(DRAM),也可以是其它存储器(例如快擦写存储器)

[其它应用例 2]

图 14 是本发明的半导体装置的另一种结构略图。在图 14 中,半导体装置包含根据压焊区 80 的设定电位设定其实现的内部功能的压焊选择功能电路 82。该压焊选择功能电路 82 可以是根据压焊区 80 的设定电位确定字结构的数据输入输出电路,也可以是设定更新周期数(DRAM 的情况下)的更新地址系统电路部分,或者还可以是设定数据输出方式(EDO 方式或静态列方式、或设定其工作方式即锁存输出方式、寄存输出方式及透明输出方式之类的数据输出定时的方式)的电路。

半导体装置还包含根据输出信号的状态发生检查指示信号 TE 的检查指示信号发生电路 84,以及接收压焊区 80 上的电位(信号 PS)和来自检查指示信号发生电路 84 的检查指示信号 TE、当该检查指示信号 TE 活化时被活化后根据信号 PS 的逻辑将内部布线 89 导电性地连接到规定的基准电位源(电源电压 Vdd 供给节点或接地电压 Vss 供给节点)上的检查用电路 86。该内部布线 89 通过压焊区 90 将内部电路 88 导电性地连接在外部引线端子 92 上。内部电路 88 可以是在该检查用电路 86 活化时从内部布线 89 经过内部电路 88 不形成电流路径的电路。因此内部电路 88 不仅可以是

信号输入电路,也可以是不工作时被设定在高输出阻抗状态的输出电路。

如该图 14 所示的半导体装置所示,根据压焊区 80 的设定电位确定内部功能时,通过利用检查用电路 86,能从外部容易地鉴别该半导体装置是否被设定在规定的内部功能即是否实现了该内部功能。

- 5 设定压焊区 22 或 80 的电位时,可以采用通过压焊丝将压焊区 22 或 80 导电性地连接在电源引线端子或接地引线端子中的一个端子上的结构。也可以采用下述结构代替这种结构,即在压焊区 22 或 80 附近只设一个引线端子(电源引线或接地引线),根据有无对该附近的引线端子的压焊连接,设定特定压焊区的电位。例如可以采用这样的结构,即无压焊丝时,压焊区 22 或 80 的电位被设定在电源电位电平,接地端子设在附近,当压焊区 22 或 80 通过压焊丝被连接在接地端子上时,该压焊区 22 或 80 的电位被设定在接地电位电平。可在压焊工序时设定这些压焊区 22 或 80 的电位,从而能设定内部功能。

- 15 如上所述,如果按照本发明,在根据特定压焊区的电位设定内部功能的结构中,根据该特定压焊区的电位和检查方式指示,将预定的内部电路连接的普通压焊区导电性地连接在内部基准电位源上,从外部检测该普通压焊区上连接的引线端子的漏电流,因此能容易地识别特定压焊区的电位即设定的内部功能。

- 20 另外,如果这样来构成,即,使用 2 个压焊区作为普通压焊区,根据特定压焊区的电位,将这 2 个压焊区中的一个导电性地连接在基准电位源节点上,则根据哪一个端子上有漏电流流过,能可靠地鉴别特定压焊区的电位即设定的内部功能。

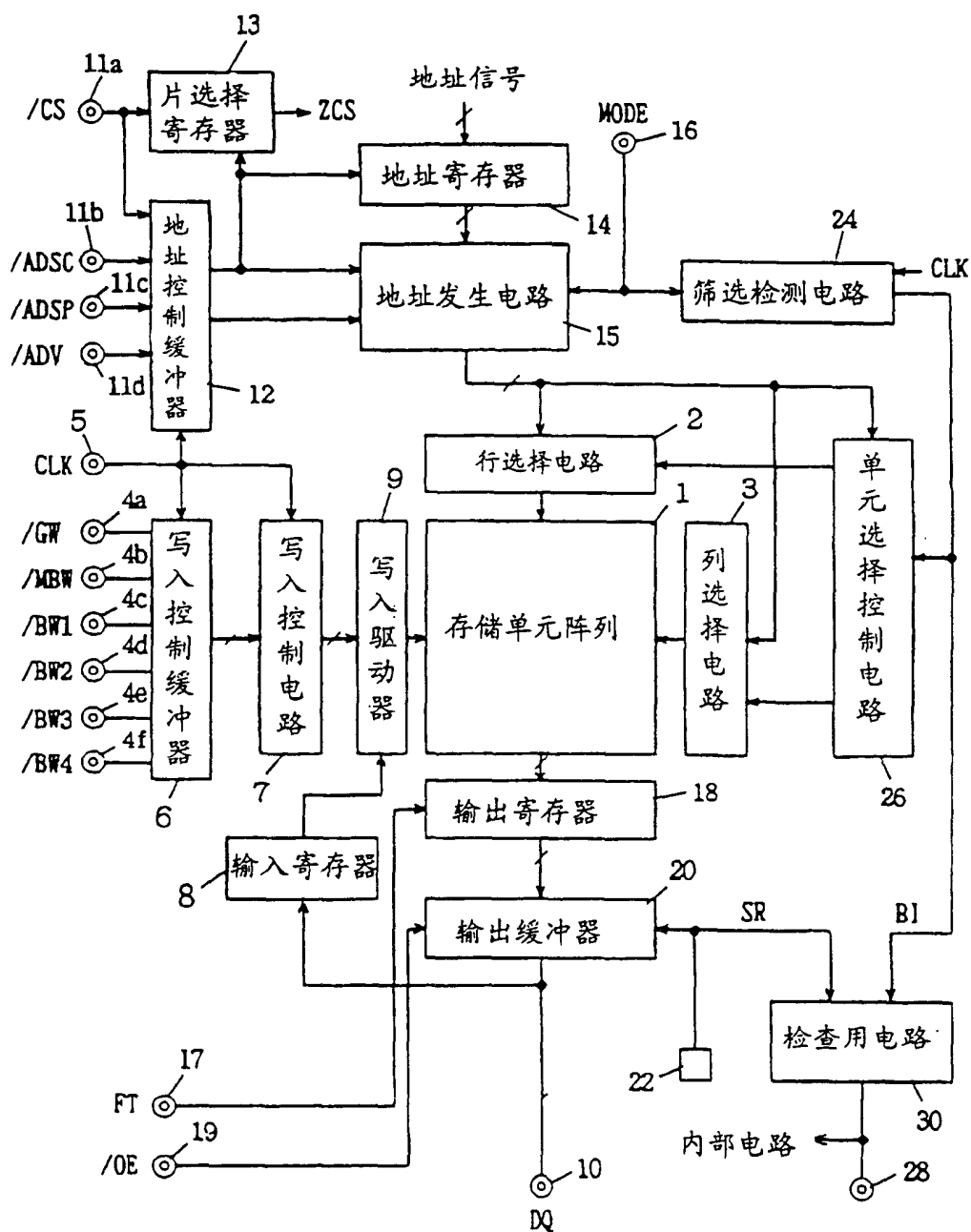
- 25 另外,如果根据特定压焊区的电位,在检查方式时将普通压焊区有选择地连接在第 1 及第 2 基准电位源中的一个上,则只用一个压焊区检测漏电流的方向,就能可靠地检测特定压焊区的电位即设定的内部功能。

另外,在调整输出电路的输出节点的速度的转换速率控制功能的情况下,能用简单的测试方法容易地识别用通常的工作方法不容易检测的内部功能,能可靠地防止产品的误出厂。

- 30 另外,通过使用筛选方式检查信号作为检查指示信号,不需要特别设置设定检查方式用的检测电路,就能与筛选方式时一致地识别内部功能,不需要设专用的测试器或测试方式,不会降低测试效率。另外,在半导体装置内部不需要设已有的方式检测电路,能减少半导体装置的检查用电路的占

有面积。

另外,只检测外部引线端子有无漏电流,就能识别内部功能,能简单地用非破坏方法检测内部功能。



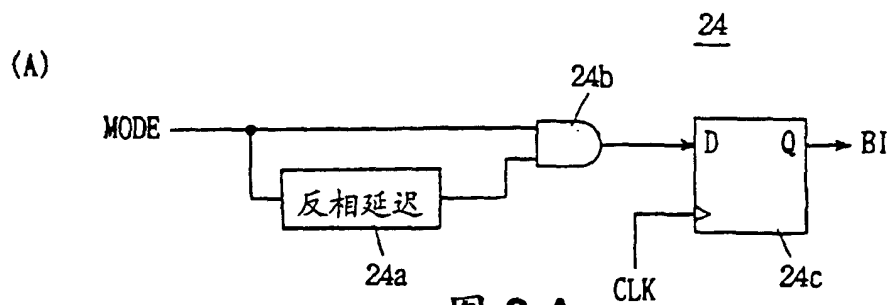


图 2 A

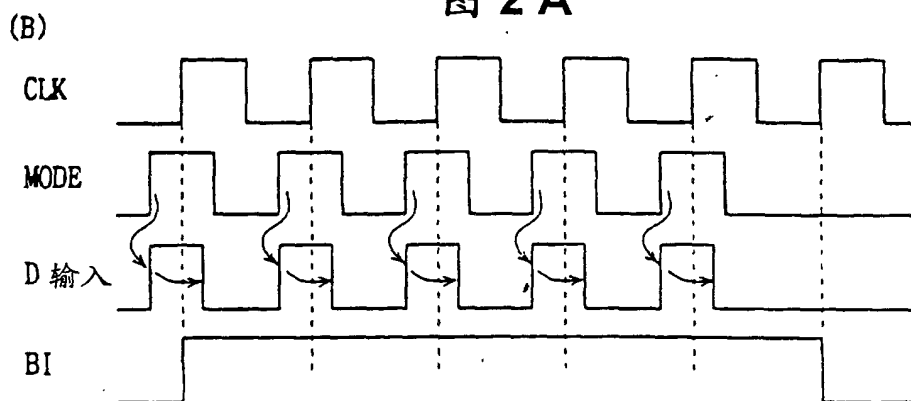


图 2 B

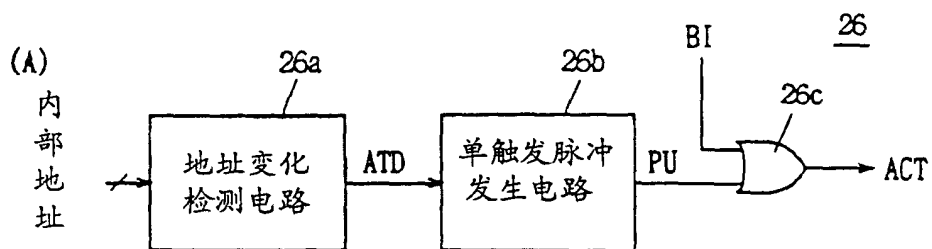


图 3 A

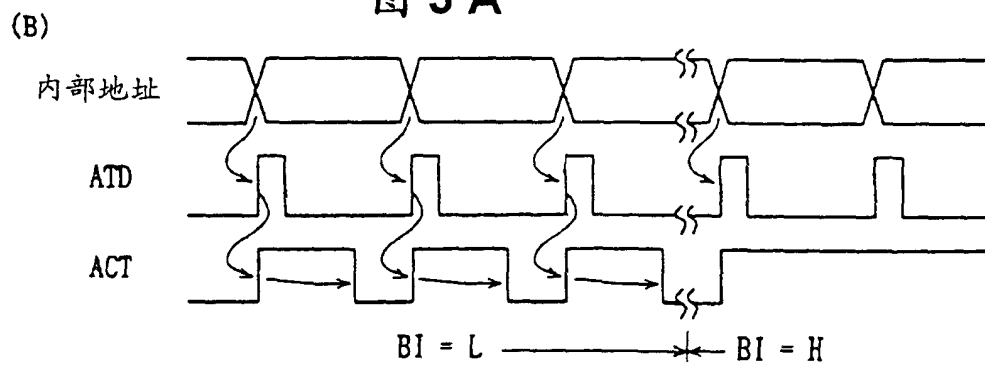


图 3 B

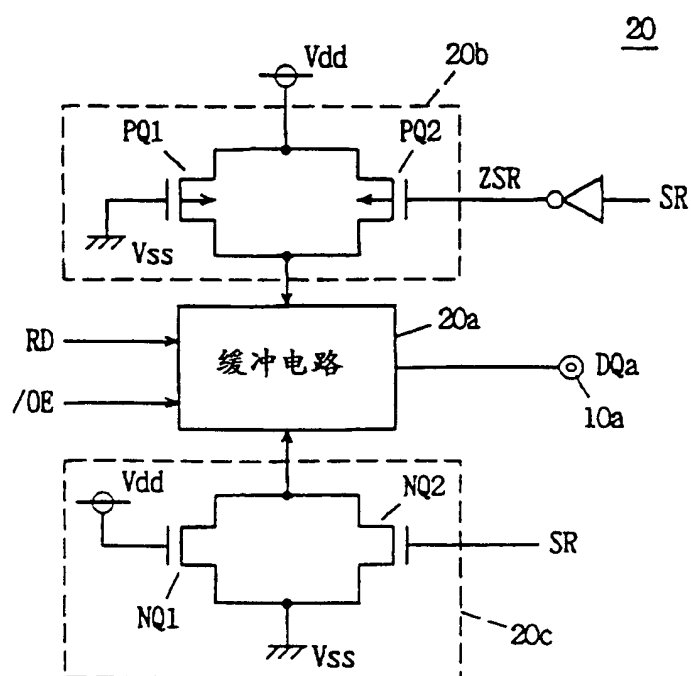


图 4

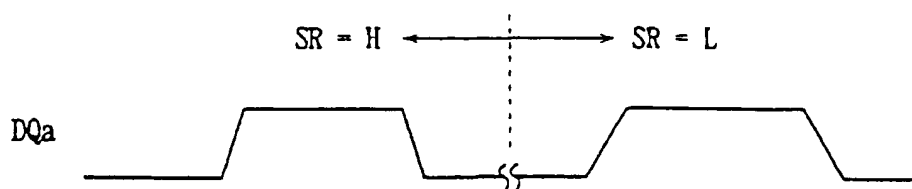


图 5

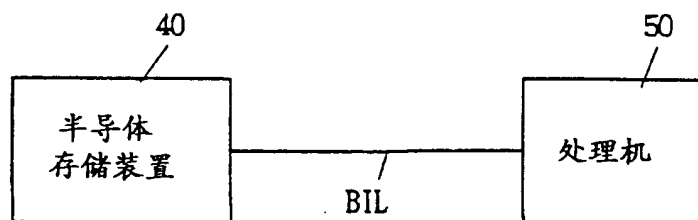


图 6

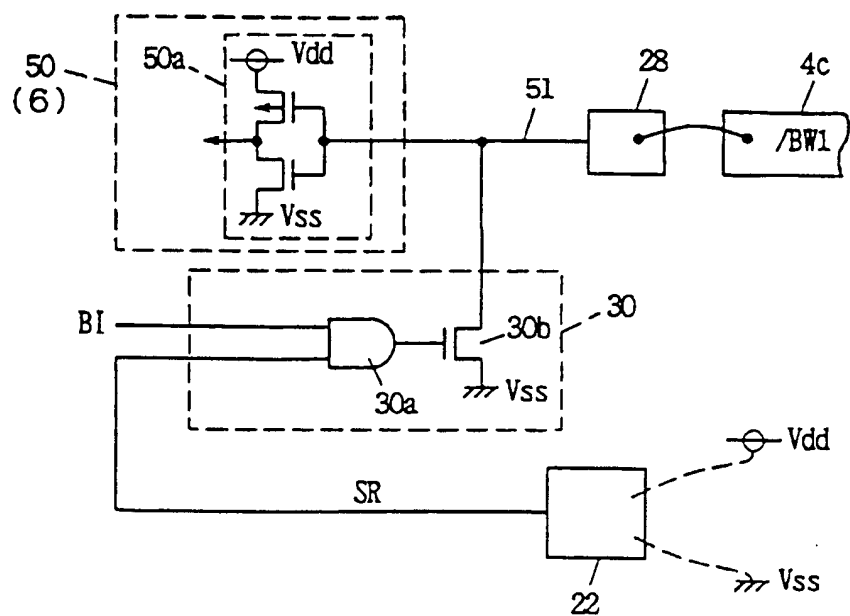


图 7

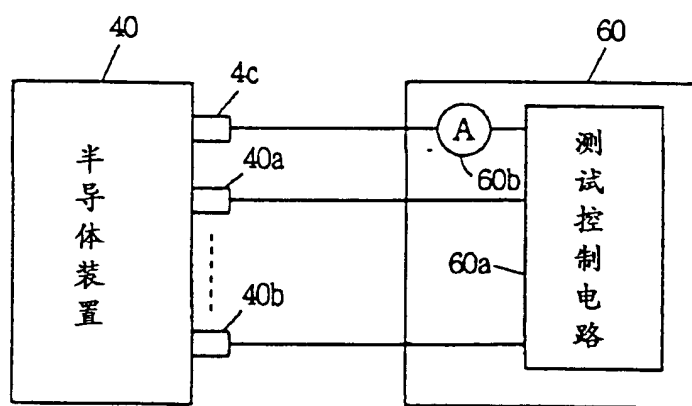


图 8

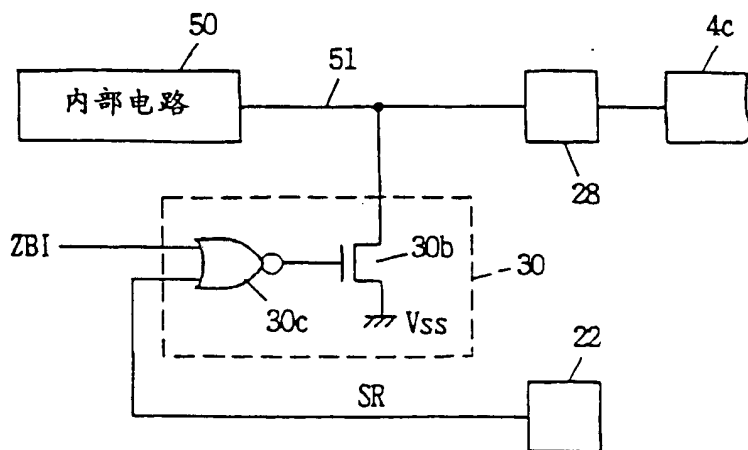


图 9

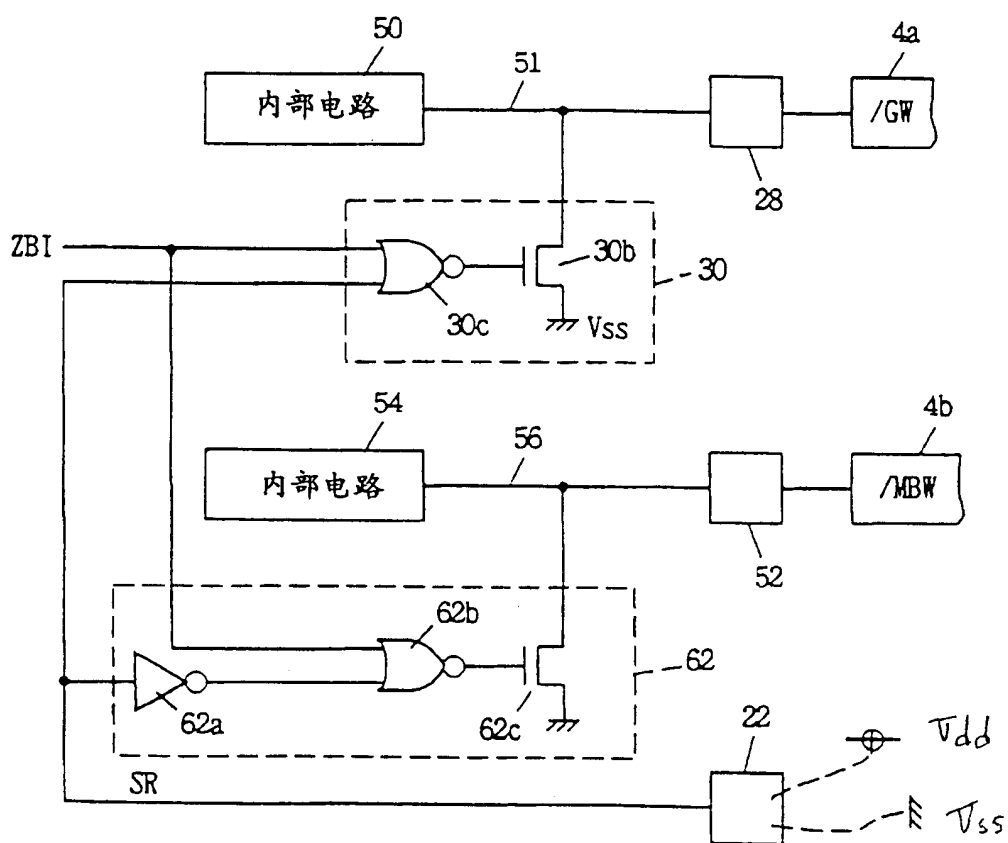


图 10

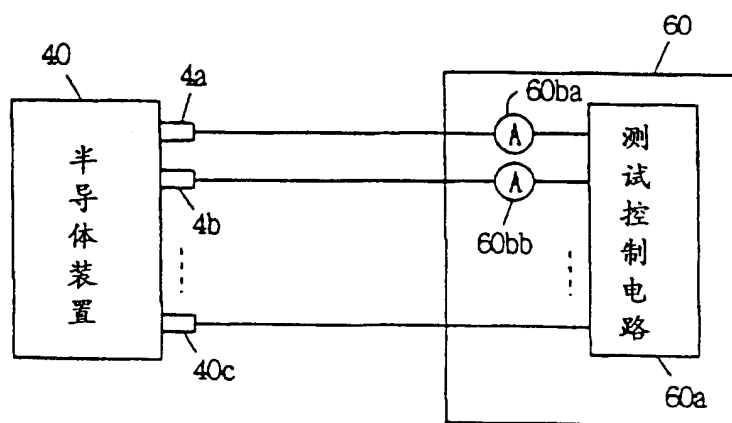


图 11

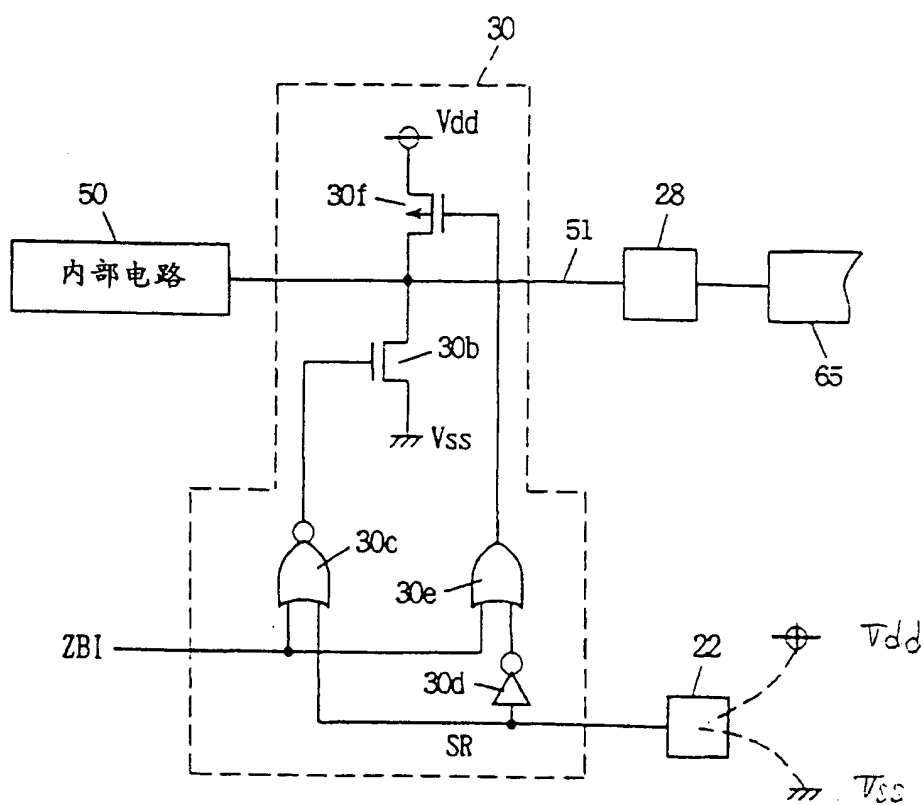


图 12

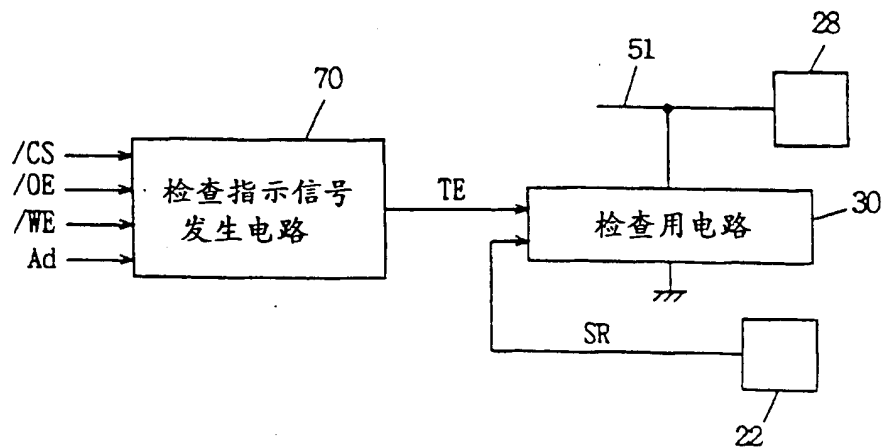


图 13

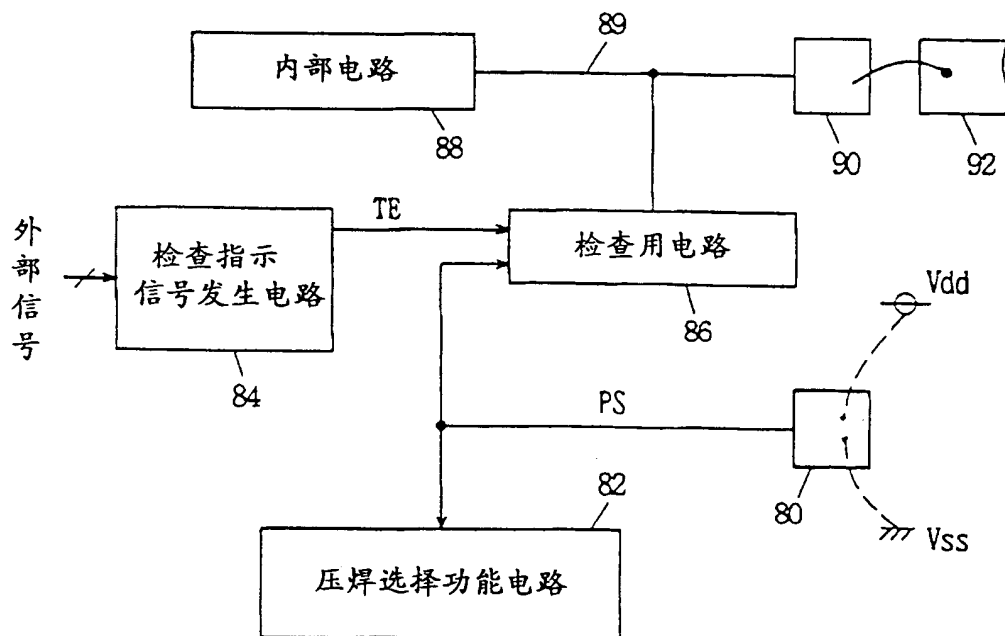


图 14

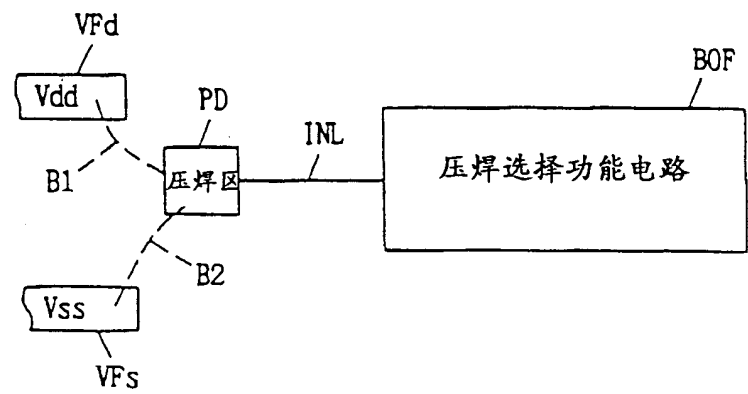


图 15