世界知的所有権機関
国際事務局

PCT

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類6 **H01L 21/324, 27/12, 21/20**	**A1**	(11) 国際公開番号 **WO98/58408** (43) 国際公開日 1998年12月23日(23.12.98)

(21) 国際出願番号 PCT/JP98/02756

(22) 国際出願日 1998年6月19日(19.06.98)

(30) 優先権データ
特願平9/162313 1997年6月19日(19.06.97) JP
特願平9/216368 1997年8月11日(11.08.97) JP

(71) 出願人（米国を除くすべての指定国について）
旭化成工業株式会社
(ASAHI KASEI KOGYO KABUSHIKI KAISHA)[JP/JP]
〒530-8205 大阪府大阪市北区堂島浜1丁目2-6 Osaka, (JP)
(72) 発明者；および
(75) 発明者／出願人（米国についてのみ）
森安嘉貴(MORIYASU, Yoshitaka)[JP/JP]
〒416-0939 静岡県富士市川成島100 旭化成西アパート834 Shizuoka, (JP)
森下 隆(MORISHITA, Takashi)[JP/JP]
〒416-0939 静岡県富士市川成島100 旭化成5寮 Shizuoka, (JP)
松井正宏(MATSUI, Masahiro)[JP/JP]
〒417-0001 静岡県富士市今泉3689-13 Shizuoka, (JP)
石田 誠(ISHIDA, Makoto)[JP/JP]
〒441-8125 愛知県豊橋市野依台1-13-3 Aichi, (JP)

(74) 代理人
弁理士 谷 義一(TANI, Yoshikazu)
〒107-0052 東京都港区赤坂5丁目1-31 第6セイコービル3階 Tokyo, (JP)

(81) 指定国 AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GE, GH, GM, GW, HU, ID, IL, IS, JP, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, US, UZ, VN, YU, ZW, ARIPO特許 (GH, GM, KE, LS, MW, SD, SZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI特許 (BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG).

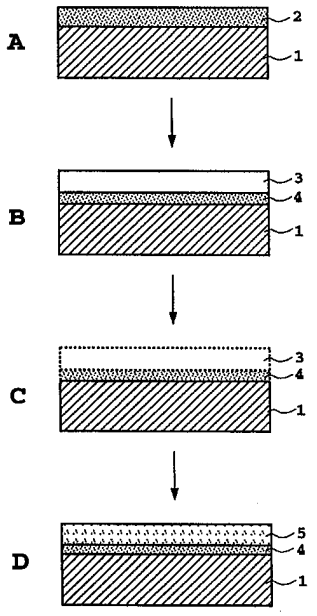
添付公開書類
国際調査報告書

(54)Title: SOI SUBSTRATE AND PROCESS FOR PREPARING THE SAME, AND SEMICONDUCTOR DEVICE AND PROCESS FOR PREPARING THE SAME

(54)発明の名称 SOI基板とその製造方法、および半導体デバイスとその製造方法

(57) Abstract

In growing a silicon layer on a sapphire substrate to prepare an SOS substrate, or alternatively in depositing an oxide layer or a fluoride layer as an intermediate layer on a silicon substrate followed by the growth of a silicon layer on the intermediate layer to prepare an SOI substrate, heat treatment is carried out in an oxidizing atmosphere after the growth of the silicon layer to oxidize a part of the silicon layer on its surface side followed by the removal of the silicon oxide layer by etching and the residual silicon layer is used as a seed layer to conduct homoepitaxial growth again, or heating is carried out in a hydrogen atmosphere after or in the course of the growth of the silicon layer. This process can provide an SOS substrate or an SOI substrate which is free from defects and has high crystallinity, high orientation and small surface roughness.



(57)要約

サファイア基板上にシリコン層を成長させてＳＯＳ基板を作製する場合、あるいはシリコン基板上に中間層として酸化物層あるいはフッ化物層を堆積し、その上にシリコン層を成長させてＳＯＩ基板を作製する場合に、シリコン層を成長させた後に、酸化性雰囲気中で熱処理を行ってシリコン層の表面側の一部を酸化し、そのシリコン酸化物層をエッチング除去し、残ったシリコン層をシード層として再度ホモエピタキシャル成長する、またはシリコン層を成長させた後または途中で、水素雰囲気中で加熱する。これにより、欠陥が少なく、高結晶性・高配向性を有し、表面荒さの小さなＳＯＳ基板・ＳＯＩ基板を得る。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AL アルバニア
AM アルメニア
AT オーストリア
AU オーストラリア
AZ アゼルバイジャン
BA ボズニア・ヘルツェゴビナ
BB バルバドス
BE ベルギー
BF ブルギナ・ファソ
BG ブルガリア
BJ ベナン
BR ブラジル
BY ベラルーシ
CA カナダ
CF 中央アフリカ
CG コンゴー
CH スイス
CI コートジボアール
CM カメルーン
CN 中国
CU キューバ
CY キプロス
CZ チェッコ
DE ドイツ
DK デンマーク
EE エストニア
ES スペイン
FI フィンランド
FR フランス
GA ガボン
GB 英国
GD グレナダ
GE グルジア
GH ガーナ
GM ガンビア
GN ギニア
GW ギニア・ビサオ
GR ギリシャ
HR クロアチア
HU ハンガリー
ID インドネシア
IE アイルランド
IL イスラエル
IN インド
IS アイスランド
IT イタリア
JP 日本
KE ケニア
KG キルギスタン
KP 北朝鮮
KR 韓国
KZ カザフスタン
LC セントルシア
LI リヒテンシュタイン
LK スリ・ランカ
LR リベリア
LS レソト
LT リトアニア
LU ルクセンブルグ
LV ラトヴィア
MC モナコ
MD モルドヴァ
MG マダガスカル
MK マケドニア旧ユーゴスラヴィア共和国
ML マリ
MN モンゴル
MR モーリタニア
MW マラウイ
MX メキシコ
NE ニジェール
NL オランダ
NO ノールウェー
NZ ニュー・ジーランド
PL ポーランド
PT ポルトガル
RO ルーマニア
RU ロシア
SD スーダン
SE スウェーデン
SG シンガポール
SI スロヴェニア
SK スロヴァキア
SL シエラ・レオネ
SN セネガル
SZ スワジランド
TD チャード
TG トーゴー
TJ タジキスタン
TM トルクメニスタン
TR トルコ
TT トリニダッド・トバゴ
UA ウクライナ
UG ウガンダ
US 米国
UZ ウズベキスタン
VN ヴィェトナム
YU ユーゴースラビア
ZW ジンバブエ

明　細　書

ＳＯＩ基板とその製造方法、および半導体デバイスとその製造方法

技術分野

本発明は、シリコン・オン・インシュレータ（ＳＯＩ）基板やシリコン・オン・サファイア（ＳＯＳ）基板等の絶縁物層上に単結晶シリコン半導体層を形成した半導体基板およびその製造方法に係り、詳しくは、転位や欠陥が少なく、表面平坦性の良好なシリコン層を有する半導体基板およびその製造方法に関するものである。また、本発明は、上記の半導体基板上に形成した半導体デバイスとその製造方法に関するものである。

背景技術

従来より絶縁物上に単結晶シリコン半導体層を形成した構造を有する基板材料としてＳＯＩやＳＯＳ等が知られている。尚、本明細書においては、前記ＳＯＩ基板およびＳＯＳ基板を含めて、絶縁物層上に単結晶シリコン半導体層を形成した半導体基板を総称したものもＳＯＩ基板と記す。これらＳＯＩ基板は、デバイス作製に広く応用されており、通常のシリコン基板に比べて、以下のような点で優れている。

（１）　寄生容量低減により高速性に優れている。

（２）　ソフトエラーに強い。

（３）　ラッチアップがない。

（４）　ウェル工程を省略できる。

これらのデバイス特性上の利点を実現するために、ＳＯＩ基板の製造方法として、従来より次のようなものがある。

（ｉ） 貼り合わせ法：シリコン単結晶基板を、表面を熱酸化した別のシリコン単結晶基板に、熱処理または接着剤を用いて貼り合わせた後、機械的研磨や化学エッチング等を用いて、片側シリコン層を均一に薄膜化する方法。

(ii) ＳＩＭＯＸ（セパレーション バイ イオン インプランテッドオキサイド）法：シリコン基板に酸素イオンを注入した後、この基板を熱処理して、シリコン基板中に埋め込みSiO_2(酸化シリコン）層を作製する方法。

(iii) 固相エピタキシャル成長法：シリコン基板の表面を酸化した後、酸化膜の一部に窓をあけてシリコン基板を露出させ、その上に非晶質シリコンを成長させる。次に、熱処理を施し、露出したシリコンと接する部分から出発して、非晶質シリコン層を横方向の固相エピタキシャル成長によって結晶化する方法。

(iv) ヘテロエピタキシャル成長法：絶縁性の酸化物基板あるいはシリコン基板上に結晶性の酸化物やフッ化物の層を堆積した後、その上に単結晶シリコン層をＣＶＤ法等で成長する方法。

しかしながら、これらの方法は一長一短があり、生産性、品質については依然問題をかかえている。例えば貼り合わせ法では、シリコン基板自体を薄膜化する必要があり、シリコン基板を１μｍ以下まで精度よく、なおかつ均一にエッチングあるいは研磨することは極めて困難である。また、ＳＩＭＯＸ法は、長い間研究されてきたが、シリコン基板中にSiO_2の埋め込み酸化膜を形成するためには、多量の酸素イオンを打ち込まなければならず、生産性やコストに問題があると共に、シリコン層中の結晶欠陥が

多く、埋め込み酸化膜中にパイプと呼ばれる欠陥が存在するという問題もある。

加えて、貼り合わせＳＯＩ基板やＳＩＭＯＸ基板では、その上に作製された素子（例えば、電界効果トランジスタ）のスナップバック耐圧やＥＳＤ（エレクトロスタティックディスチャージ）が低いという欠点があり、品質上の問題となっている。スナップバック耐圧とは、素子がＦＥＴ（電界効果トランジスタ）の場合、ＦＥＴとして動作する際に、ボディ部とドレイン部の接合部に発生するホットキャリアがボディ部に蓄積して、ドレイン部とボディ部とソース部との間に流れるドレイン電流が急増して、耐圧が低下することを意味する。また、ＥＳＤとは、静電気等の電気ショックにより素子が破壊する場合の耐圧を意味し、通常人間が発する静電気に耐えられる２０００Ｖがスペックになっている。

一方、ＳＯＩ技術の前身として、ＳＯＳ技術が知られている。ＳＯＳ基板はこれまで主に耐放射線性を必要とするデバイスに使われてきた。ＳＯＳ基板は、寄生容量が小さい等のＳＯＩ基板の特徴に加えて、厚い絶縁層を有することから、基板を通じてのノイズが小さい等の特徴を持つ。また、ＳＯＳ基板では、シリコン層とサファイア界面でのキャリアのライフタイムが短くなるために、ＦＥＴが動作する際に、ボディ部とドレイン部の接合部に発生するホットキャリアは直ぐに再結合してボディ部に蓄積しにくい。従って、ドレイン部とボディ部とソース部の間に流れる電流が急増せず、耐圧が低下しない。即ち、スナップバック耐圧の高いことがＳＯＳ基板の大きな特徴となっている。しかしながら、ＳＯＳ基板は、シリコンをサファイア基板上にヘテロエピタキシャル成長させて作製するために、シリコン層とサファイア基板（$\alpha-Al_2O_3$）との格子定数や熱膨張係数の違いにより、多数の結晶欠陥や大きな表面粗さの発生が問題となっていた。

また、シリコン基板上に、酸化物層やフッ化物層等の中間層、さらにその上に単結晶シリコン層をエピタキシャル成長したＳＯＩ基板として、例えば中間層にγ－Al_2O_3を用いたものが知られている（特開平１－２６１３００）が、これらのＳＯＩ基板においても同様に、シリコン層と中間層の界面でのキャリアのライフタイムが短くなり、ＳＯＳ基板と同等の高いスナップバック耐圧の得られることが期待されるが、やはり格子定数や熱膨張係数の違いに起因するシリコン層の結晶性の低下や表面粗さの増大が問題となっている。

ＳＯＳ基板のシリコン層の結晶性を改善する方法としては、シリコン層にシリコンイオンを注入して、サファイアとの界面側をアモルファスにした後、アニール処理を行って再結晶化するという方法が知られている（ＵＳＰ４１７７０８４）。しかしながら、この方法によれば、サファイア基板上にヘテロエピタキシャル成長したものよりは、結晶欠陥が低減し結晶性は改善されるが、まだ10^9個／cm^2程度の結晶欠陥、特に積層欠陥が残留していた。

また、これらＳＯＳ基板やＳＯＩ基板におけるシリコン層では、絶縁性の下地との界面に近づくほど結晶欠陥密度が高くなる、という問題がある。そのため、これらの基板上に、例えば、高速・低消費電力用のデバイスを作製する場合のように、厚さが０．０５～０．３μｍと薄いシリコン層においては、極めて多くの結晶欠陥を含むことになる。

また、これらＳＯＳ基板やＳＯＩ基板におけるシリコン層では、配向性が悪く、（００１）面の中に（１１０）面や（１１１）面の成分が含まれていたり、歪みを含むために、基板面に対して平行に成長した（００１）面の格子定数と基板面に対して垂直な（１００）面の格子定数とに大きな差が生じたりしていた。

そのため、サファイア基板を用いるＳＯＳ基板や、シリコン基板上に堆積した酸化物層やフッ化物層のような中間層を利用するＳＯＩ基板は、貼り合わせＳＯＩ基板やＳＩＭＯＸ基板と比較すると、シリコン層の結晶性や表面平坦性が悪く、それらの基板上に半導体デバイス、例えばＭＯＳＦＥＴ（金属－酸化物－半導体構造電界効果トランジスタ）を形成した場合、フリッカノイズの原因となったり、ゲート酸化膜の耐圧低下、ＥＳＤの低下、実効移動度や相互コンダクタンスの低下等、ＦＥＴの動作性能や信頼性を悪化させている。

シリコン層の表面平坦性を改善する手法としては、インシュレータ層がSiO_2である貼り合わせＳＯＩ基板を、還元性雰囲気中で加熱処理するという方法が知られている（特開平５－２１７８２１号公報参考）。しかしながら、この方法によれば、平坦性は向上するが、シリコン層の下地がSiO_2であるために、スナップバック耐圧やＥＳＤの向上が見られなかった。

デバイスの信頼性を考慮すれば、スナップバック耐圧やＥＳＤは高いほど好ましく、ＳＯＳ基板や、シリコン基板上に酸化物層やフッ化物層等の中間層、さらにその上に結晶シリコン層をエピタキシャル成長したＳＯＩ基板において、シリコン層の結晶性や表面平坦性を改善し、これらに起因するデバイス性能を向上したり、スナップバック耐圧やＥＳＤをさらに高められれば、デバイスの性能や信頼性にとって極めて有用である。

発明の開示

本発明は、従来のＳＯＳ基板、あるいはシリコン基板上に酸化物層あるいはフッ化物層等の中間層を堆積し、その上にシリコン層をエピタキシャル成長させたＳＯＩ基板の問題点を解決し、結晶性や表面平坦性が良好で、

結晶欠陥密度が深さ方向に一様に低いＳＯＩ基板を供給し、その基板上に半導体デバイスを形成することにより、高速、低フリッカノイズ、高スナップバック耐圧、高ＥＳＤ等、優れた性能を有する半導体デバイスを供給することを、課題とする。

かかる状況下において、本発明者らは、サファイア基板上にシリコン層を成長させてＳＯＳ基板を作製する場合、あるいはシリコン基板上に中間層として酸化物層あるいはフッ化物層を堆積し、その上にシリコン層を成長させてＳＯＩ基板を作製する場合に、（Ａ）シリコン層を成長させた後に、酸化性雰囲気中で熱処理を行ってシリコン層の表面側の一部を酸化し、そのシリコン酸化物層をフッ酸等でエッチング除去すると、後に欠陥の少ない、高配向性のシリコン層が残ること、そして、（Ｂ）このシリコン層をシード層として、その上に再度シリコン層をホモエピタキシャル成長することによって、極めて欠陥の少ない、高結晶性・高配向性のシリコン層を形成できることを見出し、本発明をなすに至った。

また、本発明者らは、サファイア基板上にシリコン層を成長させてＳＯＳ基板を作製する場合、あるいはシリコン基板上に中間層として酸化物層あるいはフッ化物層を堆積し、その上にシリコン層を成長させてＳＯＩ基板を作製する場合に、（Ｃ）シリコン層を成長させた後に、水素雰囲気中で加熱することで、シリコン層の結晶性や表面平坦性が著しく向上すること、また、（Ｄ）シリコン層を成長させる途中で一旦成長を中断し、水素雰囲気中で加熱処理してシリコン層の表面平坦性や結晶性を向上させた後、その上に再びシリコン層のエピタキシャル成長を行った場合、ヘテロエピタキシャルで問題となっている界面の格子不整合に起因する転位や欠陥が少なく、表面平坦性が極めて良好なシリコン層を作製できることを見出し、本発明をなすに至った。

さらに、本発明者らは、例えば、上記の製造方法により作製した、欠陥が少なく、高結晶性・高配向性を有し、表面粗さの小さなＳＯＩ基板上にＭＯＳＦＥＴを形成した場合に、従来に比べて動作速度やＥＳＤの向上、フリッカノイズの低減等、顕著なデバイス性能向上が達成されることを見出し、本発明をなすに至った。

すなわち、本発明の請求項１のＳＯＩ基板は、絶縁性の下地と、その上にエピタキシャル成長された結晶シリコン層とからなり、前記絶縁性の下地が、単結晶酸化物基板、またはシリコン基板とその上に堆積された結晶性の酸化物層もしくはフッ化物層とからなる積層基板から構成されているＳＯＩ基板であって、前記結晶シリコン層の欠陥密度が、４×１０^{8}個／ｃｍ^{2}以下であり、かつ該結晶シリコン層の表面粗さが、４ｎｍ以下０．０５ｎｍ以上であることを特徴とする。

本発明の請求項２のＳＯＩ基板は、前記請求項１のＳＯＩ基板において、前記結晶シリコン層の欠陥密度が、深さ方向全体にわたって４×１０^{8}個／ｃｍ^{2}以下であることを特徴とする。

本発明の請求項３のＳＯＩ基板は、前記請求項１のＳＯＩ基板において、前記結晶シリコン層の欠陥密度が、１×１０^{7}個／ｃｍ^{2}以下であることを特徴とする。

本発明の請求項４のＳＯＩ基板は、前記請求項１のＳＯＩ基板において、前記結晶シリコン層の欠陥密度が、深さ方向全体にわたって１×１０^{7}個／ｃｍ^{2}以下であることを特徴とする。

本発明の請求項５のＳＯＩ基板は、前記請求項１のＳＯＩ基板において、前記結晶シリコン層の、基板面に対して平行に成長した（００４）ピークのＸ線回折ロッキングカーブの半値幅が、１０００ａｒｃｓｅｃ以下１００ａｒｃｓｅｃ以上であることを特徴とする。

本発明の請求項６のＳＯＩ基板は、前記請求項１のＳＯＩ基板において、前記結晶シリコン層の、基板面に対して垂直なシリコン（１００）面の格子定数が、５．４１オングストローム以上５．４４オングストローム以下であることを特徴とする。

本発明の請求項７のＳＯＩ基板は、前記請求項１のＳＯＩ基板において、前記結晶シリコン層の、基板面に対して平行なシリコン（００１）面の格子定数が、５．４４オングストローム以下５．４１オングストローム以上であることを特徴とする。

本発明の請求項８のＳＯＩ基板は、前記請求項１のＳＯＩ基板において、前記結晶シリコン層の、基板面に対して垂直なシリコン（１００）面の格子定数に対する、基板面に対して平行なシリコン（００１）面の格子定数の比が、１．００５以下０．９９５以上であることを特徴とする。

本発明の請求項９のＳＯＩ基板は、前記請求項１のＳＯＩ基板において、前記結晶シリコン層の、Ｘ線回折測定における基板面に対して平行な００４反射に対する２２０反射の強度比が、０．１以下であることを特徴とする。

本発明の請求項１０のＳＯＩ基板は、前記請求項１のＳＯＩ基板において、前記絶縁性の下地が前記単結晶酸化物基板であり、該単結晶酸化物基板がサファイア基板であることを特徴とする。

本発明の請求項１１のＳＯＩ基板は、前記請求項１のＳＯＩ基板において、前記前記絶縁性の下地が前記積層基板であり、その基板としてのシリコン基板上に堆積された結晶性の前記酸化物層が、α－Al_2O_3、γ－Al_2O_3、θ－Al_2O_3、$MgO \cdot Al_2O_3$、CeO_2、$SrTiO_3$、$(Zr_{1-x}, Y_x)O_y$、$Pb(Zr, Ti)O_3$、$LiTaO_3$、$LiNbO_3$のいずれかからなり、前記フッ化物層がＣａＦ2からなることを特徴とする。

また、本発明の請求項１２のＳＯＩ基板の製造方法は、絶縁性の下地の上に欠陥密度が低いシリコン層が形成されてなるＳＯＩ基板の製造方法であって、

（ａ）　前記絶縁性の下地の上に、シリコン層を成膜する工程と、

（ｂ）　前記シリコン層を酸化性雰囲気中で熱処理し、このシリコン層の表面側の一部を酸化する工程と、

（ｃ）　前記工程（ｂ）で形成されたシリコン酸化膜をエッチングにより除去する工程と、を有することを特徴とする。

本発明の請求項１３のＳＯＩ基板の製造方法は、絶縁性の下地の上に欠陥密度が低いシリコン層が形成されてなるＳＯＩ基板の製造方法であって、

（ａ）　前記絶縁性の下地の上に、第１のシリコン層を成膜する工程と、

（ｂ）　前記第１のシリコン層を酸化性雰囲気中で熱処理し、この第１のシリコン層の表面側の一部を酸化する工程と、

（ｃ）　前記工程（ｂ）で形成されたシリコン酸化膜を、エッチングにより除去する工程と、

（ｄ）　残った第１のシリコン層の上に、第２のシリコン層をエピタキシャル成長する工程と、を有することを特徴とする。

本発明の請求項１４のＳＯＩ基板の製造方法は、前記請求項１３の製造方法において、前記工程（ｄ）において形成されたシリコン層を前記工程（ａ）で形成された第１のシリコン層と見なし、前記工程（ｂ）～（ｄ）を、２回以上繰り返すことを特徴とする。

本発明の請求項１５のＳＯＩ基板の製造方法は、前記請求項１２ないし１４のいずれかの製造方法において、前記酸化性雰囲気が酸素と水素の混合ガスまたは水蒸気を含むことを特徴とする。

本発明の請求項１６のＳＯＩ基板の製造方法は、前記請求項１２ないし

１４のいずれかの製造方法において、前記酸化性雰囲気中での熱処理の温度が６００℃以上１３００℃以下であることを特徴とする。

本発明の請求項１７のＳＯＩ基板の製造方法は、前記請求項１２ないし１４のいずれかの製造方法において、前記酸化性雰囲気中での熱処理の温度が８００℃以上１２００℃以下であることを特徴とする。

本発明の請求項１８のＳＯＩ基板の製造方法は、前記請求項１３または１４の製造方法において、前記残った第１のシリコン層の上に第２のシリコン層をエピタキシャル成長する温度が５５０℃以上１０５０℃以下であることを特徴とする。

本発明の請求項１９のＳＯＩ基板の製造方法は、前記請求項１３又は１４の製造方法において、前記残った第１のシリコン層の上に第２のシリコン層をエピタキシャル成長する温度が６５０℃以上９５０℃以下であることを特徴とする。

本発明の請求項２０のＳＯＩ基板の製造方法は、前記請求項１３または１４の製造方法において、前記残った第１のシリコン層の上に第２のシリコン層をエピタキシャル成長する工程の前に、該残った第１のシリコン層を水素雰囲気中または真空中で加熱処理することを特徴とする。

本発明の請求項２１のＳＯＩ基板の製造方法は、前記請求項１３または１４の製造方法において、前記残った第１のシリコン層の上に第２のシリコン層をエピタキシャル成長する工程において、該残った第１のシリコン層の表面および第２のシリコン層中にシリコン酸化物を生成させないことを特徴とする。

本発明の請求項２２のＳＯＩ基板の製造方法は、前記請求項１３または１４の製造方法において、前記残った第１のシリコン層の上に第２のシリコン層をエピタキシャル成長する際に用いる装置の成長室のベース圧力を

10^{-7}Torr以下とすることを特徴とする。

本発明の請求項２３のＳＯＩ基板の製造方法は、前記請求項１３または１４の製造方法において、前記残った第１のシリコン層の上に第２のシリコン層をエピタキシャル成長する方法が、ＵＨＶ－ＣＶＤ法またはＭＢＥ法であることを特徴とする。

本発明の請求項２４のＳＯＩ基板の製造方法は、前記請求項１３または１４の製造方法において、前記残った第１のシリコン層の上に第２のシリコン層をエピタキシャル成長する時に、成長初期においてのみ成長温度を高く設定することを特徴とする。

本発明の請求項２５のＳＯＩ基板の製造方法は、前記請求項２４の製造方法において、前記第２のシリコン層をエピタキシャル成長する方法が、ＡＰＣＶＤ法またはＬＰＣＶＤ法であることを特徴とする。

本発明の請求項２６のＳＯＩ基板の製造方法は、前記請求項１２の製造方法において、前記シリコン酸化膜をエッチングにより除去する工程の後に、ＳＯＩ基板を窒素雰囲気中で熱処理する工程を有することを特徴とする。

本発明の請求項２７のＳＯＩ基板の製造方法は、前記請求項１３または１４の製造方法において、前記第２のシリコン層をエピタキシャル成長する工程の後に、ＳＯＩ基板を窒素雰囲気中で熱処理する工程を有することを特徴とする。

本発明の請求項２８のＳＯＩ基板の製造方法は、前記請求項２６または２７の製造方法において、前記窒素雰囲気中で熱処理する工程の後に、酸化性雰囲気中で熱処理する工程を有することを特徴とする。

本発明の請求項２９のＳＯＩ基板の製造方法は、前記請求項１２の製造方法において、前記シリコン酸化膜をエッチングにより除去する工程の後

に、水素中で熱処理する工程を有することを特徴とする。

本発明の請求項３０のＳＯＩ基板の製造方法は、前記請求項１３または１４の製造方法において、前記第２のシリコン層をエピタキシャル成長する工程の後に、水素中で熱処理する工程を有することを特徴とする。

本発明の請求項３１のＳＯＩ基板の製造方法は、前記請求項２９または３０の製造方法において、前記水素中での熱処理の温度が８００℃以上１２００℃以下であることを特徴とする。

本発明の請求項３２のＳＯＩ基板の製造方法は、前記請求項１２ないし３１のいずれかの製造方法において、前記第１のシリコン層を成膜する工程の直後に、シリコンイオンを注入してシリコン層の深部をアモルファス化し、アニール処理を行って再結晶化する工程を含むことを特徴とする。

本発明の請求項３３のＳＯＩ基板の製造方法は、前記請求項３２の製造方法において、前記アニール処理が、先に窒素雰囲気中で行われ、その後、酸化性雰囲気中で行われることを特徴とする。

本発明の請求項３４のＳＯＩ基板の製造方法は、前記請求項３３の製造方法において、前記酸化性雰囲気中でのアニール処理の後に、シリコン酸化膜をエッチングにより除去する工程を含むことを特徴とする。

本発明の請求項３５のＳＯＩ基板の製造方法は、前記請求項１２の製造方法において、前記シリコン酸化膜をエッチングにより除去する工程の後に、シリコン層に化学的または／および機械的研磨を施す工程を有することを特徴とする。

本発明の請求項３６のＳＯＩ基板の製造方法は、前記請求項１３または１４の製造方法において、前記第２のシリコン層をエピタキシャル成長する工程の後に、シリコン層に化学的または／および機械的研磨を施す工程を有することを特徴とする。

本発明の請求項３７のＳＯＩ基板の製造方法は、前記請求項１２ないし３６のいずれかの製造方法において、前記絶縁性の下地の上に第１のシリコン層を成膜する工程が、絶縁性の下地の上に第１のシリコン層をエピタキシャル成長する工程であることを特徴とする。

本発明の請求項３８のＳＯＩ基板の製造方法は、前記請求項１２ないし３７のいずれかの製造方法において、前記絶縁性の下地が単結晶酸化物基板であることを特徴とする。

本発明の請求項３９のＳＯＩ基板の製造方法は、前記請求項３８の製造方法において、前記絶縁性の下地がサファイア基板であることを特徴とする。

本発明の請求項４０のＳＯＩ基板の製造方法は、前記請求項１２ないし３７のいずれかの製造方法において、前記絶縁性の下地が、基板としてのシリコン基板上に堆積された結晶性の酸化物層もしくはフッ化物層とからなる積層基板であることを特徴とする。

本発明の請求項４１のＳＯＩ基板の製造方法は、前記請求項４０の製造方法において、前記結晶性の酸化物層が、$\alpha-Al_2O_3$、$\gamma-Al_2O_3$、$\theta-Al_2O_3$、$MgO\cdot Al_2O_3$、CeO_2、$SrTiO_3$、$(Zr_{1-x}, Y_x)O_y$、$Pb(Zr, Ti)O_3$、$LiTaO_3$、$LiNbO_3$のいずれかからなり、前記結晶性のフッ化物層がCaF_2からなることを特徴とする。

また、本発明の請求項４２のＳＯＩ基板の製造方法は、絶縁性の下地の上に欠陥密度が低いシリコン層が形成されてなるＳＯＩ基板の製造方法であって、

前記絶縁性の下地の上にシリコン層を成膜した後に、該シリコン層を水素中で熱処理する工程を有することを特徴とする。

また、本発明の請求項４３のＳＯＩ基板の製造方法は、絶縁性の下地の

上に欠陥密度が低いシリコン層が形成されてなるＳＯＩ基板の製造方法であって、

（ａ）　前記絶縁性の下地の上に、第１のシリコン層を成膜する工程と、

（ｂ）　前記第１のシリコン層を水素中で熱処理する工程と、

（ｃ）　水素中で熱処理を施された第１のシリコン層上に、第２のシリコン層をエピタキシャル成長する工程と、

を有することを特徴とする。

本発明の請求項４４のＳＯＩ基板の製造方法は、前記請求項４３の製造方法において、前記（ａ）～（ｃ）の工程がin situで行われることを特徴とする。

本発明の請求項４５のＳＯＩ基板の製造方法は、前記４２ないし４４のいずれかの製造方法において、前記水素中での熱処理の温度が８００℃以上１２００℃以下であることを特徴とする。

本発明の請求項４６のＳＯＩ基板の製造方法は、前記請求項４２ないし４５のいずれかの製造方法において、前記第１のシリコン層を成膜する工程の直後に、シリコンイオンを注入してシリコン層の深部をアモルファス化し、アニール処理を行って再結晶化する工程を含むことを特徴とする。

本発明の請求項４７のＳＯＩ基板の製造方法は、前記請求項４２または４３の製造方法において、前記第１のシリコン層を水素中で熱処理する工程の直後に、シリコンイオンを注入してシリコン層の深部をアモルファス化し、アニール処理を行って再結晶化する工程を含むことを特徴とする。

本発明の請求項４８のＳＯＩ基板の製造方法は、前記請求項４６または４７の製造方法において、前記アニール処理が、先に窒素雰囲気中で行われ、その後、酸化性雰囲気中で行われることを特徴とする。

本発明の請求項４９のＳＯＩ基板の製造方法は、前記請求項４８の製造方法において、前記酸化性雰囲気中でのアニール処理の後に、シリコン酸化膜をエッチングにより除去する工程を含むことを特徴とする。

本発明の請求項５０のＳＯＩ基板の製造方法は、前記請求項４２の製造方法において、前記水素中で熱処理する工程の後に、シリコン層に化学的および／または機械的研磨を施す工程を有することを特徴とする。

本発明の請求項５１のＳＯＩ基板の製造方法は、前記請求項４３の製造方法において、前記第２のシリコン層をエピタキシャル成長する工程の後に、シリコン層に化学的および／または機械的研磨を施す工程を有することを特徴とする。

本発明の請求項５２のＳＯＩ基板の製造方法は、前記請求項４２ないし５１のいずれかの製造方法において、前記絶縁性の下地の上に第１のシリコン層を成膜する工程が、絶縁性の下地の上に第１のシリコン層をエピタキシャル成長する工程であることを特徴とする。

本発明の請求項５３のＳＯＩ基板の製造方法は、前記請求項４２ないし５１のいずれかの製造方法において、前記絶縁性の下地が単結晶酸化物基板であることを特徴とする。

本発明の請求項５４のＳＯＩ基板の製造方法は、前記請求項５３の製造方法において、前記単結晶酸化物基板がサファイア基板であることを特徴とする。

本発明の請求項５５のＳＯＩ基板の製造方法は、前記請求項４２ないし５１のいずれかの製造方法において、前記絶縁性の下地が、基板としてのシリコン基板の上に堆積された結晶性の酸化物層もしくはフッ化物層とからなる積層基板であることを特徴とする。

本発明の請求項５６のＳＯＩ基板の製造方法は、前記請求項５５の製造

方法において、前記結晶性の酸化物層が、α－Al_2O_3、γ－Al_2O_3、θ－Al_2O_3、$MgO \cdot Al_2O_3$、CeO_2、$SrTiO_3$、$(Zr_{1-x}, Y_x)O_y$、Pb（Zr，Ti）O_3、$LiTaO_3$、$LiNbO_3$のいずれかからなり、前記結晶性のフッ化物層がCaF_2からなることを特徴とする。

また、本発明の請求項５７のＳＯＩ基板は、前記請求項１２ないし４１のいずれかに記載の製造方法により製造されたことを特徴とする。

また、本発明の請求項５８のＳＯＩ基板は、前記請求項４２ないし５６のいずれかに記載の製造方法により製造されたことを特徴とする。

また、本発明の請求項５９の半導体デバイスは、基板としてＳＯＩ基板を用いた半導体デバイスであって、前記ＳＯＩ基板として、請求項１ないし１１のいずれかに記載のＳＯＩ基板が用いられ、それによってデバイス特性が向上していることを特徴とする。

本発明の請求項６０の半導体デバイスは、前記請求項５９の半導体デバイスにおいて、前記半導体デバイスが、電界効果トランジスタ、バイポーラトランジスタのうちの少なくとも１種類であり、そのＳＯＩ基板として請求項１ないし１１のいずれかに記載のＳＯＩ基板を用いることにより向上しているデバイス特性が、相互インダクタンス、遮断周波数、フリッカーノイズ、エレクトロスタティックディズチャージのうちの少なくとも一つであることを特徴とする。

本発明の請求項６１の半導体デバイスは、前記請求項５９の半導体デバイスにおいて、前記半導体デバイスが、ＭＯＳＦＥＴであり、そのＳＯＩ基板として請求項１ないし１１のいずれかに記載のＳＯＩ基板を用いることにより向上しているデバイス特性が、相互インダクタンス、遮断周波数、フリッカーノイズ、エレクトロスタティックディズチャージ、スナップバック耐圧、絶縁破壊電荷量のうちの少なくとも一つであることを特徴とする。

本発明の請求項６２の半導体デバイスは、前記請求項５９の半導体デバイスにおいて、前記半導体デバイスが、バイポーラトランジスタであり、そのＳＯＩ基板として請求項１ないし１１のいずれかに記載のＳＯＩ基板を用いることにより向上しているデバイス特性が、相互インダクタンス、遮断周波数、コレクター電流、リーク電流特性、電流利得のうちの少なくとも一つであることを特徴とする。

本発明の請求項６３の半導体デバイスは、前記請求項５９の半導体デバイスにおいて、前記半導体デバイスが、ダイオードであり、そのＳＯＩ基板として請求項１ないし１１のいずれかに記載のＳＯＩ基板を用いることにより向上しているデバイス特性が、逆バイアスリーク電流特性、順バイアス電流、ダイオード因子のうちの少なくとも一つであることを特徴とする。

本発明の請求項６４の半導体デバイスは、前記請求項５９の半導体デバイスにおいて、前記半導体デバイスが、半導体集積回路であり、そのＳＯＩ基板として請求項１ないし１１のいずれかに記載のＳＯＩ基板を用いることにより向上しているデバイス特性が、周波数特性、ノイズ特性、増幅特性、消費電力特性のうちの少なくとも一つであることを特徴とする。

本発明の請求項６５の半導体デバイスは、前記請求項５９の半導体デバイスにおいて、前記半導体デバイスが、ＭＯＳＦＥＴにより構成された半導体集積回路であり、そのＳＯＩ基板として請求項１ないし１１のいずれかに記載のＳＯＩ基板を用いることにより向上しているデバイス特性が、周波数特性、ノイズ特性、増幅特性、消費電力特性のうちの少なくとも一つであることを特徴とする。

また、本発明の請求項６６の半導体デバイスは、基板としてＳＯＩ基板を用いた半導体デバイスであって、前記ＳＯＩ基板として、前記請求項１

２ないし４１のいずれかに記載の製造方法により製造されたＳＯＩ基板が用いられ、それによってデバイス特性が向上していることを特徴とする。

また、本発明の請求項６７の半導体デバイスは、基板としてＳＯＩ基板を用いた半導体デバイスであって、前記ＳＯＩ基板として、前記請求項４２ないし５６のいずれかに記載の製造方法により製造されたＳＯＩ基板が用いられ、それによってデバイス特性が向上していることを特徴とする。

本発明の請求項６８の半導体デバイスは、前記請求項６６または６７の半導体デバイスにおいて、前記半導体デバイスが、電界効果トランジスタ、バイポーラトランジスタのうちの少なくとも１種類であり、前記デバイス特性が、相互インダクタンス、遮断周波数、フリッカーノイズ、エレクトロスタティックディズチャージのうちの少なくとも一つであることを特徴とする。

本発明の請求項６９の半導体デバイスは、前記請求項６６または６７の半導体デバイスにおいて、前記半導体デバイスが、ＭＯＳＦＥＴであり、前記デバイス特性が、相互インダクタンス、遮断周波数、フリッカーノイズ、エレクトロスタティックディズチャージ、スナップバック耐圧、絶縁破壊電荷量のうちの少なくとも一つであることを特徴とする。

本発明の請求項７０の半導体デバイスは、前記請求項６６または６７の半導体デバイスにおいて、前記半導体デバイスが、バイポーラトランジスタであり、前記デバイス特性が、相互インダクタンス、遮断周波数、コレクター電流、リーク電流特性、電流利得のうちの少なくとも一つであることを特徴とする。

本発明の請求項７１の半導体デバイスは、前記請求項６６または６７の半導体デバイスにおいて、前記半導体デバイスが、ダイオードであり、前記デバイス特性が、逆バイアスリーク電流特性、順バイアス電流、ダイオ

ード因子のうちの少なくとも一つであることを特徴とする。

本発明の請求項７２の半導体デバイスは、前記請求項６６または６７の半導体デバイスにおいて、前記半導体デバイスが、半導体集積回路であり、前記デバイス特性が、周波数特性、ノイズ特性、増幅特性、消費電力特性のうちの少なくとも一つであることを特徴とする。

本発明の請求項７３の半導体デバイスは、前記請求項６６または６７の半導体デバイスにおいて、前記半導体デバイスが、ＭＯＳＦＥＴにより構成された半導体集積回路であり、前記デバイス特性が、周波数特性、ノイズ特性、増幅特性、消費電力特性のうちの少なくとも一つであることを特徴とする。

また、本発明の請求項７４の半導体デバイスの製造方法は、絶縁性の下地と、その上に形成されたシリコン層からなるＳＯＩ基板上に半導体デバイスを製造する方法において、

（ａ） 絶縁性の下地の上に、第１のシリコン層を成膜する工程と、

（ｂ） 前記第１のシリコン層を酸化性雰囲気中で熱処理し、この第１のシリコン層の表面側の一部を酸化する工程と、

（ｃ） 前記工程（ｂ）で形成されたシリコン酸化膜を、エッチングにより除去する工程と、

（ｄ） 残った第１のシリコン層の上に、第２のシリコン層をエピタキシャル成長する工程と、

（ｅ） 前記工程（ｄ）で形成されたシリコン層を酸化性雰囲気中で熱処理して表面側の一部を酸化した後、形成されたシリコン酸化膜をエッチングにより除去して、前記シリコン層を所望の厚さに調整する工程と、

を有することを特徴とする。

本発明の請求項７５の半導体デバイスの製造方法は、前記請求項７４の

製造方法において、前記第１のシリコン層を成膜する工程の直後に、シリコンイオンを注入してシリコン層の深部をアモルファス化し、アニール処理を行って再結晶化する工程を含むことを特徴とする。

本発明の請求項７６の半導体デバイスの製造方法は、前記請求項７４の製造方法において、前記第２のシリコン層をエピタキシャル成長する工程（ｄ）の後に、水素中で熱処理する工程を有することを特徴とする。

本発明の請求項７７の半導体デバイスの製造方法は、前記請求項７４の製造方法において、前記工程（ｅ）の前あるいは後に、シリコン層の化学的および／または機械的研磨を行うことを特徴とする。

また、本発明の請求項７８の半導体デバイスの製造方法は、絶縁性の下地と、その上に形成されたシリコン層からなるＳＯＩ基板上に半導体デバイスを製造する方法において、

（ａ）　絶縁性の下地の上にシリコン層を成膜する工程と、

（ｂ）　前記シリコン層を水素中で熱処理する工程と、

（ｃ）　前記シリコン層を酸化性雰囲気中で熱処理して表面側の一部を酸化した後、形成されたシリコン酸化膜をエッチングにより除去して、前記シリコン層を所望の厚さに調整する工程と、を含むことを特徴とする半導体デバイスの製造方法。

本発明の請求項７９の半導体デバイスの製造方法は、前記請求項７８の製造方法において、前記第１のシリコン層を成膜する工程の直後に、シリコンイオンを注入してシリコン層の深部をアモルファス化し、アニール処理を行って再結晶化する工程を含むことを特徴とする。

本発明の請求項８０の半導体デバイスの製造方法は、前記請求項７８の製造方法において、前記工程（ｃ）の前あるいは後に、シリコン層の化学的および／または機械的研磨を行うことを特徴とする。

また、本発明の請求項８１の半導体デバイスの製造方法は、絶縁性の下地と、その上に形成されたシリコン層からなるＳＯＩ基板上に半導体デバイスを製造する方法において、

（ａ）　絶縁性の下地の上に、第１のシリコン層を成膜する工程と、

（ｂ）　前記第１のシリコン層を水素中で熱処理する工程と、

（ｃ）　水素中で熱処理を施された第１のシリコン層上に、第２のシリコン層をエピタキシャル成長する工程と、

（ｄ）　前記工程（ｃ）で形成されたシリコン層を酸化性雰囲気中で熱処理して表面側の一部を酸化した後、形成されたシリコン酸化膜をエッチングにより除去して、前記シリコン層を所望の厚さに調整する工程と、

を有することを特徴とする。

本発明の請求項８２の半導体デバイスの製造方法は、前記請求項８１の製造方法において、前記第１のシリコン層を成膜する工程の直後に、シリコンイオンを注入してシリコン層の深部をアモルファス化し、アニール処理を行って再結晶化する工程を含むことを特徴とする。

本発明の請求項８３の半導体デバイスの製造方法は、前記請求項８１の製造方法において、前記工程（ｄ）の前あるいは後に、シリコン層の化学的および／または機械的研磨を行うことを特徴とする。

図面の簡単な説明

図１Ａ～図１Ｃは、請求項１２に記載の発明によるＳＯＩ基板の作製手順を示す作製工程中のＳＯＳ基板の断面図であり、図１Ａ～図１Ｄは、請求項１３に記載の発明によるＳＯＩ基板の作製手順を示す作製工程中のＳＯＳ基板の断面図である。

図２Ａ～図２Ｂは、請求項４２に記載の発明によるＳＯＩ基板の作製手順を示す作製工程中のＳＯＳ基板の断面図である。

図３Ａ～図３Ｃは、請求項４３に記載の発明によるＳＯＩ基板の作製手順を示す作製工程中のＳＯＳ基板の断面図である。

図４Ａ～図４Ｆは、請求項１３に記載の発明における工程（ａ）と工程（ｂ）の間に、第１のシリコン層にシリコンイオンを注入して深部をアモルファス化し、アニール処理を行って再結晶化する工程を加えたＳＯＩ基板の作製手順を示す作製工程中のＳＯＳ基板の断面図である。

図５は、前記アニール処理を行って再結晶化する工程を加えたＳＯＩ基板において、シリコン層の厚さ方向全体にわたって結晶欠陥密度が小さくなっていることを示すグラフである。

図６Ａ～図６Ｅは、各種ＳＯＳ基板をエッチング液に浸すことによってピットを形成する処理の後で、ＳＥＭにより観察した結果を示す写真であり、図６Ａはサファイア基板上にシリコン層をＡＰＣＶＤによりエピタキシャル成長したＳＯＳ基板、図６Ｂは、図６Ａの基板のシリコン層にシリコンイオンを注入してその深部をアモルファス化し、アニール処理を行って再結晶化したＳＯＳ基板、図６Ｃは、請求項１３に記載の発明において、工程（ａ）と工程（ｂ）の間に、第１のシリコン層にシリコンイオンを注入して、その深部をアモルファス化し、アニール処理を行って再結晶化する工程を入れた場合のＳＯＳ基板、図６Ｄは、図６ＣのＳＯＳ基板にさらに水素雰囲気中での加熱処理を施したＳＯＳ基板、図６Ｅは、図６ＢのＳＯＳ基板に水素雰囲気中での加熱処理を施したＳＯＳ基板を、それぞれ示す。

図７は、本発明の実施例１で作製したＳＯＳ基板を用いて作製したＣＭＯＳトランジスタの断面構成図である。

図８Ａは、本発明の比較例１において作製したＳＯＳ基板のシリコン層の欠陥密度を観察するための基板のＴＥＭによる断面写真である。

図８Ｂは、本発明の比較例３において作製したＳＯＳ基板のシリコン層の欠陥密度を観察するための基板のＴＥＭによる断面写真である。

図８Ｃは、本発明の実施例６において作製したＳＯＳ基板のシリコン層の欠陥密度を観察するための基板のＴＥＭによる断面写真である。

発明を実施するための最良の形態

以下に、本発明の実施の形態の説明をする。

本発明における絶縁性の下地としては、サファイア等の単結晶酸化物基板、あるいは基板としてのシリコン基板上に堆積されたα－Al_2O_3、γ－Al_2O_3、θ－Al_2O_3、$MgO \cdot Al_2O_3$、CeO_2、$SrTiO_3$、$(Zr_{1-x}, Y_x)O_y$、Ｐｂ（Ｚｒ，Ｔｉ）O_3、$LiTaO_3$、$LiNbO_3$等の結晶性の酸化物層もしくはCaF_2等の結晶性のフッ化物層が用いられる。また、本発明においては、絶縁性の下地として、非晶質の材料、例えばガラス基板、あるいは基板としてのシリコン基板上のSiO_2等も適用可能である。なお、本発明において、シリコン基板上に酸化物層やフッ化物層を成長する方法については、特に制限はなく、通常、減圧化学気相成長法（ＬＰＣＶＤ法）、超高真空化学気相成長法（ＵＨＶ－ＣＶＤ法）、分子線エピタキシー法（ＭＢＥ法）、スパッタリング法、レーザＭＢＥ法等が用いられる。SiO_2の場合は、シリコン基板を酸化性雰囲気中で熱酸化処理したものでもよい。また、ＳＩＭＯＸ基板や貼り合わせＳＯＩ基板のようなＳＯＩ構造に対しても、さらに結晶欠陥の少ない、高結晶性のシリコン層を形成できる効果がある。

図１Ａないし図１Ｄは、請求項１２または１３に記載の発明によるＳＯＳ基板の作製手順を示したものである。

本発明においては、まず、図１Ａに示すように、絶縁物であるサファイア基板１の上に、第１のシリコン層２をエピタキシャル成長させるが、その成長方法としては、常圧化学気相法（ＡＰＣＶＤ法）、減圧化学気相法（ＬＰＣＶＤ法）、超高真空化学気相法（ＵＨＶ－ＣＶＤ法）、分子線エピタキシー法（ＭＢＥ法）、電子ビーム（ＥＢ）蒸着法等が用いられる。この際、第１のシリコン層の厚さについては、特に制限はないが、例えば、０．０３μｍから１μｍの範囲が実用的である。

次に、第１のシリコン層２を酸化性雰囲気中で熱処理して、図１Ｂに示すように、表面にシリコン酸化物層３を形成するが、この熱処理によって原子の再配列がおこり、エピタキシャル成長後の第１のシリコン層２中に多数生成していた、界面の格子不整合に起因する転位や積層欠陥が低減したり、配向性の異なる部分が消失する。

本発明において、酸化雰囲気中での熱処理の温度は、５００℃以上１３５０℃以下であり、好ましくは６００℃以上１３００℃以下であり、さらに好ましくは８００℃以上１２００℃以下である。温度が低すぎると、原子の再配列の効果が小さくなり、一方、温度が高すぎると、下地の構成元素がシリコン層に拡散侵入する等の問題がある。また、熱処理の雰囲気については、酸化性雰囲気であれば、特に制限はなく、O_2、O_2+H_2、H_2O、N_2O 等の酸化性ガス、あるいは、これらの酸化性ガスをN_2、Ａｒ 等の不活性ガスで希釈したガスの雰囲気が、通常用いられる。しかし、O_2＋H_2混合ガスまたはH_2Oを含むガスの場合に、結晶欠陥低減や結晶性向上等に関して、より大きな効果が得られ好ましい。

次に、図１Ｃに示すように、シリコン酸化物層３を、弗酸やバッファー

ド弗酸（ＢＨＦ）等によりエッチングし、除去する。

請求項１２に記載の発明においては、以上のようにしてＳＯＳ基板を作製するが、このような手順により、シリコン層は、結晶欠陥が低減し、結晶性や配向性が向上する。

請求項１３に記載の発明においては、その後、さらに、図１Ｄに示すように、残ったシリコン層４をシード層として、その上に第２のシリコン層５をホモエピタキシャル成長する。この際の成長法としては、第１のシリコン層と同様、ＡＰＣＶＤ法、ＬＰＣＶＤ法、ＵＨＶ－ＣＶＤ法、ＭＢＥ法、ＥＢ蒸着法等が用いられるが、第１のシリコン層２の成長方法と同じ方法である必要はない。

第２のシリコン層５をホモエピタキシャル成長する際には、成長初期に、シード層表面に、シリコンのエピタキシャル成長を阻害するシリコン酸化物層が存在しないこと、かつ生成しないことが重要である。そのためには、成長雰囲気中に水分や酸素の極力少ないことが好ましく、成長法としては、ＵＨＶ－ＣＶＤ法、ＭＢＥ法等のように、原料を供給しない状態でのベース圧力が、10^{-7}Torr以下であり、超高真空雰囲気下でシリコン層の成長ができる方法が好ましい。

また、第２のシリコン層５のホモエピタキシャル成長を行う前に、シード層４上の自然酸化膜やケミカルオキサイドを除去するために、水素雰囲気中あるいは真空中での加熱処理を行うことが好ましい。

第２のシリコン層５のエピタキシャル成長を行う温度については、通常４００℃～１２００℃、好ましくは５５０℃～１０５０℃、より好ましくは６５０℃～９５０℃である。シード層表面へのシリコン酸化物層の生成は、成長雰囲気中の水分や酸素の存在量と成長温度により決まり、成長雰囲気中の水分や酸素の存在量が少ないほど、低温でもシリコン酸化物層が

生成しにくい。したがって、ＵＨＶ－ＣＶＤ法やＭＢＥ法のように超高真空雰囲気下でシリコン層の成長ができる方法では、比較的低温でエピタキシャル成長を行うことができるが、その場合には、熱的な歪みが小さくなるために、高品質の結晶シリコン層が得られやすく好ましい。また、ＡＰＣＶＤ法やＬＰＣＶＤ法等において、ベース圧力が10^{-7}Torr以上の場合には、成長初期に、シリコン酸化物層の生成を抑制するために、成長温度を高くし、途中から成長温度を下げるという温度プロファイルにすることが、良好なエピタキシャル成長を行う上で有効である。

本発明において、第２のシリコン層５をホモエピタキシャル成長するためのシード層（シリコン層）４の厚さについては、特に制限はないが、好ましくは、５ｎｍ以上１μｍ以下である。

シード層上への第２のシリコン層５の堆積は、シリコン単結晶基板上にシリコン層を堆積させるホモエピタキシャル成長と同じであり、格子定数の違いによる影響を受けない。それに加えて成長温度を下げることができるという効果もあり、従来のヘテロエピタキシャル成長によるシリコン層と比較して、結晶性や表面平坦性が改善される。また、シード層と比較しても、シリコン層に対して、さらに顕著な結晶欠陥の低減、結晶性・配向性の向上の効果が得られる。しかも、驚くべきことに、第２のシリコン層を堆積した後は、シード層の部分も含めたシリコン層の深さ方向全体にわたって均一に、極めて低い欠陥密度が達成される。

また、シード層上への第２のシリコン層の堆積により、シリコン層の表面平坦性も顕著に改善され、表面粗さの低減が達成される。

本発明においては、請求項１２のシリコン酸化膜３をエッチングにより除去する工程の後、または請求項１３の第２のシリコン層５をエピタキシャル成長する工程の後に、窒素雰囲気中で熱処理する工程を施すと、シリコ

ン層中のドナー性の欠陥や不純物を消去することができる。そのため、例えば、ＭＯＳＦＥＴにおいて動作開始の電圧、すなわち、しきい電圧のずれが生じない等、ＳＯＳ基板上に信頼性の高い半導体デバイスを形成する上で好ましい。また、窒素雰囲気中での熱処理後に、酸化性雰囲気中での熱処理を施すと、さらにその効果が大きくなるため、より好ましい。

なお、図１Ａ～１Ｄに示した発明において、図１Ｂから図１Ｄの工程を２回以上繰り返すことにより、欠陥密度の低減、結晶性の向上、表面粗さの低減等について、さらに顕著な効果を達成することができる。

図２Ａおよび図２Ｂは、請求項４２記載の発明によるＳＯＳ基板の作製手順を示したものである。

本発明においては、まず、図２Ａに示すように、絶縁物であるサファイア基板１の上に、第１のシリコン層２をエピタキシャル成長するが、その成長方法としては、ＡＰＣＶＤ法、ＬＰＣＶＤ法、ＵＨＶ－ＣＶＤ法、ＭＢＥ法、ＥＢ蒸着法等が用いられる。この際、シリコン層は、低温で成長させたアモルファスシリコン層でもかまわない。シリコン層の厚さについては特に制限はないが、例えば、０．０３μｍから１μｍの範囲が実用的である。

次に、図２Ｂに示すように、第１のシリコン層２を水素雰囲気中で加熱処理するが、この加熱処理によって、シリコン原子が表面をマイグレーションして結晶の再配列化がおこり、結晶性向上や表面平坦化が達成される。

この時、水素雰囲気中での加熱処理の温度は、低すぎると、シリコン原子の表面マイグレーションが十分に起こらないし、高すぎると、下地の構成元素（例えば、サファイアの場合はＡｌ）が多量にシリコン層へ拡散侵入して、シリコン層の結晶性を低下させたり、キャリア密度を変えたりする等の影響を及ぼすことから、７００℃以上１３００℃以下であり、好ま

しくは８００℃以上１２００℃以下である。

また、加熱処理の際の水素の分圧は、１Ｔｏｒｒから７６０Ｔｏｒｒの範囲で選ぶことができるが、この場合、分圧を調整する方法としては、真空ポンプによって真空引きしてもよいし、不活性ガスを用いて希釈してもよい。

水素中で加熱処理する時間も任意に選ぶことができるが、好ましくは、２分から５時間であり、より好ましくは５分から３時間である。

図３Ａ～図３Ｃは、請求項４３に記載の発明によるＳＯＳ基板の作製手順を示したものである。

本発明においては、まず、図３Ａに示すように、サファイア基板１の上に、先に記載したものと同様の方法により、第１のシリコン層２をエピタキシャル成長する。この際、第１のシリコン層の厚さについては、特に制限はないが、例えば、０．０３μｍから１μｍの範囲が実用的である。

次に、図３Ｂに示すように、第１のシリコン層２を水素雰囲気中で加熱処理を施し、第１のシリコン層２の結晶性や表面平坦性を改善する。その後、図３Ｃに示すように、このシリコン層をシード層６として、この上に第２のシリコン層７をエピタキシャル成長させる。

この場合、水素雰囲気中での加熱処理をin situで施すと、シード層６およびその上に成長された第２のシリコン層７の品質がより高くなるので、好ましい。in situでの処理とは、この場合、シリコン層を堆積させる処理と水素雰囲気中での加熱処理を、連続的に同じ処理装置の中で実施することであり、シリコン層を途中で大気に曝さないことが重要である。

シリコンシード層６の厚さについては、特に制限はないが、好ましくは５ｎｍから１μｍであり、より好ましくは１０ｎｍから２００ｎｍである。

また、シリコン層の成長方法や成長条件、水素雰囲気中で加熱処理する

際の条件については、先に記載したものと同様である。

先の発明の場合と同様、シリコンシード層６の上に第２のシリコン層７をエピタキシャル成長する場合、この堆積は、シリコン単結晶基板上にシリコン層を堆積させるホモエピタキシャル成長と同じであり、格子定数の違いによる影響を受けない。それに加えて、成長温度を下げることができるという効果もあり、従来のヘテロエピタキシャル成長によるシリコン層と比較して、結晶性や表面平坦性が改善される。

請求項１２、１３、４２、４３に記載の発明において、シリコン層中の結晶欠陥密度のさらに小さなＳＯＳ基板を得るためには、図４Ａ～図４Ｆに示すように、第１のシリコン層２をエピタキシャル成長させた（図４Ａ）後に、この第１のシリコン層２にシリコンイオンを注入して、その深部８をアモルファス化し（図４Ｂ）、アニール処理を行って表面層９より再結晶化したシリコン層１０（図４Ｃ）に対して、各々酸化性雰囲気中（図４Ｄ以降）、水素雰囲気中で加熱処理する工程以降の処理を施すことが好ましい。特に、水素雰囲気中での加熱処理の場合には、高温でもシリコンの再蒸発・飛散が起こらずに、シリコン層の結晶性や表面平坦性の改善効果が大きく現れるようになるため、極めて有効である。

シリコンイオン注入後の、再結晶化のためのアニール処理の雰囲気は、まず、窒素雰囲気が用いられ、その後、酸化性雰囲気に変えられることが好ましい。その際、酸化性雰囲気でのアニールにより生成するシリコン酸化膜は、エッチングにより除去される。

また、請求項１２あるいは１３に記載の発明の作製手順により製造されたＳＯＳ基板に対して、水素雰囲気中での加熱処理を施すことにより、結晶性や表面平坦性の良好なＳＯＳ基板を得ることができる。

また、図１～３の一連の工程終了後に、図１Ｃのシリコン層４、図１Ｄ

のシリコン層５、図２Ｂのシリコン層２、図３Ｃのシリコン層７に対して、化学的または／および機械的研磨処理のような表面を平坦化する処理を施すと、デバイスの性能や信頼性にとってよい効果をもたらすので好ましい。

本発明により作製した、サファイア等単結晶酸化物基板や、シリコン基板とその上に堆積されたα－Al_2O_3、γ－Al_2O_3、θ－Al_2O_3、$MgO \cdot Al_2O_3$、CeO_2、$SrTiO_3$、$(Zr_{1-x}, Y_x)O_y$、Ｐｂ（Ｚｒ，Ｔｉ）O_3、$LiTaO_3$、$LiNbO_3$等の結晶性酸化物層、もしくはCaF_2等の結晶性フッ化物層とからなる積層基板などを絶縁性の下地とするＳＯＩ基板は、I_2、ＫＩ、ＨＦ、メタノール、水を混合したエッチング液に浸積してピットを形成した後、走査型電子顕微鏡（ＳＥＭ）を用いて単位面積当たりのピット数を測定するという方法により、シリコン層の結晶欠陥密度を求めると、いずれの場合も4×10^8個／cm^2より小さな値が得られる。

特に、請求項１３に記載の発明において、工程（ａ）と工程（ｂ）の間に、第１のシリコン層にシリコンイオンを注入して、その深部をアモルファス化し、アニール処理を行って表面層より再結晶化する工程を行うことにより作製したＳＯＩ基板においては、シリコン層の厚さが０．１μｍ～０．３μｍのように小さな場合でも、図５に示すように、シリコン層の深さ方向全体にわたって、10^7個／cm^2以下の結晶欠陥密度が得られる。また同時に、シリコン層の、基板面に対して平行に成長した（００４）ピークのＸ線回折ロッキングカーブの半値幅として、７００ａｒｃｓｅｃ程度、基板面に対して垂直なシリコン（１００）面と基板面に対して平行なシリコン（００１）面の格子定数が、いずれも５．４３オングストローム前後で、（１００）面の格子定数に対する（００１）面の格子定数の比が、１．００５以下０．９９５以上であり、Ｘ線回折測定において、基板面に対し

て平行な００４反射に対する２２０反射の強度比が、０．１以下という物性を、有している。

さらに、このようなＳＯＩ基板に対して、第２のシリコン層をエピタキシャル成長する工程の後に、水素雰囲気中での加熱処理を施すことにより、さらに結晶欠陥が低減し、（００４）ピークのＸ線回折ロッキングカーブの半値幅もさらに小さくなる。

図６Ａから図６Ｅは、各種ＳＯＳ基板について、前記のエッチング液を用いてシリコン層にピットを形成後、ＳＥＭにより観察した時の写真を示したものである。

従来技術による、サファイア基板上に第１のシリコン層をＡＰＣＶＤ法によりエピタキシャル成長したＳＯＳ基板（図６Ａ）、あるいはその第１のシリコン層にシリコンイオンを注入して、その深部をアモルファス化し、アニール処理を行って表面層より再結晶化する処理を行ったＳＯＳ基板（図６Ｂ）の場合に、密度が10^9個／cm^2以上の結晶欠陥に由来する多数のピットが観察される。これに対し、請求項１３に記載の発明において、工程（ａ）と工程（ｂ）の間に、第１のシリコン層にシリコンイオンを注入して、その深部をアモルファス化し、アニール処理を行って表面層より再結晶化する工程を行うことにより作製したＳＯＳ基板（図６Ｃ）や、さらに水素雰囲気中での熱処理を施したＳＯＳ基板（図６Ｄ）では、ほとんどピットが見られない。特に、図６Ａ、６Ｂでは、デバイス特性に悪影響を及ぼす積層欠陥由来の線状ピットが多数現れているのに対し、図６Ｃ、６Ｄではそれが全くなくなっており、本発明による劇的な効果がわかる。

また、図６Ｅのように、第１のシリコン層にシリコンイオンを注入して、その深部をアモルファス化し、アニール処理を行って表面層より再結晶化する処理を行ったＳＯＳ基板に対して、水素雰囲気中の加熱処理を施した

ＳＯＳ基板の場合も、積層欠陥由来の線状ピットが見られなくなり、やはり本発明の効果がわかる。

また、請求項４３に記載の発明において、工程（ａ）と工程（ｂ）の間に、第１のシリコン層にシリコンイオンを注入して、その深部をアモルファス化し、アニール処理を行って表面層より再結晶化する工程を行うことにより作製したＳＯＩ基板においても、やはり、シリコン層の厚さが０．１μｍ～０．３μｍのように小さな場合でも、シリコン層の深さ方向全体にわたって、10^7個／cm^2以下の結晶欠陥密度が得られる。また同時に、シリコン層の、基板面に対して平行に成長した（００４）ピークのＸ線回折ロッキングカーブの半値幅として７００ａｒｃｓｅｃ程度、基板面に対して垂直なシリコン（１００）面と基板面に対して平行なシリコン（００１）面の格子定数がいずれも５．４３オングストローム前後で、（１００）面の格子定数に対する（００１）面の格子定数の比が１．００５以下０．９９５以上であり、Ｘ線回折測定において、基板面に対して平行な００４反射に対する２２０反射の強度比が０．１以下という物性を、有している。

本発明において、表面粗さとは、原子間力顕微鏡を用いて、１０μｍ×１０μｍの範囲における平均二乗粗さＲｒｍｓを求めたものであるが、本発明により作製したＳＯＩ基板の表面粗さは、いずれも４ｎｍ以下であった。

本発明によれば、サファイア等の単結晶酸化物基板、基板としてのシリコン基板上に堆積された$\alpha-Al_2O_3$、$\gamma-Al_2O_3$、$\theta-Al_2O_3$、$MgO\cdot Al_2O_3$、CeO_2、$SrTiO_3$、$(Zr_{1-x}, Y_x)O_y$、Ｐｂ（Ｚｒ，Ｔｉ）O_3、$LiTaO_3$、$LiNbO_3$等の結晶性の酸化物層もしくはCaF_2等の結晶性のフッ化物層の上に、結晶欠陥の極めて少ない、しかも表面平坦性の良好なシリコン層を作製することができるので、このＳＯＩ

基板上には、従来の同様の材料構成からなるＳＯＩ基板では得られない優れた性能を有する半導体デバイスを形成できる。

本発明の半導体デバイスは、請求項７４～８３に記載のように、製造方法の中に、前工程として、ＳＯＩ基板の結晶性や表面平坦性を改善する基板高品質化の工程を含めることによりに得られ、以後の工程については従来技術を用いればよい。

本発明における半導体デバイスとは、その種類には特に制限はなく、ＭＯＳＦＥＴ、バイポーラトランジスタ、両者を組み合わせたＢｉＣＭＯＳトランジスタ、薄膜トランジスタ（ＴＦＴ）、ダイオード、太陽電池等、シリコンデバイス全般にあてはまる。また、ＭＯＳＦＥＴをはじめ、前記のデバイスから構成される集積回路でもよい。

例えば、ＳＯＳ基板上にＭＯＳＦＥＴを形成した場合、本発明においては、ＭＯＳＦＥＴが形成されるシリコン層が、結晶欠陥密度や表面粗さが小さく、配向性が良好で、歪みもあまり含まないために、キャリアがチャネルを移動する際に散乱を受けにくく、実効移動度や相互コンダクタンスが高くなる。

また、フリッカノイズについては、移動キャリアが、シリコン層中の結晶欠陥で散乱された時の移動度の揺らぎや、表面粗さを持ったシリコン層とその上に形成されたゲート酸化膜の界面に生成するトラップを介して、移動キャリアが捕獲と脱離の過程を経ること等が要因と言われており、シリコン層の結晶欠陥や表面粗さが低減されることにより、低フリッカノイズを達成することができる。

また、ＭＯＳＦＥＴを構成するゲート酸化膜を、シリコン層の熱酸化により作製する場合、従来のように結晶欠陥密度や表面粗さが大きいと、熱酸化後のSiO_2膜の厚さが不均一になったり、膜中にピンホールやウィー

クスポットを含むために、絶縁耐圧の低下を招く。本発明においては、ＭＯＳＦＥＴが形成されるシリコン層が、結晶欠陥密度が低く、表面粗さも小さいので、熱酸化後のＳｉO_2膜の欠陥が少なく、格段に高いゲート絶縁耐圧を有する。

また、ＭＯＳＦＥＴが形成されるシリコン層の結晶欠陥密度低減により、静電気等の高電圧がかかっても、欠陥を介した電流のパスが少ないために、従来に比べて高いＥＳＤを得ることができる。

加えて、前述のように、本発明において対象としているＳＯＩ構造は、従来から、シリコン層の下地がＳｉO_2である貼り合わせＳＯＩ基板やＳＩＭＯＸ基板に比べて、ＭＯＳＦＥＴのスナップバック耐圧が高かったが、本発明によりシリコン層の結晶欠陥が低減し、ソース部とドレイン部の間のリーク電流が減ること、さらに高温での加熱処理中に、下地の構成元素であるＡｌが、シリコン層中に拡散して界面近傍にホットキャリアのキラー準位を形成して、ホットキャリアがボディ部に蓄積しにくくなることから、さらに高いスナップバック耐圧が得られる。

上記のように、ＳＯＳ基板上で、高性能、高信頼性を有するＭＯＳＦＥＴから構成される集積回路は、同じデザインルールにおいて、高動作速度、低ノイズ、高信頼性等、従来に比べて極めて優れた特性を発揮できる。そのために、移動体通信用高周波部品、衛星用ＬＳＩ、アナログ／デジタル変換デバイス（ＡＤＣ，ＤＡＣ）、光伝送用ＬＳＩ、アナログーデジタル混載ＬＳＩ他、各種アプリケーションに利用可能であり、非常に有用なデバイスと言える。

以下、本発明の実施例を示す。

（実施例１）

Ｒ面サファイア基板上に、モノシラン（ＳｉH_4）ガスを原料とするＬ

ＰＣＶＤ法により、成長温度９５０℃にて、厚さ２００ｎｍの第１のシリコン層を堆積した。

次に、これを酸化炉に導入し、１０００℃において、水素１８０リットル／ｍｉｎ、酸素１８０リットル／ｍｉｎを導入しながら３０ｍｉｎ水蒸気酸化を行った。これをＢＨＦ中に浸漬して第１のシリコン層上の酸化膜を除去した後、シードシリコン層の膜厚を測定したところ、１００ｎｍであった。

続いて、ジシラン（Si_2H_6）を原料とするＵＨＶ－ＣＶＤ法により、成長温度７５０℃にて、シードシリコン層上に第２のシリコン層を堆積して所望のＳＯＳ基板を作製した。成長後にシリコンの総膜厚を測定したところ２００ｎｍであった。

作製したＳＯＳ基板の結晶性を評価するために、基板の一部を用いて下記の手順で処理してエッチピットを形成した後、走査型電子顕微鏡（ＳＥＭ）で単位面積当たりのピット数を測定し、結晶欠陥密度を求めた。

（１）基板をメタノール中で超音波洗浄する。

（２）２％ＨＦ水溶液を用いて表面の自然酸化膜を除去する。

（３）純粋でオーバーフローする。

（４）I_2（４ｇ）＋ＫＩ（１２ｇ）＋メタノール（４０ｃｃ）＋H_2O（４０ｃｃ）＋ＨＦ（３ｃｃ）の割合で混合したエッチング液に、基板を４５秒間浸漬する。

（５）純粋でオーバーフロー後、（２）（３）を繰り返す。

その結果、欠陥密度は３．０×10^7個／cm^2であった。

また、作製したＳＯＳ基板の表面平坦性は、ＡＦＭ（原子間力顕微鏡）を用いて測定した。この結果、１０μｍ×１０μｍでのＲｒｍｓ（表面粗さ２乗平均）の値は１．５ｎｍであった。

また、作製したＳＯＳ膜の配向性、結晶性並びに歪みに関しては、ＣｕのＫα1線を線源とするＨＲ－ＸＲＤ（高分解能四軸Ｘ線回折装置）を用いても評価した。

まず、基板表面に対して平行に成長したＳｉ（００４）面のＸＲＣ（Ｘ線ロッキングカーブ）を測定したところＦＷＨＭ（半値全幅）は９７４ａｒｃｓｅｃであった。また、このときのＳｉ（００４）面のブラッグの回折角は、６８．９９５度であり、これから計算される基板表面に平行な方向のＳｉの格子定数は、５．４４０となる。

同様に、基板表面に対して平行に成長したＳｉ｛２２０｝面の回折に関しても測定した。通常サファイアＲ面上にはＳｉ（００１）面が成長するが、より詳細に見れば、サファイアとＳｉの間の大きな格子定数差などの問題によって、成長初期には少量のＳｉ｛２２０｝面などの配向の異なる相も成長する。これらの配向の異なる相は、膜の結晶性を低下させる原因の一つなるため、出来るだけ減少させることが好ましい。Ｘ線回折において、これらの回折ピークの強度比を比較することは、配向の異なる相がどの程度存在するかを判断する目安となる。

実施例１において作製したＳＯＳ膜について、基板表面に平行なＳｉの００４反射と２２０反射の回折強度比を比較したところ、Ｓｉ｛２２０｝／Ｓｉ（００４）＝０．０５２であった。

同様に、基板表面に対して垂直に成長したＳｉ（４００）面の回折に関しても測定した。その結果、Ｓｉ（４００）面のブラッグ回折角は、６９．３９２度であり、これから計算される基板表面に垂直な方向のＳｉの格子定数は、５．４１３となる。従って、基板表面に平行な方向と垂直な方向の格子定数の比は、１．００５０となった。

次いで、このＳＯＳ基板に対してＣＭＯＳトランジスタを作製する。図

７にデバイスの断面図を示す。図の左側部分はＮＭＯＳ部分であり、右側部分はＰＭＯＳである。図７において、１はサファイア基板である。はじめに、シリコン層を酸化性雰囲気中で熱処理し、表面側の一部を酸化した後、形成されたシリコン酸化膜をエッチングにより除去することにより、膜厚を１１０ｎｍに調整した。ＮＭＯＳとＰＭＯＳを絶縁分離するためにシリコン層を酸化し、その酸化膜２１がサファイア基板に達するようにする。これにより、サファイア基板上にシリコン酸化膜で囲まれた領域が形成され、そこにＮＭＯＳ、ＰＭＯＳが形成される。図中、１７，１８は、Ｓｉ層上に熱酸化法により形成したゲート酸化膜であり、１９、２０は、ゲート酸化膜上に形成したポリシリコンゲート電極である。また、１１、１３は、砒素イオン打ち込みにより形成したＮＭＯＳのソース、ドレイン領域であり、１４、１６は、フッ化ボロンイオン打ち込みにより形成したＰＭＯＳのソース、ドレイン領域である。１２、１５は、それぞれＮＭＯＳ、ＰＭＯＳのチャネル部である。

このようにして作製されたＭＯＳトランジスタのデバイス特性を測定した。その結果、ゲート幅５０ミクロン、ゲート長が０．８ミクロンで、しきい値が０．６５ＶのＮＭＯＳにおいて、相互コンダクタンスは４５０μＳであり、スナップバック耐圧は８Ｖであった。このトランジスタのノイズ特性は、インプット　ゲート　ボルテージ　スペクトラル　デンシティー（ＳＶＧ）で評価を行い、測定周波数は１００Ｈｚとして測定したところ、ＳＶＧは$2\times10^{-12}V^2/Hz$であった。また、このトランジスタのＥＳＤを、ＥＩＡＪ　ＥＤ－４７０１－１　試験方法Ｃ－１１１Ａ静電破壊試験に準拠した方法により求めたところ、２５００Ｖであった。

次に、高周波特性を測定するためにしきい値が０．２５Ｖでゲート幅１０１ミクロン、実効ゲート長０．７ミクロンのＮＭＯＳを用いて遮断周波

数を測定したところ、５．４ＧＨｚであった。

さらに、ゲート酸化膜の信頼性を評価するために、酸化膜厚が１２ｎｍで、大きさが１００μｍ角のゲートキャパシタを用い、１０ｍＡ／ｃｍ^{2}の定電流ストレスを加えることにより、絶縁破壊電荷量（Ｑｂｄ）を測定したところ、１．０Ｃ／ｃｍ^{2}であった。

（比較例１）

Ｒ面サファイア基板上に、モノシラン（SiH_4）ガスを原料とするＬＰＣＶＤ法により、成長温度９５０℃にて、厚さ２００ｎｍのＳＯＳ基板を作製した。

これを実施例１と同様の方法にて欠陥密度を測定したところ、２．０×１０^{9}個／ｃｍ^{2}であった。

同様に、ＲｒｍｓをＡＦＭを用いて測定したところ５．０ｎｍとなった。

また、実施例１と同様の手法にてＨＲ－ＸＲＤを用いて評価したところ、Ｓｉ（００４）面のＸＲＣのＦＷＨＭは２１７４ａｒｃｓｅｃとなった。このときの基板面に平行な方向および基板面に垂直な方向の格子定数は、それぞれ５．４４４Å、５．４０３Åであり、従って、これらの比は１．００７５となった。

同様に、基板表面に平行なＳｉ（００４）とＳｉ｛２２０｝面の回折強度比を比較したところ、Ｓｉ｛２２０｝／Ｓｉ（００４）＝０．１０４であった。

また、このＳＯＳ基板の一部を切り出して、透過電子顕微鏡（ＴＥＭ）にてＳｉ＜１１０＞方向に断面を観察した結果、図８Ａに示すように、シリコン層の全体にわたって、多数の積層欠陥が存在していることが確認できた。

また、実施例１と同様の方法で各評価項目において同じサイズのＮＭＯ

Ｓトランジスタやキャパシタを作製し、同様の方法によりデバイス特性を評価した。

その結果、相互コンダクタンスは２５０μＳ、スナップバック耐圧６．０Ｖ、ＳＶＧは$3\times10^{-10}V^2$／Ｈｚ、ＥＳＤは１５００Ｖであった。また、同様に高周波特性を評価したところ、遮断周波数は３．５ＧＨｚであった。さらに、ゲート酸化膜のＱｂｄは、０．０２Ｃ／cm^2であった。

（実施例２）

Ｒ面サファイア基板上に、モノシラン（SiH_4）ガスを原料とするＬＰＣＶＤ法により、成長温度９５０℃にて、厚さ２００ｎｍの第１のシリコン層を堆積した。

次に、これを酸化炉に導入し、１０００℃において、水素１８０リットル／ｍｉｎ、酸素１８０リットル／ｍｉｎを導入しながら３０ｍｉｎ水蒸気酸化を行った。これをＢＨＦ中に浸漬して第１のシリコン層上の酸化膜を除去した後、シードシリコン層の膜厚を測定したところ、１００ｎｍであった。

続いて、ジシラン（Si_2H_6）を原料とするＵＨＶ－ＣＶＤ法により、成長温度７５０℃にて、シードシリコン層上に第２のシリコン層を堆積した。この状態でのシリコン層の厚みは、２００ｎｍであった。

さらに、これを前述のように、酸化炉に導入し、１０００℃において、水素１８０リットル／ｍｉｎ、酸素１８０リットル／ｍｉｎを導入しながら３０ｍｉｎ水蒸気酸化を行った。これをＢＨＦ中に浸漬して前記工程で形成されたシリコン層上の酸化膜を除去した後、残ったシードシリコン層の膜厚を測定したところ、１００ｎｍであった。

続いて、同様に、ジシラン（Si_2H_6）を原料とするＵＨＶ－ＣＶＤ法により、成長温度７５０℃にて、前記シードシリコン層上に第３のシリ

コン層を堆積して所望のＳＯＳ基板を作製した。成長後にシリコンの総膜厚を測定したところ２００ｎｍであった。

これを実施例１と同様の方法にて欠陥密度を測定したところ、７．５×１０^{6}個／ｃｍ^{2}であった。同様に、ＲｒｍｓをＡＦＭを用いて測定したところ、１．０ｎｍであった。

また、実施例１と同様の手法にてＨＲ－ＸＲＤを用いて評価したところ、Ｓｉ（００４）面のＸＲＣのＦＷＨＭは、６９０ａｒｃｓｅｃとなった。このときの基板面に平行な方向および基板面に垂直な方向の格子定数は、それぞれ５．４３８Å、５．４２０Åであり、従って、これらの比は１．００３３となった。

同様に、基板表面に平行なＳｉ（００４）とＳｉ｛２２０｝面の回折強度比とを比較したところ、Ｓｉ｛２２０｝／Ｓｉ（００４）＝０．０４４であった。

また、実施例１と同様の方法で各評価項目において同じサイズのＮＭＯＳトランジスタやキャパシタを作製し、同様の方法によりデバイス特性を評価した。

その結果、相互コンダクタンスは４７０μＳ、スナップバック耐圧８．１Ｖ、ＳＶＧは１．２×１０$^{-12}$Ｖ^{2}／Ｈｚ、ＥＳＤは２７００Ｖであった。また、同様に高周波特性を評価したところ、遮断周波数は５．９ＧＨｚであった。さらに、ゲート酸化膜のＱｂｄは１．８Ｃ／ｃｍ^{2}であった。

（実施例３）

Ｒ面サファイア基板上に、モノシラン（ＳｉH_4）ガスを原料とするＬＰＣＶＤ法により、成長温度９５０℃にて、厚さ２００ｎｍの第１のシリコン層を堆積した。

このシリコン層に、基板温度を０℃に保ちながら、エネルギー１９０ｋ

ｅＶのシリコンイオンを１×１０^{16}／ｃｍ^{2}注入し、サファイアとの界面側をアモルファス化した後、窒素ガス雰囲気下、温度５５０℃で１時間、続いて、温度９００℃で１時間の加熱処理を行い、シリコン層を再結晶化した。

次に、これを酸化炉に導入し、１０００℃において、水素１８０リットル／ｍｉｎ、酸素１８０リットル／ｍｉｎを導入しながら、３０ｍｉｎ水蒸気酸化を行った。これをＢＨＦ中に浸漬して第１のシリコン層上の酸化膜を除去した後、シードシリコン層の膜厚を測定したところ、１００ｎｍであった。

続いて、ジシラン（Si_2H_6）を原料とするＵＨＶ－ＣＶＤ法により成長温度７５０℃にて、シードシリコン層上に第２のシリコン層を堆積して所望のＳＯＳ基板を作製した。成長後にシリコンの総膜厚を測定したところ、２００ｎｍであった。

これを実施例１と同様の方法にて欠陥密度を測定したところ、８．８×１０^{6}個／ｃｍ^{2}であった。同様に、ＲｒｍｓをＡＦＭを用いて測定したところ、１．１ｎｍであった。

また、実施例１と同様の手法にてＨＲ－ＸＲＤを用いて評価したところ、Ｓｉ（００４）面のＸＲＣのＦＷＨＭは、６９９ａｒｃｓｅｃとなった。このときの基板面に平行な方向および基板面に垂直な方向の格子定数は、それぞれ５．４３８Å、５．４１３Åであり、従って、これらの比は１．００４６となった。

同様に、基板表面に平行なＳｉ（００４）とＳｉ｛２２０｝面の回折強度比とを比較したところ、Ｓｉ｛２２０｝／Ｓｉ（００４）＝０．０４８であった。

また、実施例１と同様の方法で各評価項目において同じサイズのＮＭＯ

Ｓトランジスタやキャパシタを作製し、同様の方法によりデバイス特性を評価した。

その結果、相互コンダクタンスは４６０μＳ、スナップバック耐圧８．１Ｖ、ＳＶＧは１．５×１０$^{-12}$Ｖ^{2}／Ｈｚ、ＥＳＤは２７００Ｖであった。また、同様に高周波特性を評価したところ、遮断周波数は５．８ＧＨｚであった。さらに、ゲート酸化膜のＱｂｄは１．５Ｃ／ｃｍ^{2}であった。

（実施例４）

Ｒ面サファイア基板上に、モノシラン（SiH_4）ガスを原料とするＬＰＣＶＤ法により、成長温度９５０℃にて、厚さ２００ｎｍの第１のシリコン層を堆積した。

続いて、これを圧力８０Torrの水素ガス雰囲気中、１１００℃で３０分の加熱処理を行った。

このシリコン層に、基板温度を０℃に保ちながら、エネルギー１９０ｋｅＶのシリコンイオンを１×１０^{16}／ｃｍ^{2}注入し、サファイアとの界面側をアモルファス化した後、窒素ガス雰囲気下、温度５５０℃で１時間、続いて温度９００℃で１時間の加熱処理を行い、シリコン層を再結晶化した。

次に、これを酸化炉に導入し、１０００℃において、水素１８０リットル／ｍｉｎ、酸素１８０リットル／ｍｉｎを導入しながら３０ｍｉｎ水蒸気酸化を行った。これをＢＨＦ中に浸漬して第１のシリコン層上の酸化膜を除去した後、シードシリコン層の膜厚を測定したところ、１００ｎｍであった。

続いて、ジシラン（Si_2H_6）を原料とするＵＨＶ－ＣＶＤ法により成長温度７５０℃にて、シードシリコン層上に第２のシリコン層を堆積して所望のＳＯＳ基板を作製した。成長後にシリコンの総膜厚を測定したところ、２００ｎｍであった。

これを実施例１と同様の方法にて欠陥密度を測定したところ、６．２×１０^{6}個／ｃｍ^{2}であった。同様に、ＲｒｍｓをＡＦＭを用いて測定したところ、０．９ｎｍであった。

また、実施例１と同様の手法にてＨＲ－ＸＲＤを用いて評価したところ、Ｓｉ（００４）面のＸＲＣのＦＷＨＭは６７０ａｒｃｓｅｃとなった。このときの基板面に平行な方向および基板面に垂直な方向の格子定数は、それぞれ５．４３８Å、５．４３６Åであり、従って、これらの比は１．０００４となった。

同様に、基板表面に平行なＳｉ（００４）とＳｉ｛２２０｝面の回折強度比を比較したところ、Ｓｉ｛２２０｝／Ｓｉ（００４）＝０．０３６であった。

また、実施例１と同様の方法で各評価項目において同じサイズのＮＭＯＳトランジスタやキャパシタを作製し、同様の方法によりデバイス特性を評価した。

その結果、相互コンダクタンスは４７５μＳ、スナップバック耐圧８．２Ｖ、ＳＶＧは１．２×１０$^{-12}$Ｖ^{2}／Ｈｚ、ＥＳＤは２８００Ｖであった。また、同様に高周波特性を評価したところ、遮断周波数は５．９ＧＨｚであった。さらに、ゲート酸化膜のＱｂｄは１．７Ｃ／ｃｍ^{2}であった。

（実施例５）

Ｒ面サファイア基板上に、モノシラン（SiH_4）ガスを原料とするＬＰＣＶＤ法により、成長温度９５０℃にて、厚さ２００ｎｍの第１のシリコン層を堆積した。

このシリコン層に、基板温度を０℃に保ちながら、エネルギー１９０ｋｅＶのシリコンイオンを１×１０^{16}／ｃｍ^{2}注入し、サファイアとの界面側をアモルファス化した後、窒素ガス雰囲気下、温度５５０℃で１時間、続

いて温度９００℃で１時間の加熱処理を行い、シリコン層を再結晶化した。

次に、これを酸化炉に導入し、１０００℃において、水素１８０リットル／ｍｉｎ、酸素１８０リットル／ｍｉｎを導入しながら３０ｍｉｎ水蒸気酸化を行った。これをＢＨＦ中に浸漬して第１のシリコン層上の酸化膜を除去した後、シードシリコン層の膜厚を測定したところ、１００ｎｍであった。

続いて、ジシラン（Si_2H_6）を原料とするＵＨＶ－ＣＶＤ法により、成長温度７５０℃にて、シードシリコン層上に第２のシリコン層を堆積した。

続いて、これを圧力８０Torrの水素ガス雰囲気中、１１００℃で３０分の加熱処理を行い、所望のＳＯＳ基板を作製した。

このシリコン層の総膜厚を測定したところ、２００ｎｍであった。

これを実施例１と同様の方法にて欠陥密度を測定したところ、６．６×10^6個／cm^2であった。同様に、ＲｒｍｓをＡＦＭを用いて測定したところ、０．８ｎｍであった。

また、実施例１と同様の手法にてＨＲ－ＸＲＤを用いて評価したところ、Ｓｉ（００４）面のＸＲＣのＦＷＨＭは６６５ａｒｃｓｅｃとなった。このときの基板面に平行な方向および基板面に垂直な方向の格子定数は、それぞれ５．４３８Å、５．４３５Åであり、従って、これらの比は１．０００５となった。

同様に、基板表面に平行なＳｉ（００４）とＳｉ｛２２０｝面の回折強度比を比較したところ、Ｓｉ｛２２０｝／Ｓｉ（００４）＝０．０４２であった。

また、実施例１と同様の方法で各評価項目において同じサイズのＮＭＯＳトランジスタやキャパシタを作製し、同様の方法によりデバイス特性を

評価した。

その結果、相互コンダクタンスは４８０μＳ、スナップバック耐圧８．３Ｖ、ＳＶＧは１．０×１０$^{-12}$Ｖ^{2}／Ｈｚ、ＥＳＤは２８００Ｖであった。また、同様に高周波特性を評価したところ、遮断周波数は６．０ＧＨｚであった。さらに、ゲート酸化膜のＱｂｄは、１．８Ｃ／ｃｍ^{2}であった。

（実施例６）

シリコン（１００）基板上に、トリメチルアルミニウム、酸素を原料とするＵＨＶ－ＣＶＤ法を用いて、基板温度８８０℃にてγ－Ａｌ$_{2}$Ｏ$_{3}$を堆積した。成長後の膜をＲＨＥＥＤ（反射高速電子線回折）ならびにＸＲＤを用いて観察したところ、単結晶γ－Ａｌ$_{2}$Ｏ$_{3}$が成長していることが確認された。

このγ－Ａｌ$_{2}$Ｏ$_{3}$層上に、ジシラン（Ｓｉ$_{2}$Ｈ$_{6}$）ガスを原料とするＵＨＶ－ＣＶＤ法により、成長温度９５０℃にて厚さ２００ｎｍの第１のシリコン層を堆積した。

次に、これを酸化炉に導入し、１０００℃において、水素１８０リットル／ｍｉｎ、酸素１８０リットル／ｍｉｎを導入しながら３０ｍｉｎ水蒸気酸化を行った。これをＢＨＦ中に浸漬して、第１のシリコン層上の酸化膜を除去した後、シードシリコン層の膜厚を測定したところ、１００ｎｍであった。

続いて、ジシラン（Ｓｉ$_{2}$Ｈ$_{6}$）を原料とするＵＨＶ－ＣＶＤ法により成長温度７５０℃にて、シードシリコン層上に第２のシリコン層を堆積して所望のＳＯＳ基板を作製した。

これを実施例１と同様の方法にて欠陥密度を測定したところ、３．２×１０^{8}個／ｃｍ^{2}であった。同様に、ＲｒｍｓをＡＦＭを用いて測定したところ、２．３ｎｍであった。

また、実施例１と同様の方法で各評価項目において同じサイズのＮＭＯＳトランジスタやキャパシタを作製し、同様の方法によりデバイス特性を評価した。

その結果、相互コンダクタンスは４００μＳ、スナップバック耐圧７．５Ｖ、ＳＶＧは５．２×１０$^{-12}$Ｖ^{2}／Ｈｚ、ＥＳＤは２２００Ｖであった。また、同様に高周波特性を評価したところ、遮断周波数は４．８ＧＨｚであった。さらに、ゲート酸化膜のＱｂｄは、０．５Ｃ／ｃｍ^{2}であった。

（比較例２）

シリコン（１００）基板上に、トリメチルアルミニウム、酸素を原料とするＵＨＶ－ＣＶＤ法を用いて、基板温度８８０℃にてγ－Ａｌ$_{2}$Ｏ$_{3}$を堆積した。成長後の膜をＲＨＥＥＤならびにＸＲＤを用いて観察したところ、単結晶γ－Ａｌ$_{2}$Ｏ$_{3}$が成長していることが確認された。

このγ－Ａｌ$_{2}$Ｏ$_{3}$層上に、ジシラン（Ｓｉ$_{2}$Ｈ$_{6}$）ガスを原料とするＵＨＶ－ＣＶＤ法により、成長温度９５０℃にて、厚さ２００ｎｍのシリコン層を堆積し、ＳＯＩ基板を作製した。

これを実施例１と同様の方法にて欠陥密度を測定したところ、２．７×１０^{9}個／ｃｍ^{2}であった。同様にＲｒｍｓをＡＦＭにより測定したところ、４．８ｎｍであった。

また、実施例１と同様の方法で各評価項目において同じサイズのＮＭＯＳトランジスタやキャパシタを作製し、同様の方法によりデバイス特性を評価した。

その結果、相互コンダクタンスは２６０μＳ、スナップバック耐圧６．２Ｖ、ＳＶＧは３．１×１０$^{-10}$Ｖ^{2}／Ｈｚ、ＥＳＤは１５００Ｖであった。また、同様に高周波特性を評価したところ、遮断周波数は３．５ＧＨｚであった。さらに、ゲート酸化膜のＱｂｄは、０．０３Ｃ／ｃｍ^{2}であった。

（比較例３）

Ｒ面サファイア基板上に、モノシラン（SiH_4）ガスを原料とするＬＰＣＶＤ法により、成長温度９５０℃にて、厚さ２００ｎｍの第１のシリコン層を堆積した。

このシリコン層に、基板温度を０℃に保ちながら、エネルギー１９０ｋｅＶのシリコンイオンを1×10^{16}／cm^2注入し、サファイアとの界面側をアモルファス化した後、窒素ガス雰囲気下、温度５５０℃で１時間、続いて温度９００℃で１時間の加熱処理を行い、シリコン層を再結晶化し、ＳＯＳ基板を作製した。

これを実施例１と同様の方法にて欠陥密度を測定したところ、１．５×10^9個／cm^2であった。同様に、ＲｒｍｓをＡＦＭにより測定したところ、４．３ｎｍであった。

また、実施例１と同様の手法にてＨＲ－ＸＲＤを用いて評価したところ、Ｓｉ（００４）面のＸＲＣのＦＷＨＭは１１１０ａｒｃｓｅｃとなった。このときの基板面に平行な方向および基板面に垂直な方向の格子定数は、それぞれ５．４４４Å、５．４０６Åであり、従って、これらの比は１．００７０となった。

同様に、基板表面に平行なＳｉ（００４）とＳｉ｛２２０｝面の回折強度比を比較したところ、Ｓｉ｛２２０｝／Ｓｉ（００４）＝０．１０２であった。

また、このＳＯＳ基板の一部を切り出して、透過電子顕微鏡（ＴＥＭ）にてＳｉ＜１１０＞方向に断面を観察した結果、図８Ｂに示すように、シリコン層の内部に積層欠陥が存在していることが確認できた。

また、実施例１と同様の方法で各評価項目において同じサイズのＮＭＯＳトランジスタやキャパシタを作製し、同様の方法によりデバイス特性を

評価した。

その結果、相互コンダクタンスは３５０μＳ、スナップバック耐圧７．０Ｖ、ＳＶＧは１．０×１０$^{-10}$Ｖ^{2}／Ｈｚ、ＥＳＤは１８００Ｖであった。また、同様に高周波特性を評価したところ、遮断周波数は４．２ＧＨｚであった。さらに、ゲート酸化膜のＱｂｄは０．１Ｃ／ｃｍ^{2}であった。

（実施例７）

Ｒ面サファイア基板上に、モノシラン（SiH_4）ガスを原料とするＬＰＣＶＤ法により、成長温度９５０℃にて、厚さ２００ｎｍの第１のシリコン層を堆積した。

このシリコン層に、基板温度を０℃に保ちながら、エネルギー１９０ｋｅＶのシリコンイオンを１×１０^{16}／ｃｍ^{2}注入し、サファイアとの界面側をアモルファス化した後、窒素ガス雰囲気下、温度５５０℃で１時間、続いて温度９００℃で１時間の加熱処理を行い、シリコン層を再結晶化した。

次に、これを酸化炉に導入し、１０００℃において、水素１８０リットル／ｍｉｎ、酸素１８０リットル／ｍｉｎを導入しながら、３０ｍｉｎ水蒸気酸化を行った。これをＢＨＦ中に浸漬して第１のシリコン層上の酸化膜を除去した後、シードシリコン層の膜厚を測定したところ、１００ｎｍであった。

続いて、ジシラン（Si_2H_6）を原料とするＵＨＶ－ＣＶＤ装置に該ＳＯＳ基板を導入し、真空中９００℃にて３０ｍｉｎ熱処理を行った。引き続いて、in situにてＲＨＥＥＤを用いて膜表面を観察したところ、Ｓｉ＜１１０＞方向より電子線を入射した場合に明瞭な２倍長周期構造を持ったストリークが観察され、シードシリコン層が清浄で平滑なシリコン面を持っていることが確認された。

これに引き続いて、in situにて成長温度７５０℃で、シードシリコン層

上に第２のシリコン層を堆積して所望のＳＯＳ基板を作製した。成長後にシリコンの総膜厚を測定したところ、２００ｎｍであった。

これを実施例１と同様の方法にて欠陥密度を測定したところ、５．０×10^5個／cm^2であった。同様に、ＲｒｍｓをＡＦＭを用いて測定したところ、０．９ｎｍであった。

また、実施例１と同様の手法にてＨＲ－ＸＲＤを用いて評価したところ、Ｓｉ（００４）面のＸＲＣのＦＷＨＭは、６５３ａｒｃｓｅｃとなった。このときの基板面に平行な方向および基板面に垂直な方向の格子定数は、それぞれ５．４３６Å、５．４３４Åであり、従ってこれらの比は１．０００４となった。同様に、基板表面に平行なＳｉ（００４）とＳｉ｛２２０｝面の回折強度比を比較したところ、Ｓｉ｛２２０｝／Ｓｉ（００４）＝０．０３０であった。

また、このＳＯＳ基板の一部を切り出して、透過電子顕微鏡（ＴＥＭ）にてＳｉ＜１１０＞方向に断面を観察した結果、図８Ｃに示すように、シリコン層の全体にわたって結晶欠陥が消滅しているのが確認できた。

また、実施例１と同様の方法で各評価項目において同じサイズのＮＭＯＳトランジスタやキャパシタを作製し、同様の方法によりデバイス特性を評価した。

その結果、相互コンダクタンスは５００μＳ、スナップバック耐圧８．５Ｖ、ＳＶＧは１．０×$10^{-12}V^2$／Ｈｚ、ＥＳＤは３０００Ｖであった。また、同様に高周波特性を評価したところ、遮断周波数は６．５ＧＨｚであった。さらに、ゲート酸化膜のＱｂｄは、２．４Ｃ／cm^2であった。

（実施例８）

Ｒ面サファイア基板上に、モノシラン（SiH_4）ガスを原料とするＬＰＣＶＤ法により、成長温度９５０℃にて、厚さ２００ｎｍの第１のシリ

コン層を堆積した。

次に、これを酸化炉に導入し、１０００℃において、酸素１８０リットル／ｍｉｎを導入しながら３６０分ドライ酸化を行った。これをＢＨＦ中に浸漬して第１のシリコン層上の酸化膜を除去した後、シードシリコン層の膜厚を測定したところ、１００ｎｍであった。

続いて、ジシラン（Si_2H_6）を原料とするＵＨＶ－ＣＶＤ法により成長温度７５０℃にて、シードシリコン層上に第２のシリコン層を堆積して所望のＳＯＳ基板を作製した。成長後にシリコンの総膜厚を測定したところ、２００ｎｍであった。

これを実施例１と同様の方法にて欠陥密度を測定したところ、５．０×10^7個／cm^2であった。同様にＲｒｍｓをＡＦＭにより測定したところ、２．０ｎｍであった。

また、実施例１と同様の方法で各評価項目において同じサイズのＮＭＯＳトランジスタやキャパシタを作製し、同様の方法によりデバイス特性を評価した。

その結果、相互コンダクタンスは４３０μＳ、スナップバック耐圧７．８Ｖ、ＳＶＧは３．５×$10^{-12}V^2$／Ｈｚ、ＥＳＤは２４００Ｖであった。また、同様に高周波特性を評価したところ、遮断周波数は５．２ＧＨｚであった。さらに、ゲート酸化膜のＱｂｄは、０．８Ｃ／cm^2であった。

（実施例９）

Ｒ面サファイア基板上に、モノシラン（SiH_4）ガスを原料とするＬＰＣＶＤ法により、成長温度９５０℃にて、厚さ２００ｎｍの第１のシリコン層を堆積した。

次に、これを酸化炉に導入し、９００℃において、水素１８０リットル／ｍｉｎ、酸素１８０リットル／ｍｉｎを導入しながら、９０ｍｉｎ水蒸

気酸化を行った。これをＢＨＦ中に浸漬して第１のシリコン層上の酸化膜を除去した後、シードシリコン層の膜厚を測定したところ、１００ｎｍであった。

続いて、ジシラン（Si_2H_6）を原料とするＵＨＶ－ＣＶＤ法により成長温度７５０℃にて、シードシリコン層上に第２のシリコン層を堆積して所望のＳＯＳ基板を作製した。成長後にシリコンの総膜厚を測定したところ、２００ｎｍであった。

これを実施例１と同様の方法にて欠陥密度を測定したところ、６．０×10^7個／cm^2であった。同様にＲｒｍｓをＡＦＭにより測定したところ、１．７ｎｍであった。

また、実施例１と同様の方法で各評価項目において同じサイズのＮＭＯＳトランジスタやキャパシタを作製し、同様の方法によりデバイス特性を評価した。

その結果、相互コンダクタンスは４３０μＳ、スナップバック耐圧７．７Ｖ、ＳＶＧは４．０×$10^{-12}V^2$／Ｈｚ、ＥＳＤは２４００Ｖであった。また、同様に高周波特性を評価したところ、遮断周波数は５．２ＧＨｚであった。さらに、ゲート酸化膜のＱｂｄは、０．７Ｃ／cm^2であった。

（実施例１０）

Ｒ面サファイア基板上に、モノシラン（SiH_4）ガスを原料とするＬＰＣＶＤ法により、成長温度９５０℃にて、厚さ２００ｎｍの第１のシリコン層を堆積した。

次に、これを酸化炉に導入し、１１００℃において、水素１８０リットル／ｍｉｎ、酸素１８０リットル／ｍｉｎを導入しながら、１５分水蒸気酸化を行った。これをＢＨＦ中に浸漬して第１のシリコン層上の酸化膜を除去した後、シードシリコン層の膜厚を測定したところ、１００ｎｍであっ

た。

続いて、ジシラン（Si_2H_6）を原料とするＵＨＶ－ＣＶＤ法により成長温度７５０℃にて、シードシリコン層上に第２のシリコン層を堆積して所望のＳＯＳ基板を作製した。成長後にシリコンの総膜厚を測定したところ、２００ｎｍであった。

これを実施例１と同様の方法にて欠陥密度を測定したところ、３．５×10^7個／cm^2であった。同様に、ＲｒｍｓをＡＦＭにより測定したところ、１．５ｎｍであった。

また、実施例１と同様の方法で各評価項目において同じサイズのＮＭＯＳトランジスタやキャパシタを作製し、同様の方法によりデバイス特性を評価した。

その結果、相互コンダクタンスは４５０μＳ、スナップバック耐圧８．１Ｖ、ＳＶＧは２．１×$10^{-12}V^2$／Ｈｚ、ＥＳＤは２５００Ｖであった。また、同様に高周波特性を評価したところ、遮断周波数は５．４ＧＨｚであった。さらにゲート酸化膜のＱｂｄは、１．２Ｃ／cm^2であった。

（実施例１１）

Ｒ面サファイア基板上に、モノシラン（SiH_4）ガスを原料とするＬＰＣＶＤ法により、成長温度９５０℃にて、厚さ２００ｎｍの第１のシリコン層を堆積した。

このシリコン層に、基板温度を０℃に保ちながら、エネルギー１９０ｋｅＶのシリコンイオンを１×10^{16}／cm^2注入し、サファイアとの界面側をアモルファス化した後、窒素ガス雰囲気下、温度５５０℃で１時間、続いて温度９００℃で１時間の加熱処理を行い、シリコン層を再結晶化した。

次に、これを酸化炉に導入し、１０００℃において、水素１８０リットル／ｍｉｎ、酸素１８０リットル／ｍｉｎを導入しながら３０ｍｉｎ水蒸

気酸化を行った。これをＢＨＦ中に浸漬して第１のシリコン層上の酸化膜を除去した後、シードシリコン層の膜厚を測定したところ、１００ｎｍであった。

続いて、ジシラン（Si_2H_6）を原料とするＵＨＶ－ＣＶＤ法により成長温度７５０℃にて、シードシリコン層上に第２のシリコン層を堆積して所望のＳＯＳ基板を作製した。

続いて、このＳＯＳ基板の表面平坦性を改善するために、ＣＭＰ（化学的機械的研磨）を行い、４５ｎｍのシリコン層を研磨した。研磨後にシリコン層の膜厚を測定したところ１９０ｎｍであった。

これを実施例１と同様の方法にて欠陥密度を測定したところ、２．４×10^7個／cm^2であった。同様に、ＲｒｍｓをＡＦＭを用いて測定したところ０．３ｎｍであった。

また、実施例１と同様の方法で各評価項目において同じサイズのＮＭＯＳトランジスタやキャパシタを作製し、同様の方法によりデバイス特性を評価した。

その結果、相互コンダクタンスは４４０μＳ、スナップバック耐圧８．２Ｖ、ＳＶＧは１．９×$10^{-12}V^2$／Ｈｚ、ＥＳＤは２６００Ｖであった。また、同様に高周波特性を評価したところ、遮断周波数は５．３ＧＨｚであった。さらに、ゲート酸化膜のＱｂｄは、１．５Ｃ／cm^2であった。

（実施例１２）

Ｒ面サファイア基板上に、モノシラン（SiH_4）ガスを原料とするＬＰＣＶＤ法により、成長温度９５０℃にて、厚さ２００ｎｍの第１のシリコン層を堆積した。

次に、これを酸化炉に導入し、１０００℃において、水素１８０リットル／ｍｉｎ、酸素１８０リットル／ｍｉｎを導入しながら、３０ｍｉｎ水

蒸気酸化を行った。これをＢＨＦ中に浸漬して第１のシリコン層上の酸化膜を除去して、所望のＳＯＳ膜を作製した。シリコン層の膜厚は１００ｎｍであった。

これを実施例１と同様の方法にて欠陥密度を測定したところ、７．１×10^7個／cm^2であった。同様に、ＲｒｍｓをＡＦＭにより測定したところ、２．３ｎｍであった。

また、実施例１と同様の方法で各評価項目において同じサイズのＮＭＯＳトランジスタやキャパシタを作製し、同様の方法によりデバイス特性を評価した。

その結果、相互コンダクタンスは４２０μＳ、スナップバック耐圧７．７Ｖ、ＳＶＧは３．５×$10^{-12}V^2$／Ｈｚ、ＥＳＤは２４００Ｖであった。また、同様に高周波特性を評価したところ、遮断周波数は５．２ＧＨｚであった。さらに、ゲート酸化膜のＱｂｄは、０．７Ｃ／cm^2であった。

（実施例１３）

Ｒ面サファイア基板上に、モノシラン（SiH_4）ガスを原料とするＬＰＣＶＤ法により、成長温度９５０℃にて、厚さ２００ｎｍの第１のシリコン層を堆積した。

このシリコン層に、基板温度を０℃に保ちながら、エネルギー１９０ｋｅＶのシリコンイオンを１×10^{16}／cm^2注入し、サファイアとの界面側をアモルファス化した後、窒素ガス雰囲気下、温度５５０℃で１時間、続いて温度９００℃で１時間の加熱処理を行い、シリコン層を再結晶化した。

次に、これを酸化炉に導入し、１０００℃において、水素１８０リットル／ｍｉｎ、酸素１８０リットル／ｍｉｎを導入しながら３０ｍｉｎ水蒸気酸化を行った。これをＢＨＦ中に浸漬して第１のシリコン層上の酸化膜を除去して所望のＳＯＳ膜を作製した。シリコン層の膜厚は１００ｎｍで

あった。

これを実施例１と同様の方法にて欠陥密度を測定したところ、３．１×１０^{7}個／ｃｍ^{2}であった。同様に、ＲｒｍｓをＡＦＭを用いて測定したところ、２．１ｎｍであった。

また、実施例１と同様の方法で各評価項目において同じサイズのＮＭＯＳトランジスタやキャパシタを作製し、同様の方法によりデバイス特性を評価した。

その結果、相互コンダクタンスは４４０μＳ、スナップバック耐圧７．９Ｖ、ＳＶＧは２．０×１０$^{-12}$Ｖ^{2}／Ｈｚ、ＥＳＤは２５００Ｖであった。また、同様に高周波特性を評価したところ、遮断周波数は５．３ＧＨｚであった。さらに、ゲート酸化膜のＱｂｄは、１．２Ｃ／ｃｍ^{2}であった。

（実施例１４）

Ｒ面サファイア基板上に、モノシラン（SiH_4）ガスを原料とするＬＰＣＶＤ法により、成長温度９５０℃にて、厚さ２００ｎｍの第１のシリコン層を堆積した。

次に、これを圧力８０Torrの水素ガス雰囲気中、１１００℃で３０分の加熱処理を施した。

このシリコン層に、基板温度を０℃に保ちながら、エネルギー１９０ｋｅＶのシリコンイオンを１×１０^{16}／ｃｍ^{2}注入し、サファイアとの界面側をアモルファス化した後、窒素ガス雰囲気下、温度５５０℃で１時間、続いて温度９００℃で１時間の加熱処理を行い、シリコン層を再結晶化した。

次に、これを酸化炉に導入し、１０００℃において、水素１８０リットル／ｍｉｎ、酸素１８０リットル／ｍｉｎを導入しながら３０ｍｉｎ水蒸気酸化を行った。これをＢＨＦ中に浸漬して第１のシリコン層上の酸化膜を除去して所望のＳＯＳ膜を作製した。シリコン層の膜厚は１００ｎｍで

あった。

これを実施例１と同様の方法にて欠陥密度を測定したところ、２．９×１０^{7}個／ｃｍ^{2}であった。同様に、ＲｒｍｓをＡＦＭを用いて測定したところ、１．１ｎｍであった。

また、実施例１と同様の方法で各評価項目において同じサイズのＮＭＯＳトランジスタやキャパシタを作製し、同様の方法によりデバイス特性を評価した。

その結果、相互コンダクタンスは４４０μＳ、スナップバック耐圧７．９Ｖ、ＳＶＧは１．５×１０$^{-12}$Ｖ^{2}／Ｈｚ、ＥＳＤは２５００Ｖであった。また、同様に高周波特性を評価したところ、遮断周波数は５．３ＧＨｚであった。さらに、ゲート酸化膜のＱｂｄは、１．４Ｃ／ｃｍ^{2}であった。

（実施例１５）

Ｒ面サファイア基板上に、モノシラン（SiH_4）ガスを原料とするＬＰＣＶＤ法により、成長温度９５０℃にて、厚さ２００ｎｍのシリコン層を堆積した後、圧力８０Torrの水素ガス雰囲気中、１１５０℃で１時間の加熱処理を施すことにより、ＳＯＳ基板を作製した。

これを実施例１と同様の方法にて欠陥密度を測定したところ、３．０×１０^{8}個／ｃｍ^{2}であった。同様に、ＲｒｍｓをＡＦＭにより測定したところ、１．５ｎｍであった。

また、実施例１と同様の方法で各評価項目において同じサイズのＮＭＯＳトランジスタやキャパシタを作製し、同様の方法によりデバイス特性を評価した。

その結果、相互コンダクタンスは３９０μＳ、スナップバック耐圧７．７Ｖ、ＳＶＧは４．５×１０$^{-12}$Ｖ^{2}／Ｈｚ、ＥＳＤは２１００Ｖであった。また、同様に高周波特性を評価したところ、遮断周波数は４．６ＧＨｚで

あった。さらに、ゲート酸化膜のＱｂｄは、０．５Ｃ／ｃｍ^{2}であった。

（実施例１６）

水素ガス雰囲気中で加熱処理する際の水素圧力を７６０Torrにしたこと以外は、実施例１４と同様にして、シリコン層の厚さが２００ｎｍのＳＯＳ基板を作製した。

これを実施例１と同様の方法にて欠陥密度を測定したところ、２．５×１０^{8}個／ｃｍ^{2}であった。同様に、ＲｒｍｓをＡＦＭを用いて測定したところ、１．５ｎｍであった。

また、実施例１と同様の方法で各評価項目において同じサイズのＮＭＯＳトランジスタやキャパシタを作製し、同様の方法によりデバイス特性を評価した。

その結果、相互コンダクタンスは３８０μＳ、スナップバック耐圧７．７Ｖ、ＳＶＧは４．４×１０$^{-12}$Ｖ^2／Ｈｚ、ＥＳＤは２１００Ｖであった。また、同様に高周波特性を評価したところ、遮断周波数は４．５ＧＨｚであった。さらに、ゲート酸化膜のＱｂｄは、０．５Ｃ／ｃｍ^{2}であった。

（実施例１７）

水素ガス雰囲気中で加熱処理する際の、温度を１０５０℃にしたこと以外は、実施例１４と同様にして、シリコン層の厚さが２００ｎｍのＳＯＳ基板を作製した。

実施例１と同様の方法にて欠陥密度を測定したところ、３．５×１０^{8}個／ｃｍ^{2}であった。同様に、ＲｒｍｓをＡＦＭを用いて測定したところ、１．５ｎｍであった。

また、実施例１と同様の方法で各評価項目において同じサイズのＮＭＯＳトランジスタやキャパシタを作製し、同様の方法によりデバイス特性を評価した。

その結果、相互コンダクタンスは３７５μＳ、スナップバック耐圧７．７Ｖ、ＳＶＧは４．６×１０$^{-12}$Ｖ^{2}／Ｈｚ、ＥＳＤは２１００Ｖであった。また、同様に高周波特性を評価したところ、遮断周波数は４．４ＧＨｚであった。さらに、ゲート酸化膜のＱｂｄは、０．５Ｃ／ｃｍ^{2}であった。

（実施例１８）

水素ガス雰囲気中で加熱処理する際の、時間を１０分にしたこと以外は、実施例１４と同様にして、シリコン層の厚さが２００ｎｍのＳＯＳ基板を作製した。

実施例１と同様の方法にて欠陥密度を測定したところ、３．７×１０^{8}個／ｃｍ^{2}であった。同様に、ＲｒｍｓをＡＦＭを用いて測定したところ１．８ｎｍであった。

また、実施例１と同様の方法で各評価項目において同じサイズのＮＭＯＳトランジスタやキャパシタを作製し、同様の方法によりデバイス特性を評価した。

その結果、相互コンダクタンスは３７５μＳ、スナップバック耐圧７．５Ｖ、ＳＶＧは５．６×１０$^{-12}$Ｖ^{2}／Ｈｚ、ＥＳＤは２１００Ｖであった。また、同様に高周波特性を評価したところ、遮断周波数は４．４ＧＨｚであった。さらに、ゲート酸化膜のＱｂｄは、０．４Ｃ／ｃｍ^{2}であった。

（実施例１９）

Ｒ面サファイア基板上に、モノシラン（SiH_4）ガスを原料とするＬＰＣＶＤ法により、成長温度９５０℃にて、厚さ２００ｎｍのシリコン層を堆積した。

このシリコン層に、基板温度を０℃に保ちながら、エネルギー１９０ｋｅＶのシリコンイオンを１×１０^{16}／ｃｍ^{2}注入し、サファイアとの界面側をアモルファス化した後、窒素ガス雰囲気下、温度５５０℃で１時間、続

いて温度９００℃で１時間の加熱処理を行った。

その後、圧力８０Ｔｏｒｒの水素ガス雰囲気中、１１５０℃で１時間の加熱処理を施すことによりＳＯＳ基板を作製した。

実施例１と同様の方法にて欠陥密度を測定したところ、８．０×10^7個／cm^2であった。同様に、ＲｒｍｓをＡＦＭを用いて測定したところ、０．８ｎｍであった。

また、実施例１と同様の方法で各評価項目において同じサイズのＮＭＯＳトランジスタやキャパシタを作製し、同様の方法によりデバイス特性を評価した。

その結果、相互コンダクタンスは４３５μＳ、スナップバック耐圧７．９Ｖ、ＳＶＧは３．０×$10^{-12}V^2$／Ｈｚ、ＥＳＤは２５００Ｖであった。また、同様に高周波特性を評価したところ、遮断周波数は５．２ＧＨｚであった。さらに、ゲート酸化膜のＱｂｄは、１．０Ｃ／cm^2であった。

（実施例２０）

シリコン（１００）基板上に、トリメチルアルミニウム、酸素を原料とするＵＨＶ－ＣＶＤ法を用いて、基板温度８８０℃にて$\gamma-Al_2O_3$を堆積した。成長後の膜をＲＨＥＥＤならびにＸＲＤを用いて観察したところ、単結晶$\gamma-Al_2O_3$が成長していることが確認された。

この$\gamma-Al_2O_3$層上に、ジシラン（Si_2H_6）ガスを原料とするＵＨＶ－ＣＶＤ法により、成長温度９５０℃にて、厚さ２００ｎｍのシリコン層を堆積し、ＳＯＩ基板を作製した。

その後、圧力８０Torrの水素ガス雰囲気中、１１５０℃で１時間の加熱処理を施すことによりＳＯＩ基板を作製した。

実施例１と同様の方法にて欠陥密度を測定したところ、３．０×10^8個／cm^2であった。同様に、ＲｒｍｓをＡＦＭを用いて測定したところ、

１．５ｎｍであった。

また、実施例１と同様の方法で各評価項目において同じサイズのＮＭＯＳトランジスタやキャパシタを作製し、同様の方法によりデバイス特性を評価した。

その結果、相互コンダクタンスは３８０μＳ、スナップバック耐圧７．５Ｖ、ＳＶＧは６．０×１０$^{-12}$Ｖ^{2}／Ｈｚ、ＥＳＤは２１００Ｖであった。また、同様に高周波特性を評価したところ、遮断周波数は４．５ＧＨｚであった。さらに、ゲート酸化膜のＱｂｄは、０．５Ｃ／ｃｍ^{2}であった。

（実施例２１）

Ｒ面サファイア基板上に、モノシラン（SiH_4）ガスを原料とするＬＰＣＶＤ法により、成長温度９５０℃にて、厚さ１００ｎｍの第１のシリコン層を堆積した。そこでモノシランガスの供給を一旦止め、成長室に入れたままで、基板温度を１１５０℃まで上げ、圧力８０Torrの水素ガスを流し、１時間の加熱処理を施した。次に、成長室に再度モノシランガスを供給して、上記シリコンシード層の上に、基板温度７００℃で、さらに厚さ１００ｎｍのシリコン層を堆積することにより、シリコン層の厚さが２００ｎｍのＳＯＳ基板を作製した。

実施例１と同様の方法にて欠陥密度を測定したところ、２．０×１０^{8}個／ｃｍ^{2}であった。同様に、ＲｒｍｓをＡＦＭを用いて測定したところ、１．０ｎｍであった。

また、実施例１と同様の方法で各評価項目において同じサイズのＮＭＯＳトランジスタやキャパシタを作製し、同様の方法によりデバイス特性を評価した。

その結果、相互コンダクタンスは３９０μＳ、スナップバック耐圧７．８Ｖ、ＳＶＧは５．０×１０$^{-12}$Ｖ^{2}／Ｈｚ、ＥＳＤは２３００Ｖであった。

また、同様に高周波特性を評価したところ、遮断周波数は４．６ＧＨｚであった。さらに、ゲート酸化膜のＱｂｄは、０．６Ｃ／ｃｍ^{2}であった。

（実施例２２）

Ｒ面サファイア基板上に、モノシラン（SiH_4）ガスを原料とするＬＰＣＶＤ法により、成長温度９５０℃にて、厚さ１００ｎｍの第１のシリコン層を堆積した。

このシリコン層に、基板温度を０℃に保ちながら、エネルギー１５０ｋｅＶのシリコンイオンを５×１０^{15}／ｃｍ^{2}注入し、サファイアとの界面側をアモルファス化した後、窒素ガス雰囲気下、温度５５０℃で１時間、続いて温度９００℃で１時間の加熱処理を行った後、圧力８０Torrの水素ガス雰囲気中、１１５０℃で１時間の加熱処理を施した。

次に、成長室に再度モノシランガスを供給して、上記シリコンシード層の上に、基板温度７００℃で、さらに厚さ１００ｎｍのシリコン層を堆積することにより、シリコン層の厚さが２００ｎｍのＳＯＳ基板を作製した。

実施例１と同様の方法にて欠陥密度を測定したところ、７．３×１０^{6}個／ｃｍ^{2}であった。同様に、ＲｒｍｓをＡＦＭを用いて測定したところ、１．０ｎｍであった。

また、実施例１と同様の手法にてＨＲ－ＸＲＤを用いて評価したところ、Ｓｉ（００４）面のＸＲＣのＦＷＨＭは６８１ａｒｃｓｅｃとなった。このときの基板面に平行な方向および基板面に垂直な方向の格子定数はそれぞれ５．４３９Å、５．４２１Åであり、従って、これらの比は１．００３３となった。同様に、基板表面に平行なＳｉ（００４）とＳｉ｛２２０｝面の回折強度比を比較したところ、Ｓｉ｛２２０｝／Ｓｉ（００４）＝０．０４４であった。

また、実施例１と同様の方法で各評価項目において同じサイズのＮＭＯ

Ｓトランジスタやキャパシタを作製し、同様の方法によりデバイス特性を評価した。

その結果、相互コンダクタンスは４８０μＳ、スナップバック耐圧８．１Ｖ、ＳＶＧは１．８×１０$^{-12}$Ｖ^{2}／Ｈｚ、ＥＳＤは２８００Ｖであった。また、同様に高周波特性を評価したところ、遮断周波数は６．０ＧＨｚであった。さらに、ゲート酸化膜のＱｂｄは、２．０Ｃ／ｃｍ^{2}であった。

（実施例２３）

Ｒ面サファイア基板上に、モノシラン（SiH_4）ガスを原料とするＬＰＣＶＤ法により、成長温度９５０℃にて、厚さ２００ｎｍの第１のシリコン層を堆積した。

その後、圧力８０Torrの水素ガス雰囲気中、１１５０℃で１時間の加熱処理を施した。

このシリコン層に、基板温度を０℃に保ちながら、エネルギー１９０ｋｅＶのシリコンイオンを１×１０^{16}／ｃｍ^{2}注入し、サファイアとの界面側をアモルファス化した後、窒素ガス雰囲気下、温度５５０℃で１時間、続いて温度９００℃で１時間の加熱処理を行った。

実施例１と同様の方法にて欠陥密度を測定したところ、６．８×１０^{7}個／ｃｍ^{2}であった。同様に、ＲｒｍｓをＡＦＭを用いて測定したところ、１．４ｎｍであった。

また、実施例１と同様の方法で各評価項目において同じサイズのＮＭＯＳトランジスタやキャパシタを作製し、同様の方法によりデバイス特性を評価した。

その結果、相互コンダクタンスは４２０μＳ、スナップバック耐圧７．８Ｖ、ＳＶＧは３．５×１０$^{-12}$Ｖ^{2}／Ｈｚ、ＥＳＤは２５００Ｖであった。また、同様に高周波特性を評価したところ、遮断周波数は５．２ＧＨｚで

あった。さらに、ゲート酸化膜のＱｂｄは、１．０Ｃ／ｃｍ^{2}であった。

産業上の利用可能性

以上説明したように、本発明によれば、サファイア等の単結晶酸化物基板、あるいはシリコン基板とその上に堆積されたα－Al_2O_3、γ－Al_2O_3、θ－Al_2O_3、$MgO \cdot Al_2O_3$、CeO_2、$SrTiO_3$、$(Zr_{1-x}, Y_x)O_y$、Ｐｂ（Ｚｒ，Ｔｉ）O_3、$LiTaO_3$、$LiNbO_3$等の結晶性の酸化物層もしくはCaF_2等の結晶性のフッ化物層からなる積層基板などの絶縁性の下地の上に、結晶欠陥が極めて少なく、表面平坦性も良好なシリコン層を形成できる。そのため、本発明によるＳＯＩ基板上には、従来のＳＯＳ基板等で問題とされていた、フリッカノイズ等の改善、動作速度の向上、ゲート酸化膜耐圧やＥＳＤ向上等、デバイス性能や信頼性の向上したデバイスを作製することが可能になる。

請 求 の 範 囲

1． 絶縁性の下地と、その上にエピタキシャル成長された結晶シリコン層とからなり、前記絶縁性の下地が、単結晶酸化物基板、または基板としてのシリコン基板上に堆積された結晶性の酸化物層もしくはフッ化物層とからなるＳＯＩ基板であって、

前記結晶シリコン層の欠陥密度が、４×１０^{8}個／ｃｍ^{2}以下であり、かつ該結晶シリコン層の表面粗さが、４ｎｍ以下０．０５ｎｍ以上であることを特徴とするＳＯＩ基板。

2． 前記結晶シリコン層の欠陥密度が、深さ方向全体にわたって４×１０^{8}個／ｃｍ^{2}以下であることを特徴とする請求項１記載のＳＯＩ基板。

3． 前記結晶シリコン層の欠陥密度が、１×１０^{7}個／ｃｍ^{2}以下であることを特徴とする請求項１に記載のＳＯＩ基板。

4． 前記結晶シリコン層の欠陥密度が、深さ方向全体にわたって１×１０^{7}個／ｃｍ^{2}以下であることを特徴とする請求項１に記載のＳＯＩ基板。

5． 前記結晶シリコン層の、基板面に対して平行に成長した（００４）ピークのＸ線回折ロッキングカーブの半値幅が、１０００ａｒｃｓｅｃ以下１００ａｒｃｓｅｃ以上であることを特徴とする請求項１記載のＳＯＩ基板。

6． 前記結晶シリコン層の、基板面に対して垂直なシリコン（１００）

面の格子定数が、５．４１オングストローム以上５．４４オングストローム以下であることを特徴とする請求項１記載のＳＯＩ基板。

７．　前記結晶シリコン層の、基板面に対して平行なシリコン（００１）面の格子定数が、５．４４オングストローム以下５．４１オングストローム以上であることを特徴とする請求項１記載のＳＯＩ基板。

８．　前記結晶シリコン層の、基板面に対して垂直なシリコン（１００）面の格子定数に対する、基板面に対して平行なシリコン（００１）面の格子定数の比が、１．００５以下０．９９５以上であることを特徴とする請求項１記載のＳＯＩ基板。

９．　前記結晶シリコン層の、Ｘ線回折測定における基板面に対して平行な００４反射に対する２２０反射の強度比が、０．１以下であることを特徴とする請求項１記載のＳＯＩ基板。

１０．　前記絶縁性の下地が前記単結晶酸化物基板であり、該単結晶酸化物基板がサファイア基板であることを特徴とする請求項１記載のＳＯＩ基板。

１１．　前記前記絶縁性の下地が、基板としてのシリコン基板上に堆積された結晶性の酸化物層であり、前記酸化物層が、α－Al_2O_3、γ－Al_2O_3、θ－Al_2O_3、$MgO \cdot Al_2O_3$、CeO_2、$SrTiO_3$、$(Zr_{1-x}, Y_x)O_y$、Ｐｂ（Ｚｒ，Ｔｉ）O_3、$LiTaO_3$、$LiNbO_3$のいずれかからなり、前記フッ化物層がCaF_2からなることを特徴とする請

求項１記載のＳＯＩ基板。

１２．　絶縁性の下地の上に欠陥密度が低いシリコン層が形成されてなるＳＯＩ基板の製造方法であって、

（ａ）　前記絶縁性の下地の上に、シリコン層を成膜する工程と、

（ｂ）　前記シリコン層を酸化性雰囲気中で熱処理し、このシリコン層の表面側の一部を酸化する工程と、

（ｃ）　前記工程（ｂ）で形成されたシリコン酸化膜をエッチングにより除去する工程と、を有することを特徴とするＳＯＩ基板の製造方法。

１３．　絶縁性の下地の上に欠陥密度が低いシリコン層が形成されてなるＳＯＩ基板の製造方法であって、

（ａ）　前記絶縁性の下地の上に、第１のシリコン層を成膜する工程と、

（ｂ）　前記第１のシリコン層を酸化性雰囲気中で熱処理し、この第１のシリコン層の表面側の一部を酸化する工程と、

（ｃ）　前記工程（ｂ）で形成されたシリコン酸化膜を、エッチングにより除去する工程と、

（ｄ）　残った第１のシリコン層の上に、第２のシリコン層をエピタキシャル成長する工程と、を有することを特徴とするＳＯＩ基板の製造方法。

１４．　前記工程（ｄ）において形成されたシリコン層を前記工程（ａ）で形成された第１のシリコン層と見なし、前記工程（ｂ）～（ｄ）を、２回以上繰り返すことを特徴とする請求項１３に記載のＳＯＩ基板の製造方法。

１５．　前記酸化性雰囲気が酸素と水素の混合ガスまたは水蒸気を含むことを特徴とする請求項１２ないし１４のいずれかに記載のＳＯＩ基板の製造方法。

１６．　前記酸化性雰囲気中での熱処理の温度が６００℃以上１３００℃以下であることを特徴とする請求項１２ないし１４のいずれかに記載のＳＯＩ基板の製造方法。

１７．　前記酸化性雰囲気中での熱処理の温度が８００℃以上１２００℃以下であることを特徴とする請求項１２ないし１４のいずれかに記載のＳＯＩ基板の製造方法。

１８．　前記残った第１のシリコン層の上に第２のシリコン層をエピタキシャル成長する温度が５５０℃以上１０５０℃以下であることを特徴とする請求項１３または１４に記載のＳＯＩ基板の製造方法。

１９．　前記残った第１のシリコン層の上に第２のシリコン層をエピタキシャル成長する温度が６５０℃以上９５０℃以下であることを特徴とする請求項１３または１４に記載のＳＯＩ基板の製造方法。

２０．　前記残った第１のシリコン層の上に第２のシリコン層をエピタキシャル成長する工程の前に、該残った第１のシリコン層を水素雰囲気中または真空中で加熱処理することを特徴とする請求項１３または１４に記載のＳＯＩ基板の製造方法。

２１．　前記残った第１のシリコン層の上に第２のシリコン層をエピタキシャル成長する工程において、該残った第１のシリコン層の表面および第２のシリコン層中にシリコン酸化物を生成させないことを特徴とする請求項１３または１４に記載のＳＯＩ基板の製造方法。

２２．　前記残った第１のシリコン層の上に第２のシリコン層をエピタキシャル成長する際に用いる装置の成長室のベース圧力を10^{-7}Torr以下とすることを特徴とする請求項１３または１４に記載のＳＯＩ基板の製造方法。

２３．　前記残った第１のシリコン層の上に第２のシリコン層をエピタキシャル成長する方法が、ＵＨＶ－ＣＶＤ法またはＭＢＥ法であることを特徴とする請求項１３または１４に記載のＳＯＩ基板の製造方法。

２４．　前記残った第１のシリコン層の上に第２のシリコン層をエピタキシャル成長する時に、成長初期においてのみ成長温度を高く設定することを特徴とする請求項１３または１４に記載のＳＯＩ基板の製造方法。

２５．　前記第２のシリコン層をエピタキシャル成長する方法が、ＡＰＣＶＤ法またはＬＰＣＶＤ法であることを特徴とする請求項２４に記載のＳＯＩ基板の製造方法。

２６．　前記シリコン酸化膜をエッチングにより除去する工程の後に、ＳＯＩ基板を窒素雰囲気中で熱処理する工程を有することを特徴とする請求項１２に記載のＳＯＩ基板の製造方法。

２７．　前記第２のシリコン層をエピタキシャル成長する工程の後に、ＳＯＩ基板を窒素雰囲気中で熱処理する工程を有することを特徴とする請求項１３または１４に記載のＳＯＩ基板の製造方法。

２８．　前記窒素雰囲気中で熱処理する工程の後に、酸化性雰囲気中で熱処理する工程を有することを特徴とする請求項２６または２７に記載のＳＯＩ基板の製造方法。

２９．　前記シリコン酸化膜をエッチングにより除去する工程の後に、水素中で熱処理する工程を有することを特徴とする請求項１２に記載のＳＯＩ基板の製造方法。

３０．　前記第２のシリコン層をエピタキシャル成長する工程の後に、水素中で熱処理する工程を有することを特徴とする請求項１３または１４に記載のＳＯＩ基板の製造方法。

３１．　前記水素中での熱処理の温度が８００℃以上１２００℃以下であることを特徴とする請求項２９または３０に記載のＳＯＩ基板の製造方法。

３２．　前記第１のシリコン層を成膜する工程の直後に、シリコンイオンを注入してシリコン層の深部をアモルファス化し、アニール処理を行って再結晶化する工程を含むことを特徴とする請求項１２ないし３１のいずれかに記載のＳＯＩ基板の製造方法。

３３．　前記アニール処理が、先に窒素雰囲気中で行われ、その後、酸化性雰囲気中で行われることを特徴とする請求項３２に記載のＳＯＩ基板の製造方法。

３４．　前記酸化性雰囲気中でのアニール処理の後に、シリコン酸化膜をエッチングにより除去する工程を含むことを特徴とする請求項３３のＳＯＩ基板の製造方法。

３５．　前記シリコン酸化膜をエッチングにより除去する工程の後に、シリコン層に化学的または／および機械的研磨を施す工程を有することを特徴とする請求項１２に記載のＳＯＩ基板の製造方法。

３６．　前記第２のシリコン層をエピタキシャル成長する工程の後に、シリコン層に化学的または／および機械的研磨を施す工程を有することを特徴とする請求項１３または１４に記載のＳＯＩ基板の製造方法。

３７．　前記絶縁性の下地の上に第１のシリコン層を成膜する工程が、絶縁性の下地の上に第１のシリコン層をエピタキシャル成長する工程であることを特徴とする請求項１２ないし３６のいずれかに記載のＳＯＩ基板の製造方法。

３８．　前記絶縁性の下地が単結晶酸化物基板であることを特徴とする請求項１２ないし３７のいずれかに記載のＳＯＩ基板の製造方法。

３９．　前記絶縁性の下地がサファイア基板であることを特徴とする請求項３８に記載のＳＯＩ基板の製造方法。

４０．　前記絶縁性の下地が、基板としてのシリコン基板上に堆積された結晶性の酸化物層もしくはフッ化物層からなることを特徴とする請求項１２ないし３７のいずれかに記載のＳＯＩ基板の製造方法。

４１．　前記結晶性の酸化物層が、$\alpha-Al_2O_3$、$\gamma-Al_2O_3$、$\theta-Al_2O_3$、$MgO\cdot Al_2O_3$、CeO_2、$SrTiO_3$、$(Zr_{1-x}, Y_x)O_y$、Ｐｂ（Ｚｒ，Ｔｉ）O_3、$LiTaO_3$、$LiNbO_3$のいずれかからなり、前記結晶性のフッ化物層がCaF_2からなることを特徴とする請求項４０に記載のＳＯＩ基板の製造方法。

４２．　絶縁性の下地の上に欠陥密度が低いシリコン層が形成されてなるＳＯＩ基板の製造方法であって、

前記絶縁性の下地の上にシリコン層を成膜した後に、該シリコン層を水素中で熱処理する工程を有することを特徴とするＳＯＩ基板の製造方法。

４３．　絶縁性の下地の上に欠陥密度が低いシリコン層が形成されてなるＳＯＩ基板の製造方法であって、

（ａ）　前記絶縁性の下地の上に、第１のシリコン層を成膜する工程と、

（ｂ）　前記第１のシリコン層を水素中で熱処理する工程と、

（ｃ）　水素中で熱処理を施された第１のシリコン層上に、第２のシリコン層をエピタキシャル成長する工程と、

を有することを特徴とするＳＯＩ基板の製造方法。

４４．　前記（ａ）～（ｃ）の工程がin situで行われることを特徴とする請求項４３記載のＳＯＩ基板の製造方法。

４５．　前記水素中での熱処理の温度が８００℃以上１２００℃以下であることを特徴とする請求項４２ないし４４のいずれかに記載のＳＯＩ基板の製造方法。

４６．　前記第１のシリコン層を成膜する工程の直後に、シリコンイオンを注入してシリコン層の深部をアモルファス化し、アニール処理を行って再結晶化する工程を含むことを特徴とする請求項４２ないし４５のいずれかに記載のＳＯＩ基板の製造方法。

４７．　前記第１のシリコン層を水素中で熱処理する工程の直後に、シリコンイオンを注入してシリコン層の深部をアモルファス化し、アニール処理を行って再結晶化する工程を含むことを特徴とする請求項４２または４３に記載のＳＯＩ基板の製造方法。

４８．　前記アニール処理が、先に窒素雰囲気中で行われ、その後、酸化性雰囲気中で行われることを特徴とする請求項４６または４７に記載のＳＯＩ基板の製造方法。

４９．　前記酸化性雰囲気中でのアニール処理の後に、シリコン酸化膜をエッチングにより除去する工程を含むことを特徴とする請求項４８のＳＯＩ基板の製造方法。

５０．　前記水素中で熱処理する工程の後に、シリコン層に化学的および／または機械的研磨を施す工程を有することを特徴とする請求項４２に記載のＳＯＩ基板の製造方法。

５１．　前記第２のシリコン層をエピタキシャル成長する工程の後に、シリコン層に化学的および／または機械的研磨を施す工程を有することを特徴とする請求項４３に記載のＳＯＩ基板の製造方法。

５２．　前記絶縁性の下地の上に第１のシリコン層を成膜する工程が、絶縁性の下地の上に第１のシリコン層をエピタキシャル成長する工程であることを特徴とする請求項４２ないし５１のいずれかに記載のＳＯＩ基板の製造方法。

５３．　前記絶縁性の下地が単結晶酸化物基板であることを特徴とする請求項４２ないし５１のいずれかに記載のＳＯＩ基板の製造方法。

５４．　前記単結晶酸化物基板がサファイア基板であることを特徴とする請求項５３に記載のＳＯＩ基板の製造方法。

５５．　前記絶縁性の下地が、基板としてのシリコン基板の上に堆積された結晶性の酸化物層もしくはフッ化物層からなることを特徴とする請求項４２ないし５１のいずれかに記載のＳＯＩ基板の製造方法。

５６．　前記結晶性の酸化物層が、α－Al_2O_3、γ－Al_2O_3、θ

－Al_2O_3、MgO・Al_2O_3、CeO_2、$SrTiO_3$、$(Zr_{1-x}, Y_x)O_y$、Pb（Zr，Ti）O_3、$LiTaO_3$、$LiNbO_3$のいずれかからなり、前記結晶性のフッ化物層がCaF_2からなることを特徴とする請求項５５に記載のＳＯＩ基板の製造方法。

５７．　前記請求項１２ないし４１のいずれかに記載の製造方法により製造されたことを特徴とするＳＯＩ基板。

５８．　前記請求項４２ないし５６のいずれかに記載の製造方法により製造されたことを特徴とするＳＯＩ基板。

５９．　基板としてＳＯＩ基板を用いた半導体デバイスであって、前記ＳＯＩ基板として、請求項１ないし１１のいずれかに記載のＳＯＩ基板が用いられ、それによってデバイス特性が向上していることを特徴とする半導体デバイス。

６０．　前記半導体デバイスが、電界効果トランジスタ、バイポーラトランジスタのうちの少なくとも１種類であり、そのＳＯＩ基板として請求項１ないし１１のいずれかに記載のＳＯＩ基板を用いることにより向上しているデバイス特性が、相互インダクタンス、遮断周波数、フリッカーノイズ、エレクトロスタティックディズチャージのうちの少なくとも一つであることを特徴とする請求項５９に記載の半導体デバイス。

６１．　前記半導体デバイスが、ＭＯＳＦＥＴであり、そのＳＯＩ基板として請求項１ないし１１のいずれかに記載のＳＯＩ基板を用いることに

より向上しているデバイス特性が、相互インダクタンス、遮断周波数、フリッカーノイズ、エレクトロスタティックディズチャージ、スナップバック耐圧、絶縁破壊電荷量のうちの少なくとも一つであることを特徴とする請求項５９に記載の半導体デバイス。

６２．　前記半導体デバイスが、バイポーラトランジスタであり、そのＳＯＩ基板として請求項１ないし１１のいずれかに記載のＳＯＩ基板を用いることにより向上しているデバイス特性が、相互インダクタンス、遮断周波数、コレクター電流、リーク電流特性、電流利得のうちの少なくとも一つであることを特徴とする請求項５９に記載の半導体デバイス。

６３．　前記半導体デバイスが、ダイオードであり、そのＳＯＩ基板として請求項１ないし１１のいずれかに記載のＳＯＩ基板を用いることにより向上しているデバイス特性が、逆バイアスリーク電流特性、順バイアス電流、ダイオード因子のうちの少なくとも一つであることを特徴とする請求項５９に記載の半導体デバイス。

６４．　前記半導体デバイスが、半導体集積回路であり、そのＳＯＩ基板として請求項１ないし１１のいずれかに記載のＳＯＩ基板を用いることにより向上しているデバイス特性が、周波数特性、ノイズ特性、増幅特性、消費電力特性のうちの少なくとも一つであることを特徴とする請求項５９に記載の半導体デバイス。

６５．　前記半導体デバイスが、ＭＯＳＦＥＴにより構成された半導体集積回路であり、そのＳＯＩ基板として請求項１ないし１１のいずれかに

記載のＳＯＩ基板を用いることにより向上しているデバイス特性が、周波数特性、ノイズ特性、増幅特性、消費電力特性のうちの少なくとも一つであることを特徴とする請求項５９に記載の半導体デバイス。

６６．　基板としてＳＯＩ基板を用いた半導体デバイスであって、前記ＳＯＩ基板として、前記請求項１２ないし４１のいずれかに記載の製造方法により製造されたＳＯＩ基板が用いられ、それによってデバイス特性が向上していることを特徴とする半導体デバイス。

６７．　基板としてＳＯＩ基板を用いた半導体デバイスであって、前記ＳＯＩ基板として、前記請求項４２ないし５６のいずれかに記載の製造方法により製造されたＳＯＩ基板が用いられ、それによってデバイス特性が向上していることを特徴とする半導体デバイス。

６８．　前記半導体デバイスが、電界効果トランジスタ、バイポーラトランジスタのうちの少なくとも１種類であり、前記デバイス特性が、相互インダクタンス、遮断周波数、フリッカーノイズ、エレクトロスタティックディズチャージのうちの少なくとも一つであることを特徴とする請求項６６または６７に記載の半導体デバイス。

６９．　前記半導体デバイスが、ＭＯＳＦＥＴであり、前記デバイス特性が、相互インダクタンス、遮断周波数、フリッカーノイズ、エレクトロスタティックディズチャージ、スナップバック耐圧、絶縁破壊電荷量のうちの少なくとも一つであることを特徴とする請求項６６または６７に記載の半導体デバイス。

７０．　前記半導体デバイスが、バイポーラトランジスタであり、前記デバイス特性が、相互インダクタンス、遮断周波数、コレクター電流、リーク電流特性、電流利得のうちの少なくとも一つであることを特徴とする請求項６６または６７に記載の半導体デバイス。

７１．　前記半導体デバイスが、ダイオードであり、前記デバイス特性が、逆バイアスリーク電流特性、順バイアス電流、ダイオード因子のうちの少なくとも一つであることを特徴とする請求項６６または６７に記載の半導体デバイス。

７２．　前記半導体デバイスが、半導体集積回路であり、前記デバイス特性が、周波数特性、ノイズ特性、増幅特性、消費電力特性のうちの少なくとも一つであることを特徴とする請求項に６６または６７記載の半導体デバイス。

７３．　前記半導体デバイスが、ＭＯＳＦＥＴにより構成された半導体集積回路であり、前記デバイス特性が、周波数特性、ノイズ特性、増幅特性、消費電力特性のうちの少なくとも一つであることを特徴とする請求項６６または６７に記載の半導体デバイス。

７４．　絶縁性の下地と、その上に形成されたシリコン層からなるＳＯＩ基板上に半導体デバイスを製造する方法において、

（ａ）　絶縁性の下地の上に、第１のシリコン層を成膜する工程と、

（ｂ）　前記第１のシリコン層を酸化性雰囲気中で熱処理し、この第１

のシリコン層の表面側の一部を酸化する工程と、

（ｃ） 前記工程（ｂ）で形成されたシリコン酸化膜を、エッチングにより除去する工程と、

（ｄ） 残った第１のシリコン層の上に、第２のシリコン層をエピタキシャル成長する工程と、

（ｅ） 前記前記工程（ｄ）で形成されたシリコン層を酸化性雰囲気中で熱処理して表面側の一部を酸化した後、形成されたシリコン酸化膜をエッチングにより除去して、前記シリコン層を所望の厚さに調整する工程と、

を有することを特徴とする半導体デバイスの製造方法。

７５． 前記第１のシリコン層を成膜する工程の直後に、シリコンイオンを注入してシリコン層の深部をアモルファス化し、アニール処理を行って再結晶化する工程を含むことを特徴とする請求項７４に記載の半導体デバイスの製造方法。

７６． 前記第２のシリコン層をエピタキシャル成長する工程（ｄ）の後に、水素中で熱処理する工程を有することを特徴とする請求項７４に記載の半導体デバイスの製造方法。

７７． 前記工程（ｅ）の前あるいは後に、シリコン層の化学的および／または機械的研磨を行うことを特徴とする請求項７４に記載の半導体デバイスの製造方法。

７８． 絶縁性の下地と、その上に形成されたシリコン層からなるＳＯＩ基板上に半導体デバイスを製造する方法において、

（ａ）　絶縁性の下地の上にシリコン層を成膜する工程と、

（ｂ）　前記シリコン層を水素中で熱処理する工程と、

（ｃ）　前記シリコン層を酸化性雰囲気中で熱処理して表面側の一部を酸化した後、形成されたシリコン酸化膜をエッチングにより除去して、前記シリコン層を所望の厚さに調整する工程と、を含むことを特徴とする半導体デバイスの製造方法。

７９．　前記シリコン層を成膜する工程の直後に、シリコンイオンを注入してシリコン層の深部をアモルファス化し、アニール処理を行って再結晶化する工程を含むことを特徴とする請求項７８に記載の半導体デバイスの製造方法。

８０．　前記工程（ｃ）の前あるいは後に、シリコン層の化学的および／または機械的研磨を行うことを特徴とする請求項７８に記載の半導体デバイスの製造方法。

８１．　絶縁性の下地と、その上に形成されたシリコン層からなるＳＯＩ基板上に半導体デバイスを製造する方法において、

（ａ）　絶縁性の下地の上に、第１のシリコン層を成膜する工程と、

（ｂ）　前記第１のシリコン層を水素中で熱処理する工程と、

（ｃ）　水素中で熱処理を施された第１のシリコン層上に、第２のシリコン層をエピタキシャル成長する工程と、

（ｄ）　前記工程（ｃ）で形成されたシリコン層を酸化性雰囲気中で熱処理して表面側の一部を酸化した後、形成されたシリコン酸化膜をエッチングにより除去して、前記シリコン層を所望の厚さに調整する工程と、

を有することを特徴とする半導体デバイスの製造方法。

８２．　前記第１のシリコン層を成膜する工程の直後に、シリコンイオンを注入してシリコン層の深部をアモルファス化し、アニール処理を行って再結晶化する工程を含むことを特徴とする請求項８１に記載の半導体デバイスの製造方法。

８３．　前記工程（ｄ）の前あるいは後に、シリコン層の化学的および／または機械的研磨を行うことを特徴とする請求項８１に記載の半導体デバイスの製造方法。

FIG.1A

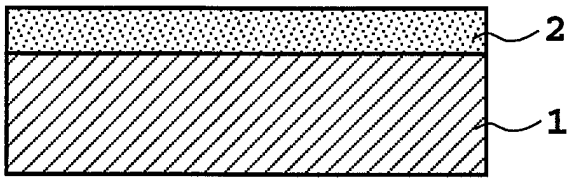


FIG.1B

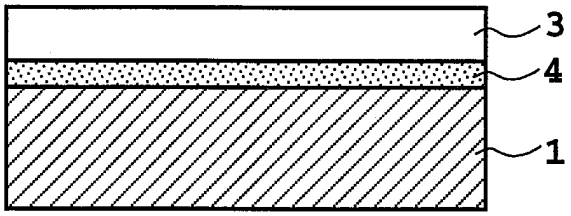


FIG.1C

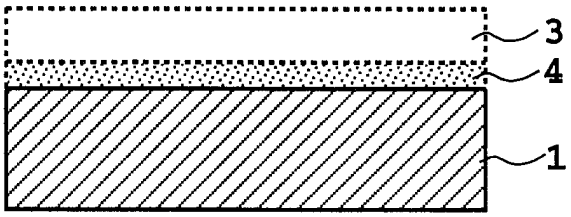


FIG.1D

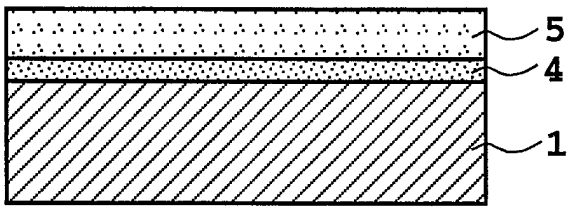


FIG.2A

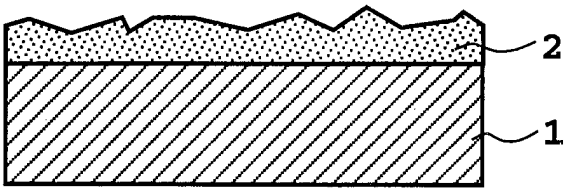


FIG.2B

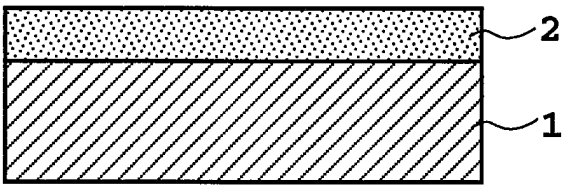


FIG.3A

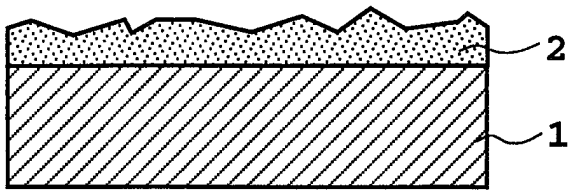


FIG.3B

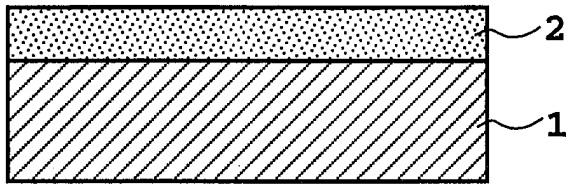


FIG.3C

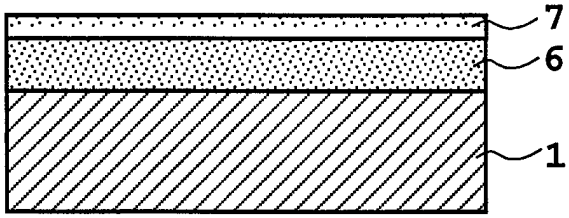


FIG.4A

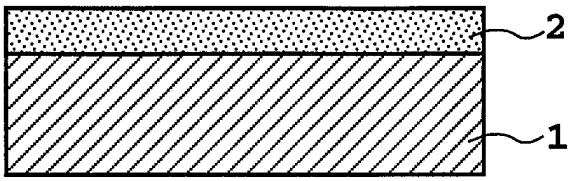


FIG.4B

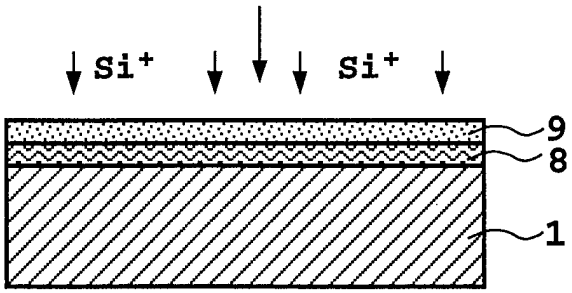


FIG.4C

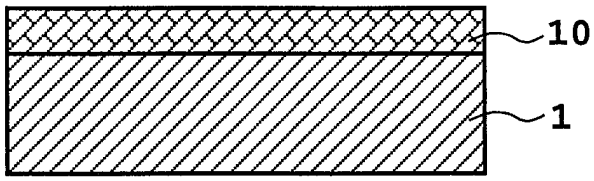


FIG.4D

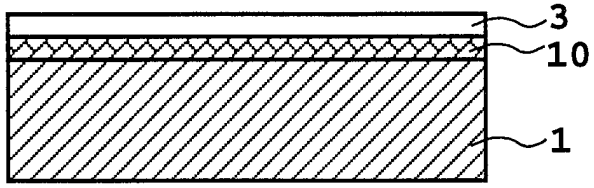


FIG.4E

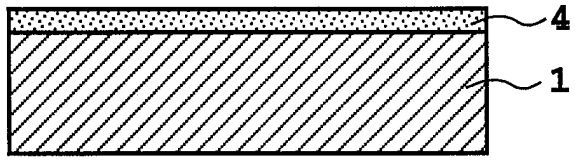
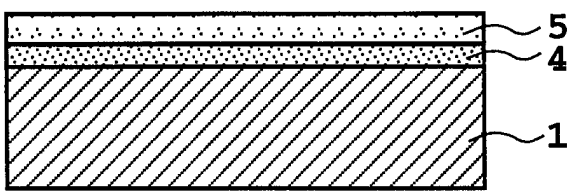


FIG.4F



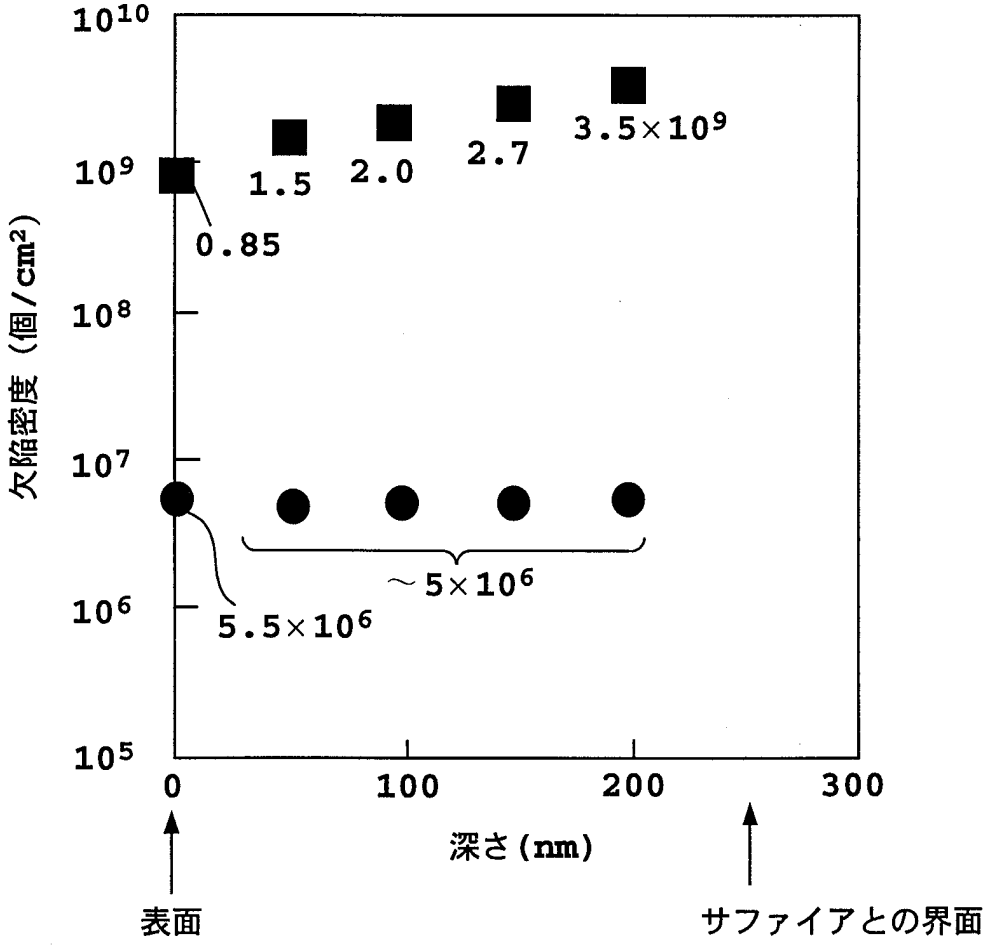

10^{10}
10^{9}
10^{8}
10^{7}
10^{6}
10^{5}
欠陥密度（個/cm²）
0.85
1.5
2.0
2.7
3.5×10⁹
~5×10⁶
5.5×10⁶
0
100
200
300
深さ(nm)
表面
サファイアとの界面

FIG.5

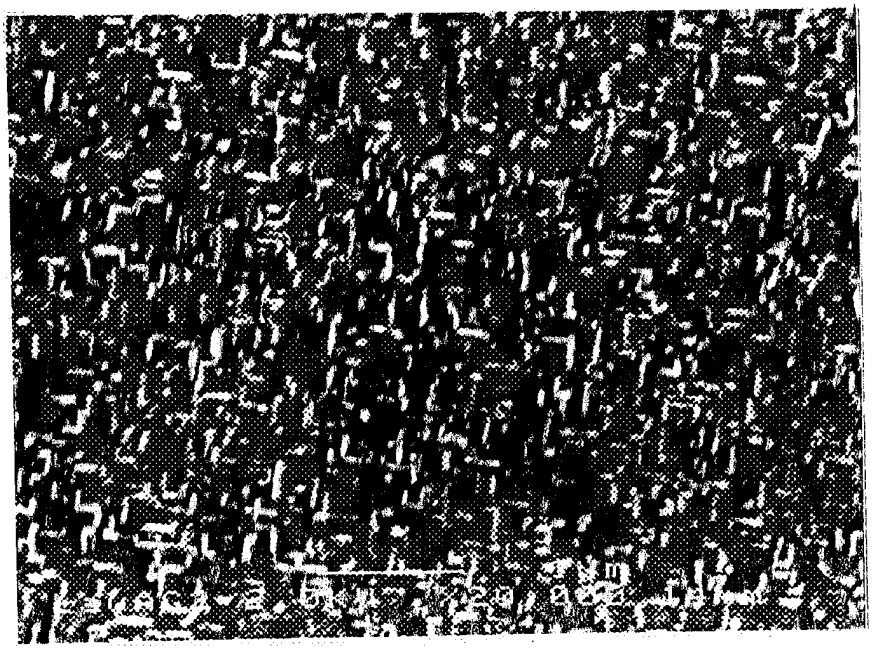


FIG. 6A

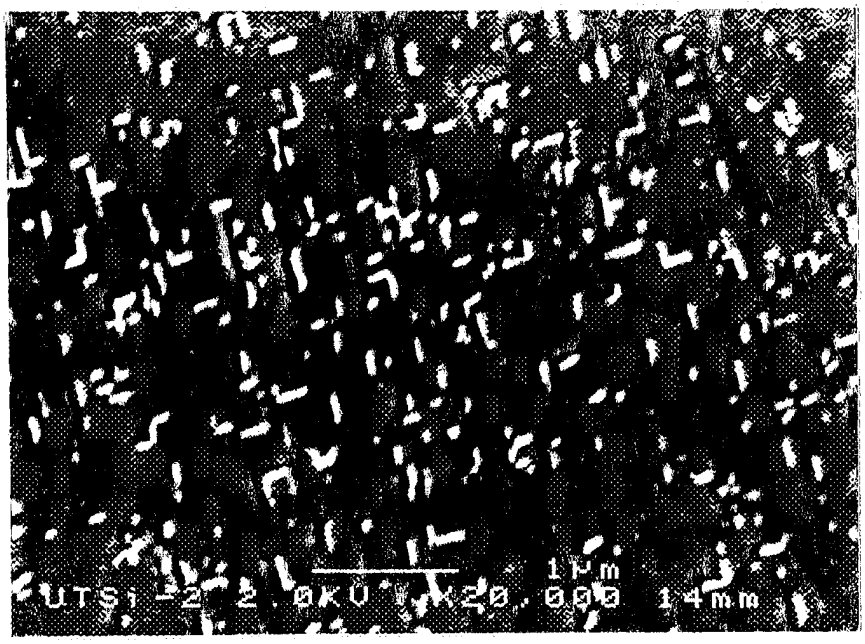


FIG. 6B



FIG.6C

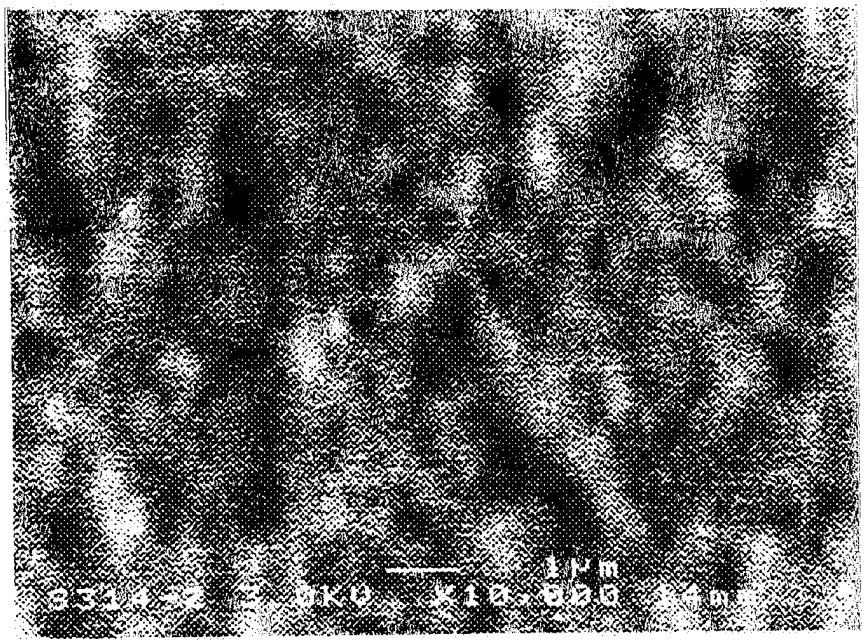


FIG.6D

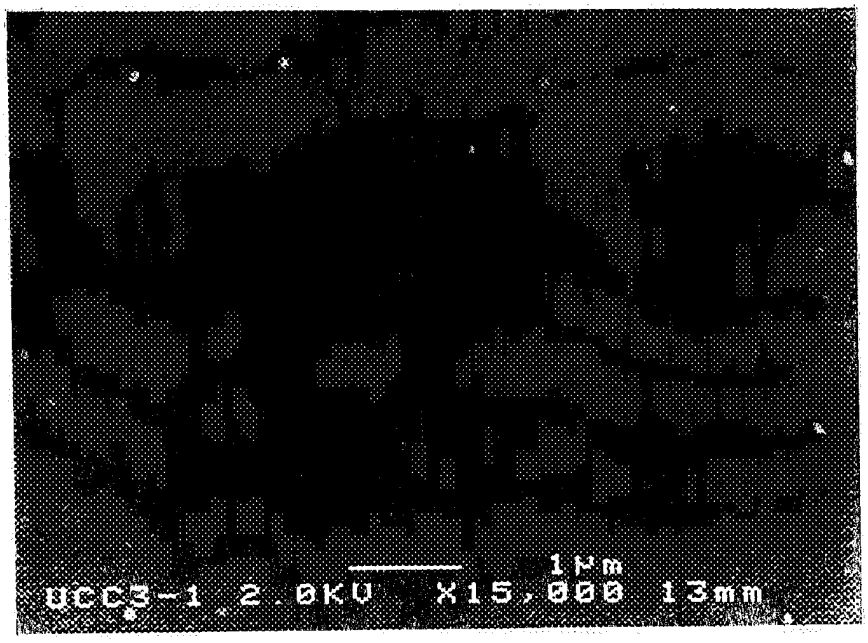


FIG.6E

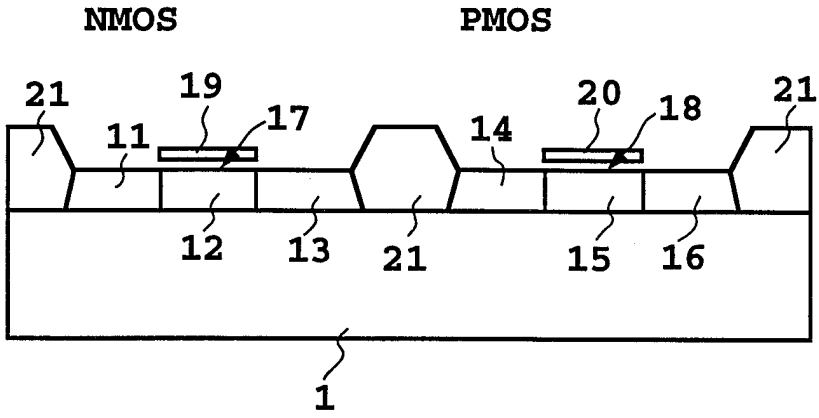


FIG.7



FIG. 8A

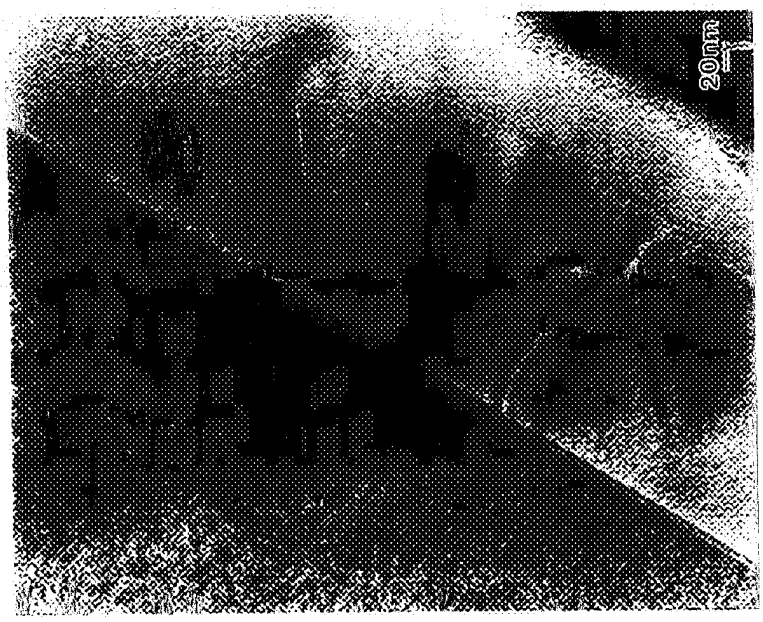


FIG. 8B

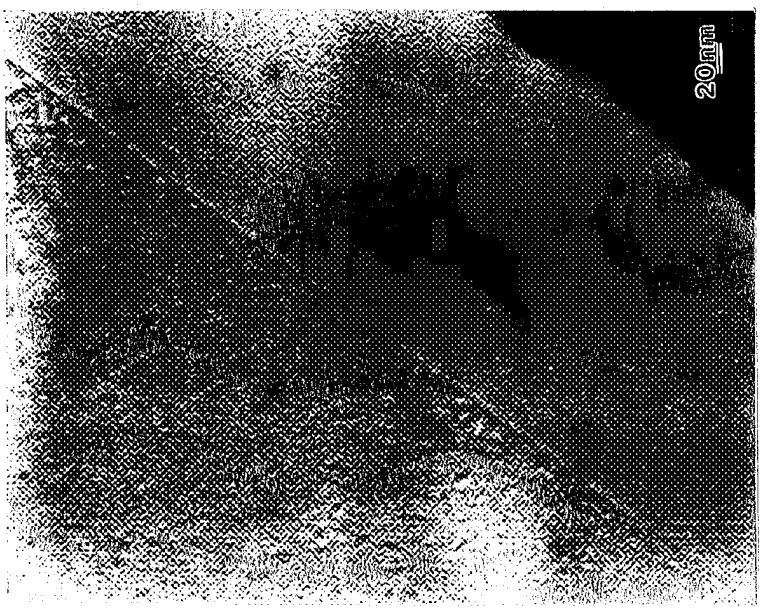


FIG.8C

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ９８／０２７５６

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））
Ｉｎｔ．Ｃｌ⁶　Ｈ０１Ｌ２１／３２４
Ｉｎｔ．Ｃｌ⁶　Ｈ０１Ｌ２７／１２
Ｉｎｔ．Ｃｌ⁶　Ｈ０１Ｌ２１／２０

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））
Ｉｎｔ．Ｃｌ⁶　Ｈ０１Ｌ２１／３２４
Ｉｎｔ．Ｃｌ⁶　Ｈ０１Ｌ２７／１２
Ｉｎｔ．Ｃｌ⁶　Ｈ０１Ｌ２１／２０５

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報　　１９２２－１９９６年
日本国公開実用新案公報　１９７１－１９９８年
日本国登録実用新案公報　１９９４－１９９８年
日本国実用新案登録公報　１９９６－１９９８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｘ	ＪＰ，５１－８０１６０，Ａ（工業技術院長） １３．７月．１９７６（１３．０７．７６） 全文（ファミリーなし）	１－４， １０－１４， １６－１９， ２２－２３， ２６－２８， ３５－４１， ５９－６６， ６８－７３
Ｙ		１－１４， １６－２３， ２６－８３

☒ Ｃ欄の続きにも文献が列挙されている。　　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」先行文献ではあるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２６．０８．９８	16.09.98

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）	４Ｍ	９２７７
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	宮崎園子		
	電話番号　０３－３５８１－１１０１　内線　３４６４		

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（１９９２年７月）

国際調査報告	国際出願番号　ＰＣＴ／ＪＰ９８／０２７５６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｘ	ＪＰ，５９－８２７４４，Ａ（日本電気株式会社） １２．５月．１９８４（１２．０５．８４） 全文，第１－６図（ファミリーなし）	１２，１６， １７，２６， ２８，３５， ３７－４１， ５７，６６， ６８－７３
Ｙ		１－１４， １６－２３， ２６－８３
Ｘ	ＪＰ，５８－２８８５５，Ａ（日本電気株式会社） １９．２月．１９８３（１９．０２．８３） 全文，第１－３図 ＆　ＵＳ，４４７０６１８，Ａ	４２，５０， ５２－５６， ５８，６７－ ７３
Ｙ		１－１４， １６－２３， ２６－８３
Ｙ	古川静二郎，「ＳＯＩ構造形成技術」，（日），産業図書株式会社，２３．１０月．１９８７（２３．１０．８７），Ｐ１３１－１３５	１－１４， １６－２３， ２６－８３
Ｙ	ＪＰ，９－６４０１６，Ａ（日本電気株式会社）７．３月．１９９７（０７．０３．９７） 段落【０００４】（ファミリーなし）	１－１４， １６－２３， ２６－８３
Ｙ	ＪＰ，５６－１４２６２６，Ａ（東京芝浦電気株式会社） ７．１１月．１９８１（０７．１１．８１） 全文，第１－２図（ファミリーなし）	１－１４， １６－２３， ２６－８３

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP98/02756

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[6] H01L21/324, H01L27/12, H01L21/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[6] H01L21/324, H01L27/12, H01L21/205

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-1998
Kokai Jitsuyo Shinan Koho 1971-1998 Jitsuyo Shinan Toroku Koho 1996-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 51-80160, A (Director General, Agency of Industrial Science of Technology), 13 July, 1976 (13. 07. 76), Full text (Family: none)	1-4, 10-14, 16-19, 22-23, 26-28, 35-41, 59-66, 68-73
Y		1-14, 16-23, 26-83
X	JP, 59-82744, A (NEC Corp.), 12 May, 1984 (12. 05. 84), Full text ; Figs. 1 to 6 (Family: none)	12, 16, 17, 26, 28, 35, 37-41, 57, 66, 68-73
Y		1-14, 16-23, 26-83
X	JP, 58-28855, A (NEC Corp.), 19 February, 1983 (19. 02. 83), Full text ; Figs. 1 to 3 & US, 4470618, A	42, 50, 52-56, 58, 67-73
Y		1-14, 16-23, 26-83

[X] Further documents are listed in the continuation of Box C. [ ] See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
26 August, 1998 (26. 08. 98)	16 September, 1998 (16. 09. 98)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP98/02756

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Seijiro Furukawa, "Techniques for SOI Structure Formation (in Japanese)" (Japan), Sangyo Tosho K.K., 23 October, 1987 (23. 10. 87), P131-135	1-14, 16-23, 26-83
Y	JP, 9-64016, A (NEC Corp.), 7 March, 1997 (07. 03. 97), Par. No. [0004] (Family: none)	1-14, 16-23, 26-83
Y	JP, 56-142626, A (Tokyo Shibaura Electric Co., Ltd.), 7 November, 1981 (07. 11. 81), Full text ; Figs. 1, 2 (Family: none)	1-14, 16-23, 26-83