



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년01월05일
(11) 등록번호 10-1582168
(24) 등록일자 2015년12월28일

(51) 국제특허분류(Int. Cl.)
H04N 21/242 (2011.01) H04N 21/40 (2011.01)
(21) 출원번호 10-2014-0161699
(22) 출원일자 2014년11월19일
심사청구일자 2014년11월19일
(56) 선행기술조사문헌
JP2013168740 A
JP2010263379 A
JP2013167699 A
US20060071951 A1
(73) 특허권자
서울대학교산학협력단
서울특별시 관악구 관악로 1 (신림동)
(72) 발명자
김태호
서울 관악구 관악로17길 38, 402호 (봉천동)
정덕균
서울시 관악구 신림동 서울대학교 104-1동 310호
(74) 대리인
특허법인태산

전체 청구항 수 : 총 7 항

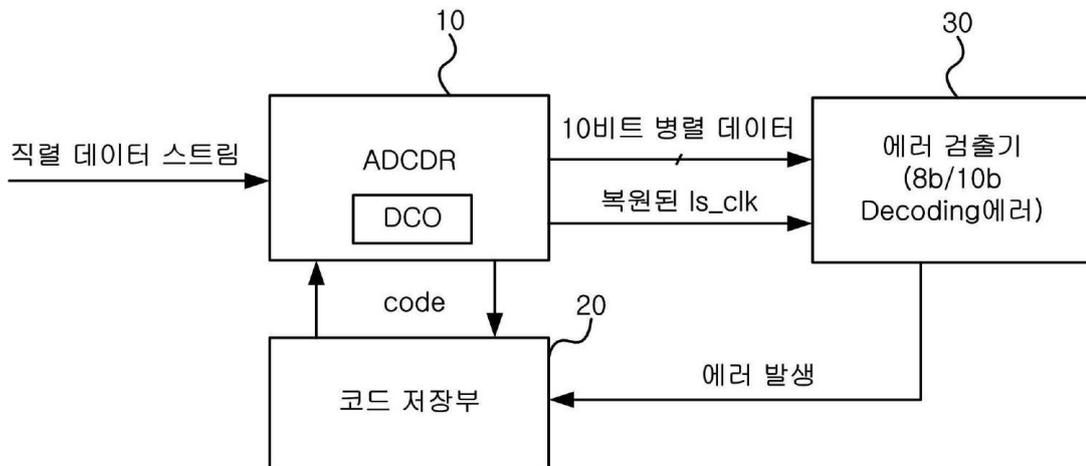
심사관 : 진민숙

(54) 발명의 명칭 디스플레이포트 수신단에서의 클럭 복원 구조

(57) 요약

본 발명에 따른 수신기는, DCO(Digitally Controlled Oscillator)를 구비하고 직렬 데이터 스트림으로부터 병렬 데이터 및 링크 심볼 클럭을 복원하는 기능을 수행하는 ADCDR(All Digital Clock and Data Recovery)(10)을 포함하여 구성되며, 적어도 비디오 데이터의 전송을 포함하는 디지털 디스플레이 인터페이스에 사용되는 수신기로 (뒷면에 계속)

대표도



서, 링크 트레이닝이 성공했을 때 상기 DCO(Digitally Controlled Oscillator)의 출력 주파수를 결정하는 DCO 코드를 저장하는 코드 저장부(20); 상기 복원된 병렬 데이터 및 링크 심볼 클럭을 이용하여 링크 에러를 검출하는 에러 검출기(30);를 포함하여 구성되며, 상기 비디오 데이터의 전송 중 상기 에러 검출기(30)가 링크 에러를 검출한 경우, 상기 코드 저장부(20)에 저장된 DCO 코드를 상기 ADCDR(All Digital Clock and Data Recovery)(10)의 DCO(Digitally Controlled Oscillator)에 적용하여 클럭을 복원하는 것을 특징으로 한다.

본 발명에 따르면, 비디오 데이터의 전송 중 링크 에러를 검출한 경우, 저장된 DCO 코드를 ADCDR의 DCO에 적용하여 클럭을 즉시 복원함으로써, 매우 짧은 시간내로 비디오 데이터의 전송이 정상화되기 때문에 비정상적인 화면 또는 노이즈의 노출 시간을 대폭 저감할 수 있는 효과가 있다.

명세서

청구범위

청구항 1

DCO(Digitally Controlled Oscillator)를 구비하고 직렬 데이터 스트림으로부터 병렬 데이터 및 링크 심볼 클럭을 복원하는 기능을 수행하는 ADCDR(All Digital Clock and Data Recovery)(10)을 포함하여 구성되며, 적어도 비디오 데이터의 전송을 포함하는 디지털 디스플레이 인터페이스에 사용되는 수신기로서,

링크 트레이닝이 성공했을 때 상기 DCO(Digitally Controlled Oscillator)의 출력 주파수를 결정하는 DCO 코드를 저장하는 코드 저장부(20);

상기 복원된 병렬 데이터 및 링크 심볼 클럭을 이용하여 링크 에러를 검출하는 에러 검출기(30);를 포함하여 구성되며,

상기 비디오 데이터의 전송 중 상기 에러 검출기(30)가 링크 에러를 검출한 경우, 상기 코드 저장부(20)에 저장된 DCO 코드를 상기 ADCDR(All Digital Clock and Data Recovery)(10)의 DCO(Digitally Controlled Oscillator)에 적용하여 클럭을 복원하는 것을 특징으로 하는 수신기.

청구항 2

청구항 1에 있어서,

상기한 DCO 코드의 적용에 의한 클럭 복원은 송신기로의 IRQ(Interrupt Request)에 우선하여 실행되는 것을 특징으로 하는 수신기.

청구항 3

청구항 1에 있어서,

상기 에러 검출기(30)는 IBM 8b/10b 디코딩에 있어서 미리 정해진 수준 이상의 에러가 발생하면 링크 에러로 결정하는 것을 특징으로 하는 수신기.

청구항 4

DCO(Digitally Controlled Oscillator)를 구비하고 직렬 데이터 스트림으로부터 병렬 데이터 및 링크 심볼 클럭을 복원하는 기능을 수행하는 ADCDR(All Digital Clock and Data Recovery)(10)을 포함하여 구성되며, 적어도 비디오 데이터의 전송을 포함하는 디지털 디스플레이 인터페이스에 사용되는 수신기에서 수행되는 클럭 복원 방법으로서,

링크 트레이닝이 성공했을 때 상기 DCO(Digitally Controlled Oscillator)의 출력 주파수를 결정하는 DCO 코드를 코드 저장부(20)에 저장하는 제 1 단계;

상기 비디오 데이터의 전송 중 링크 에러를 검출한 경우, 상기 코드 저장부(20)에 저장된 DCO 코드를 상기 ADCDR(All Digital Clock and Data Recovery)의 DCO(Digitally Controlled Oscillator)에 적용하여 클럭을 복원하는 제 2 단계;

를 포함하는 것을 특징으로 하는 클럭 복원 방법.

청구항 5

청구항 4에 있어서,

상기 제 2 단계에 따른 클럭 복원이 성공한 경우, 송신기로의 IRQ(Interrupt Request) 또는 링크 리트레이닝(re-training)이 수행되지 않는 것을 특징으로 하는 클럭 복원 방법

청구항 6

청구항 4에 있어서,

상기 제 2 단계에 따른 클럭 복원이 실패한 경우, 송신기로의 IRQ(Interrupt Request)가 실행되는 것을 특징으로 하는 클럭 복원 방법.

청구항 7

청구항 4에 있어서,

상기 링크 에러의 검출은 IBM 8b/10b 디코딩에 있어서 미리 정해진 수준 이상의 에러가 발생하는 지를 모니터링 하는 것에 의해 수행되는 것을 특징으로 하는 클럭 복원 방법.

발명의 설명

기술분야

[0001] 본 발명은 디스플레이포트 수신단에서의 클럭 복원 구조 및 클럭 복원 방법에 관한 것으로서, 구체적으로는 링크 실패(Link Failure) 발생시 링크 트레이닝(Link Training) 없이도 디스플레이포트 수신단에서 링크 심볼 클럭을 복원하는 구조 및 방법에 관한 것이다.

배경 기술

[0002] 디스플레이포트(DP)는 디지털 디스플레이 인터페이스 표준 중의 하나로 비디오 소스를 디스플레이 장치에 전송하기 위한 규격이다. 디스플레이포트는 AV 전자제품 등의 기기에서 상호호환성을 가지면서 영상, 음성 및 제어 신호를 하나의 케이블로 전송하는 통합형 인터페이스로서, PC, 모니터, TV, 패널, 프로젝터 및 고해상도 콘텐츠 응용 프로그램에 광범위하게 사용되고 있으며, 장치 내/외부 연결에 모두 사용될 수 있다.

[0003] 디프레이포트는 기본적으로 EMI(ElectroMagnetic Interference)를 줄이고 채널의 wire 수를 줄이기 위해 임베디드 클럭 구조를 채용한다. 클럭이 따로 전송되지 않으므로 전송되는 데이터 스트림에서 클럭을 복원하기 위해 CDR(Clock and Data Recovery) 회로가 사용된다.

[0004] 도 1은 디스플레이포트 수신기에 사용되는 통상의 ADCDR(All Digital Clock and Data Recovery) 회로를 도시한 블럭도이다.

[0005] ADCDR은 입력되는 직렬 데이터 스트림으로부터 병렬 데이터 및 링크 심볼 클럭(1s_clk)을 복원하는 기능을 수행하며, 특히 DCO(Digitally Controlled Oscillator: 디지털 제어 발진기)는 위상 검파기 및 루프필터로부터의 디지털 신호에 의해서 발진 주파수가 제어될 수 있다. 이러한 ADCDR의 구조는 공지된 것이므로 구체적인 설명은 생략한다.

[0006] 그리고 디스플레이 포트에서는 비디오 데이터를 전송하기 전, 링크 트레이닝(link training)을 수행하여 링크 심볼 클럭(1s_clk)을 복원하고 채널을 이퀄라이징 한다.

[0007] 도 2는 디스플레이포트 인터페이스에서의 일반적인 링크 트레이닝(link training)과정을 도시한 플로우차트이다.

[0008] 송신단에서는 HPD(Hot Plug Detect)가 감지되면 AUX 채널을 통해 링크의 상태를 초기화하고 링크 트레이닝(link training)을 요청한다. 전체 링크 트레이닝(link training)의 과정은 크게 두 단계로 이루어져 있다.

[0009] 먼저 링크 트레이닝(link training)이 시작되면 송신단에서 클럭 복원 패턴 (010101...)을 전송하고 일정 시간이 지난 뒤, 수신단에서 클럭 복원이 성공적으로 이루어 졌는지 AUX 채널을 통해 확인한다. 클럭 복원에 성공하면, 송신단에서는 이퀄라이징을 위한 특정 패턴을 수신단으로 전송하여 채널을 이퀄라이징한다. 그리고 패턴에 대한 에러가 검출되지 않아서 링크 트레이닝에 성공하면, 송신단에서는 정상적인 비디오 데이터를 전송하기 시작한다.

[0010] 그런데, 전체 링크 트레이닝(link training)의 과정은 AUX 채널을 통한 정보 교환으로 수행되는데, AUX 채널의 전송 속도가 1Mbps로 매우 느리기 때문에 한번 정보 교환을 하는데 수백 μ s가 소요되며, 따라서 전체 링크 트레이닝(link training)을 수행하는데 적어도 수 ms가 소요된다.

[0011] 정상적인 비디오 데이터를 전송하는 과정에서 링크에 에러가 발생하여 링크 실패(link failure) 상황이 되면, 수신기는 IRQ(Interrupt Request) 신호를 HPD wire를 통해 발생 시키고, 송신기는 IRQ를 감지하게 되면 전체 링크 트레이닝(link training) 과정을 다시 수행하여 링크를 정상적인 상황으로 복구시킨다. 이러한 경우 IRQ 신

호가 0.5~1 ms 정도의 시간을 소요하고 전체 링크 트레이닝(link training)을 다시 수행하는데 수 ms가 소요되기 때문에, 디스플레이 장치에서는 수 ms동안 비정상적인 화면 또는 노이즈를 보여 주게 되는 문제점이 있다.

[0012] 상기한 종래 기술의 문제점 및 과제에 대한 인식은 본 발명의 기술 분야에서 통상의 지식을 가진 자에게 자명한 것이 아니므로 이러한 인식을 기반으로 선행기술들과 대비한 본 발명의 진보성을 판단하여서는 아니됨을 밝혀둔다.

발명의 내용

해결하려는 과제

[0013] 본 발명의 목적은 비디오 데이터의 전송중 링크 실패(link failure)가 발생한 경우 보다 신속하게 링크를 복구시킬 수 있는 클럭 복원 방법 및 이를 채용한 수신기를 제공하기 위한 것이다.

[0014] 또한, 본 발명의 목적은 비디오 데이터의 전송중 링크 실패(link failure)가 발생한 경우 링크 트레이닝(link training) 없이도 링크를 복구시킬 수 있는 클럭 복원 방법 및 이를 채용한 수신기를 제공하기 위한 것이다.

[0015] 본 발명에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급하지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0016] 본 발명의 일 양상에 따른 수신기는, DCO(Digitally Controlled Oscillator)를 구비하고 직렬 데이터 스트림으로부터 병렬 데이터 및 링크 심볼 클럭을 복원하는 기능을 수행하는 ADCDR(All Digital Clock and Data Recovery)(10)을 포함하여 구성되며, 적어도 비디오 데이터의 전송을 포함하는 디지털 디스플레이 인터페이스에 사용되는 수신기로서,

[0017] 링크 트레이닝이 성공했을 때 상기 DCO(Digitally Controlled Oscillator)의 출력 주파수를 결정하는 DCO 코드를 저장하는 코드 저장부(20); 상기 복원된 병렬 데이터 및 링크 심볼 클럭을 이용하여 링크 에러를 검출하는 에러 검출기(30);를 포함하여 구성되며, 상기 비디오 데이터의 전송 중 상기 에러 검출기(30)가 링크 에러를 검출한 경우, 상기 코드 저장부(20)에 저장된 DCO 코드를 상기 ADCDR(All Digital Clock and Data Recovery)(10)의 DCO(Digitally Controlled Oscillator)에 적용하여 클럭을 복원하는 것을 특징으로 한다.

[0018] 상기한 수신기에 있어서, 상기한 DCO 코드의 적용에 의한 클럭 복원은 송신기로의 IRQ(Interrupt Request)에 우선하여 실행되는 것을 특징으로 한다.

[0019] 상기한 수신기에 있어서, 상기 에러 검출기(30)는 IBM 8b/10b 디코딩에 있어서 미리 정해진 수준 이상의 에러가 발생하면 링크 에러로 결정하는 것을 특징으로 한다.

[0020] 본 발명의 일 양상에 따른 클럭 복원 방법은, DCO(Digitally Controlled Oscillator)를 구비하고 직렬 데이터 스트림으로부터 병렬 데이터 및 링크 심볼 클럭을 복원하는 기능을 수행하는 ADCDR(All Digital Clock and Data Recovery)(10)을 포함하여 구성되며, 적어도 비디오 데이터의 전송을 포함하는 디지털 디스플레이 인터페이스에 사용되는 수신기에서 수행되는 클럭 복원 방법으로서,

[0021] 링크 트레이닝이 성공했을 때 상기 DCO(Digitally Controlled Oscillator)의 출력 주파수를 결정하는 DCO 코드를 저장하는 제 1 단계; 상기 비디오 데이터의 전송 중 링크 에러를 검출한 경우, 상기 코드 저장부(20)에 저장된 DCO 코드를 상기 ADCDR(All Digital Clock and Data Recovery)의 DCO(Digitally Controlled Oscillator)에 적용하여 클럭을 복원하는 제 2 단계;를 포함하는 것을 특징으로 한다.

[0022] 상기한 클럭 복원 방법에 있어서, 상기 제 2 단계에 따른 클럭 복원이 성공한 경우, 송신기로의 IRQ(Interrupt Request) 또는 링크 리트레이닝(re-training)이 수행되지 않는 것을 특징으로 한다.

[0023] 상기한 클럭 복원 방법에 있어서, 상기 제 2 단계에 따른 클럭 복원이 실패한 경우, 송신기로의 IRQ(Interrupt Request)가 실행되는 것을 특징으로 한다.

[0024] 상기한 클럭 복원 방법에 있어서, 상기 링크 에러의 검출은 IBM 8b/10b 디코딩에 있어서 미리 정해진 수준 이상의 에러가 발생하는 지를 모니터링하는 것에 의해 수행되는 것을 특징으로 한다.

발명의 효과

- [0025] 본 발명의 일 양상에 따르면, 비디오 데이터의 전송 중 링크 에러를 검출한 경우, 저장된 DCO 코드를 ADCDR의 DCO에 적용하여 클럭을 즉시 복원함으로써, 예를 들면 0.1 ms이하의 짧은 시간내로 비디오 데이터의 전송이 정상화되기 때문에 비정상적인 화면 또는 노이즈의 노출 시간을 대폭 저감할 수 있는 효과가 있다.
- [0026] 본 발명의 일 양상에 따르면, 비디오 데이터의 전송중 링크 실패(link failure)가 발생한 경우 보다 신속하게 링크를 복구시킬 수 있으며, 링크 트레이닝(link training) 등이 없이도 링크를 복구시킬 수 있는 효과가 있다.

도면의 간단한 설명

- [0027] 도 1은 디스플레이포트 수신기에 사용되는 통상의 ADCDR(All Digital Clock and Data Recovery) 회로를 도시한 블록도이다.
 도 2는 디스플레이포트 인터페이스에서의 일반적인 링크 트레이닝(link training)과정을 도시한 플로우차트이다.
 도 3은 본 발명의 일 실시예에 따른 수신기의 구조를 도시한 블록도이다.
 도 4는 본 발명의 일 실시예에 따른 클럭 복원 방법을 도시한 플로우차트이다.

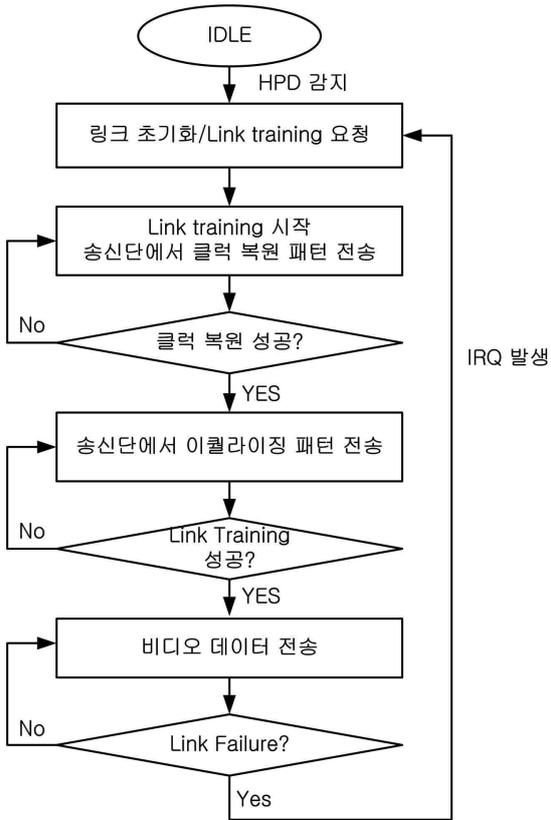
발명을 실시하기 위한 구체적인 내용

- [0028] 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 명칭 및 도면 부호를 사용한다.
- [0029] 본 발명의 일 양상에 따르면, 링크 실패(Link failure)가 발생했을 때, 디스플레이 화면에서 노이즈가 발생하는 시간을 줄이기 위해 IRQ(Interrupt Request) 발생 및 링크 트레이닝(link training)을 생략하고, 수신기 스스로 클럭을 복원하는 구조를 가진다.
- [0030] ADCDR(All Digital Clock and Recovery) 회로는 클럭을 생성하는데 디지털 제어 발진기(DCO: Digitally Controlled Oscillator)를 사용한다. 디지털 제어 발진기(DCO)의 출력 주파수는 디지털 코드 값에 의해 결정되기 때문에 초기값 설정을 통하여 원하는 클럭의 주파수를 만들어 내기가 용이하다.
- [0031] 처음 링크 트레이닝(link training)이 성공했을 때 복원된 클럭의 주파수에 해당하는 디지털 코드 값(DCO 코드)을 저장하고 있다가 링크에 에러가 발생했을 때, IRQ를 발생시키지 않고 저장된 디지털 코드 값을 다시 적용하여 원하는 주파수의 클럭을 만들어내어 링크가 다시 정상적으로 동작하도록 한다.
- [0032] 도 3은 본 발명의 일 실시예에 따른 수신기의 구조를 도시한 블록도이다.
- [0033] 도 3은 수신기의 구성중 본 발명의 클럭 복원 방법과 관련된 부분을 도시한 것이며, 기타의 부분은 생략한 것이다.
- [0034] 수신기는 적어도 비디오 데이터의 전송을 포함하는 디지털 디스플레이 인터페이스, 특히 디스플레이포트 인터페이스에 사용되는 것으로서, ADCDR(All Digital Clock and Data Recovery)(10), 에러 검출기(30) 및 코드 저장부(20)를 포함하여 구성된다.
- [0035] ADCDR(10)은 내부에 DCO(Digitally Controlled Oscillator)를 구비하고 송신기 및 수신기 사이 채널을 통해 전송되는 직렬 데이터 스트림으로부터 병렬 데이터 및 링크 심볼 클럭(1s_clk)을 복원하는 기능을 수행한다. ADCDR(10)은 디스플레이포트에 사용되는 통상의 ADCDR(All Digital Clock and Data Recovery)이어도 되며, 예를 들면, 도 1에 도시된 ADCDR의 구조를 가질 수 있다.
- [0036] 에러 검출기(30)는, 복원된 병렬 데이터 및 링크 심볼 클럭을 이용하여 링크 에러를 검출한다. 에러 검출기(30)는 정상적인 비디오 데이터 스트림이 전송될 때 IBM 8b/10b 디코딩(decoding)에 있어서 미리 정해진 수준 이상의 에러가 발생하는지 체크하며, 일정 수준 이상의 에러가 발생하면 링크 에러가 발생한 것으로 판단하고, 에

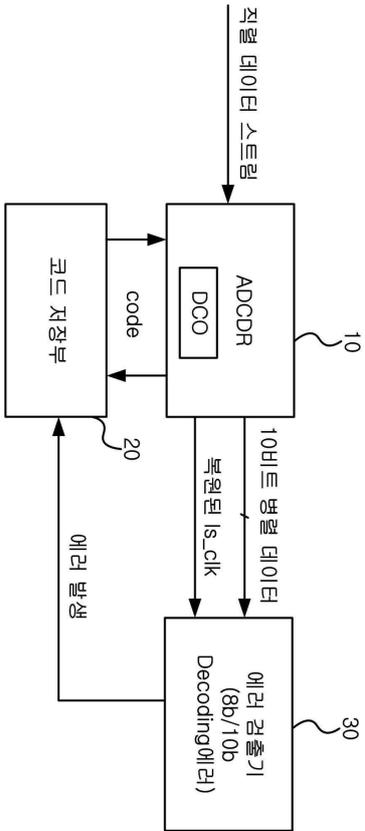
러 발생을 코드 저장부(20)에 알린다.

- [0037] 코드 저장부(20)는 링크 트레이닝이 성공했을 때 ADCDR(10) 내부의 DCO(Digitally Controlled Oscillator)로부터 DCO의 출력 주파수를 결정하는 DCO 코드를 제공받아 저장한다.
- [0038] 그리고 비디오 데이터의 전송 중 에러 검출기(30)가 링크 에러를 검출한 경우, 코드 저장부(20)는 에러 검출기(30)로부터 링크 에러의 발생 사실을 통보받고, 코드 저장부(20)에 저장된 DCO 코드를 ADCDR(10)의 DCO에 제공하여 적용되도록 함으로써 즉시 클럭을 복원하도록 한다. 본 발명의 일 양상에 따르면, 채널의 직렬 테이트 스트림에서 링크 트레이닝(link training)을 통해 ADCDR이 클럭을 복원한 뒤, DCO의 디지털 코드 값을 저장해 놓고 링크 에러 발생시 즉시 이용하는 구조를 가진다.
- [0039] 상기에서는 설명의 편의상 코드 저장부(20)가 ADCDR(10)의 외부에 별도로 구성되는 것으로 도시하였으나, 코드 저장부(20)는 ADCDR(20)의 내부에 일부 또는 전체가 포함되어 구성될 수도 있다.
- [0040] 그리고, 저장된 DCO 코드를 이용하여 ADCDR(20)이 클럭 복원에 성공한 경우, 송신기로의 IRQ(Interrupt Request)나 링크 트레이닝(link training)이 필요없게 되는 바, 본 발명의 일 양상에 따르면 DCO 코드의 적용에 의한 클럭 복원은 송신기로의 IRQ(Interrupt Request) 등에 우선하여 실행된다.
- [0041] 도 4는 본 발명의 일 실시예에 따른 클럭 복원 방법을 도시한 플로우차트이다.
- [0042] 본 발명의 일 양상에 따른 클럭 복원 방법은 적어도 비디오 데이터의 전송을 포함하는 디지털 디스플레이 인터페이스, 특히 디스플레이포트 인터페이스에 사용되는 수신기에서 수행된다.
- [0043] 송신단에서는 HPD(Hot Plug Detect)가 감지되면 AUX 채널을 통해 링크의 상태를 초기화하고 링크 트레이닝(link training)을 요청한다(S10).
- [0044] 그리고 전체 링크 트레이닝(link training)이 시작되면, 송신단에서는 클럭 복원 패턴 및 이퀄라이징 패턴을 수신단으로 전송하며(S12), 이 단계는 크게 두 과정으로 이루어 질 수 있다. 먼저 링크 트레이닝(link training)이 시작되면 송신단에서 클럭 복원 패턴 (010101...)을 전송하고 일정 시간이 지난 뒤, 수신단에서 클럭 복원이 성공적으로 이루어 졌는지 AUX 채널을 통해 확인한다. 클럭 복원에 성공하면, 송신단에서는 이퀄라이징을 위한 이퀄라이징 패턴을 수신단으로 전송하여 채널을 이퀄라이징한다.
- [0045] 그리고 패턴에 대한 에러가 검출되지 않아서 링크 트레이닝에 성공하였는지를 판단하여(S14), 링크 트레이닝이 성공했을 때 DCO(Digitally Controlled Oscillator)의 출력 주파수를 결정하는 DCO 코드를 코드 저장부(20)에 저장한다(S16).
- [0046] 그리고 송신기 및 수신기 사이에는 정상적인 비디오 데이터의 전송이 수행되며(S18), 에러 검출기(30)에서는 비디오 데이터의 전송 중에 링크 에러가 있는지를 감시하고 있는다(S20). 링크 에러의 검출은 IBM 8b/10b 디코딩에 있어서 미리 정해진 수준 이상의 에러가 발생하는지를 모니터링하는 것에 의해 수행될 수 있다.
- [0047] 그리고 에러 검출기(30)가 비디오 데이터의 전송 중 링크 에러를 검출한 경우에는, 코드 저장부(20)에 저장된 DCO 코드를 ADCDR(All Digital Clock and Data Recovery)(10)의 DCO(Digitally Controlled Oscillator)에 적용하며(S22), ADCDR의 DCO가 이를 이용하여 클럭을 즉시 복원하는 데 이용되도록 한다.
- [0048] 그리고, 수신기는 ADCDR(10)이 클럭 복원에 성공하는지를 판단하여(S24), 클럭 복원에 성공한 경우, 계속해서 비디오 데이터의 전송에 따른 수신을 계속한다. 따라서 수신기는 송신기로 IRQ(Interrupt Request)를 요청하거나 또는 링크 리트레이닝(re-training)을 수행하지 않아도 된다.
- [0049] 한편, 수신기는 ADCDR(10)이 클럭 복원에 성공하는지를 판단하여(S24), 클럭 복원에 실패한 경우, 수신기는 IRQ(Interrupt Request)를 발생시키며(S26), 송신기 및 수신기 사이에는 링크 리트레이닝(re-training)이 수행된다.
- [0050] 본 발명의 일 양상에 따르면, 비디오 데이터의 전송중 일정 수준 이상의 에러가 발생하면 저장되어 있는 코드 값을 ADCDR 회로에 다시 반영하고, 에러 검출기(30)의 에러가 없어지는지 확인함으로써 다시 정상적인 동작으로 복구되었는지 알 수 있다. 그리고, 저장된 코드 값을 적용했음에도 불구하고 계속 에러가 발생하는 상황이 되면, IRQ를 발생시켜서 link training을 다시 수행하도록 요청한다.

도면2



도면3



도면4

