

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5609986号
(P5609986)

(45) 発行日 平成26年10月22日 (2014. 10. 22)

(24) 登録日 平成26年9月12日 (2014. 9. 12)

(51) Int. Cl.

F I

G 0 6 F 11/22 (2006.01)

G 0 6 F 11/22 3 6 0 H

請求項の数 3 (全 40 頁)

(21) 出願番号	特願2012-544034 (P2012-544034)	(73) 特許権者	000005223
(86) (22) 出願日	平成22年11月16日 (2010. 11. 16)		富士通株式会社
(86) 国際出願番号	PCT/JP2010/070375		神奈川県川崎市中原区上小田中4丁目1番1号
(87) 国際公開番号	W02012/066636	(74) 代理人	100107766
(87) 国際公開日	平成24年5月24日 (2012. 5. 24)		弁理士 伊東 忠重
審査請求日	平成25年5月14日 (2013. 5. 14)	(74) 代理人	100070150
			弁理士 伊東 忠彦
		(74) 代理人	100146776
			弁理士 山口 昭則
		(72) 発明者	後藤 義嗣
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通アドバンステクノロジー株式会社内

最終頁に続く

(54) 【発明の名称】 情報処理装置、送信装置及び情報処理装置の制御方法

(57) 【特許請求の範囲】

【請求項 1】

送信装置と、前記送信装置に接続された受信装置とを有する情報処理装置において、
 前記送信装置は、
 複数の出力信号を出力する情報処理部と、
 所定時間を計時した場合に通知を行なう計時部と、
 前記情報処理部が出力した複数の出力信号のうちいずれかの出力信号の値を、前記計時部からの通知に基づいて、変更する擬似故障生成部と、
 前記情報処理部が出力した複数の出力信号のうち、前記擬似故障生成部が変更する出力信号の選択についての選択情報を保持する記憶部とを有し、
 前記擬似故障生成部は、前記情報処理部が出力した複数の出力信号のうちいずれかの出力信号の値を、前記記憶部に保持された選択情報に基づいて、変更し、
 前記受信装置は、
 受信した、前記擬似故障生成部がいずれかの値を変更した複数の出力信号について、エラーを検出するエラー検出部を有し、
 前記記憶部はさらに、
 前記情報処理部が出力した複数の出力信号のうち、前記擬似故障生成部が変更する出力信号の変更回数についての回数情報を保持し、
 前記擬似故障生成部は、前記情報処理部が出力した複数の出力信号のうちいずれかの出力信号の値を、前記記憶部に保持された選択情報に基づいて変更することを、前記記憶部

10

20

に保持された変更回数情報の変更回数だけ繰り返すことを特徴とする情報処理装置。

【請求項 2】

エラーを検出するエラー検出部を有する受信装置に接続される送信装置において、
 複数の出力信号を出力する情報処理部と、
 所定時間を計時した場合に通知を行なう計時部と、
 前記情報処理部が出力した複数の出力信号のうちいずれかの出力信号の値を、前記計時部からの通知に基づいて、変更する擬似故障生成部と、
 前記情報処理部が出力した複数の出力信号のうち、前記擬似故障生成部が変更する出力信号の選択についての選択情報を保持する記憶部とを有し、
 前記擬似故障生成部は、前記情報処理部が出力した複数の出力信号のうちいずれかの出力信号の値を、前記記憶部に保持された選択情報に基づいて、変更し、
 前記記憶部はさらに、

前記情報処理部が出力した複数の出力信号のうち、前記擬似故障生成部が変更する出力信号の変更回数についての変更回数情報を保持し、

前記擬似故障生成部は、前記情報処理部が出力した複数の出力信号のうちいずれかの出力信号の値を、前記記憶部に保持された選択情報に基づいて変更することを、前記記憶部に保持された変更回数情報の変更回数だけ繰り返すことを特徴とする送信装置。

【請求項 3】

送信装置と、前記送信装置に接続された受信装置を有する情報処理装置の制御方法において、

前記送信装置が有する情報処理部が、複数の出力信号を出力するステップと、
 前記送信装置が有する計時部が、所定時間を計時した場合に通知を行なうステップと、
 前記送信装置が有する擬似故障生成部が、前記情報処理部が出力した複数の出力信号のうちいずれかの出力信号の値を、前記計時部からの通知に基づいて、変更するステップと、

前記送信装置が有する記憶部が、前記情報処理部が出力した複数の出力信号のうち、前記擬似故障生成部が変更する出力信号の選択についての選択情報を保持するステップとを有し、

前記擬似故障生成部は、前記情報処理部が出力した複数の出力信号のうちいずれかの出力信号の値を、前記記憶部に保持された選択情報に基づいて、変更し、

前記受信装置が有するエラー検出部が、前記擬似故障生成部がいずれかの値を変更した複数の出力信号について、エラーを検出するステップとを有し、

前記記憶部はさらに、

前記情報処理部が出力した複数の出力信号のうち、前記擬似故障生成部が変更する出力信号の変更回数についての変更回数情報を保持し、

前記擬似故障生成部は、前記情報処理部が出力した複数の出力信号のうちいずれかの出力信号の値を、前記記憶部に保持された選択情報に基づいて変更することを、前記記憶部に保持された変更回数情報の変更回数だけ繰り返すことを特徴とする情報処理装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、情報処理装置、送信装置及び情報処理装置の制御方法に関する。

【背景技術】

【0002】

プロセッサ等の L S I (Large Scale Integrated circuit) の機能ユニットにエラーを注入することにより擬似故障を発声する方法が知られている。当該方法では、I E E E 1 1 4 9 . 1 (The Institute of Electrical and Electronics Engineers, Inc. 1149.1) に規定される J T A G (Joint Test Action Group) インタフェースを用いて、例えば検査を行うエラーの種類、システムのエラー注入回路によって注入するエラーの種類に関して

、システムに指示を行う。

【 0 0 0 3 】

又、擬似故障を発生させ得る箇所にデコーダの出力信号線を接続し、シリアルにデータを設定できるレジスタを設け、任意のタイミングで任意の箇所に擬似故障を発生させる擬似故障発生回路が知られている。

【 0 0 0 4 】

又、擬似故障の発生タイミングをタイマにセットし、一度発生した故障が固定される固定故障、故障が間欠的に発生する間欠故障の区別に応じたレベルの信号を出力することにより、任意の時点での擬似故障の発生を可能にする擬似故障発生機構が知られている。

【 0 0 0 5 】

又、強制エラーを発生させるデータ処理装置内の構成要素を指定する信号と、強制エラー発生期間を指示する信号とを発生させ、強制的にエラーを発生させてエラー検出機能を検査するデータ処理装置の強制エラー発生回路が知られている。

【 0 0 0 6 】

又、情報処理装置の管理を行うサービスプロセッサ (Service Processor) によってエラー内容が設定されるエラーデータレジスタ及びエラーアドレスレジスタを有し、擬似的にエラーを発生する擬似ディスク装置が知られている。

【 0 0 0 7 】

又、以下のような情報処理装置の擬似故障試験方式が知られている。当該方式では、擬似故障試験プログラムからの指示に基づきプログラムが配下の外部記憶装置からエラーログ情報を読み出し、擬似故障試験プログラム実行の前後に読み出したエラーログ情報を解析して故障処理機能を試験する。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 8 】

【 特許文献 1 】 特開 2 0 0 7 - 2 0 0 3 0 0 号 公 報

【 特許文献 2 】 特開昭 6 2 - 2 7 1 1 5 5 号 公 報

【 特許文献 3 】 特開平 3 - 1 8 4 1 3 3 号 公 報

【 特許文献 4 】 特開昭 6 2 - 1 1 1 3 3 1 号 公 報

【 特許文献 5 】 特開昭 5 6 - 8 8 5 5 0 号 公 報

【 特許文献 6 】 特開平 5 - 2 0 1 1 5 号 公 報

【 特許文献 7 】 特開 2 0 0 6 - 5 3 0 4 3 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 9 】

情報処理装置において発生させる擬似故障信号の発生態様を効果的に設定し得る構成を提供することが目的である。

【 課題を解決するための手段 】

【 0 0 1 0 】

実施例の情報処理装置は送信装置と、送信装置に接続された受信装置とを有する。送信装置は、複数の出力信号を出力する情報処理部と、所定時間を計時した場合に通知を行なう計時部と、情報処理部が出力した複数の出力信号のうちいずれかの出力信号の値を、計時部からの通知に基づいて、変更する擬似故障生成部とを有する。受信装置は、受信した、擬似故障生成部がいずれかの値を変更した複数の出力信号について、エラーを検出するエラー検出部を有し、前記記憶部はさらに、前記情報処理部が出力した複数の出力信号のうち、前記擬似故障生成部が変更する出力信号の変更回数についての変更回数情報を保持し、前記擬似故障生成部は、前記情報処理部が出力した複数の出力信号のうちいずれかの出力信号の値を、前記記憶部に保持された選択情報に基づいて変更することを、前記記憶部に保持された変更回数情報の変更回数だけ繰り返す。

【 発明の効果 】

【 0 0 1 1 】

実施例の情報処理装置によれば、情報処理装置において発生させる擬似故障信号の発生態様を効果的に設定することができる。

【図面の簡単な説明】

【 0 0 1 2 】

【図 1】擬似故障発生方法の例を示すブロック図である。

【図 2】図 1 に示す擬似故障発生方法の例の動作の流れを示すフローチャートである。

【図 3 A】実施例 1 による擬似故障発生方法の動作の流れを示すフローチャートである。

【図 3 B】図 3 A に示す擬似故障発生方法における、エラー処理の流れを示す図である。

【図 4】図 3 A に示す擬似故障発生方法が適用される情報処理装置の構成例を示す図である。

10

【図 5】図 3 A に示す擬似故障発生方法において使用する擬似故障レジスタの構成例を示す図である。

【図 6】実施例 2 による擬似故障発生方法が適用される情報処理装置の構成例を示す図である。

【図 7】実施例 2 による擬似故障発生方法において使用する擬似故障レジスタの構成例を示す図である。

【図 8】図 6 に係るタイマ制御回路の回路構成例を示す図である。

【図 9】図 8 に係るタイマ制御回路の動作の流れの例を示すタイムチャートである。

【図 1 0】実施例 3 による擬似故障発生方法において使用する擬似故障レジスタの構成例を示す図である。

20

【図 1 1】実施例 3 による擬似故障発生方法において使用するタイマ制御回路の回路構成例を示す図である。

【図 1 2】図 1 1 に記載されたタイマ制御回路の動作の流れの例を示すタイムチャートである。

【図 1 3】実施例 3 による擬似故障発生方法を実施する情報処理装置の構成例を示す図である。

【図 1 4】実施例 4 による擬似故障発生方法を実施する情報処理装置の構成例を示す図である。

【図 1 5】実施例 4 による擬似故障発生方法の動作の流れの例を示すフローチャートである。

30

【図 1 6】図 1 4 に記載された C D (クロック信号分配部) の回路例を示す図である。

【図 1 7】図 1 6 に示す C D の動作の流れの例を示すタイムチャートである。

【発明を実施するための形態】

【 0 0 1 3 】

本発明の実施例によれば、情報処理装置が有するシステムボード等のプリント配線基板上に搭載された半導体装置間、或いは各種部品間が電氣的に接続された構成において擬似故障を発生させる。具体的には、情報処理装置の稼働中に、送信側の半導体装置又は部品から出力される特定の信号、或いは受信側の半導体装置又は部品に入力される特定の信号を一定のレベルに固定し、或いは当該信号のレベルを固定又は間欠的に変動させる態様で擬似故障を発生させる。尚、擬似故障とは、信号の正常性を検証するエラー検出回路又はエラー訂正回路等の R A S (Reliability, Availability and Serviceability) 機能部に信号の異常を検出又は訂正させることにより、当該 R A S 機能部が信号の異常を検出又は訂正する動作が正しく機能するかを検証する目的で、当該信号を強制的に操作して擬似的に故障状態を生じさせることをいう。ここで、R A S 機能部とは、例えば、エラーの検出又は訂正を行うことにより、信頼性、可用性及び保守性を向上させる機能部をいう。また本発明の実施例によれば、間欠故障の発生間隔等の擬似故障の発生の態様が設定可能である。更に本発明の実施例は、擬似故障の発生によって上記機能部が信号の異常を検出した際、当該異常の発生箇所或いは当該異常が検出された部品を指摘する構成を有する。

40

【 0 0 1 4 】

50

情報処理装置に含まれるプリント配線基板の試験において擬似的に故障を発生させる試験支援ツールとして、例えばＢＢＣ（Black Box Clip）テストがある。ＢＢＣテストを使用した試験では、プリント配線基板の半田面上の表層配線のビアにＢＢＣテストのプローブ（探針）を接触させて当該ビアを０Ｖにクリップすることにより、擬似故障を生じさせる。そして当該擬似故障が情報処理装置に含まれるＲＡＳ機能によって適切に処理されるか否かを検証する。このように擬似故障を生じさせて当該故障が適切に処理されるか否かを検証する試験を擬似故障試験と称する。

【００１５】

当該擬似故障によるＲＡＳ機能の検証の目的は以下の通りである。情報処理装置の出荷後の稼働中に実際に故障が生じた際に、当該故障に起因するデータのエラーの検出又は訂正が適切に行われず、或いはＲＡＳ機能によっても故障箇所（被疑部品）の検出が適切になされないような状況を未然に防止することである。擬似故障試験は主にシステム評価試験において実施される。

【００１６】

次に図１、図２とともに、ＢＢＣテストを使用した擬似故障試験の具体的な例を説明する。図１には、被試験装置である情報処理装置１１０００と、ＢＢＣテスト５００とが示されている。情報処理装置１１０００は、システムボード等の被試験プリント配線基板１１００、ＳＣＩ（System Console Interface）２００及びＳＶＰ（Service Processor）３００を含む。被試験プリント配線基板１１００は、プリント配線基板上に、送信側の半導体装置である送信側ユニット１１１０及び受信側の半導体装置である受信側ユニット１１２０が搭載された構成を有する。ＳＶＰ３００は被試験プリント配線基板１１００の動作を監視する機能を有するプロセッサである。ＳＶＰ３００はコンソール４００と接続され、コンソール４００はＳＶＰ３００の解析結果を表示したり、ＳＶＰ３００に対する指示内容を入力する際に使用される。ＳＣＩ２００はＩＥＥＥ １１４９．１規格に準拠したＪＴＡＧ（Joint Test Action Group）規格に準拠したインタフェースを有する。

【００１７】

ＢＢＣテスト５００は被試験プリント配線基板の半田面の表層配線のビアに接触するプローブ（探針）を有するアーム５５０を駆動するプローブユニット５４０、およびプローブユニット５４０をＸＹ軸方向に駆動するロボット５３０を有する。ＢＢＣテスト５００は更に、プローブユニット５４０及びロボット５３０を制御する制御部５２０並びにパーソナルコンピュータ５１０を有する。

【００１８】

ＢＢＣテスト５００を使用した擬似故障試験では、パーソナルコンピュータ５１０から制御部５２０に対し、被試験プリント配線基板１１００の半田面のビアの位置情報が入力される。これに応じ制御部５２０はロボット５３０を制御してアーム５５０を操作し、当該位置情報が示す被試験プリント配線基板１１００の半田面における表層配線のビアにアーム５５０先端のプローブを配置する。このようにして、アーム５５０先端のプローブを被試験プリント板１１００の表層配線のビアに接触させて接地させ、当該表層配線の信号電位を強制的に０Ｖにすることにより、擬似故障を発生させる。

【００１９】

図２とともに当該擬似故障試験の動作の流れの例について説明する。擬似故障試験を開始する際、まず事前準備としてステップＳ１を実行する。ステップＳ１では、ＢＢＣテスト５００と情報処理装置１１０００の被試験プリント配線基板１１００との間の位置関係を所定の位置関係に設定し、上記表層配線のビアを抽出する。そして、ＢＢＣテスト５００が、上記ビアを０Ｖにクリップさせる。次に、被試験プリント配線基板１１００の送信側ユニット１１１０から受信側ユニット１１２０に対し、上記ビアを流れる信号を含む信号を出力する（ステップＳ２）。ここで上記の如くＢＢＣテスト５００がビアを０Ｖにクリップさせているため、上記信号において擬似故障が発生する。受信側ユニット１１２０では、エラーチェック機能（ステップＳ３）により当該擬似故障を検出すると（ステップＳ４　ＹＥＳ）、該当するエラーログを格納し（ステップＳ５）、ＳＣＩ２００を介し

10

20

30

40

50

V P 3 0 0 に対しエラーの通知を行う。S V P 3 0 0 は通知されたエラーを解析し、解析結果をコンソール 4 0 0 の画面に表示する。オペレータはコンソール 4 0 0 の画面を見て、B B C テスタ 5 0 0 が 0 V にクリップしたピアに対応する表層配線の信号が故障箇所として正しく表示されているか否かを判定することにより、R A S 機能の検証を行う。

【 0 0 2 0 】

図 1 , 図 2 とともに上記した B B C テスタ 5 0 0 を使用する擬似故障試験には、以下のような問題点が考えられる。

【 0 0 2 1 】

a) ピアを 0 V にクリップするため、被試験プリント配線基板の半田面上の表層配線にピアが存在しない信号についてはプローブをピアに接触させることができないため、0 V にクリップすることができず、又、部品下に隠れた表層配線上のピアを 0 V にクリップすることができない。そのような場合、所望の信号に対し擬似故障を生じさせることができない。

10

【 0 0 2 2 】

b) プリント配線基板上に搭載された部品の高さ、もしくはプリント配線基板のサイズ等によっては B B C テスタ 5 0 0 のアーム 5 5 0 を所望のピアに対し近接させることができず、所望のピアを 0 V にクリップすることができない。

【 0 0 2 3 】

c) 0 V にクリップする (接地する) ため、0 V が活性 (アサート) 状態を示す信号を非活性 (ネゲート) 状態に固定する擬似故障を生じさせることができない。

20

【 0 0 2 4 】

d) システム電源投入時に擬似故障試験を行う場合、送信側ユニットにおいて所望の信号が動作する前に 0 V にクリップしても、受信側ユニットでは単に所望の信号が動作する前であるから 0 V でも故障と判定しない。したがって擬似故障を生じさせることができない。

【 0 0 2 5 】

e) エラー監視条件を有する部品の擬似故障の場合、該当するエラー監視条件に合致する態様で 0 V クリップを行うことが困難な場合がある。エラー監視条件とは、例えば故障の持続時間、発生回数等の閾値を有する監視条件である。

【 0 0 2 6 】

30

本発明の実施例はこれらの問題点に鑑み、ハードウェアである論理回路による擬似故障発生回路を設け、所望の擬似故障状態を特定の信号に対し生じさせることを可能にする。その結果、様々な態様の擬似故障を生じさせ、R A S 機能の検証を効果的に行うことができる。

【 実施例 1 】

【 0 0 2 7 】

図 3 A とともに、実施例 1 の擬似故障発生方法の動作の流れを説明する。被試験プリント配線基板 1 1 0 0 としてのプリント配線基板に搭載された送信側ユニット 1 1 0 と受信側ユニット 1 2 0 とが接続された構成において、送信側ユニット 1 1 0 の内部に擬似故障を生じさせるため、E G 生成回路 1 1 2 b を設ける。E G 生成回路 1 1 2 b は、S C I 2 0 0 が擬似故障の発生条件を設定する擬似故障レジスタ 1 1 2 b - 2 と、擬似故障について間欠故障の発生間隔を制御するタイマ制御回路 1 1 2 b - 1 とを有する。

40

【 0 0 2 8 】

図 3 A 中、擬似故障レジスタ 1 1 2 b - 2 から擬似故障の発生条件が読み出される (ステップ S 1 1) 。ステップ S 1 1 で読み出された発生条件に含まれる、擬似故障を生じさせる対象信号に合致しない信号に対しては、後述するステップ S 1 8 が実行される。ステップ S 1 8 では、擬似故障を生じさせる対象信号に合致しない信号、すなわち対象信号以外の信号につき、送信側ユニット 1 1 0 内で通常の情報処理を行う情報処理部 1 1 2 a (図 4 とともに後述) から出力される信号を出力する。

【 0 0 2 9 】

50

他方、擬似故障を生じさせる対象信号に合致する信号に対しては、ステップ S 1 3 が実行される。ステップ S 1 3 では、上記読み出された発生条件に含まれる、擬似故障の発生モードである故障モードが常時発生する「固定」か、間欠的に発生する「間欠」か、を判定する。「固定」ならステップ S 1 5 が実行され、「間欠」なら後述するステップ S 1 4 が実行される。

【 0 0 3 0 】

ステップ S 1 5 では、上記読み出された発生条件に含まれる、クリップ値が"0"か"1"か、が判定される。"0"なら該当するクリップ回路 1 1 3 - 1 , 1 1 3 - 2 , ... (図 4 とともに後述) が対象信号を"0"にクリップし(ステップ S 1 6)、"1"なら該当するクリップ回路 1 1 3 - 1 , 1 1 3 - 2 , ... が対象信号を"1"にクリップする(ステップ S 1 7)。ここで、上記ステップ S 1 4 が実行されない(スキップされる)場合、ステップ S 1 6 では対象信号を固定的に"0"にクリップし、ステップ S 1 7 では対象信号を固定的に"1"にクリップする。他方、上記ステップ S 1 4 が実行される場合、ステップ S 1 6 では対象信号を間欠的に"0"にクリップし、ステップ S 1 7 では対象信号を間欠的に"1"にクリップする。

【 0 0 3 1 】

ステップ S 1 6 又はステップ S 1 7 によって信号がクリップされた場合、ステップ S 1 8 では、ステップ S 1 4 の実行の有無に基づいて、設定されたクリップ値の信号を出力する。したがって、上記ステップ S 1 4 が実行されない(スキップされる)場合、ステップ S 1 6 では対象信号として固定的に"0"の信号を出力し、ステップ S 1 7 では対象信号として固定的に"1"の信号を出力する。他方、上記ステップ S 1 4 が実行される場合、ステップ S 1 6 では対象信号として間欠的に"0"の信号を出力し、ステップ S 1 7 では対象信号として間欠的に"1"の信号を出力する。尚、間欠的に"0"の信号を出力する場合には、"0"の信号を出力する時間以外の時間、すなわち間欠的にクリップされている時間以外の間は、情報処理部 1 1 2 a からの出力信号が出力される。同様に、間欠的に"1"の信号を出力する場合には、"1"の信号を出力する時間以外の間、すなわち間欠的にクリップされている時間以外の間は、情報処理部 1 1 2 a からの出力信号が出力される。

【 0 0 3 2 】

ステップ S 1 9 で受信側ユニット 1 2 0 は、ステップ S 1 8 で送信側ユニット 1 1 0 から出力された信号を受信し、受信した信号に対しパリティチェック、E C C (Error Check and Correction) チェック又は C R C (Cyclic Redundancy Check) 等のエラーチェックを行う。エラーチェックの結果、エラーが検出されなければ(ステップ S 2 0 N O)処理を終了し、エラーが検出されれば(ステップ S 2 0 Y E S)ステップ S 2 1 が実行される。ステップ S 2 1 で受信側ユニット 1 2 0 は検出されたエラーに係るログを格納する。格納されたエラーに係るログ(以下単にエラーログと称する)は S C I 2 0 0 を経由して S V P 3 0 0 に報告され、S V P 3 0 0 はエラーログを解析して解析結果をコンソール 4 0 0 の画面に表示する。オペレータはコンソール 4 0 0 の画面に表示された解析結果を見て、S C I 2 0 0 を経由して送信側ユニット 1 1 0 の擬似故障レジスタ 1 1 2 b - 2 に設定した擬似故障の発生条件で指定した故障箇所が正しく表示されているか否かを判定し、R A S 機能の検証を行う。

【 0 0 3 3 】

次に図 3 B とともに、上記図 3 A のステップ S 2 1 で受信側ユニット 1 2 0 に格納されたエラーログが S C I 2 0 0 を経由して S V P 3 0 0 に報告され、S V P 3 0 0 がエラーログを解析する動作例の詳細について説明する。

【 0 0 3 4 】

S C I 2 0 0 は装置割り込みレジスタ(SAS: System Active State Register)を有し、受信ユニット 1 2 0 からエラー発生(割り込み)を受けると、当該エラー発生の旨が装置割り込みレジスタ 2 2 0 に格納される(ステップ S 3 1)。装置割り込みレジスタ 2 2 0 に格納されたエラー発生の旨は S V P 3 0 0 に通知され(ステップ S 3 2)、S V P 3 0 0 は当該通知を受けて割り込み処理を開始する(ステップ S 3 3)。

【 0 0 3 5 】

S V P 3 0 0 はステップ S 3 3 で割り込み処理を開始すると、S C I 2 0 0 に対し、当該エラー発生に係るエラー要因が格納された A S レジスタ (Active State Register) A S R からエラー要因の読み出しを求める A S 読み出し要求を行う (ステップ S 3 4)。S C I 2 0 0 の J T A G 制御回路 2 1 0 は当該要求を受け、受信ユニット 1 2 0 に対し、A S レジスタ A S R の内容をセンスする J T A G センス命令として、当該エラー発生に係るエラー要因を A S レジスタ A S R から読み出す A S 読出要求を実行する (ステップ S 3 5)。

【 0 0 3 6 】

当該 A S 読出要求を受けた受信ユニット 1 2 0 は、A S レジスタ A S R から当該エラー発生に係るエラー要因を読み出し、S C I 2 0 0 に送信する (ステップ S 3 6、S 3 7)。S C I 2 0 0 の J T A G 制御回路 2 1 0 は当該エラー要因の送信を受け、S V P 3 0 0 に対し当該エラー要因を送信する (ステップ S 3 8)。S V P 3 0 0 は当該エラー要因を U A S (Unit Active State Register) に格納 (ステップ S 3 9) することにより、当該エラー要因に係るエラー処理を起動する (ステップ S 4 0)。

【 0 0 3 7 】

エラー処理 (ステップ S 4 0) では、S V P 3 0 0 は当該エラー要因に係るエラーログの収集を行う (ステップ S 4 1)。具体的には、S V P 3 0 0 は当該エラー要因に係るエラーログの収集を求める要求を S C I 2 0 0 の J T A G 制御回路 2 1 0 に対し行う (ステップ S 4 2)。J T A G 制御回路 2 1 0 は当該要求を受け、当該エラー要因に係るエラーログの収集を求める J T A G センス命令を受信ユニット 1 2 0 に対し行う (ステップ S 4 3)。受信ユニット 1 2 0 は当該 J T A G センス命令を受け、該当するエラーログを読み出し (ステップ S 4 4)、J T A G 制御回路 2 1 0 に送信する (ステップ S 4 5)。S C I 2 0 0 の J T A G 制御回路 2 1 0 は当該送信を受け、S V P 3 0 0 に対し、当該エラーログを送信する (ステップ S 4 6)。

【 0 0 3 8 】

当該エラーログの送信を受けた S V P 3 0 0 は、エラーログを初期化するリセットを要求し (ステップ S 4 7、S 4 8)、当該エラーログのリセット要求は J T A G 制御回路 2 1 0 を経由して受信側ユニット 1 2 0 に送信される (ステップ S 4 9)。受信側ユニット 1 2 0 では当該エラーログのリセット要求 (コントロール命令) を受け、該当するエラーログを初期化する (ステップ S 5 0)。

【 0 0 3 9 】

次に S V P 3 0 0 は、ステップ S 4 6 で受信したエラーログを障害解析の基礎とするベースログとして格納し、当該格納されたベースログに含まれるハードウェアの発生箇所を表すエラー情報である R C (Region Code) 情報を基に障害解析プログラム A S O A (Auto Scan-out Analysis) を実行する (ステップ S 5 1)。S V P 3 0 0 はベースログに含まれる R C 情報に基づいて障害箇所を特定し、当該障害箇所を含むエラー解析結果をコンソール 4 0 0 の画面に表示する (ステップ S 5 2)。

【 0 0 4 0 】

次に図 4 とともに、実施例 1 の擬似障害発生方法を実施する情報処理装置 1 0 0 0 の構成について説明する。情報処理装置 1 0 0 0 はシステムボード等の被試験プリント配線基板 1 0 0、S C I 2 0 0 及び S V P 3 0 0 を有する。被試験プリント配線基板 1 0 0 は送信ユニット 1 1 0 および受信ユニット 1 2 0 を有する。送信ユニット 1 1 0 は、情報処理を行う情報処理部 1 1 2 a を有し、当該情報処理の結果としてのデータを受信ユニット 1 2 0 に送信する。受信ユニット 1 2 0 は、送信ユニット 1 1 0 から送信された上記情報処理の結果のデータに基づいて更に情報処理を行う情報処理部 1 2 1 を有する。

【 0 0 4 1 】

送信ユニット 1 1 0 は I E E E 規格に準拠した J T A G 規格におけるスキャン方式にしたがった試験を実行する。送信ユニット 1 1 0 は S C I 2 0 0 の J T A G 制御回路 2 1 0 から、J T A G 規格におけるスキャン方式にしたがった試験の際に使用される命令やデー

10

20

30

40

50

タの読み出し或いは書き込みの指示を受ける。より具体的には、S C I 2 0 0 の J T A G 制御回路 2 1 0 は、S V P 3 0 0 からの J T A G センス命令に応じ、以下の動作を行う。すなわち、内部レジスタ（擬似故障レジスタ 1 1 2 b - 2 等）の内容をセンスするように、J T A G - I / F (Interface) 1 1 1 を経由して送信ユニット 1 1 0 に対し指示を行う。

【 0 0 4 2 】

J T A G - I / F 1 1 1 は、テスト系制御回路 1 1 1 a、I R (Instruction Register) 1 1 1 b、J I R (JTAG Instruction Register) 1 1 1 c 及び J D R (JTAG Data Register) 1 1 1 d を有する。J T A G - I / F 1 1 1 では、テスト系制御回路 1 1 1 a が有する T A P (Test Access Port) で受信する T M S、T C K、T R S T の各信号が示す状態に応じて、J T A G 規格に準拠したステートマシンの各ステートが遷移する。そして上記 3 個の各レジスタ I R 1 1 1 b、J I R 1 1 1 c、J D R 1 1 1 d に命令及びデータが設定され、当該命令及びデータにしたがって J T A G センス命令および J T A G コントロール命令が実行される。

10

【 0 0 4 3 】

S C I 2 0 0 の J T A G 制御回路 2 1 0 が送信ユニット 1 1 0 に対し指示を行う信号（インタフェース信号）T C K、T M S、T D I につき、以下に説明する。T C K (Test Clock) は J T A G - I / F 1 1 1 が有するテスト系制御回路 1 1 1 a に供給されるクロック信号である。T M S (Test Mode Select) は J T A G - I / F 1 1 1 が有するテスト系制御回路 1 1 1 a をイネーブルにする信号であり、T C K の立ち上がりでサンプリングされる。T D I (Test Data Input) は、J T A G - I / F 1 1 1 が有する I R 1 1 1 b に命令をスキャンシフトにより設定し、或いは J I R 1 1 1 c 又は J D R 1 1 1 d にデータをスキャンシフトにより設定する信号である。

20

【 0 0 4 4 】

ここで、I R 1 1 1 b には、命令コードが設定され、当該命令コードは、J T A G センス命令或いはその他の制御命令である J T A G コントロール命令の実行時において、J I R 1 1 1 c 或いは J D R 1 1 1 d のいずれの選択をするかについて示す。J I R 1 1 1 c には、J T A G センス命令或いはその他の制御命令である J T A G コントロール命令の実行時、コマンドが設定され、当該コマンドは、内部ロジック（論理演算部）1 1 2 で定義された各レジスタの選択を示す。J D R 1 1 1 d には、J T A G コントロール命令の実行時、J I R 1 1 1 c で選択されたレジスタへの書き込みデータがスキャンシフトにより設定される。他方、J T A G センス命令の実行時、J D R 1 1 1 d には、当該レジスタからスキャンシフトにより読み出されたデータが設定される。当該読み出されたデータは、J D R 1 1 1 d から T D O を介して読み出され、S C I 2 0 0 の J T A G 制御回路 2 1 0 へ転送される。

30

【 0 0 4 5 】

又、T D O (Test Data Output) は、J T A G - I / F 1 1 1 のテスト系制御回路 1 1 1 a において、I R 1 1 1 b に設定された命令コード、或いは J I R 1 1 1 c 又は J D R 1 1 1 d に設定されたデータがスキャンシフトにより出力される端子である。T R S T (Test Reset) は、テスト系制御回路 1 1 1 a をリセットする信号である。

40

【 0 0 4 6 】

送信ユニット 1 1 0 の内部ロジック 1 1 2 は、上記 E G 生成回路 1 1 2 b を有し、E G 生成回路 1 1 2 b は、例えば 4 バイト構成の上記擬似故障レジスタ 1 1 2 b - 2、擬似故障について間欠故障の発生間隔を制御するタイマ制御回路 1 1 2 b - 1 及びデコーダ回路 D E C - 1 を含む。上記の如く、S C I 2 0 0 から J T A G - I / F 1 1 1 を介し、擬似故障レジスタ 1 1 2 b - 2 に擬似故障の発生条件が設定される。図 5 は擬似故障レジスタ 1 1 2 b - 2 の構成例を示す。

【 0 0 4 7 】

図 5 に示す擬似故障レジスタ 1 1 2 b - 2 の構成例では、B i t [0] がイネーブルビット (E N) であり、B i t [1] がクリップ値を示すクリップビット (C L) であり、

50

Bit[2:3]の2ビットが故障モードを示す故障モードビット(MODE)である。そしてBit[4:19]の16ビットは擬似故障を生じさせる信号を出力する端子(最大65536ピン)を指定するアドレスを示すアドレスビット(ADD)である。

【0048】

より具体的には、擬似故障の発生を実行する場合にはENビットに"1"を設定し、実行しない場合には"0"を設定する。すなわち、ENビットに"0"が設定されている場合には、ENビット以外のフィールドの値は無視される。クリップ値を示すCLビットには、擬似故障としてデータを"1"にクリップする場合には"1"を設定し、データを"0"にクリップする場合には"0"を設定する。擬似故障としてデータを固定的にクリップする場合には故障モード(MODE)として"11"を設定し、データを間欠的にクリップする場合には"10"又は"01"を設定する。更に、データを間欠的にクリップする場合であって、一回当たりのクリップの持続時間を例えば100 μ sとする場合には故障モード(MODE)として"10"に設定し、一回当たりのクリップの持続時間を例えば10 μ sとする場合には故障モード(MODE)として"01"に設定する。

10

【0049】

EG生成回路112bは送信側ユニット110の出力端子の個数分のAND回路(論理積回路)A1-1, A1-2, ...を有する。デコーダ回路DEC-1は、擬似故障レジスタ112b-2のADDフィールドの設定に応じ、擬似故障を発生する出力端子に接続するAND回路の各々に対し、"1"を出力する。又、擬似故障を発生しない出力端子に接続するAND回路の各々に対し"0"を出力する。タイマ制御回路112b-1は、擬似故障レジスタ112b-2のENビット及びMODEフィールドの設定に応じ、ENビットが"1"の場合に、データをクリップする期間中、"1"を出力する。その結果、AND回路A1-1, A1-2, ...中、デコーダ回路DEC-1から"1"が入力される擬似故障発生対象であるAND回路の各々は、タイマ制御回路112b-1から"1"が入力される間、"1"を出力する。他方、AND回路A1-1, A1-2, ...中、デコーダ回路DEC-1から"0"が入力される擬似故障の発生対象外であるAND回路の各々は、"0"を出力する。

20

【0050】

又、送信ユニット110には、情報処理部112aの出力信号の個数分、すなわち出力端子の個数分、クリップ回路113-1, 113-2, ...が設けられる。又、クリップ回路113-1, 113-2, ...の夫々の出力端子は、バッファOB1-1, OB1-2, ...を介し、夫々送信ユニット110の出力端子に接続される。そして、当該送信ユニット110の夫々の出力端子は、対応する受信ユニット120の入力端子に、プリント配線基板100上の配線を経由して、夫々接続される。

30

【0051】

受信ユニット120では、上記入力端子は、バッファIB2-1, IB2-2, ...を介し、情報処理部121に接続されるとともに、エラーチェック回路CK1-1, CK1-2, ...に夫々接続される。エラーチェック回路CK1-1, CK1-2, ...は、図2のステップS3におけるエラーチェック動作を受信信号毎に行う。当該エラーチェック動作の結果、エラーが検出された場合(図2中、ステップS4のYes)、当該エラーの内容がエラーログとして記憶装置L1に格納される(図2中、ステップS5)とともに、OR(論理和回路)回路O3を介し、SCI200に当該エラーログの内容が通知される。SCI200では、OR当該エラーログの内容がSVP300に送信される。

40

【0052】

クリップ回路113-1, 113-2, ...の各々は、2個のAND回路A2-1, A2-2, A2-3, A2-4, ...と、1個のOR回路O1-1, O1-2, ...を有する。そしてクリップ回路113-1, 113-2, ...の各々において、上記2個のAND回路の夫々の出力端子が上記1個のOR回路の入力端子に接続される。クリップ回路113-1, 113-2, ...の各々の一のAND回路A2-1, A2-3, ...の一の入力端子には、情報処理部112aの対応する出力端子が夫々接続される。

50

【 0 0 5 3 】

E G 生成回路 1 1 2 b の A N D 回路 A 1 - 1 , A 1 - 2 , ... の出力端子は、対応するクリップ回路 1 1 3 - 1 , 1 1 3 - 2 , ... 中の一の A N D 回路 A 2 - 1 , A 2 - 3 , ... の他の入力端子に、インバータ回路（図中丸印）を介して夫々接続される。又、E G 生成回路 1 1 2 b の A N D 回路 A 1 - 1 , A 1 - 2 , ... の出力端子は更に、対応するクリップ回路 1 1 3 - 1 , 1 1 3 - 2 , ... 中の他の A N D 回路 A 2 - 2 , A 2 - 4 , ... の一の入力端子に、夫々接続される。更に、擬似故障レジスタ 1 1 2 b - 2 の C L が示す値が、バッファ B 1 を介し、クリップ回路 1 1 3 - 1 , 1 1 3 - 2 , ... 中の他の A N D 回路 A 2 - 2 , A 2 - 4 , ... の他の入力端子に、夫々接続される。

【 0 0 5 4 】

その結果、クリップ回路 1 1 3 - 1 , 1 1 3 - 2 , ... 中、デコード回路 D E C - 1 から " 1 " が入力される擬似故障発生対象のクリップ回路の各々では、以下の動作がなされる。すなわち、擬似故障レジスタ 1 1 2 b - 2 の C L が " 1 " の場合、他の A N D 回路 A 2 - 2 , A 2 - 4 の他の入力端子に " 1 " が入力される。このため、擬似故障発生の対象の信号に係るクリップ回路の各々の他の A N D 回路 A 2 - 2 , A 2 - 4 は、タイマ制御回路 1 1 2 b - 1 から " 1 " が出力されるクリップ期間中、" 1 " を出力する。他方タイマ制御回路 1 1 2 b - 1 から " 0 " が出力される間、" 0 " を出力する。その結果、デコード回路 D E C - 1 から " 1 " が入力される擬似故障発生対象のクリップ回路の各々の O R 回路 O 1 - 1 , O 1 - 2 , ... は、タイマ制御回路 1 1 2 b - 1 から " 1 " が出力されるクリップ期間中、" 1 " を出力する。他方、タイマ制御回路 1 1 2 b - 1 から " 0 " が出力される非クリップ期間中、対応する一の A N D 回路 A 2 - 1 , A 2 - 3 , ... の出力を出力する。

【 0 0 5 5 】

他方、擬似故障発生対象のクリップ回路の一の A N D 回路 A 2 - 1 , A 2 - 3 , ... の各々の他の入力端子には、タイマ制御回路 1 1 2 b - 1 の出力が " 1 " のクリップ期間中、" 0 " が入力される。他方、タイマ制御回路 1 1 2 b - 1 の出力が " 0 " の非クリップ期間中、" 1 " が入力される。したがって擬似故障発生対象のクリップ回路の一の A N D 回路 A 2 - 1 , A 2 - 3 , ... の各々は、非クリップ期間、情報処理部 1 1 2 a の出力データを出力し、クリップ期間中、" 0 " を出力する。

【 0 0 5 6 】

その結果、擬似故障発生対象のクリップ回路の各々の O R 回路 O 1 - 1 , O 1 - 2 , ... は、タイマ制御回路 1 1 2 b - 1 から " 1 " が出力されるクリップ期間中、" 1 " を出力する。他方、タイマ制御回路 1 1 2 b - 1 から " 0 " が出力される非クリップ期間中、情報処理部 1 1 2 a の出力データを出力する。したがって擬似故障としてデータを " 1 " にクリップする設定の場合（C L = " 1 "）には、クリップ回路 1 1 3 - 1 , 1 1 3 - 2 , ... 中、デコード回路 D E C - 1 から " 1 " が入力される擬似故障発生対象のクリップ回路から、以下のデータが出力される。すなわち、クリップ期間中は " 1 " が出力され、非クリップ期間は情報処理部 1 1 2 a の出力データが出力される。よってこの場合、クリップ期間中のみ、該当する信号が " 1 " にクリップされ、それ以外の期間には通常のシステム動作時に於ける、情報処理部 1 1 2 a の出力データが出力される。

【 0 0 5 7 】

次に、擬似故障としてデータを " 0 " にクリップする設定の場合（C L = " 0 "）について説明する。この場合、擬似故障発生対象のクリップ回路の各々では、他の A N D 回路 A 2 - 2 , A 2 - 4 の他の入力端子に " 0 " が入力される。このため、擬似故障発生対象のクリップ回路の各々の他の A N D 回路 A 2 - 2 , A 2 - 4 は常に " 0 " を出力する。その結果、擬似故障発生対象のクリップ回路の各々の O R 回路 O 1 - 1 , O 1 - 2 , ... は、一の A N D 回路 A 2 - 1 , A 2 - 3 , ... の出力を出力する。

【 0 0 5 8 】

他方、擬似故障発生対象のクリップ回路の一の A N D 回路 A 2 - 1 , A 2 - 3 , ... の各々の他の入力端子には、上記同様、タイマ制御回路 1 1 2 b - 1 の出力が " 1 " のクリップ期間中、" 0 " が入力される。他方、タイマ制御回路 1 1 2 b - 1 の出力が " 0 " の非クリ

10

20

30

40

50

ップ期間中、“1”が入力される。したがって擬似故障発生対象のクリップ回路の一のAND回路A2-1, A2-3, ...の各々は、非クリップ期間中、情報処理部112aの出力データを出力し、クリップ期間中、“0”を出力する。

【0059】

その結果、擬似故障発生対象のクリップ回路の各々のOR回路O1-1, O1-2, ...は、タイマ制御回路112b-1から“1”が出力されるクリップ期間中、“0”を出力する。他方、タイマ制御回路112b-1から“0”が出力される非クリップ期間中、情報処理部112aの出力データを出力する。

【0060】

したがって擬似故障としてデータを“0”にクリップする設定の場合(CL=“0”)には、クリップ回路113-1, 113-2, ...中、擬似故障発生対象のクリップ回路から、以下のデータが出力される。すなわち、クリップ期間中は“0”が出力され、非クリップ期間は情報処理部112aの出力データが出力される。よってこの場合、クリップ期間中にのみ、該当する信号が“0”にクリップされ、それ以外の期間には通常のシステム動作時における、情報処理部112aの出力データが出力される。

【0061】

このように実施例1の擬似故障発生方法によれば、任意に設定可能な擬似故障発生対象の信号を、固定的或いは間欠的に“0”又は“1”にクリップすることが可能である。その結果、情報処理装置1000のシステム稼働中にEG生成回路112bによって擬似故障を発生させ、RAS機能の検証を効果的に実施することができる。

【0062】

このように、実施例1によれば、擬似故障発生方法をハードウェアの論理回路で実現することにより、特にBBCテスト500のようなテスト装置を使用することなく、特定の信号に故障が発生した際の動作をシミュレーションすることができる。

【0063】

その結果、上記問題点a)及びb)につき、試験対象の被試験プリント配線基板100上に搭載された送信ユニット110の内部に設けたEG生成回路112bから擬似故障を発生するため、プリント配線基板の構造上の制約を受けない。したがって所望の信号に対し擬似故障を生じさせることができ、上記問題点a)、b)が解消する。

【0064】

又、上記問題点c)、d)につき、“0”にクリップする擬似故障及び“1”にクリップする擬似故障を任意に発生させることができる。その結果、0Vが活性(アサート)状態を示す負論理信号を非活性(ネゲート)状態に固定する擬似故障を発生させることもできる。又、システム電源投入時に擬似故障試験を行う場合、送信側ユニットにおいて所望の信号が動作する前に“1”にクリップすることにより、受信側ユニットでは単に所望の信号が動作する前であっても確実に擬似故障を生じさせることができる。よって問題点c)、d)が解消する。

【0065】

又、上記問題点e)につき、エラー監視条件を有する部品の擬似故障の場合に、該当するエラー監視条件に合致する態様で擬似故障を生じさせることができる。よって問題点e)が解消する。

【実施例2】

【0066】

次に図6～図9とともに、実施例2について説明する。

【0067】

図6に示す情報処理部1000Aは、図4とともに上述した実施例1による情報処理装置1000と同様の構成を含み、同様の構成要素には同一の符号を付し、重複する説明を適宜省略する。

【0068】

図6に示す情報処理装置1000Aが含む被試験プリント配線基板100Aには送信側

10

20

30

40

50

ユニット 1 1 0 A , 受信側ユニット 1 2 0 A 及び受信側ユニット 1 3 0 が搭載される。受信側ユニット 1 3 0 は例えば D I M M (Dual Inline Memory Module) であり、送信側ユニット 1 1 0 A との間は、双方向バス等の双方向データ通信を行う配線で接続される。

【 0 0 6 9 】

送信ユニット 1 1 0 A の内部ロジック 1 1 2 A が有する E G 生成回路 1 1 2 b A に含まれる擬似故障レジスタ 1 1 2 b - 2 A は、例えば図 7 に示す構成を有する。ここでは図 5 に示す実施例 1 の場合同様、B i t [0] がイネーブルビット (E N) であり、B i t [1] がクリップ値を示すクリップビット (C L) であり、B i t [2 : 3] の 2 ビットが故障モードを示すモードビット (M O D E) である。但し、図 7 の実施例 2 の場合には、B i t [4] が、上記双方向のデータ信号線につき、送信方向側及び受信方向側のうち何れかの方向の信号 (B U S) をクリップするかを選択するバスビット (B U S) である。そして B i t [5 : 2 0] の 1 6 ビットは擬似故障を生じさせる信号を入出力する端子 (最大 6 5 5 3 6 ピン) を指定するアドレスを示すアドレスビット (A D D) である。

【 0 0 7 0 】

上記双方向データ信号線につき、受信 (入力) 側の信号線をクリップする場合には B U S を " 1 " に設定し、送信 (出力) 側の信号線をクリップする場合には B U S を " 0 " に設定する。当該 B U S ビットの信号は、後述する、受信側ユニット 1 3 0 に対する入出力端子に係る A N D 回路 A 3 - 1 , A 3 - 2 に接続される。その際、当該 B U S ビットの信号は、A N D 回路 A 3 - 1 にはインバータ回路 (図中丸印) を介し接続され、A 3 - 2 には直接、接続される。

【 0 0 7 1 】

実施例 2 の場合、E G 生成回路 1 1 2 b A は、以下の A N D 回路を有する。すなわち、図示せぬ送信側ユニットに対する入力端子に係る A N D 回路 A 1 - 1 , 受信側ユニット 1 2 0 A に対する出力端子に係る A N D 回路 A 1 - 2 , 及び受信側ユニット 1 3 0 に対する入出力端子に対する A N D 回路 A 3 - 1 , A 3 - 2 を有する。尚、図 6 では、図示せぬ送信側ユニットに対する入力端子、受信側ユニット 1 2 0 A に対する出力端子、及び受信側ユニット 1 3 0 に対する入出力端子は、夫々 1 個ずつのみが記載されているが、夫々複数個ずつ設けることができる。図示せぬ送信側ユニットに対する入力端子が複数個の場合、対応する A N D 回路も同数設ける。同様に、受信側ユニット 1 2 0 A に対する出力端子が複数個の場合、対応する A N D 回路も同数設ける。又、受信側ユニット 1 3 0 に対する入出力端子が複数個の場合、A N D 回路を、当該端子数の 2 倍の個数設ける。送受信双方向の夫々の方向につき A N D 回路が必要だからである。

【 0 0 7 2 】

デコーダ回路 D E C - 1 は、擬似故障レジスタ 1 1 2 b - 2 A の A D D フィールドの設定に応じ、擬似故障発生対象の入力端子、出力端子及び入出力端子の夫々に係る A N D 回路の各々に対し、" 1 " を出力し、擬似故障発生対象外の入力端子、出力端子及び入出力端子の夫々に係る A N D 回路の各々に対し " 0 " を出力する。タイマ制御回路 1 1 2 b - 1 A は、擬似故障レジスタ 1 1 2 b - 2 A の E N ビット及び M O D E フィールドの設定に応じ、E N ビットが " 1 " の場合に、データをクリップする期間中、" 1 " を出力する。その結果、A N D 回路 A 1 - 1 , A 1 - 2 中、デコーダ回路 D E C - 1 から " 1 " が入力される擬似故障の発生対象に係る A N D 回路の各々は、タイマ制御回路 1 1 2 b - 1 A から " 1 " が入力される間、" 1 " を出力する。他方、A N D 回路 A 1 - 1 , A 1 - 2 中、デコーダ回路 D E C - 1 から " 0 " が入力される擬似故障の発生対象外に係る A N D 回路の各々は、常に " 0 " を出力する。

【 0 0 7 3 】

又、A N D 回路 A 3 - 1 , A 3 - 2 では、デコーダ回路 D E C - 1 から " 1 " が入力された場合、以下の動作を行う。すなわち、擬似故障レジスタ 1 1 2 b - 2 A の B U S ビットが入力方向側信号を選択する " 1 " の場合、入力信号に係る A N D 回路 A 3 - 2 は、タイマ制御回路 1 1 2 b - 1 A から " 1 " が入力される間、" 1 " を出力し、デコーダ回路 D E C - 1 から " 0 " が入力される間、" 0 " を出力する。他方出力信号に係る A N D 回路 A 3 - 1 は

常に"0"を出力する。逆に擬似故障レジスタ112b-2AのBUSビットが出力方向側信号を選択する"0"の場合、出力信号に係るAND回路A3-1は、タイマ制御回路112b-1Aから"1"が入力される間、"1"を出力し、デコーダ回路DEC-1から"0"が入力される間、"0"を出力する。他方入力信号に係るAND回路A3-2は常に"0"を出力する。

【0074】

送信ユニット110Aには、情報処理部112aAの入出力信号に対応するクリップ回路113-1, 114-1, 115-1が設けられる。これらクリップ回路113-1, 114-1, 115-1は、夫々、受信側ユニット120Aに対する出力端子、上記図示せぬ送信側ユニットに対する入力端子、及び受信側ユニット130に対する入出力端子に対応する。したがって、受信側ユニット120Aに対する情報処理部112aAの出力信号を出力する出力端子に対しては、対応するクリップ回路も同数設ける。同様に、図示せぬ送信側ユニットに対する情報処理部112aAの入力信号を入力する入力端子に対しては、対応するクリップ回路も同数設ける。又、受信側ユニット130に対する情報処理部112aAの入出力信号を入出力する入出力端子に対しては、対応するクリップ回路も同数設ける。

【0075】

又、クリップ回路113-1の出力端子、クリップ回路114-1の出力端子及び入力端子、並びにクリップ回路115-1の入力端子は、夫々、バッファOB1-1、OB3-1, IB3-1及びIB1-1を介し、送信ユニット110Aの出力端子、入出力端子及び情報処理部1000Aの内部ロジック112Aに夫々接続される。そして、当該送信ユニット110Aの夫々の出力端子、入出力端子及び入力端子は、対応する受信ユニット120Aの入力端子、受信側ユニット130の入出力端子及び図示せぬユニットの出力端子に、プリント配線基板100A上の配線を経由して、夫々接続される。

【0076】

受信ユニット120Aでは、上記対応する受信ユニット120Aの入力端子は、バッファIB2-1を介し、情報処理部121Aに接続されるとともに、エラーチェック回路CK1-1に接続される。エラーチェック回路CK1-1は、図2のステップS3におけるエラーチェック動作を行う。当該エラーチェック動作の結果、エラーが検出された場合(図2中、ステップS4のYes)、当該エラーの内容がエラーログとして記憶装置L1に格納される(図2中、ステップS5)とともに、OR回路O3を介し、SCI200に通知される。SCI200では、当該通知がOR回路O2を介し、SVP300に送信される。受信側ユニット130については、上記入出力端子以降、受信側ユニット120Aと同様の構成を有し、当該入出力端子から入力された入力信号についてデータのエラーチェックが行われ、エラーが検出された場合、当該エラーの内容がエラーログとして格納されるとともに、SCI200に通知される。

【0077】

又、送信ユニット110Aでは、クリップ回路115-1の出力端子は情報処理部112aAに接続されるとともに、エラーチェック回路CK2-1に接続される。エラーチェック回路CK2-1は、図2のステップS3におけるエラーチェック動作を行う。当該エラーチェック動作の結果、エラーが検出された場合(図2中、ステップS4のYes)、当該エラーの内容がエラーログとして記憶装置L2に格納される(図2中、ステップS5)とともに、OR回路O5を介し、SCI200に通知される。SCI200では、OR回路O2を介し、当該通知がSVP300に送信される。同様に、クリップ回路114-1のOR回路O4-2の出力端子は情報処理部112aAに接続されるとともに、ECC(Error Check and Correct)回路CK2-2に接続される。ECC回路CK2-2は、1ビット又は2ビットエラーの検出と検出された1ビットエラーの訂正を行う。ECC回路CK2-2によってエラーが検出された場合、当該エラーの内容がエラーログとして記憶装置L2に格納されるとともに、OR回路O5を介し、SCI200に通知される。

【0078】

10

20

30

40

50

クリップ回路 1 1 3 - 1 , 及び 1 1 5 - 1 の各々は、2 個の A N D 回路 A 2 - 1 , A 2 - 2 或いは A 6 - 1 , A 6 - 2 と、1 個の O R 回路 O 1 - 1 或いは O 6 - 1 を有する。そしてクリップ回路 1 1 3 - 1 , 1 1 5 - 1 の各々において、上記 2 個の A N D 回路の夫々の出力端子が上記 1 個の O R 回路の入力端子に接続される。クリップ回路 1 1 3 - 1 A N D 回路 A 2 - 1 の一の入力端子には、情報処理部 1 1 2 a A の対応する出力端子が接続される。又、クリップ回路 1 1 5 - 1 の A N D 回路 A 6 - 1 の一の入力端子には、バッファ I B 1 - 1 経由で上記図示せぬ他ユニットの出力端子が接続される。

【 0 0 7 9 】

E G 生成回路 1 1 2 b A の A N D 回路 A 1 - 1 , A 1 - 2 の出力端子は、対応するクリップ回路 1 1 5 - 1 , 1 1 3 - 1 中の一の A N D 回路 A 6 - 1 , A 2 - 1 の他の入力端子に、インバータ回路 (図中丸印) を介して夫々接続される。又、E G 生成回路 1 1 2 b A の A N D 回路 A 1 - 1 , A 1 - 2 の出力端子は更に、対応するクリップ回路 1 1 5 - 1 , 1 1 3 - 1 中の他の A N D 回路 A 6 - 2 , A 2 - 2 の一の入力端子に、夫々接続される。更に、擬似故障レジスタ 1 1 2 b - 2 A の C L ビットが示す値が、バッファ B 1 を介し、クリップ回路 1 1 5 - 1 , 1 1 3 - 1 中の他の A N D 回路 A 6 - 2 , A 2 - 2 の他の入力端子に、夫々接続される。

【 0 0 8 0 】

その結果、クリップ回路 1 1 5 - 1 , 1 1 3 - 1 中、デコーダ回路 D E C - 1 から " 1 " が入力される擬似故障発生対象のクリップ回路の各々では、以下の動作を行う。すなわち、擬似故障レジスタ 1 1 2 b - 2 A の C L ビットが " 1 " の場合、他の A N D 回路の他の入力端子に " 1 " が入力される。このため、他の A N D 回路は、タイマ制御回路 1 1 2 b - 1 A から " 1 " が出力されるクリップ期間中、" 1 " を出力する。他方タイマ制御回路 1 1 2 b - 1 A から " 0 " が出力される間、" 0 " を出力する。その結果、O R 回路は、タイマ制御回路 1 1 2 b - 1 A から " 1 " が出力されるクリップ期間中、" 1 " を出力する。他方、タイマ制御回路 1 1 2 b - 1 A から " 0 " が出力される非クリップ期間中、一の A N D 回路の出力を出力する。

【 0 0 8 1 】

他方、一の A N D 回路の他の入力端子には、タイマ制御回路 1 1 2 b - 1 A の出力が " 1 " のクリップ期間中、" 0 " が入力される。他方、タイマ制御回路 1 1 2 b - 1 A の出力が " 0 " の非クリップ期間中、" 1 " が入力される。したがって一の A N D 回路は、非クリップ期間中、情報処理部 1 1 2 a A の出力データ或いは上記図示せぬユニットの出力データを出力し、クリップ期間中、" 0 " を出力する。

【 0 0 8 2 】

その結果、O R 回路は、タイマ制御回路 1 1 2 b - 1 A から " 1 " が出力されるクリップ期間中、" 1 " を出力する。他方、タイマ制御回路 1 1 2 b - 1 A から " 0 " が出力される非クリップ期間中、情報処理部 1 1 2 a A の出力データ及び上記図示せぬユニットの出力データを出力する。

【 0 0 8 3 】

したがって擬似故障としてデータを " 1 " にクリップする設定の場合 (C L = " 1 ") には、クリップ回路 1 1 3 - 1 , 1 1 5 - 1 中、デコーダ回路 D E C - 1 から " 1 " が入力される擬似故障発生対象のクリップ回路から、以下のデータが出力される。すなわち、クリップ期間中は " 1 " が出力され、非クリップ期間中は情報処理部 1 1 2 a A の出力データ或いは上記図示せぬユニットの出力データが出力される。よってこの場合、クリップ期間中のみ、該当する信号が " 1 " にクリップされ、それ以外の期間には通常のシステム動作時における情報処理部 1 1 2 a A の出力データ或いは上記図示せぬユニットの出力データが出力される。

【 0 0 8 4 】

次に、擬似故障としてデータを " 0 " にクリップする設定の場合として C L ビットに " 0 " が設定された場合について説明する。この場合、擬似故障発生対象のクリップ回路の各々では、他の A N D 回路の他の入力端子に " 0 " が入力される。このため、他の A N D 回路は

10

20

30

40

50

常に"0"を出力する。その結果、OR回路は、一のAND回路の出力を出力する。

【0085】

他方、一のAND回路の他の入力端子には、タイマ制御回路112b-1Aの出力が"1"のクリップ期間中、"0"が入力される。他方、タイマ制御回路112b-1Aの出力が"0"の非クリップ期間中、"1"が入力される。したがって一のAND回路は、非クリップ期間中、情報処理部112aAの出力データ或いは図示せぬユニットの出力データを出力し、クリップ期間中、"0"を出力する。

【0086】

その結果、擬似故障発生対象のクリップ回路の各々のOR回路は、タイマ制御回路112b-1Aから"1"が出力されるクリップ期間中、"0"を出力する。他方、タイマ制御回路112b-1Aから"0"が出力される非クリップ期間中、情報処理部112aAの出力データ或いは図示せぬユニットの出力データを出力する。

10

【0087】

したがって擬似故障としてデータを"0"にクリップする設定の場合(CL="0")には、クリップ回路113-1, 115-1中、デコーダ回路DEC-1から"1"が入力される擬似故障発生対象のクリップ回路から、以下のデータが出力される。すなわち、クリップ期間中は"0"が出力され、非クリップ期間は情報処理部112aAの出力データ或いは図示せぬユニットの出力データが出力される。よってこの場合、クリップ期間中にのみ、該当する信号が"0"にクリップされ、それ以外の期間には通常のシステム動作時における、情報処理部112aAの出力データ或いは図示せぬユニットの出力データが出力される。

20

【0088】

クリップ回路114-1は、2組のAND回路A4-1, A4-2及びA4-3, A4-4と、2個のOR回路O4-1及びO4-2とを有する。そして、AND回路A4-1, A4-2の夫々の出力端子がOR回路O4-1の入力端子に接続される。同様にAND回路A4-3, A4-4の夫々の出力端子がOR回路O4-2の入力端子に接続される。又、クリップ回路114-1のAND回路A4-1の一の入力端子には、情報処理部112aAの対応する出力端子接続される。又、クリップ回路114-1のAND回路A4-3の一の入力端子には、受信側ユニット130の出力端子がバッファIB3-1経由で接続される。

30

【0089】

EG生成回路112bAのAND回路A3-1, A3-2の出力端子は、対応するクリップ回路114-1中のAND回路A4-1, A4-3の夫々の他の入力端子に、インバータ回路(図中丸印)を介して夫々接続される。又、EG生成回路112bAのAND回路A3-1, A3-2の出力端子は更に、対応するクリップ回路114-1中のAND回路A4-2, A4-4の夫々の一の入力端子に、夫々接続される。更に、擬似故障レジスタ112b-2AのCLが示す値が、バッファB1を介し、クリップ回路114-1中のAND回路A4-2, A4-4の夫々の他の入力端子に、夫々接続される。

【0090】

その結果、クリップ回路114-1がデコーダ回路DEC-1から"1"が入力される擬似故障発生対象のクリップ回路であった場合、以下の動作がなされる。すなわち、擬似故障レジスタ112b-2AのCLが"1"の場合、AND回路A4-2, A4-4の他の入力端子に"1"が入力される。その結果、入力信号が選択される場合(BUS="1"), 入力信号に係るAND回路A4-4は、タイマ制御回路112b-1Aから"1"が出力されるデータのクリップ期間中、"1"を出力し、タイマ制御回路112b-1Aから"0"が出力される間、"0"を出力する。他方、入力信号に係るAND回路A4-3は、タイマ制御回路112b-1Aから"1"が出力されるデータのクリップ期間中、反転されることにより"0"を出力し、タイマ制御回路112b-1Aから"0"が出力される非クリップ期間中、受信側ユニット130の出力データをそのまま出力する。又、この場合、出力信号に係るAND回路A4-2は常に"0"を出力するため、出力信号に係るOR回路O4-1はA

40

50

N D回路 A 4 - 1 の出力を出力するが、A N D回路 4 - 1 の他の入力端子には、" 0 "が反転されることにより" 1 "が入力される。このため、O R回路 O 4 - 1 は情報処理部 1 1 2 a A の出力データをそのまま出力する。

【 0 0 9 1 】

同様に、出力信号が選択される場合 (B U S = " 0 ") , 出力信号に係る A N D回路 A 4 - 2 は、タイマ制御回路 1 1 2 b - 1 A から" 1 "が出力されるクリップ期間中、" 1 "を出力し、タイマ制御回路 1 1 2 b - 1 A から" 0 "が出力される非クリップ期間中、" 0 "を出力する。他方、出力信号に係る A N D回路 A 4 - 1 は、タイマ制御回路 1 1 2 b - 1 A から" 1 "が出力されるデータのクリップ期間中、" 1 "が反転されることにより" 0 "を出力し、タイマ制御回路 1 1 2 b - 1 A から" 0 "が出力される非クリップ期間中、情報処理部 1 1 2 a A の出力データをそのまま出力する。又、この場合、入力信号に係る A N D回路 A 4 - 4 は" 0 "を出力するため、入力信号に係る O R回路 O 4 - 2 は A N D回路 A 4 - 3 の出力を出力するが、A N D回路 4 - 3 の他の入力端子には、" 0 "が反転されることにより" 1 "が入力される。このため、A N D回路 4 - 3 は受信側ユニット 1 3 0 の出力データをそのまま出力する。

10

【 0 0 9 2 】

その結果、クリップ回路 1 1 4 - 1 がデコーダ回路 D E C - 1 から" 1 "が入力されることにより擬似故障発生対象として選択されている場合、O R回路 O 4 - 1 , O 4 - 2 中、入力信号および出力信号のうちの選択に係る O R回路は、タイマ制御回路 1 1 2 b - 1 A から" 1 "が出力されるクリップ期間中、" 1 "を出力し、タイマ制御回路 1 1 2 b - 1 A から" 0 "が出力される非クリップ期間中、情報処理部 1 1 2 a A の出力データ或いは受信側ユニット 1 3 0 の出力データを出力する。他方、クリップ回路 1 1 4 - 1 の O R回路 O 4 - 1 , O 4 - 2 のうち、入力信号および出力信号のうちの非選択に係る O R回路からは、情報処理部 1 1 2 a A の出力データ或いは受信側ユニット 1 3 0 の出力データが出力される。

20

【 0 0 9 3 】

したがってクリップ回路 1 1 4 - 1 がデコーダ回路 D E C - 1 から" 1 "が入力される擬似故障発生対象の場合であって、擬似故障としてデータを" 1 "にクリップする設定の場合 (C L = " 1 ") には、以下の動作がなされる。すなわち、クリップ回路 1 1 4 - 1 の O R回路 O 4 - 1 , O 4 - 2 のうち、入力信号および出力信号のうちの選択に係る O R回路から、クリップ期間中は" 1 "が出力される。又、非クリップ期間は情報処理部 1 1 2 a A の出力データ或いは受信側ユニット 1 3 0 の出力データが出力される。よってこの場合、クリップ期間中にのみ、該当する信号が" 1 "にクリップされ、それ以外の期間には通常のシステム動作時における、情報処理部 1 1 2 a A の出力データ或いは受信側ユニット 1 3 0 の出力データが出力される。他方、クリップ回路 1 1 4 - 1 の O R回路 O 4 - 1 , O 4 - 2 のうち、入力信号および出力信号のうちの非選択に係る O R回路から、常に、情報処理部 1 1 2 a A の出力データ或いは受信側ユニット 1 3 0 の出力データが出力される。すなわち通常のシステム動作時の信号が出力される。

30

【 0 0 9 4 】

次に、擬似故障としてデータを" 0 "にクリップする設定の場合 (C L = " 0 ") について説明する。この場合、クリップ回路 1 1 4 - 1 の A N D回路 A 4 - 2 , A 4 - 4 の夫々の他の入力端子に" 0 "が入力される。このため、A N D回路 A 4 - 2 , A 4 - 4 中、入力信号および出力信号のうちの選択に係る A N D回路は常に" 0 "を出力する。その結果、該当する O R回路 O 4 - 1 又は O 4 - 2 は、該当する A N D回路 A 4 - 1 又は A 4 - 3 の出力を出力する。

40

【 0 0 9 5 】

ここで、A N D回路 A 4 - 1 , A 4 - 3 のうち、入力信号および出力信号のうちの選択に係る A N D回路の他の入力端子には、上記同様、タイマ制御回路 1 1 2 b - 1 A の出力が" 1 "のクリップ期間中、" 1 "が反転されることにより" 0 "が入力され、他方、タイマ制御回路 1 1 2 b - 1 A の出力が" 0 "の非クリップ期間中、" 0 "が反転されることにより"

50

1"が入力される。したがってAND回路A4-1, A4-3のうち、入力信号および出力信号のうちの選択に係るAND回路は、非クリップ期間中、情報処理部112aAの出力データ或いは受信側ユニット130の出力データを出力する。又、クリップ期間中は、"0"を出力する。又、AND回路A4-1, A4-3のうち、入力信号および出力信号のうちの非選択に係るAND回路の他の入力端子には、"0"が反転されることにより"1"が入力される。このため、当該AND回路は情報処理部112aAの出力データ或いは受信側ユニット130の出力データを出力する。

【0096】

その結果、クリップ回路114-1が擬似故障発生対象のクリップ回路である場合、入力信号および出力信号のうちの選択に係るOR回路は、タイマ制御回路112b-1Aから"1"が出力されるクリップ期間中、"0"を出力し、タイマ制御回路112b-1Aから"0"が出力される非クリップ期間中、情報処理部112aAの出力データ或いは受信側ユニット130の出力データを出力する。他方、入力信号および出力信号のうちの非選択に係るOR回路は、情報処理部112aAの出力データ或いは受信側ユニット130の出力データを出力する。

【0097】

したがって擬似故障としてデータを"0"にクリップする設定の場合(CL="0")、クリップ回路114-1が擬似故障発生対象のクリップ回路である場合、以下のデータが出力される。すなわち、入力信号および出力信号のうちの選択に係るOR回路からは、クリップ期間中は"0"が出力され、非クリップ期間は情報処理部112aAの出力データ或いは受信側ユニット130の出力データが出力される。よってこの場合、クリップ期間中にのみ、該当する信号が"0"にクリップされ、それ以外の期間には通常のシステム動作時における情報処理部112aAの出力データ或いは受信側ユニット130の出力データが出力される。他方、入力信号および出力信号のうちの非選択に係るOR回路からは、情報処理部112aAの出力データ或いは受信側ユニット130の出力データが出力される。よってこの場合、通常のシステム動作時の信号が出力される。

【0098】

図8は図6に記載されたタイマ制御回路112b-1Aの回路構成例を示す。又、図9はタイマ制御回路112b-1Aの動作の流れの一例を示すタイムチャートである。

【0099】

図8に示すタイマ制御回路112b-1Aはn+1ビットアップカウンタBUC-1を有し、擬似故障レジスタ112b-2AのBit[0]のENビットの有効時(EN="1")において、計数値CTを0から+1ずつカウントアップする。

【0100】

n+1ビットアップカウンタBUC-1は、n+1個のフリップフロップFF0, FF1, ..., FF_nと、フリップフロップFF0, FF1, ..., FF_nの夫々のデータ入力端子D1に接続されたAND回路AA0, AA1, ..., AA_nとを有する。

【0101】

各AND回路AA0, ..., AA_nの1番目の入力端子には、AA0では自己が接続されたフリップフロップの出力端子OTがインバータ回路(図中丸印)を介して接続され、AA1, ..., AA_nでは、後述するEOR1, ..., EOR_nが接続される。又、各AND回路AA0, ..., AA_nの2番目の入力端子には、上記擬似故障レジスタ112b-2AのENビットの出力端子が接続される。更に、各AND回路AA0, ..., AA_nの3番目の入力端子には、後述するAND回路AX3の出力端子がインバータ回路(図中丸印)を介して接続される。

【0102】

n+1ビットアップカウンタBUC-1は更に、AND回路AA1, ..., AA_nの夫々の1番目の入力端子に接続された排他論理和回路であるEOR1, ..., EOR_nを有する。EOR1の2つの入力端子には、フリップフロップFF0, FF1の出力端子が夫々接続される。EOR2, ..., EOR_nの夫々の一の入力端子には後述するAND回路A

10

20

30

40

50

$AA2, \dots, AAn$ が夫々接続される。又、 $EOR2, \dots, EORn$ の夫々の他の入力端子には、自己が夫々AND回路 $AA2, \dots, AAn$ を介して接続されたフリップフロップ $FF2, \dots, FFn$ の出力端子OTが夫々接続される。

【0103】

$n+1$ ビットアップカウンタBUC-1は更に、 $EOR1$ 以外の各 $EOR2, \dots, EORn$ の他の入力端子に夫々接続されたAND回路 $AAA2, \dots, AAn$ を有する。AND回路 $AAA2, \dots, AAn$ の各々の入力端子の夫々には、以下の端子が接続される。、図8中、AND回路 $AAA2, \dots, AAn$ の各々が $EOR2, \dots$ 、又は $EORn$ およびAND回路 $AA2, \dots$ 、又は AAn を介して接続されたフリップフロップ $FF2, \dots$ 、又は FFn より上側に記載された、当該フリップフロップを除く全てのフリップフロップの出力端子OTが接続される。

10

【0104】

当該 $n+1$ ビットアップカウンタBUC-1は、各フリップフロップ $FF0, FF1, \dots, FFn$ のクロック入力端子CKに入力されるシステムクロック信号-SYS-CLKのタイミングで+1ずつカウントアップする。当該 $n+1$ ビットアップカウンタBUC-1の計数值CT(n ビット)は、フリップフロップ $FF0, FF1, \dots, FFn$ の夫々の出力端子OTから得られる。又、擬似故障レジスタ112b-2AのBit[2:3]のMODEフィールドが"00"(リセット)を示す場合、上記AND回路AX3の出力によりAND回路 $AA0, AA1, \dots, AAn$ の出力が"0"に固定される。その結果、 $n+1$ ビットアップカウンタBUC-1は計数值CTが"0"のまま固定されることにより計数動作が停止する。

20

【0105】

図8のタイマ制御回路112b-1Aは更に、AND回路AX1、AX2、AX3、AX4、AX5、AX6、OR回路OX1、OX2、OX3、OX4、およびフリップフロップFFXを有する。図8のタイマ制御回路112b-1Aは更に、擬似故障レジスタ112b-2AのBit[2:3]の故障モード出力であるMODEフィールドをデコードするデコーダDEC-2を有する。

【0106】

AND回路AX1の夫々の入力端子には、 $n+1$ ビットアップカウンタBUC-1の夫々の出力端子がインバータ回路(図中丸印)を介し或いは介さずに接続される。ここでは、 $n+1$ ビットアップカウンタBUC-1が"0"から+1ずつカウントアップする際、"0"から開始して、 $10\mu s$ が経過するタイミングに合致する計数值CTで入力値が全て1となることによりAND回路AX1が"1"を出力するように上記インバータ回路が挿入される。AND回路AX1の他の入力端子には、擬似故障レジスタ112b-2AのENビットの出力端子が接続される。AND回路AX1の更に他の入力端子には、デコーダ回路DEC-2の出力端子のうち、擬似故障レジスタ112b-2AのMODEフィールドが"01"($10\mu s$ 間欠設定)の際にデコード結果として1を出力する出力端子が接続される。その結果、 $EN="1"$ の場合であって故障モードが"01"($10\mu s$ 間欠設定)の場合、 $10\mu s$ が経過するタイミングでAND回路AX1は"1"を出力する。他方、 $10\mu s$ が経過するタイミングを除いて、AND回路AX1は"0"を出力する。

30

40

【0107】

同様に、AND回路AX2の夫々の入力端子には、 $n+1$ ビットアップカウンタBUC-1の夫々の出力端子がインバータ回路(図中丸印)を介し或いは介さずに接続される。ここでは、 $n+1$ ビットアップカウンタBUC-1が"0"から+1ずつカウントアップする際、0から開始して、 $100\mu s$ が経過するタイミングに合致する計数值CTで入力値が全て1となることによりAND回路AX2が1を出力するように上記インバータ回路が挿入される。AND回路AX2の他の入力端子には、擬似故障レジスタ112b-2AのENビットの出力端子が接続される。AND回路AX1の更に他の入力端子には、デコーダ回路DEC-2の出力端子のうち、擬似故障レジスタ112b-2AのMODEフィールド(故障モード)が"10"($100\mu s$ 間欠設定)の際に1を出力する出力端子が接続

50

される。その結果、 $EN = "1"$ の場合であってMODEフィールドが" 10 " ($100\mu s$ 間欠設定)の場合、 $100\mu s$ が経過するタイミングでAND回路AX2は1を出力する。他方、 $100\mu s$ が経過するタイミングを除いて、AND回路AX2は0を出力する。

【0108】

AND回路AX3の夫々の入力端子には、擬似故障レジスタ112b-2AのENビットの出力端子およびデコーダDEC-2の出力端子のうち、MODEフィールドが" 00 " (リセット)の際に" 1 "を出力する出力端子が接続される。その結果、 $EN = "1"$ の場合であって故障モードが" 00 " (リセット)の場合、" 1 "を出力する。

【0109】

OR回路OX2の夫々の入力端子には、AND回路AX1, AX2, AX3の夫々の出力端子が接続される。その結果、OR回路OX2は、MODEフィールドが $10\mu s$ 間欠設定 ($MODE = "01"$) の場合、AND回路AX1の出力をそのまま出力する。すなわち、 $10\mu s$ 経過時は" 1 "を出力し、 $10\mu s$ 経過時以外の場合には" 0 "を出力 (+RST) する。同様に、OR回路OX2は、MODEフィールドが $100\mu s$ 間欠設定 (" 10 ") の場合、AND回路AX2の出力をそのまま出力する。すなわち、 $100\mu s$ 経過時は1を出力し、 $100\mu s$ 経過時以外の場合は0を出力する (+RST)。又、OR回路OX2は、MODEフィールドがリセット ($MODE = "00"$) の場合、AND回路AX3の出力をそのまま出力する。すなわち、1を出力する (+RST)。

【0110】

OR回路OX1の夫々の入力端子には、擬似故障レジスタ112b-2AのBit[2 : 3]であるMODEフィールドが" 01 " ($10\mu s$ 間欠設定)の際に1を出力する出力端子およびMODEフィールドが" 10 " ($100\mu s$ 間欠設定)の際に" 1 "を出力する出力端子が夫々接続される。又、AND回路AX5の夫々の入力端子には、 $n+1$ ビットアップカウンタBUC-1の夫々の出力端子がインバータ回路を介し或いは介さずに接続される。ここで上記インバータ回路は、 $n+1$ ビットアップカウンタBUC-1の計数値がCT=" 1 "の際に入力値が全て" 1 "となることによりAX5が" 1 "を出力するようにAND回路AX5の入力端子に挿入される。又、AND回路AX5の他の入力端子には、擬似故障レジスタ112b-2AのENビットの出力端子が接続され、更に他の入力端子には上記OR回路OX1の出力端子が接続される。その結果AND回路AX5は、 $EN = "1"$ であり、MODEフィールドの設定が $10\mu s$ 或いは $100\mu s$ の間欠設定であり、且つ、 $n+1$ ビットアップカウンタBUC-1の計数値がCT=" 1 "の場合に、" 1 "を出力する。

【0111】

又、OR回路OX3の夫々の入力端子には、フリップフロップFFXの出力端子OTおよびAND回路AX5の出力端子が夫々接続され、OR回路OX3の出力端子はAND回路AX6の他の入力端子に接続される。又、AND回路AX6の一の入力端子には、OR回路OX2の出力端子 (+RST) が、インバータ回路 (図中丸印) を介して接続される。

【0112】

又、AND回路AX4の夫々の入力端子には、擬似故障レジスタ112b-2AのENビットの出力端子と、デコーダDEC-2のMODEフィールドが" 11 " (常時設定)の際に" 1 "となる出力端子とが夫々接続される。したがってAND回路AX4は、 $EN = "1"$ で且つMODEフィールドが常時設定 (" 11 ") の場合、" 1 "を出力し、この場合、OR回路OX4は" 1 "を出力する。したがってこの場合 (常時設定)、タイマ制御回路112b-1Aは固定的に" 1 "を出力 (+TIMER_OT) する。他方、MODEフィールドが常時設定 (" 11 ") 以外の設定 ($MODE = "00"$, " 01 "又は" 10 ") の場合、AND回路AX4は0を出力し、OR回路OX4は、フリップフロップFFXの出力値を出力する。

【0113】

$EN = "1"$ で且つMODEフィールドがリセット ($MODE = "00"$) の場合、AX3

10

20

30

40

50

から"1"が出力され、当該1がOR回路OX2を経由して、インバータ回路で反転されて"0"とされてAND回路AX6の一の入力端子に入力される。その結果、AND回路AX6は0を出力し、フリップフロップFFXは当該0を取り込み、"0"を出力(OT)する。そして当該"0"の出力が、そのままOR回路OX4から出力される。すなわちEN="1"でMODEフィールドがリセット(MODE="00")の場合、タイマ制御回路112b-1Aは"0"を出力する。他方、EN="0"の場合、n+1ビットアップカウンタBUC-1は計数動作を行わず、よってCT="1"とならず、AND回路AX5は"1"を出力することがない。よってOR回路OX3, AND回路AX6を経由してフリップフロップFFXのデータ入力端子D1に"1"が入力されることがなく、フリップフロップFFXは0を出力し、タイマ制御回路112b-1Aは"0"を出力する。

10

【0114】

又、MODEフィールドが10μsの間欠設定("10")或いは100μsの間欠設定("01")の場合、n+1ビットアップカウンタBUC-1の計数開始直後のCT="1"のタイミングで、AND回路AX5が1を出力する(+SET)。当該"1"が、OR回路OX3を経由し、AND回路AX6の他の入力が"1"となる。他方、AND回路AX1又はAX2は10μs又は100μs経過前は0を出力し、当該0はOR回路OX2を経由し、インバータ回路で反転されて"1"となり、AND回路AX6の一の入力端子に入力される。その結果、AND回路AX6は"1"を出力し、これを受けてフリップフロップFFXが"1"を出力する。当該1はOR回路OX3およびAND回路AX6を経由してFFXに入力される。したがって、10μs又は100μs経過前は、フリップフロップ回路FFXは"1"を出力し、タイマ制御回路は"1"を出力する。

20

【0115】

次に、MODEフィールドの設定に基づいて、10μs又は100μs経過時、AND回路AX1又はAX2は"1"を出力し、OR回路OX2を経由し、インバータ回路で反転され、AND回路AX6の一の入力が0となる。これを受けてフリップフロップFFXが0を出力する。当該0はOR回路OX3、AND回路AX6を経由してフリップフロップFFXに入力される。その結果、以降フリップフロップ回路FFXは"0"を出力し、タイマ制御回路は"0"を出力する。

【0116】

n+1ビットアップカウンタBUC-1は更に計数を続け、全フリップフロップFF0, FF1, ..., FFnの出力が"1"の最大値となり、次のタイミングで全フリップフロップFF0, FF1, ..., FFnの出力が"0"となる。すなわち自動的に計数値が"0"にリセットされ、その後は上記同様、CT="1"から+1ずつのカウントアップを開始する。

30

【0117】

したがって、MODEフィールドの設定が10μs或いは100μsの間欠設定の場合、タイマ制御回路112b-1Aは、n+1ビットアップカウンタBUC-1の計数値がCT="1"になると"1"を出力し、その後、10μs或いは100μsに至るまで、"1"を出力する。そして10μs或いは100μsに至った後、タイマ制御回路112b-1Aは"0"を出力する。更に、n+1ビットアップカウンタBUC-1が+1ずつカウントアップを続行してCTが最大値となり"0"にリセットされて再びCT="1"となると、タイマ制御回路112b-1Aは再び"1"を出力し、再度10μs或いは100μsに至るまで、"1"を出力する。以降は上記同様の動作を繰り返す。すなわち、最初の10μs或いは100μsの間、タイマ制御回路112b-1Aは"1"を出力し、その後n+1ビットアップカウンタBUC-1がリセットするまで"0"を出力し、リセット後、再び最初の10μs或いは100μsの間、"1"を出力する、という動作を繰り返す。その結果上記の如く、特定の信号を"1"又は"0"にクリップする擬似故障が、10μs或いは100μsの間、維持される。そして、その後一定時間、当該擬似故障が解消された状態が維持され、その後再び10μs或いは100μsの間、擬似故障状態が維持される、という動作が繰り返される。

40

50

【 0 1 1 8 】

次に上述したタイマ制御回路 1 1 2 b - 1 A の動作を、図 9 のタイムチャートとともに説明する。図 9 (a) はシステムクロック信号 (- S Y S - C L K) の波形を示し、(b) は擬似故障レジスタ 1 1 2 b - 2 A の E N ビットの値を示す。(c) は、故障モード (M O D E = " 0 0 " , " 0 1 " , " 1 0 " 又は " 1 1 ") を示す。(d) は、 $n + 1$ ビットアップカウンタ B U C - 1 の計数値 (C T) を示す。(e) は、AND 回路 A X 5 の出力値 (+ S E T) を示し、(f) は OR 回路 O X 2 の出力値 (+ R S T) を示す。(g) は、OR 回路 O X 4 の出力値 (+ T I M E R _ O T) 、すなわちタイマ制御回路 1 1 2 b - 1 A の出力値を示す。

【 0 1 1 9 】

10

図 9 において、まず、E N ビットを " 1 " が設定され、故障モードがリセット (M O D E = " 0 0 ") に設定される。この状態で AND 回路 A X 3 が " 1 " を出力するので、上記の如く、 $n + 1$ ビットアップカウンタ B U C - 1 の計数動作は行われない。

【 0 1 2 0 】

次に、例えば図 9 (c) の B i t [2 : 3] (M O D E フィールド) が " 0 1 " ($10 \mu s$ 間欠設定) に設定される。その結果、 $n + 1$ ビットアップカウンタ B U C - 1 の計数 ((d)) が開始され (C T = " 1 ") 、同タイミングで AND 回路 A X 5 ((e)) が " 1 " を出力する。当該 " 1 " は OR 回路 O X 3 を経由し、AND 回路 A X 6 の他の入力端子に入力される。又、M O D E フィールドが " 0 1 " の場合 ($10 \mu s$ 間欠設定) に対応する AND 回路 A X 1 は $10 \mu s$ 経過する前は 0 を出力し、AND 回路 A X 6 の一の入力、OR 回路 O X 2 を経由して伝達された当該 " 0 " がインバータ回路で反転されて " 1 " となる。その結果、AND 回路 A X 6 は " 1 " を出力し、当該 " 1 " がフリップフロップ F F X で取り込まれ、OR 回路 O X 4 から出力される (+ T I M E R _ O T) ((g)) 。そして当該出力 " 1 " は、OR 回路 O X 3 に入力され、AND 回路 A X 6 を経由してフリップフロップ F F X に入力される。その結果、 $n + 1$ ビットアップカウンタ B U C - 1 の計数値が $10 \mu s$ に対応する値に至るまで、OR 回路 O X 4 の出力 + T I M E R _ O T 、すなわちタイマ制御回路 1 1 2 b - 1 A の出力は " 1 " に維持される。

20

【 0 1 2 1 】

$n + 1$ ビットアップカウンタ B U C - 1 の計数値が $10 \mu s$ に対応する値に至ると、AND 回路 A X 1 が " 1 " を出力し、当該 " 1 " が OR 回路 O X 2 を経由して伝達され (+ R S T) ((f)) 、インバータ回路で反転されて " 0 " となって AND 回路 A X 6 に入力される。その結果、AND 回路 A X 6 は、" 0 " を出力し、当該 " 0 " がフリップフロップ F F X に取り込まれ、フリップフロップ F F X は " 0 " を出力し、当該 " 0 " は OR 回路 O X 3 の他の入力となる。他方、このとき、AND 回路 A X 5 の計数値の入力値は C T = " 1 " ではないので、OR 回路 O X 3 の一の入力も " 0 " であり、その結果、OR 回路 O X 3 が " 0 " を出力する。当該 0 の入力によって AND 回路 A X 6 の出力端子が " 0 " となり、フリップフロップ F F X は当該 " 0 " を取り込んで出力する。当該 " 0 " は OR 回路 O X 4 を経由してタイマ制御回路 1 1 2 b - 1 A から出力される ((g)) 。以降、AND 回路 A X 5 の計数値の入力が再び C T = " 1 " となることによって AND 回路 A X 5 が " 1 " を出力するまで、タイマ制御回路 1 1 2 b - 1 A は " 0 " を出力する ((g)) 。

30

40

【 0 1 2 2 】

すなわち、 $n + 1$ ビットアップカウンタ B U C - 1 はそのまま計数を続けて C T が最大値となり ((d)) となり、その次に C T が " 0 " にクリアされて再び C T = " 1 " になると、AND 回路 A X 5 が " 1 " を出力する (+ S E T) ((e)) 。そして当該 " 1 " が上記同様、OR 回路 O X 3 , AND 回路 A X 6 を経由して伝達されてフリップフロップ F F X に取り込まれ、フリップフロップ F F X は " 1 " を出力し、当該 1 が、OR 回路 O X 4 を経由してタイマ制御回路 1 1 2 b - 1 A から出力される ((g)) 。以降、 $n + 1$ ビットアップカウンタ B U C - 1 の計数動作に応じ、上記同様の動作が繰り返される。すなわち上記の如く、この場合、 $n + 1$ ビットアップカウンタ B U C - 1 の計数が開始されると、 $10 \mu s$ 経過するまで、タイマ制御回路 1 1 2 b - 1 A は 1 を出力する。そして、 $10 \mu s$ 経

50

過後は、 $n + 1$ ビットアップカウンタ $BUC - 1$ の計数値 CT が最大値となり、リセットされて再び $CT = "1"$ から計数が開始されるまで、タイマ制御回路 $112b - 1A$ は 0 を出力する。そして、上記の如く $n + 1$ ビットアップカウンタ $BUC - 1$ の計数値 CT が最大値となり、リセットされて再び $CT = "1"$ から計数が開始されると、 $10 \mu s$ 経過するまで、タイマ制御回路 $112b - 1A$ は $"1"$ を出力する。以降、このように、 $10 \mu s$ の間、 $"1"$ を出力し、その後、 $n + 1$ ビットアップカウンタ $BUC - 1$ がリセットされるまで $"0"$ を出力し、その後再び $10 \mu s$ の間、 $"1"$ を出力する、という動作が繰り返される。

【実施例 3】

【0123】

以下、図 10 - 図 13 とともに、実施例 3 について説明する。実施例 3 に係る情報処理装置 1000B も、図 6 - 図 9 とともに上述した実施例 2 に係る情報処理素位置 1000A と同様の構成を含み、同様の構成部分には同一の符号を付し、適宜重複する説明を省略する。

【0124】

図 10 は実施例 3 による擬似故障発生方法で使用する擬似故障レジスタ $112b - 2B$ (図 13 参照) の構成例を示す。ここでは図 7 に示す実施例 2 の場合と同様、 $Bit[0]$ がイネーブルビット (EN) であり、 $Bit[1]$ のビットがクリップ値を示すクリップビット (CL) であり、 $Bit[2:3]$ の 2 ビットが故障モードを示す故障モードフィールド (MODE) である。ここで図 10 の実施例 3 の場合には、MODE フィールドによる間欠設定が、 $10 \mu s$ 又は $100 \mu s$ 間欠設定の代わりに、 $10 ms$ 又は $100 ms$ 間欠設定である。更に、 $Bit[4:6]$ の 3 ビットが、間欠設定時、故障発生対象の信号に対し、指定回数のみ擬似故障を発生させる際の発生回数 (指定回数) を指定する NUM フィールドである。この NUM フィールド (3 ビット) により、擬似故障発生回数として 1 回 ~ 7 回 ($NUM = "001" \sim "111"$) のうち、所望の回数 (指定回数) を指定できる。そして $Bit[7:22]$ の 16 ビットは擬似故障を生じさせる信号を入出力する端子 (最大 65536 ピン) を指定するアドレスを示す ADD ビットである。

【0125】

図 11 は実施例 3 の擬似故障発生方法で使用するタイマ制御回路 $112b - 1B$ (図 13 参照) の回路構成例を示す。図 11 に示すタイマ制御回路 $112b - 1B$ の回路構成例は、図 8 とともに上述したタイマ制御回路 $112b - 1B$ の回路構成例と同様の回路構成要素を含み、同様の回路構成要素には同一の符号を付し、適宜重複する説明を省略する。

【0126】

図 11 のタイマ制御回路 $112b - 1B$ は、図 8 のタイマ制御回路 $112b - 1A$ に対し、3 ビットダウンカウンタ $BDC - 1$ を有する点異なる。3 ビットダウンカウンタ $BDC - 1$ は、夫々が計数値を示すビット値をそれぞれの OT 端子から出力する 3 個のフリップフロップ $FFY1$, $FFY2$, $FFY3$ を有する。3 ビットダウンカウンタ $BDC - 1$ は更に、フリップフロップ $FFY1$, $FFY2$, $FFY3$ の夫々の出力端子 OT が入力端子に接続された OR 回路 $OY5$ を有する。3 ビットダウンカウンタ $BDC - 1$ は更に、AND 回路 $AX7$ を有する。AND 回路 $AX7$ では、フリップフロップ FFX の出力端子 OT が一の入力端子に接続され、OR 回路 $OY5$ の出力端子が他の入力端子に接続され、出力端子が OR 回路 $OX4$ の一の入力端子に接続される。

【0127】

3 ビットダウンカウンタ $BDC - 1$ は更に、フリップフロップ $FFY1$, $FFY2$, $FFY3$ の夫々のデータ入力端子 $D1$ に出力端子が夫々接続された OR 回路 $OY2$, $OY3$, $OY4$ を有する。又、OR 回路 $OY2$, $OY3$, $OY4$ の夫々の 1 番目の入力端子に出力端子が接続された AND 回路 $AY1$, $AY4$, $AY7$ が設けられる。AND 回路 $AY1$, $AY4$, $AY7$ の各々の 1 番目の入力端子には OR 回路 $OX5$ の出力端子が接続され、3 番目の入力端子には OR 回路 $OY5$ の出力端子が接続される。3 ビットダウンカウンタ $BDC - 1$ は更に、OR 回路 $OY2$, $OY3$, $OY4$ の夫々の 2 番目の入力端子に出力端

10

20

30

40

50

子が接続されたAND回路AY2, AY5, AY8を有する。AND回路AY2, AY5, AY8の各々の一の入力端子には、OR回路OX5の出力端子がインバータ回路(図中丸印)を介して接続される。又、AND回路AY2, AY5, AY8の他の入力端子には、それぞれOR回路OY2, OY3, OY4を介して接続されたフリップフロップFFY1, FFY2, FFY3の出力端子OTが夫々接続される。

【0128】

3ビットダウンカウンタBDC-1は更に、出力端子がOR回路OY2, OY3, OY4の3番目の入力端子に接続されたAND回路AY3, AY6, AY9を有する。AND回路AY3, AY6, AY9の夫々の一の入力端子にはAND回路AX3の出力端子が接続され、他の入力端子には擬似故障レジスタ112b-2BのBit[4:6]のNUMフィールドの出力端子が夫々接続される。その結果、MODEフィールドがリセット(MODE="00")の際に、擬似故障レジスタ112b-2BのNUMフィールドの夫々の値が、AND回路AY3, AY6, AY9からそのまま出力され、OR回路OY2, OY3, OY4を経由して、システムクロック信号(-SYS-CLK)のタイミングで、フリップフロップFFY1, FFY2, FFY3に予め設定される。

【0129】

3ビットダウンカウンタBDC-1は更に、フリップフロップFFY1, FFY2, FFY3の夫々の出力値を反転するインバータ回路N1, N2, N3を有する。3ビットダウンカウンタBDC-1は更に、夫々の出力端子がAND回路AY4, AY7の夫々の2番目の入力端子に接続されたEORY1, EORY2を有する。3ビットダウンカウンタBDC-1は更に、EORY2の一の入力端子に出力端子が接続され、夫々の入力端子にはフリップフロップFFY1, FFY2の夫々の出力端子が接続されたOR回路OY1を有する。

【0130】

EORY1の一の入力端子にはフリップフロップFFY1の出力端子が接続され、他の入力端子にはインバータ回路N2の出力端子が接続される。又、EORY2の一の入力端子にはOR回路OY1の出力端子が接続され、他の入力端子にはインバータ回路N3の出力端子が接続される。

【0131】

次に図11のタイマ制御回路112b-1Bの動作について説明する。MODEフィールドが10ms又は100msの間欠設定の場合、図8のタイマ制御回路112b-1A同様のn+1ビットアップカウンタBUC-2の計数動作によって10ms又は100msが経過する前、AND回路AX1およびAX2の出力は"0"である。当該"0"はOR回路OX5を経由して、AND回路AY1, AY4, AY7に入力され、AND回路AY1, AY4, AY7の出力は"0"となる。他方、AND回路AY2, AY5, AY8には、上記OR回路OX5の出力"0"が、インバータ回路(図中丸印)で反転され、"1"となって入力される。又、AND回路AY3, AY6, AY9に入力されるAND回路AX3の出力は、MODEフィールドがリセット(MODE="00")以外の10ms又は100msの間欠設定であるため、"0"であり、その結果AND回路AY3, AY6, AY9は"0"を出力する。したがって10ms又は100msが経過する前は、AND回路AY2, AY5, AY8が、フリップフロップFFY1, FFY2, FFY3の夫々の出力値をそのまま出力する。そして当該出力がOR回路OY2, OY3, OY4を経由してそのままフリップフロップFFY1, FFY2, FFY3に入力される。その結果、10ms又は100msが経過する前は、フリップフロップFFY1, FFY2, FFY3に設定された値、すなわち擬似故障レジスタ112b-2BのNUMフィールドの値が保持される。

【0132】

次に10ms又は100msの経過時、AND回路AX1又はAX2の出力が"1"となる。当該"1"はOR回路OX5を経由してAND回路AY1, AY4, AY7の夫々に入力される。ここで上記の如くMODEフィールドがリセット(MODE="00")の際に

フリップフロップ F F Y 1 , F F Y 2 , F F Y 3 に擬似故障レジスタ 1 1 2 b - 2 B の N U M フィールドの値が設定されている。当該 N U M フィールドの値が " 0 0 0 " 以外の値であれば、O R 回路 O Y 5 の出力は " 1 " となる。そして当該 1 が A N D 回路 A Y 1 , A Y 4 , A Y 7 の夫々に入力される。その結果、A N D 回路 A Y 1 , A Y 4 , A Y 7 は、夫々インバータ回路 N 1 の出力、E O R Y 1 , E O R Y 2 の夫々の出力をそのまま出力する。当該出力は O R 回路 O Y 2 , O Y 3 , O Y 4 を経由してフリップフロップ F F Y 1 , F F Y 2 , F F Y 3 に入力される。

【 0 1 3 3 】

ここで 3 個のフリップフロップ F F Y 1 , F F Y 2 , F F Y 3、インバータ回路 N 1 , N 2 , N 3 および E O R Y 1 , E O R Y 2 により、ダウンカウンタが形成される。当該ダウンカウンタは、各フリップフロップ F F Y 1 , F F Y 2 , F F Y 3 のクロック入力端子 C K に入力されるクロック信号 (- S Y S - C L K) のタイミングで計数値を 1 ずつ減算する。したがって上記の如く、インバータ回路 N 1、および E O R Y 1 , E O R Y 2 の夫々の出力値がそのままフリップフロップ F F Y 1 , F F Y 2 , F F Y 3 の夫々に入力される状態において上記ダウンカウンタの減算動作が実行される。

【 0 1 3 4 】

当該ダウンカウンタの減算動作により、フリップフロップ F F Y 1 , F F Y 2 , F F Y 3 に設定された値、すなわち擬似故障レジスタ 1 1 2 b - 2 B の N U M フィールドの値が 1 減算される。その後は、 $n + 1$ ビットアップカウンタ B U C - 2 の計数値 C T の最大値を経てリセットされてから再度 1 0 m s 又は 1 0 0 m s が経過するまで、A N D 回路 A X 1 又は A X 2 の出力する値は " 1 " とはならない。したがって、その間、ダウンカウンタの計数値が保持される。そして再度 1 0 m s 又は 1 0 0 m s が経過すると、上記同様、ダウンカウンタの減算動作によって計数値が 1 減算される、という動作が繰り返される。そして当該動作の繰り返しの結果、ダウンカウンタの計数値が " 0 " (すなわちフリップフロップ F F Y 1 , F F Y 2 , F F Y 3 の夫々の出力値が " 0 ") となる。その結果、O R 回路 O Y 5 が " 0 " を出力し、当該 " 0 " が A N D 回路 A X 7 に入力され、A N D 回路 A X 7 は " 0 " を出力する。その結果、O R 回路 O X 4 が " 0 " を出力し、タイマ制御回路 1 1 2 b - 1 B は " 0 " を出力し、擬似故障の発生が抑制される。

【 0 1 3 5 】

上記 O R 回路 O Y 5 の出力 0 は又、A N D 回路 A Y 1 , A Y 4 , A Y 7 にも入力される。その結果、以降、1 0 m s 又は 1 0 0 m s が経過しても A N D 回路 A Y 1 , A Y 4 , A Y 7 は 0 を出力するので、ダウンカウンタの減算動作が停止され、計数値として " 0 " が維持されることとなるので、引き続き擬似故障の発生が抑制される。

【 0 1 3 6 】

このように実施例 3 によれば、擬似故障が、擬似故障レジスタ 1 1 2 b - 2 B の N U M フィールドに設定した擬似故障発生回数 (指定回数) 分、発生され、指定回数の擬似故障の発生が終了すると、以降、擬似故障の発生が抑制される。

【 0 1 3 7 】

次に、図 1 2 とともに、上述の実施例 3 のタイマ制御回路 1 1 2 b - 1 B の動作例について説明する。図 1 2 (a) はシステムクロック信号 (- S Y S - C L K) の波形を示し、(b) は擬似故障レジスタ 1 1 2 b - 2 B の E N ビットの値を示す。(c) は、M O D E フィールドの設定値 (M O D E = " 0 0 " , " 0 1 " , " 1 0 " 又は " 1 1 ") を示す。(d) は擬似故障発生回数 (指定回数) を示し、(e) は、 $n + 1$ ビットアップカウンタ B U C - 2 の計数値 (C T) を示す。(f) は 3 ビットダウンカウンタ B D C - 1 (ダウンカウンタ) の計数値を示し、(g) は、A N D 回路 A X 5 の出力値 (+ S E T) を示し、(h) は O R 回路 O X 2 の出力値 (+ R S T) を示す。(i) は、O R 回路 O X 4 の出力値 (+ T I M E R _ O T)、すなわちタイマ制御回路 1 1 2 b - 1 B の出力値を示す。

【 0 1 3 8 】

図 1 2 の例では、一例として、M O D E フィールドとして 1 0 m s 間欠設定 (M O D E = " 0 1 ") が設定される。又、擬似故障発生回数 (指定回数) である N U M B フィールド

10

20

30

40

50

(図12(d))として、3回(NUM="011")が設定される。図9の動作例同様、 $n+1$ ビットアップカウンタBUC-2の計数動作が開始されると、計数値CT="1"のタイミングで、AND回路AX5が"1"を出力し(+SET)(g)、その結果、図9の動作例同様、フリップフロップFFXが"1"を出力する。ここでフリップフロップFFY1, FFY2, FFY3に設定される指定回数は3回(NUM="011")であり、NUMの値は"0"以外であるので、OR回路OY5は"1"を出力し、AND回路AX7は"1"を出力する。その結果OR回路OX4は"1"を出力(+TIMER_OT)し、タイマ制御回路112b-1Bは"1"を出力し、擬似故障が発生される。

【0139】

以降、図9の動作例同様、10msが経過するまで、タイマ制御回路112b-1Bの出力(+TIMER_OT)が"1"に維持され、その間、擬似故障が継続される。10msが経過すると、図9の動作例同様、AND回路AX1が1を出力し、その結果、OR回路OX2が"1"を出力(+RST)し、当該1がインバータ回路(図中丸印)で反転されて0となってフリップフロップFFXに入力される。その結果図9の動作例同様、以降、 $n+1$ ビットアップカウンタBUC-2の計数値が最大値を経て"0"にリセットされて再度CT="1"になるまで、フリップフロップFFXは"0"を出力し、タイマ制御回路112b-1Bの出力(+TIMER_OT)が"0"に維持されるとともに、3ビットダウンカウンタBDC-1の計数値が1減算される。そして再度CT="1"になると、上記同様の動作によってタイマ制御回路112b-1Bの出力(+TIMER_OT)が"1"になる。

【0140】

このように、図9の動作例と異なる点(間欠設定の設定時間を除く)は、以下の通りである。すなわち、 $n+1$ ビットアップカウンタBUC-2の計数動作により10msの経過が示される度に、擬似故障の発生が中断されるとともに、3ビットダウンカウンタBDC-1の計数値が1ずつ減算される("011"→"010"→"001"→"000")点である。

【0141】

当該3ビットダウンカウンタBDC-1の計数値の減算の結果、当該計数値が"0"となると、上記の如く、タイマ制御回路112b-1Bの出力は"0"が維持され、以降、擬似故障の発生が抑制される。その結果図12の動作例の場合、擬似故障の発生が指定回数の3回分、間欠的に実行され、その後、擬似故障の発生が抑制される。

【0142】

図13は、実施例3による情報処理装置1000Bの構成例を示す。図13の構成は図6の構成に含まれる構成部分と同様の構成部分を含み、同様な構成部分には同一の符号を付し、適宜重複する説明を省略する。

【0143】

図13に示す情報処理装置1000Bは、サーミスタTH-1および送信側ユニット110Bを搭載した被試験プリント配線基板100Bと、受信ユニット120Bと、SCI200とSV300とを有する。又、送信ユニット110Bは、サーミスタTH-1の出力値を増幅するバッファIBX, アナログ-デジタル変換器ADC-1, クリップ回路113-1, 情報処理部(内部ロジック)LG-1, JTAG-IF111, およびEG生成回路112bBを有する。情報処理部LG-1は、シリアル-パラレルインタフェースSPI-1を有する。又、受信側ユニット120Bは、情報処理装置LG-2および演算処理装置であるMPU(Micro Processor Unit)MPU-1を有する。

【0144】

サーミスタTH-1は、当該情報処理装置1000Bの排気温度又は吸気温度を検出する温度センサである。又、受信側ユニット120Bは情報処理装置1000Bの電源を制御するSPC(System Power Controller)である。又、送信側ユニット110Bは受信側ユニット120BであるSPCの拡張ユニットであり、情報処理装置1000Bの電源やセンサの制御台数を拡張する機能を有するSPCE(System Power Controller Extended)

r)である。

【0145】

送信側ユニット110BであるSPCEは、サーミスタTH-1の出力信号をバッファIBXで増幅し、アナログ-ディジタル変換器ADC-1でディジタル化する。更に図示せぬ他の温度センサの出力信号と併せて、シリアル-パラレルインタフェースSPI-1でシリアル信号に変換し、受信側ユニット120Bに出力する。

【0146】

ここでサーミスタTH-1が排気温度に応じて出力電圧を変化させる排気温度センサである場合、受信側ユニット120BであるSPCは以下の動作を行う。受信側ユニット120BであるSPCは、送信側ユニット110BであるSPCEから受信した信号に基づき、内部ロジックLG-1の出力のオープン（断線）状態又はショート（短絡）状態の有無を、情報処理装置1000Bのシステムの電源投入から電源切断まで監視する。そして、内部ロジックLG-1の出力について、オープン又はショートの状態を示す信号レベルが32ms～64ms（閾値）の期間中継続した場合、排気温度が異常と判断し、MPUMPU-1に対し割り込みを行い、システムアラーム切断処理を実行してシステムの電源を切断する。そしてSVP300に対し、排気温度異常に対応するフラグコードを通知する。尚、SVP300はシステムの電源とは同じ電源を有し、次回システム電源投入時に切断時のフラグコードを表示する。

【0147】

又、サーミスタTH-1が吸気温度に応じて出力電圧が変化する吸気温度センサである場合、受信側ユニット120BであるSPCは以下の動作を行う。送信側ユニット110BであるSPCEから受信した信号に基づき、1秒間隔で吸気温度センサの出力電圧を判定し、吸気温度センサの出力電圧が3回連続して異常値を示した場合、吸気温度が異常と判断し、SVP300に対し、排気温度異常に対応するフラグコードを通知する。そして、情報処理装置1000Bが搭載するファンの回転数を上げる制御を行う。

【0148】

そしてサーミスタTH-1が排気温度に応じて出力電圧を変化させる排気温度センサである場合に擬似温度異常を発生させる場合には、擬似故障レジスタ112b-2BのMODEフィールドを10ms間欠設定（MODE="01"）又は100ms間欠設定（MODE="10"）に設定する。更に、擬似温度異常発生回数（指定回数）を指定するNUMフィールドを1回（NUM="001"）に設定する。その結果、タイマ制御回路112b-1Bがクリップ回路113-1を制御し、排気温度センサであるサーミスタTH-1の出力値（+SENSOR__OUT）を、"0"又は"1"にクリップすることにより擬似温度異常を発生させる。又、サーミスタTH-1の出力値（+SENSOR__OUT）の"0"又は"1"のクリップを、10msの期間に1回のみ、或いは、100msの期間に1回のみ、行うことができる。その結果、上記の擬似温度異常によるオープン状態又はショート状態を、上記閾値32ms～64ms以下の期間である10ms、或いは上記閾値32ms～64msを超える期間である100msの期間に1回のみ、生じさせることができる。

【0149】

又、サーミスタTH-1が吸気温度センサである場合、擬似故障レジスタ112b-2BのMODEフィールドとして、10ms間欠設定（MODE="01"）を設定し、指定回数であるNUMフィールドとして、例えば、3回（NUM="011"）もしくは4回（NUM="100"）を設定する。その結果、タイマ制御回路112b-1Bは、吸気温度の異常を示す擬似温度異常によるオープン状態又はショート状態を、連続して3回（閾値以内）もしくは4回（閾値を超過）のみ、生じさせる。

【0150】

このように、実施例3によれば、排気温度センサ或いは吸気温度センサの監視機能の判定を行う際、判定条件である閾値以内の場合と閾値を超過する場合の両方の場合につき、BBCテストを使用する場合に比し、容易且つ確実に検証することができる。

【実施例 4】

【0151】

次に実施例 4 につき、図 14 ~ 図 17 とともに説明する。図 14 は、実施例 4 の擬似故障発生方法を実施する被試験プリント配線基板 100C の構成を示す。図 14 の被試験プリント配線基板 100C には、送信側ユニット 110C と、受信側ユニット 120C とが搭載されている。当該被試験プリント配線基板 100C は、例えば図 4 に示す実施例 1 同様、図示せぬ情報処理装置内に設けられ、当該情報処理装置が有する S C I によって J T A G インタフェースを用いた試験がなされ、S V P によって動作が監視される。

【0152】

受信側ユニット 120C は、情報処理装置のシステム電源投入時に行われる P O N - R E S E T (Power ON RESET) 手順においてシステムクロック信号を発生させる発振回路 O S C - 1 を有する。P O N - R E S E T 手順とは、システムの電源投入時にシステムをリセットする手順を言う。受信側ユニット 120C は更に、システムクロック信号を所望の周波数で発振させる P L L (Phase Locked Loop) P L L - 1 および S Y S - C D (SYStem Clock Distribute) S C D - 1 を有する。S Y S - C D S C D - 1 は、P L L P L L - 1 から出力されたシステムクロック信号を分配する機能を有する回路である。図 14 の例では、S Y S - C D S C D - 1 は、被試験プリント配線基板 100C 上の受信側ユニット 120C に対し、2 系統の差動(differential)信号である基準クロック(reference clock)信号を供給する。差動信号を伝送することにより、一つの信号に対し 2 本の信号線を使用して互いに逆相の信号を送信し、受信側で 2 本の信号電圧の差分を取ることで、単相(single-end)信号を伝送する場合よりも、外来ノイズに対する耐性を向上させることができる。

【0153】

受信側ユニット 120C は、差動増幅回路 M 1、M 2 で上記 2 系統の基準クロック信号を夫々増幅し、増幅後の差動信号である基準クロック信号 - R E F _ C L K 0、- R E F _ C L K 1 をセレクタ S E L - 1 に供給する。差動増幅回路 M 1 は、差動増幅器 A M P - 1 と、プルアップ終端抵抗器 R - 1、スイッチ S W - 1、およびプルダウン終端抵抗器 R - 2、スイッチ S W - 2 を有する。尚、差動増幅回路 M 2 も、差動増幅回路 M 1 と同様の回路構成を有する。

【0154】

受信側ユニット 120C は更に、J T A G - I F 1 2 2、レジスタ(CFR: Configuration Register) C F R - 1、レジスタ(Clock Configuration Register) C C F R - 1、E G 生成回路 1 2 3 およびクリップ回路 1 2 4 を有する。ここで J T A G - I F 1 2 2、E G 生成回路 1 2 3 およびクリップ回路 1 2 4 は、夫々、図 13 に示す J T A G - I F 1 1 1、E G 生成回路 1 1 2 b B およびクリップ回路 1 1 3 - 1 と同様の構成を有する。

【0155】

差動増幅回路 M 1 のプルアップ終端抵抗器 R - 1、およびプルダウン終端抵抗器 R - 2 を有効にする場合には、レジスタ C F R - 1 を J T A G - I F 1 2 2 を介して P C = " 1 " に設定する。その結果、当該 P C = " 1 " を示す信号がクリップ回路 1 2 4 を経由してスイッチ S W - 1、S W - 2 に入力され、スイッチ S W - 1、S W - 2 が夫々オン状態となる。その結果、差動信号である基準クロック信号の信号線 - R E F _ C L K 0 _ P X は、プルアップ終端抵抗器 R - 1 を介し、電源に接続される。同様に、差動信号である基準クロック信号の信号線 + R E F _ C L K 0 _ N X は、プルダウン終端抵抗器 R - 2 を介し、接地される。プルアップ終端抵抗器 R - 1 およびプルダウン終端抵抗器 R - 2 は、このように配線の終端側(受信端側)に設けることにより、信号の反射を防ぎ、波形乱れの少ない信号伝送を果たすことができる。

【0156】

ここで差動増幅回路 M 1 の出力がセレクタ S E L - 1 によって選択されず、差動増幅回路 M 1 が出力する基準クロック信号が使用されない場合、プルアップ終端抵抗器 R - 1 およびプルダウン終端抵抗器 R - 2 は不要である。この場合、レジスタ C F R - 1 を J T A

G - I F 1 2 2 を介して P C = " 0 " に設定する。その結果、スイッチ S W - 1 , S W - 2 がオフ（開状態）となり、プルアップ終端抵抗器 R - 1 , プルダウン終端抵抗器 R - 2 の回路は切断され、プルアップ終端抵抗器 R - 1 , プルダウン終端抵抗器 R - 2 は使用されない。

【 0 1 5 7 】

セクタ S E L - 1 は、J T A G - I F 1 2 2 によるレジスタ C C F R - 1 の設定により、差動増幅回路 M 1、M 2 のいずれかが出力する基準クロック信号を選択するように動作する。セクタ S E L - 1 で選択された側の負論理の基準クロック信号 - R E F _ C L K は C D (Clock Distribute、クロック信号分配部) C D - 1 に供給され、C D - 1 のクロック制御回路 C T R - 1 が、被試験プリント配線基板 1 0 0 C 内の図示せぬ回路等に負論理のシステムクロック信号 - S Y S - C L K を分配する。C D - 1 は、システムクロック信号 - S Y S - C L K を分配する回路である。又、クロック制御回路 C T R - 1 および同期チェック回路 S Y N - 1 が、クロック信号 - R E F _ C L K の波形の乱れの有無を判定する。クロック制御回路 C T R - 1 および同期チェック回路 S Y N - 1 による判定結果がエラーの場合、当該エラー情報 (Region Code) が記憶装置 E R C - 1 に格納される。

10

【 0 1 5 8 】

又、E G 生成回路 1 2 3 およびクリップ回路 1 2 4 の機能により、C F R - 1 からスイッチ S W - 1 , S W - 2 への出力がクリップされて擬似故障が発生される。ここで、C F R - 1 における P C = " 1 " の設定によってスイッチ S W - 1 , S W - 2 がオンされ、プルアップ終端抵抗器 R - 1 およびプルダウン終端抵抗器 R - 2 が夫々有効である場合を想定する。この場合、上記 C F R - 1 の出力のクリップによる擬似故障が発生させることにより、P C = " 1 " の設定が擬似的に P C = " 0 " に変更され、その結果、プルアップ終端抵抗器 R - 1 およびプルダウン終端抵抗器 R - 2 が夫々基準クロック - R E F _ C L K 0 _ P X 及び + R E F _ C L K 0 _ N X から切離される。その結果、送信側ユニット 1 1 0 C から受信側ユニット 1 2 0 C へ転送される基準クロック信号の波形が乱れ、差動増幅回路 M 1 からセクタ S E L - 1 を経由して C D - 1 に供給される基準クロック信号 - R E F _ C L K の波形が乱れる。その結果、同期チェック回路 S Y N - 1 が基準クロック信号 - R E F _ C L K の波形の乱れに基づき、エラーを検出する。尚、図示せぬ差動増幅回路 M 2 のプルアップ終端抵抗器およびプルダウン終端抵抗器を有効化するスイッチに対しても、図示せぬクリップ回路を経由して C F R - 1 の出力が送信される。当該クリップ回路は、例えば図 4 に示されるクリップ回路 1 1 3 - 2 同様、E G 生成回路 1 2 3 の A N D 回路 A 1 - 2 によって制御される。

20

30

【 0 1 5 9 】

図 1 5 は、実施例 4 による擬似故障発生方法の動作の流れを示すフローチャートである。ステップ S 7 1 で、送信側ユニット 1 1 0 C が発生するクロック信号の決定、および O S C - 1 , P L L - 1 の設定を行う。次にステップ S 7 2 で、レジスタ C F R - 1 の設定 (P C = " 1 ") J T A G - I / F 1 2 2 によるスキャン設定により行う。次にステップ S 7 3 で、レジスタ C C F R - 1 の設定を同様に J T A G - I / F 1 2 2 によるスキャン設定により行う。C C F R - 1 の設定は、セクタ S E L - 1 が、差動増幅回路 M 1 が出力する基準クロック信号を選択する設定であるものとする。

40

【 0 1 6 0 】

次にステップ S 7 4 で、送信側ユニット 1 1 0 C が受信側ユニット 1 2 0 C に対し、基準クロック信号 - R E F _ C L K を送信する。次にステップ S 7 5 で、擬似故障レジスタ 1 1 2 b - 2 B を J T A G - I / F 1 2 2 によるスキャン設定により設定する。次にステップ S 7 6 で、擬似故障レジスタ 1 1 2 b - 2 B の設定値が、タイマ制御回路 1 1 2 b - 1 B , デコーダ D E C - 1 およびクリップ回路 1 2 4 によって読み出される。上記読み出しの結果、レジスタ C F R - 1 の出力がデコーダ回路 D E C - 1 から " 1 " が入力される擬似故障発生対象である場合 (ステップ S 7 7 Y E S) , ステップ S 7 8 が実行される。他方、レジスタ C F R - 1 の出力が擬似故障発生対象ではない場合 (ステップ S 7 7 N

50

Ｏ），ステップＳ７９が実行される。

【０１６１】

ステップＳ７８では、クリップ回路１２４がレジスタＣＦＲ－１の出力を、擬似故障レジスタ１１２ｂ－２Ｂにおける設定に応じた態様（例えば間欠的に）でクリップする。ステップＳ７９では、同期チェック回路ＳＹＮ－１が基準クロック信号をチェックする。同期チェック回路ＳＹＮ－１によるチェックの結果、基準クロック信号－ＲＥＦ＿ＣＬＫの波形の乱れに基づき、エラーが検出された場合（ステップＳ８０　ＹＥＳ）、検出結果を格納する（ステップＳ８１）。同期チェック回路ＳＹＮ－１によるチェックの結果、基準クロック信号同期チェック回路ＳＹＮ－１によるの波形の乱れが検出されなかった場合（ステップＳ８０　ＮＯ）、処理を終了する。

10

【０１６２】

ＢＢＣテストによる擬似故障発生方法では、ランダムに信号をクリップするため、システム電源投入時には、基準クロック信号－ＲＥＦ＿ＣＬＫが受信側ユニット１２０Ｃに転送された後のタイミングでないと、上記クリップによってもエラーが生じない場合がある。上述の実施例４によれば、所望のタイミングでＪＴＡＧ－ＩＦ１２２から擬似故障レジスタ１１２ｂ－２Ｂを設定する（図１５，ステップＳ７５）ことにより、基準クロック信号－ＲＥＦ＿ＣＬＫが受信側ユニット１２０Ｃに転送された後のタイミングにおいて確実に擬似故障を発生させることができる。したがって、同期チェック回路ＳＹＮ－１のチェック機能の検証を確実に行うことができる。

20

【０１６３】

次に、図１６および図１７とともに、図１４に記載されたＣＤ　ＣＤ－１の回路構成例およびその動作例について説明する。クロック制御回路ＣＴＲ－１は、内蔵ＰＬＬであるＰＬＬ－２と、インバータ回路ＮＺ１と、分配回路バッファＢＺ１，ＢＺ２，ＢＺ３，ＢＺ４，ＢＺ５，ＢＹ４，ＢＹ５と，チョッパ回路ＢＺ６，ＢＹ６とを有する。ＰＬＬ　ＰＬＬ－２は、セクタＳＥＬ－１から供給される基準クロック信号を逡倍し、インバータ回路ＮＺ１は逡倍された基準クロック信号を反転する。分配回路バッファＢＺ１，ＢＺ２，ＢＺ３，ＢＺ４，ＢＺ５，ＢＹ４，ＢＹ５と，チョッパ回路ＢＺ６，ＢＹ６は、基準クロック信号－ＲＥＦ＿ＣＬＫと、当該－ＲＥＦ＿ＣＬＫの位相を反転した信号とに基づいて、所定幅にチョップされたクロック信号を生成し、被試験プリント配線基板１００Ｃ上に搭載された図示せぬ回路、部品等に分配して供給する。尚、供給の際、必要に応じ、クロック信号を反転した上で供給することができる。

30

【０１６４】

クロック制御回路ＣＴＲ－１は更に、バッファＢＺＺ、１６ビットカウンタＣＴＲ－０、およびフリップフロップＦＦＺ２，ＦＦＺ３を有する。１６ビットカウンタＣＴＲ－０は、フリップフロップを用いた多ビット保持回路ＦＦＺ１および加算回路ＡＤＤ１を有する。セクタＳＥＬ－１から供給された基準クロック信号はバッファＢＺＺで伝送され、１６ビットカウンタＣＴＲ－０に入力される。１６ビットカウンタＣＴＲ－０は、バッファＢＺＺから入力された基準クロック信号－ＲＥＦ＿ＣＬＫのタイミングで最下位ビットＣＴ＿ＲＦＣＫ〔１５〕の値を＋１ずつカウントアップし、最下位ビット＋ＣＴ＿ＲＦＣＫ〔１５〕の値をフリップフロップＦＦＺ２のデータ入力端子Ｄに出力する。尚、１６ビットカウンタＣＴＲ－０の上位のビットは図示せぬ他の用途に使用される。フリップフロップＦＦＺ２の出力はフリップフロップＦＦＺ３のデータ入力端子Ｄに出力される。フリップフロップＦＦＺ２，ＦＦＺ３の各々は、チョッパ回路ＢＹ６から出力されたクロック信号－ＣＤ－ＣＬＫがクロック入力端子に供給され、クロック信号－ＣＤ－ＣＬＫのタイミングでデータ入力端子Ｄに入力された信号の値を取り込む。

40

【０１６５】

図１７（ａ）はセクタＳＥＬ－１から供給される基準クロック信号－ＲＥＦ＿ＣＬＫの波形を示し、（ｂ）は上記１６ビットカウンタＣＴＲ－０の最下位ビット＋ＣＴ＿ＲＦＣＫ〔１５〕の値を示し、（ｃ）はチョッパ回路ＢＺ６が出力するシステムクロック信号－ＳＹＳ－ＣＬＫの波形を示す。又、（ｄ）はフリップフロップＦＦＺ２，ＦＦＺ３の各

50

々に供給されるクロック信号 - C D - C L K の波形を示し、(e) はフリップフロップ F F Z 2 が出力する信号 + R F C K _ S H I F T 0 の波形を示す。又、(f) はフリップフロップ F F Z 3 が出力する信号 + R F C K _ S H I F T 1 の波形を示す。

【 0 1 6 6 】

図 1 7 (e)、(f) に示すように、フリップフロップ F F Z 2、F F Z 3 の出力値は、16 ビットカウンタ C T R - 0 の最下位ビット + C T _ R F C K [1 5] の値が反転するタイミングで、すなわち基準クロック信号 - R E F _ C L K の周期毎に反転する。この場合にフリップフロップ F F Z 2、F F Z 3 の夫々の出力値の反転のタイミングは以下の通りである。すなわち、フリップフロップ F F Z 2 の出力値が 0 から 1 或いは 1 から 0 に反転すると、クロック信号 - C D - C L K の次のタイミングで、フリップフロップ F F Z 3 の出力値が同じく 0 から 1 或いは 1 から 0 に反転する。その結果、基準クロック信号 - R E F _ C L K の周期毎に、フリップフロップ F F Z 2、F F Z 3 の夫々の出力値が不一致となるクロック信号 - C D - C L K のタイミングが生ずる (図 1 7 (e)、(f))。又、当該タイミング以外のクロック信号 - C D - C L K のタイミングでは、フリップフロップ F F Z 2、F F Z 3 の夫々の出力値が一致する。尚、図 1 7 に示すように、クロック信号 - C D - C L K (d) の周波数は、基準クロック信号 - R E F _ C L K (a) の周波数の 8 倍である。

【 0 1 6 7 】

同期チェック回路 S Y N - 1 は、フリップフロップ F F Z 2、F F X 3 の夫々の出力が夫々の入力端子に入力される E O R Z 1 と、5 ビットカウンタ C T R - 3 とを有する。5 ビットカウンタ C T R - 3 は、複数ビット分の A N D 論理回路を有する多ビットゲート回路 A Z 1、A Z 2、複数ビット分の O R 論理回路を有する多ビットゲート回路 O Z 1 およびフリップフロップを用いた多ビット保持回路 F F Z 4 を有する。5 ビットカウンタ C T R - 3 は更に、加算回路 A D D 2 および否定論理積回路である N A N D 回路 A Z 3 を有する。ここで、図 1 7 (g) は当該 5 ビットカウンタ C T R - 3 の出力値を示す。

【 0 1 6 8 】

上記 5 ビットカウンタ C T R - 3 は以下のように動作する。フリップフロップ F F Z 2、F F Z 3 の夫々の出力が一致しない場合に E O R Z 1 が 1 を出力し、当該 1 が複数ビット分の A N D 論理回路を有する多ビットゲート回路 A Z 1 の一の入力端子に入力される。その結果、複数ビット分の A N D 論理回路を有する多ビットゲート回路 A Z 1 は、他の入力端子に入力される " 6 " を示すデータを出力する。当該 " 6 " を示すデータは、複数ビット分の O R 論理回路を有する多ビットゲート回路 O Z 1 を経由し、フリップフロップを用いた多ビット保持回路 F F Z 4 に入力されて当該 5 ビットカウンタ C T R - 3 の計数値として設定される。したがって図 1 7 (d)、(e)、(f)、(g) に示すように、フリップフロップ F F Z 2、F F Z 3 の夫々の出力値が不一致となるクロック信号 - C D - C L K のタイミングの次のタイミングで、5 ビットカウンタ C T R - 3 の計数値 (出力値) が " 6 " に設定される。

【 0 1 6 9 】

他方、フリップフロップ F F Z 2、F F Z 3 の夫々の出力値が一致するクロック信号 - C D - C L K のタイミングでは、E O R Z 1 が 0 を出力するので複数ビット分の A N D 論理を有する多ビットゲート回路 A Z 1 の出力は " 0 " となる。他方、この場合、複数ビット分の A N D 論理を有する多ビットゲート回路 A Z 2 の 1 番目の入力端子には上記 E O R Z 1 の出力 " 0 " がインバータ回路 (図中丸印) により反転された " 1 " が入力される。又、当該複数ビット分の A N D 論理を有する多ビットゲート回路 A Z 2 の 3 番目の入力端子には、N A N D 回路 A Z 3 により、5 ビットカウンタ C T R - 3 の計数値が " 7 " の場合にのみ、" 0 " が入力される。

【 0 1 7 0 】

その結果、複数ビット分の A N D 論理を有する多ビットゲート回路 A Z 2 は、フリップフロップ F F Z 2、F F Z 3 の夫々の出力値が一致するクロック信号 - C D - C L K のタイミングで且つ計数値が " 7 " 以外の場合に以下の動作を行う。すなわち、加算回路 A D D

2によって計数値に"1"が加算された値をそのまま出力する。当該出力値は複数ビット分のOR論理を有する多ビットゲート回路OZ1を経由してフリップフロップを用いた多ビット保持回路FFZ4に設定される。すなわち5ビットカウンタCTR-3が+1ずつカウントアップする。

【0171】

他方、計数値が"7"になると、上記NAND回路AZ3の0の出力により、複数ビット分のAND論理を有する多ビットゲート回路AZ2の出力が"0"となり、当該0が複数ビット分のOR論理を有する多ビットゲート回路OZ1を経由して、フリップフロップを用いた多ビット保持回路FFZ4に設定される。すなわち5ビットカウンタCTR-3の計数値が"0"にリセットされる。

10

【0172】

したがって5ビットカウンタCTR-3の計数値は、フリップフロップFFZ2, FFZ3の夫々の出力値が一致するクロック信号-CD-CLKのタイミングで順次+1ずつカウントアップする。しかしながらその間にフリップフロップFFZ2, FFZ3の夫々の出力値が不一致となるクロック信号-CD-CLKのタイミングで"6"となる。そして計数値が"7"となると、計数値が"0"にリセットされる。

【0173】

したがって図17に示すように、基準クロック信号-REF_CLK(a)に基づいてPLL-2が発振を開始してクロック信号-CD-CLK(d)が発生された後、5ビットカウンタCTR-3は以下の動作を行う。すなわち、16ビットカウンタCTR-0の最下位ビット+CT_RFC[15]の値"1"を受けて、最初にフリップフロップFFZ2の出力が"0"から"1"に反転すると、クロック信号-CD-CLKの次のタイミングでフリップフロップFFZ3の出力が"0"から"1"に反転する。このとき、フリップフロップFFZ2, FFZ3の夫々の出力値が不一致となるクロック信号-CD-CLKのタイミングにおいて、5ビットカウンタCTR-3の計数値が"6"に設定される。そして次の-CD-CLKのタイミングで5ビットカウンタCTR-3の計数値が+1ずつのカウントアップによって"7"となると、5ビットカウンタCTR-3の計数値が"0"にリセットされ、その後再び+1ずつカウントアップされる。

20

【0174】

次に16ビットカウンタCTR-0の最下位ビット+CT_RFC[15]の値が"0"に反転すると、フリップフロップFFZ2の出力が"1"から"0"に反転する。このとき、フリップフロップFFZ2, FFZ3の夫々の出力値が不一致となるクロック信号-CD-CLKのタイミングにおいて、5ビットカウンタCTR-3の計数値が"6"に設定される。そして次の-CD-CLKのタイミングで5ビットカウンタCTR-3の計数値が+1ずつのカウントアップにより"7"となると、5ビットカウンタCTR-3の計数値が"0"にリセットされ、その後再び+1ずつカウントアップされる。

30

【0175】

すなわち、上記16ビットカウンタCTR-0の最下位ビット+CT_RFC[15]の反転に応じてフリップフロップFFZ2, FFZ3の出力が順次反転し、その結果、5ビットカウンタCTR-3の計数値が"6"に設定される。そして以降も同様に、16ビットカウンタCTR-0の最下位ビット+CT_RFC[15]の反転に応じてフリップフロップFFZ2, FFZ3の出力が順次反転し、5ビットカウンタCTR-3の計数値が"6"に設定されるという動作が繰り返される。そして当該繰り返しの周期は、16ビットカウンタCTR-0の最下位ビット+CT_RFC[15]の反転の周期であり、すなわち基準クロック信号-REF_CLKの周期と同一である。

40

【0176】

又、このように、16ビットカウンタCTR-0の最下位ビット+CT_RFC[15]の反転に応じて5ビットカウンタCTR-3の計数値が"6"に設定されて以降、以下の動作がなされる。図17に示すように、16ビットカウンタCTR-0の最下位ビット+CT_RFC[15]の反転に応じて5ビットカウンタCTR-3の計数値が"6"に

50

設定されるタイミングが、5ビットカウンタCTR-3の+1ずつのカウンタアップにより計数値が"6"となるタイミングと合致する。したがって以降、5ビットカウンタCTR-3は"0"から"7"迄順次+1ずつカウンタアップし、計数値が"7"となると0にリセットするという動作が繰り返される(図17(g))。

【0177】

又、5ビットカウンタCTR-3の出力端子には、AND回路AZ7が接続され、AND回路AZ7は、5ビットカウンタCTR-3の計数値が5となると"1"を出力する。その結果、AND回路AZ7は、5ビットカウンタCTR-3の計数値が"6"となる直前のクロック信号-CD-CLKのタイミングで"1"を出力する(+CHK_TM)。したがって、AND回路AZ7は、16ビットカウンタCTR-0の最下位ビット+CT_RFCK[15]の反転に応じて5ビットカウンタCTR-3の計数値が"6"に設定されて以降は、以下の動作を行う。すなわち、フリップフロップFFZ2, FFZ3の夫々の出力値が不一致となるタイミングで"1"を出力する((j):+CHK_TM)。

【0178】

同期チェック回路SYN-1は更に、2ビットカウンタCTR-2を有する。2ビットカウンタCTR-2は、フリップフロップを用いた多ビット保持回路FFZ5, 複数ビット分のOR論理回路を有する多ビットゲート回路OZ2および複数ビット分のAND論理回路を有する多ビットゲート回路AZ5, AZ6を有する。2ビットカウンタCTR-2は更に、加算回路ADD3, OR回路OZ3, インバータ回路NZ2およびAND回路AZ4を有する。2ビットカウンタCTR-2は以下の動作を行う。

【0179】

フリップフロップFFZ2, FFZ3の出力が不一致の場合、EORZ1が"1"となり、当該"1"が複数ビット分のAND論理を有する多ビットゲート回路AZ5の1番目の入力端子に入力される。他方、複数ビット分のAND論理を有する多ビットゲート回路AZ5の3番目の入力端子には、AND回路AZ4の出力が入力される。AND回路AZ4は、2ビットカウンタCTR-2の計数値が"2"となると"1"を出力し、当該1がインバータ回路(図中丸印)で反転されることにより"0"となってAND論理を有する多ビットゲート回路AZ5に入力される。又、複数ビット分のAND論理を有する多ビットゲート回路AZ5の2番目の入力端子には、加算回路ADD3によって2ビットカウンタCTR-2の計数値に+1が加算された値が入力される。

【0180】

したがって複数ビット分のAND論理を有する多ビットゲート回路AZ5は、2ビットカウンタCTR-2の計数値が"2"となるまでは、フリップフロップFFZ2, FFZ3の出力が不一致となる度に、2ビットカウンタCTR-2の計数値に"1"を加算した値を出力する。当該値は複数ビット分のOR論理を有する多ビットゲート回路OZ2を経由してフリップフロップを用いた多ビット保持回路FFZ5に設定される。すなわち2ビットカウンタCTR-2が+1ずつカウンタアップする。

【0181】

又、複数ビット分のAND論理を有する多ビットゲート回路AZ6の一の入力端子には、2ビットカウンタCTR-2の計数値が入力され、他の入力端子にはOR回路OZ3の出力が入力される。OR回路OZ3の一の入力端子には、EORZ1の出力がインバータ回路NZ2で反転された値が入力され、他の入力端子には、AND回路AZ4の出力が入力される。

【0182】

したがって複数ビット分のAND論理を有する多ビットゲート回路AZ6は、フリップフロップFFZ2, FFZ3の出力が一致するか或いはカウンタCTR-2の計数値が"2"となると、2ビットカウンタCTR-2の計数値を出力する。当該出力は複数ビット分のOR論理を有する多ビットゲート回路OZ2を経由してフリップフロップを用いた多ビット保持回路FFZ5に入力される。したがって複数ビット分のAND論理を有する多ビットゲート回路AZ6は、フリップフロップFFZ2, FFZ3の出力が一致するか或

10

20

30

40

50

いはカウンタ C T R - 2 の計数値が" 2 "となるとカウンタ C T R - 2 の計数値を維持する機能を提供する。

【 0 1 8 3 】

その結果、カウンタ C T R - 2 は、フリップフロップ F F Z 2 , F F Z 3 の出力が不一致となる度に + 1 ずつカウントアップし、フリップフロップ F F Z 2 , F F Z 3 の出力が一致時には計数値を維持する。そして計数値が" 2 "となると、以降、当該計数値" 2 "を維持する。

【 0 1 8 4 】

同期チェック回路 S Y N - 1 は更に、A N D 回路 A Z 8 を有する。A N D 回路 A Z 8 の夫々の入力端子には、以下の値が入力される。すなわち、A N D 回路 A Z 7 の出力と、E O R Z 1 の出力がインバータ回路（図中丸印）で反転された値と、A N D 回路 A Z 4 の出力とが、夫々入力される。ここで図 1 7 (h) は 2 ビットカウンタ C T R - 2 の計数値を示し、(i) は A N D 回路 A Z 4 の出力 (+ C H K _ E N B L) を示し、(j) は A N D 回路 A Z 7 の出力 (+ C H K _ T M) を示す。そして図 1 7 (k) は、A N D 回路 A Z 8 の出力 (+ E R R _ S Y N C _ C H K) 、すなわち、同期チェック回路 S Y N - 1 の出力を示す。

【 0 1 8 5 】

図 1 7 に示すように、フリップフロップ F F Z 2 , F F Z 3 の出力が不一致となる度に 2 ビットカウンタ C T R - 2 が + 1 ずつカウントアップし、計数値が" 2 "に至ると、A N D 回路 A Z 4 の出力 ((i) : + C H K _ E N B L) が" 1 "となる。更に、5 ビットカウンタ C T R - 3 の計数値 (g) が" 5 "になったときにフリップフロップ F F Z 2 , F F Z 3 の出力 (e) 、(f) が一致すると、A N D 回路 A Z 8 の 3 入力端子の全てに" 1 "が入力され、A N D 回路 A Z 8 の出力が" 1 "となる。

【 0 1 8 6 】

基準クロック信号 - R E F _ C L K (a) の波形に乱れがない場合、A N D 回路 A Z 4 の出力が" 1 "で且つ上記 5 ビットカウンタ C T R - 3 の計数値が 5 のタイミングで上記フリップフロップ F F Z 2 , F F Z 3 の出力は不一致となる。したがって当該タイミングでフリップフロップ F F Z 2 , F F Z 3 の出力が一致する場合には、基準クロック信号 - R E F _ C L K の波形が乱れていると判断できる。したがって A N D 回路 A Z 8 の出力 (+ E R R _ S Y N C _ C H K) が" 1 "となる場合にエラー発生と判定し、同期チェック回路 S Y N - 1 がエラー出力を行う。

【 0 1 8 7 】

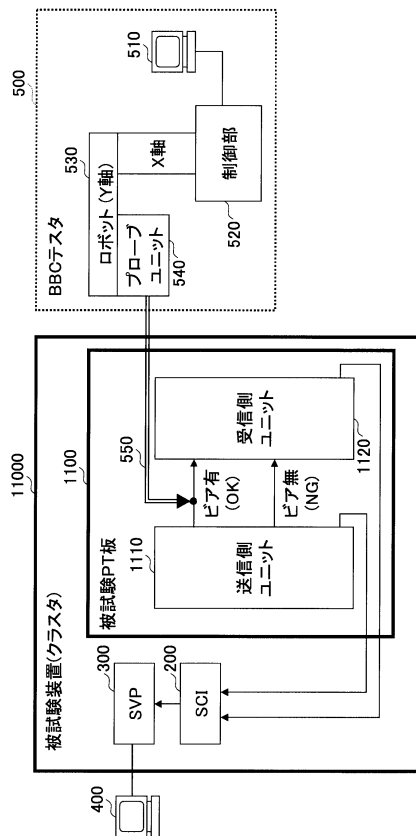
尚、図 1 7 に示す例では、A N D 回路 A Z 4 の出力 (+ C H K _ E N B L) が" 1 "となり且つ 5 ビットカウンタ C T R - 3 の計数値が" 5 "となった場合には常にフリップフロップ F F Z 2 , F F Z 3 の出力が不一致である。したがって A N D 回路 A Z 8 の出力 + C H K _ E N B L は" 0 "となり、異常なしを現す。

10

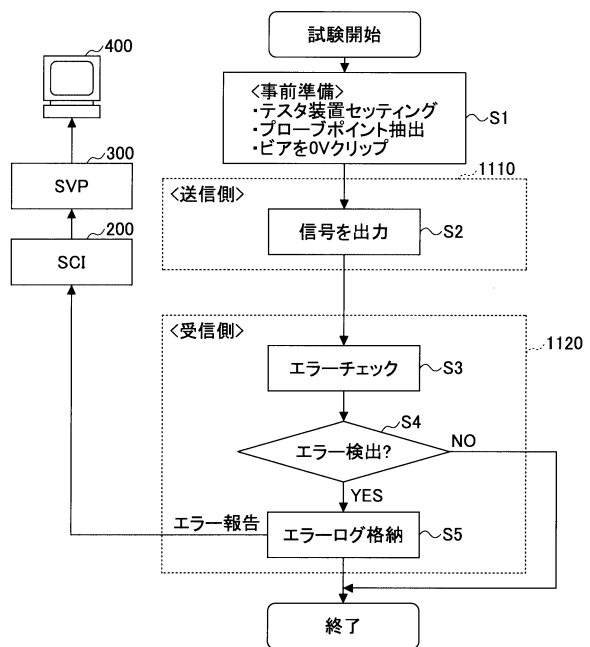
20

30

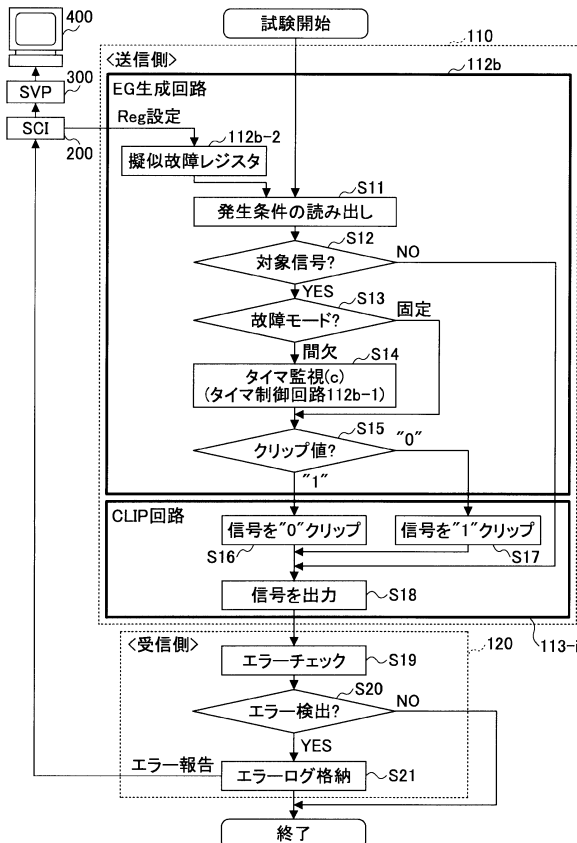
【図 1】



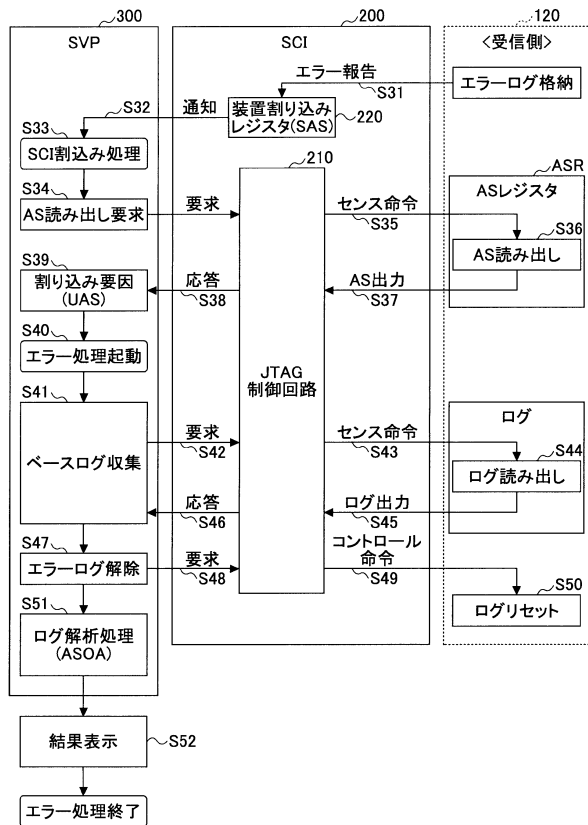
【図 2】



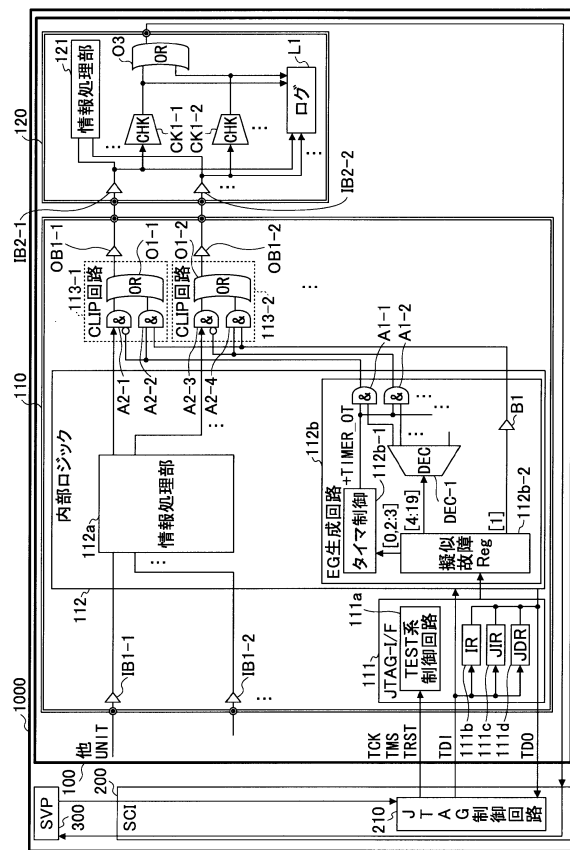
【図 3 A】



【図 3 B】



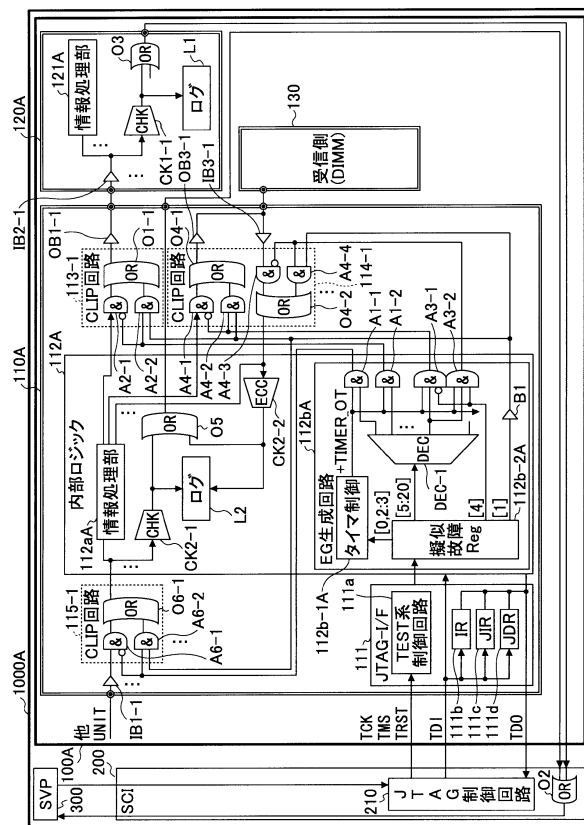
【 図 4 】



【 図 5 】

Bit-	0	1	2	4	19	20	31
	EN 1bit	CL 1bit	MODE 2bit	ADD 16bit	Reserved		

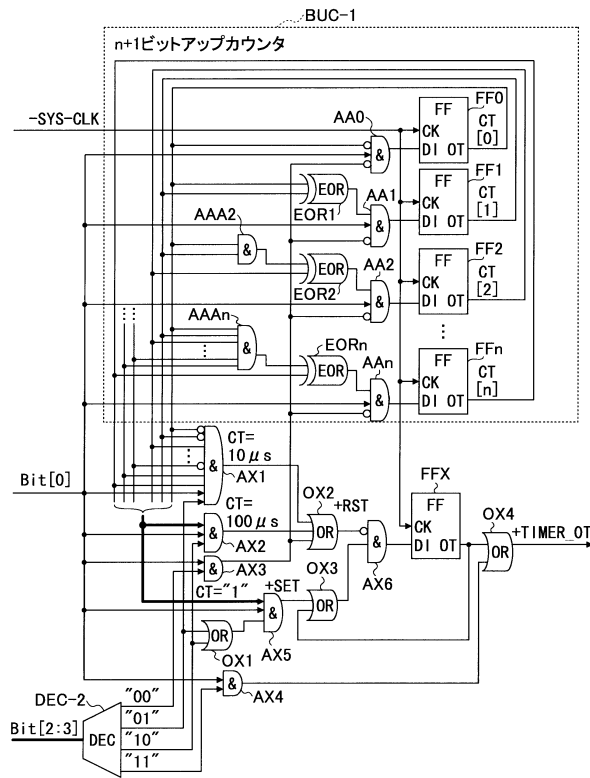
【 図 6 】



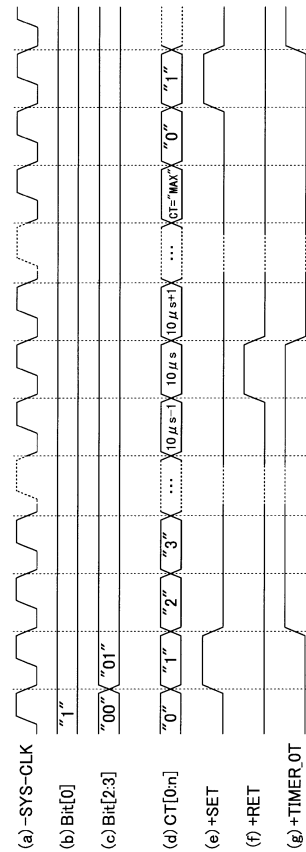
【 図 7 】

Bit-	0	1	2	4	5	20	21	31
	EN 1bit	CL 1bit	MODE 2bit	BUS 1bit	ADD 16bit	Reserved		

【図 8】



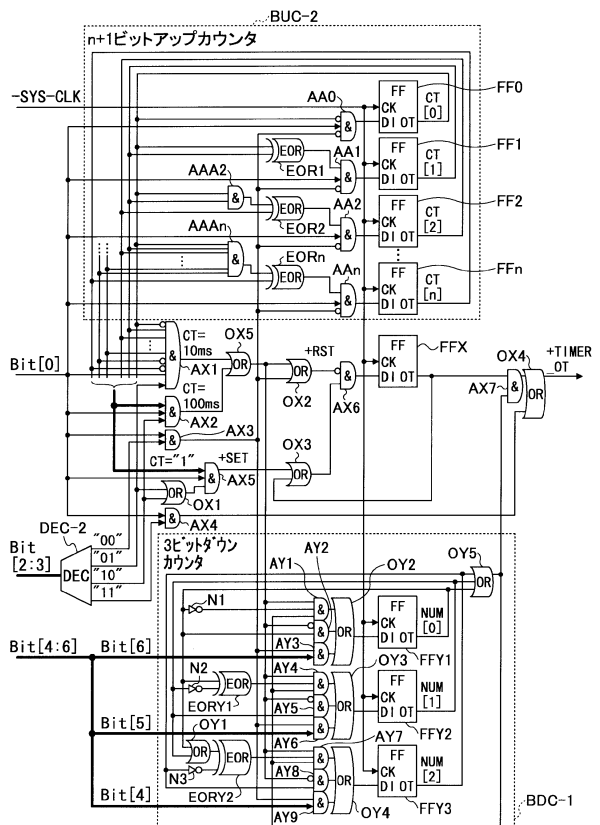
【図 9】



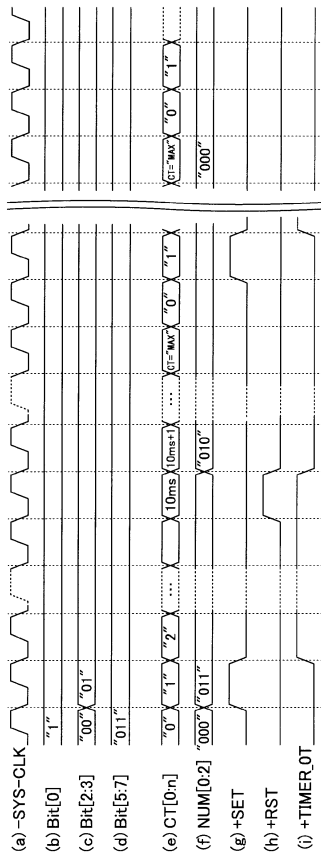
【図 10】

Bit-	0	1	2	4	7	22	23	31
EN	1bit	CL	MODE	NUM	ADD			Reserved
		1bit	2bit	3bit	16bit			

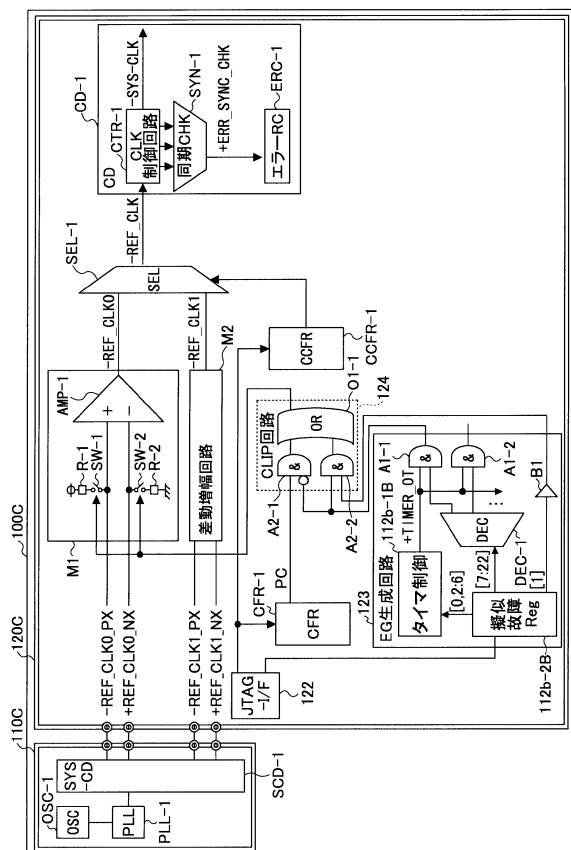
【図 11】



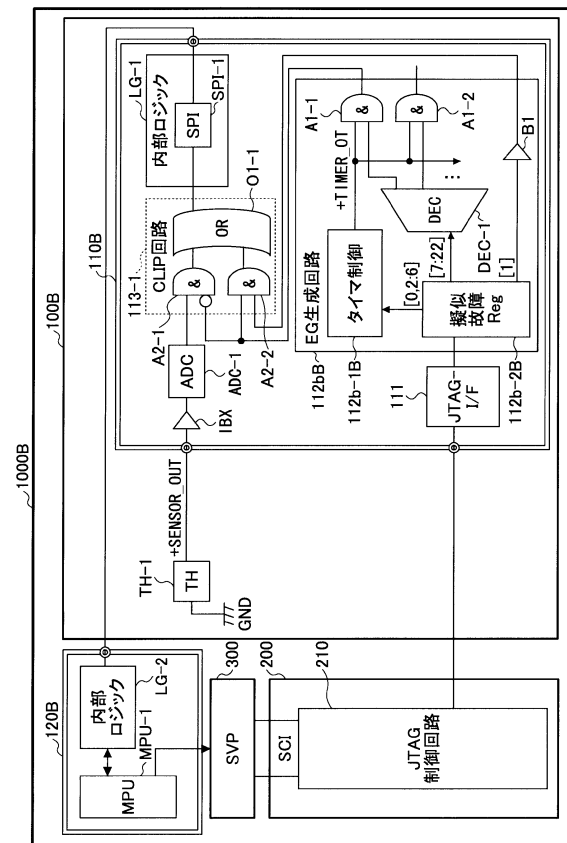
【 図 1 2 】



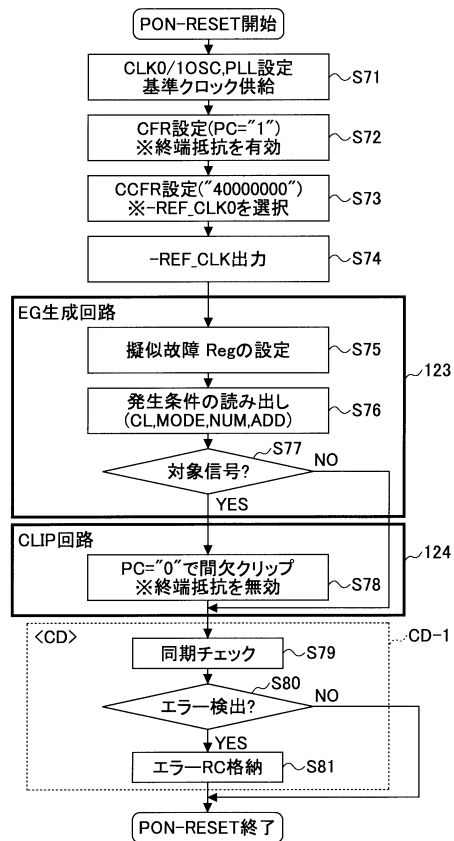
【 図 1 4 】



【 図 1 3 】



【 図 1 5 】



フロントページの続き

審査官 ▲高▼橋 正▲徳▼

- (56)参考文献 特開 2 0 1 0 - 0 9 7 3 5 7 (J P , A)
特開昭 6 3 - 1 7 8 3 4 0 (J P , A)
特開平 1 1 - 0 5 3 2 2 0 (J P , A)
特開 2 0 0 7 - 2 0 0 3 0 0 (J P , A)
特開昭 6 2 - 2 7 1 1 5 5 (J P , A)
特開平 0 3 - 1 8 4 1 3 3 (J P , A)
特開昭 6 2 - 1 1 1 3 3 1 (J P , A)
特開昭 5 6 - 0 8 8 5 5 0 (J P , A)
特開平 0 5 - 0 2 0 1 1 5 (J P , A)
特開 2 0 0 6 - 0 5 3 0 4 3 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
G 0 6 F 1 1 / 2 2 - 1 1 / 2 6