(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第5344636号
(P5344636)
(45)発行日　平成25年11月20日(2013.11.20)　(24)登録日　平成25年8月23日(2013.8.23)

(51)Int.Cl.　F I
H04N 7/32 (2006.01)　H04N 7/137 Z

請求項の数 6 (全 21 頁)

(21)出願番号　特願2010-501030(P2010-501030)
(86)(22)出願日　平成20年2月19日(2008.2.19)
(65)公表番号　特表2010-523054(P2010-523054A)
(43)公表日　平成22年7月8日(2010.7.8)
(86)国際出願番号　PCT/US2008/054244
(87)国際公開番号　WO2008/118562
(87)国際公開日　平成20年10月2日(2008.10.2)
審査請求日　平成23年1月26日(2011.1.26)
(31)優先権主張番号　11/691,911
(32)優先日　平成19年3月27日(2007.3.27)
(33)優先権主張国　米国(US)

(73)特許権者　504199127
フリースケール　セミコンダクター　インコーポレイテッド
アメリカ合衆国　テキサス州　７８７３５　オースティン　ウィリアム　キャノン　ドライブ　ウエスト　６５０１
(74)代理人　100142907
弁理士　本田　淳
(72)発明者　ヘ、チョンリ
アメリカ合衆国　７８７２６　テキサス州　オースティン　マティス　トレイル　１１３０１

審査官　横田　有光

最終頁に続く

(54)【発明の名称】メモリ・アクセスおよび計算複雑性を低減するための単純化されたデブロック・フィルタリング

(57)【特許請求の範囲】
【請求項１】
ビデオ・システムであって、
スケーラブル・ビデオ情報を処理するためのビデオ符号化デバイスであって、複数のビデオ・ブロックを提供し、前記複数のビデオ・ブロックの各々は、コンポーネント値の複数のラインを有する、前記ビデオ符号化デバイスと、
前記ビデオ符号化デバイスに結合され、前記ビデオ・ブロックの対の間の中間エッジに沿って前記スケーラブル・ビデオ情報の拡張層のビデオ・ブロックをフィルタリングするデブロッキング・フィルタであって、
中間エッジのどちらか一方の側部に並べられた隣接するビデオ・ブロックの対の境界強度が第１の値であるか否かを判定する境界強度回路と、
制御回路であって、前記境界強度が前記第１の値である場合に、第１の複数の条件の評価を回避し、かつ前記中間エッジに沿った前記隣接するビデオ・ブロックの対の間のデブロック・フィルタリングを回避し、前記境界強度が前記第１の値でない場合に、前記隣接するビデオ・ブロックの対の複数のラインのうちの第１のラインのコンポーネント値を用いて前記第１の複数の条件を評価し、前記境界強度が前記第１の値である場合か、または前記第１のラインの前記コンポーネント値を用いて評価された前記第１の複数の条件のいずれかが偽である場合に、前記中間エッジに沿った前記隣接するビデオ・ブロックの対の間のデブロック・フィルタリングを回避する制御回路と
を含む、前記デブロッキング・フィルタと

を備えるビデオ・システム。
【請求項２】
前記制御回路は、前記第１の複数の条件を評価する場合に、アルファ・オフセットをアルファ値から差し引いて、調整されたアルファ値を提供し、ベータ・オフセットをベータ値から差し引いて、調整されたベータ値を提供し、前記調整されたアルファ値を第１のコンポーネント差と比較し、前記調整されたベータ値を第２のコンポーネント差と比較する、請求項１に記載のビデオ・システム。
【請求項３】
前記制御回路は、前記中間エッジが水平方向エッジを含む場合に、前記中間エッジに沿って第２の複数の条件を評価することを回避し、かつ前記第２の複数の条件に関連するコンポーネント値のデブロック・フィルタリングを回避する、請求項１または２に記載のビデオ・システム。
【請求項４】
前記デブロッキング・フィルタに結合され、前記スケーラブル・ビデオ情報を記憶するメモリをさらに備え、
前記制御回路はさらに、前記中間エッジが水平方向エッジを含む場合に、前記第２の複数の条件に対して用いられるコンポーネント値を前記メモリから読み出すことを回避する、請求項３に記載のビデオ・システム。
【請求項５】
前記境界強度回路が、境界強度が前記第１の値と第２の値とを含む２つの値の一方のみであると判定することを含む単純化された境界強度決定を行なう、請求項１または４に記載のビデオ・システム。
【請求項６】
前記制御回路は、条件の決定と、最大の境界強度に関連するデブロック・フィルタリングであって、最大の境界強度はさらにベース層に関連するデブロック・フィルタリングとを回避する、請求項１または５に記載のビデオ・システム。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は一般的に、ビデオ情報処理に関し、より具体的には、ビデオ・ブロックのデブロック・フィルタリングを単純化して、メモリ・アクセスを減らし計算複雑性を減らすことに関する。
【背景技術】
【０００２】
高度ビデオ符号化（ＡＶＣ）規格、ＭＰＥＧ４（動画像専門家グループ）のパート１０（さもなくばＨ．２６４として知られる）には、ビデオ信号の送信を、より低いビット・レートで行なえるように、またはより少ない記憶領域を用いてより小さいビデオ信号記憶で行なえるように開発された高度な圧縮技術が含まれている。より新しい規格は、より高品質のストリーミング・ビデオをより低いビット・レートでサポートするために、またインターネット・ベースのビデオおよび無線応用などを可能にするために、従来規格のビデオ圧縮技術よりも性能が優れている。規格では、コーデック（エンコーダ／デコーダ対）を規定していないが、その代わりに、エンコードされるビデオ・ビットストリームの構文とともに、ビットストリームのデコーディング方法を規定している。各ビデオ・フレームは、マクロブロック（ＭＢ）レベルで更に分割されてエンコードされる。各ＭＢは、画素値からなる１６×１６のブロックである。各ＭＢは、現在のフレーム内の再構成されたＭＢに基づいて予測ＭＢが形成される「イントラ」モードでエンコードされるか、または、１つまたは複数の参照フレームから得られる参照ＭＢに基づいて予測ＭＢが形成される「インター」モードでエンコードされる。イントラ・コーディング・モードでは、現在のフレーム内の空間情報を適用し、その場合、以前にエンコードされ、デコードされ、および再構成された現在のフレームにおけるサンプルから予測ＭＢが形成される。インター・コ

ーディング・モードでは、以前および／または将来の参照フレームから得られる時間情報を用いて動きを推定し、予測ＭＢを形成する。ビデオ情報は通常、スライスにされて処理および送信される。各ビデオ・スライスには、１つまたは複数のマクロブロックが組み込まれている。

【０００３】

スケーラブル・ビデオ符号化（ＳＶＣ）は、Ｈ．２６４規格の拡張であり、利用可能なシステム・リソースを用いて異種のネットワーク上で多様なクライアントにビデオを信頼性良く配信することを、特に下流クライアント能力、システム・リソース、およびネットワーク条件が、予め知られていないかまたは時間とともに動的に変化する場合において行なうためのコーディング方式に対処するものである。ＳＶＣによって、時間拡張性、空間拡張性、複雑性拡張性、および品質拡張性を含む複数の拡張性レベルまたは層が与えられる。時間拡張性は一般的に、ビデオ・ストリームのフレーム数／秒（ｆｐｓ）を指す。たとえば７．５ｆｐｓ、１５ｆｐｓ、３０ｆｐｓなどである。空間拡張性は、各フレームの解像度を指すものであり、たとえば共通インターフェース・フォーマット（ＣＩＦ）は３５２×２８８画素／フレーム、またはクォーターＣＩＦ（ＱＣＩＦ）は１７６×１４４画素／フレームであるが、他の空間分解能も意図される。たとえば４ＣＩＦ、ＱＶＧＡ、ＶＧＡ、ＳＶＧＡ、Ｄ１、ＨＤＴＶなどである。複雑性拡張性は一般的に、ビデオ情報を処理する装置の種々の計算能力および処理能力を指す。品質拡張性は一般的に、異なるビット・レートを用いることによってコーディングされたビデオの視覚品質層を指す。客観的に、視覚品質は、当初の画像と比較したときの再構成画像の相対的品質を規定するピーク信号対雑音（ＰＳＮＲ）測定基準を用いて測定される。

【０００４】

デブロッキング・フィルタは、Ｈ．２６４規格およびＳＶＣ拡張の形成部分であるとともに、以前のＨ．２６３規格およびＭＰＥＧ４パート２の参考部分（後処理ブロックとしての）である。デブロッキング・フィルタは、輝度（「ルーマ」）フィルタリングと色差（「クロマ」）フィルタリングとの両方を行なうものであり、当業者には既知のことである。デブロッキング・フィルタは、規格の一部としてループ内フィルタとして用いられるか（たとえば、Ｈ．２６４／ＡＶＣ）、またはビデオ・デコーダに対するポスト・プロセッサとして用いられる（たとえば、Ｈ．２６３、ＭＰＥＧ４パート２、ＭＰＥＧ－２など）。デブロッキング・フィルタは、デコード後の画質を高めて符号化効率を上げることを、各４×４、８×８、および／または１６×１６ブロックの境界におけるブロック効果を取り除くことによって行なう。しかしデブロッキング・フィルタは、著しい量の電力および処理サイクルも消費する。一般的に言って、デブロッキング・フィルタ全体（ルーマおよびクロマの両方に対する）は、Ｈ．２６４／ＡＶＣの場合に、エンコーダにおける算出のほぼ８％を消費し、デコーダにおける算出のほぼ３５％を消費する。デブロック・フィルタリングに対するかなりの計算消費量が、ＳＶＣ構成では悪化する。なぜならば、デブロッキングはベースおよび拡張層の両方に対して行なわれ、付加的なデブロック・フィルタリングが中間層予測に対して行なわれるからである。

【０００５】

合同ビデオ・チーム（ＪＶＴ）では、ベース層におけるデブロック・フィルタリングの変更を伴うことなく、ＳＶＣの拡張層に対する単純化されたデブロッキング・フィルタが考慮された。ＪＶＴには、国際電気通信連合（ＩＴＵ）のビデオ符号化専門家グループ（ＶＣＥＧ）からの専門家と、国際標準化機構（ＩＳＯ）のＭＰＥＧからの専門家とが含まれている。提案の１つは、ＳＶＣ拡張層に対してＨ．２４１ＲＣＤＯ（低減複雑性デコーダ動作）デブロッキング・フィルタを用いることである。しかしＲＣＤＯデブロッキング・フィルタの解決方法では、視覚品質劣化が顕著になり、さらにデザイン・コスト高につながる。なぜならば、Ｈ．２６４デブロッキング・フィルタと比較して、異なるデータ・フローおよび異なる計算ロジックを用いるからである。

【発明の概要】

【発明が解決しようとする課題】

【０００６】
Ｈ．２６４デブロック・フィルタリングの計算複雑性およびメモリ・アクセス量を、デザイン・コストを増加させることなくかつ著しい視覚品質劣化を生じさせることなく、減らすことが求められている。
【図面の簡単な説明】
【０００７】
【図１】ＳＶＣビデオ・エンコーダおよびデコーダの両方を含む典型的な実施形態により実施されるＳＶＣビデオ・システムの単純化されたブロック図である。
【図２】図１のビデオ・エンコーダおよびビデオ・デコーダのデブロッキング・フィルタの一方または両方に対するデブロッキング・フィルタとして用いられるデブロッキング・フィルタの単純化されたブロック図である。
【図３】典型的な実施形態によるビットストリームＢＴＳ中に与えられるビデオおよびデブロッキング・フィルタ制御情報を示すブロック図である。
【図４】各１６×１６マクロブロックの各４×４ブロックに対する垂直方向エッジおよび水平方向エッジ・デブロック・フィルタリング・プロセスを例示する典型的なマクロブロックのブロック図である。
【図５】垂直方向エッジ・デブロック・フィルタリングの間のフィルタリング・ルーマ・コンポーネントを例示するための、水平方向に並べられ、垂直方向エッジによって分離された一対の４×４ブロックの比喩的なダイアグラムである。
【図６】水平方向エッジ・デブロック・フィルタリングの間のフィルタリング・ルーマ・コンポーネントを例示するための、垂直方向に並べられ、水平方向エッジによって分離された一対の４×４ブロックの比喩的なダイアグラムである。
【図７】典型的な実施形態による各マクロブロック内の各４×４ブロック対に対するルーマ・コンポーネント値に対する垂直方向エッジおよび水平方向エッジのデブロック・フィルタリングの両方に対する拡張層に対する図２のデブロッキング・フィルタ（エンコーダおよびデコーダの一方または両方のための）の制御回路の動作を例示するフローチャート・ダイアグラムである。
【発明を実施するための形態】
【０００８】
本発明の利益、特徴、および優位性は、以下の説明および添付図面を参照することでより良好に理解される。
以下の説明は、特定の応用例およびその必要条件を示す文脈において与えているように当業者が本発明を作成して利用できるように示している。しかし好ましい実施形態に対する種々の変更が当業者には明らかであり、本明細書で規定される一般的な原理を他の実施形態に適用しても良い。したがって本発明は、本明細書で図示および記載する特定の実施形態に限定することは意図されておらず、本明細書で開示される原理および新規な特徴と、最も広い範囲で一致すべきものである。
【０００９】
本開示では、本発明の典型的な実施形態によるビデオ情報処理システムについて記載する。しかし本開示はより一般的に、種々のタイプの「ビデオ情報」のいずれかに適用されることが意図されている。たとえば、ビデオ・シーケンス（たとえば、ＭＰＥＧ）、画像情報、または画像シーケンシング情報、たとえば、ＪＰＥＧ（写真専門家合同委員会）、モーションＪＰＥＧ（ＭＪＰＥＧ）、ＪＰＥＧ２０００、モーションＪＰＥＧ２０００（ＭＪＰＥＧ２０００）などである。用語「ビデオ情報」は、本明細書で用いる場合、任意のビデオまたは画像または画像シーケンス情報に適用することが意図されている。
【００１０】
図１は、典型的な実施形態により実施されるＳＶＣビデオ・システム１００の単純化されたブロック図である。ＳＶＣビデオ・システム１００は、ＳＶＣビデオ・エンコーダ１０１とＳＶＣビデオ・デコーダ１０３とを備え、これらは共通のシステム・ユニット内に組み込まれている。ユニットにエンコーダ１０１またはデコーダ１０３のみが組み込まれ

ている場合も意図される。ビデオ・エンコーダ１０１は、入力ビデオをエンコードして、エンコードしたビデオ情報を、チャネル１０２上にアサートされる出力ビットストリーム（ＯＢＴＳ）内に封入する。入力ＢＴＳ（ＩＢＴＳ）が、チャネル１０２を介してビデオ・デコーダ１０３に送られ、ビデオ・デコーダ１０３から出力ビデオが送られる。チャネル１０２は、無線通信を含む任意の媒体であっても良い。ビデオ・エンコーダ１０１には、コーディングおよびデコーディング・コンポーネントおよび機能が含まれ、それらにはインター・コーディング・モードに対するブロック動き差異を含む符号化残差を決定する動き推定が含まれる。動き推定の間、ブロック動き差異が、現在のフレームにおける現在のＭＢと参照フレームにおける参照ＭＢとの間で決定される。また動き推定の間、動きベクトル（ＭＶ）値が、現在のＭＢの位置と参照ＭＢの位置との間の相対距離として決定される。ＳＶＣビデオ・システム１００はさらに、種々の拡張性層をサポートする。たとえば、時間拡張性、空間拡張性、複雑性拡張性、および品質拡張性である。前述したように、時間拡張性は一般的に、ビデオ・ストリームのフレーム数／秒（ｆｐｓ）を指す。たとえば７．５ｆｐｓ、１５ｆｐｓ、３０ｆｐｓなどである。空間拡張性は各フレームの解像度を指し、たとえばＣＩＦ（３５２×２８８画素／フレーム）、またはＱＣＩＦ（１７６×１４４画素／フレーム）であるが、他の空間分解能も意図される。たとえば４ＣＩＦ、ＱＶＧＡ、ＶＧＡ、ＳＶＧＡ、Ｄｌ、ＨＤＴＶなどである。複雑性拡張性は一般的に、ビデオ情報を処理する装置の種々の計算能力および処理能力を指す。品質拡張性は一般的に、異なるビット・レートを用いることによってコーディングされたビデオの視覚品質層を指す。客観的に、視覚品質は、当初の画像と比較したときの再構成画像の相対的品質を規定するＰＳＮＲ測定基準によって測定される。

【００１１】

当業者であれば分かるように、ＳＶＣビデオ・システム１００は、選択された変換関数（たとえば離散的な余弦変換（ＤＣＴ）アルゴリズム、または同種のもの）を用いて、変換係数を量子化回路に送る。変換係数を拡大縮小して整数にし、量子化回路によって量子化して、量子化された変換係数信号にする。量子化ステップ・サイズは、量子化パラメータ（ＱＰ）によって制御する。量子化された変換係数を走査した後にエントロピー符号化する。エントロピー符号化は、任意の好適なタイプのエントロピー符号化に従う。たとえば汎用可変長符号（「ＵＶＬＣ」）、コンテキスト適応型可変長符号（「ＣＡＶＬＣ」）、コンテキスト・ベース適応型２値算術符号化（「ＣＡＢＡＣ」）、もしくはそれらの組み合わせ、または当業者に既知の他の任意のタイプのエントロピー符号化である。エントロピー符号化した情報をデータ・バッファに送って送信に備える。品質拡張性は、ＱＰを調整することによって、エントロピー符号化方法を選択することによって、および／またはビット平面を漸次にエントロピー符号化することによって実現され、出力ビットストリームＯＢＴＳのビット・レートを調整する。ＳＶＣビデオ・システム１００はさらに、当業者に既知の補間器およびフィルタリング関数を備えていて、複数の空間層をサポートして空間拡張性を実現する。

【００１２】

ビデオ・エンコーダ１０１は、メモリ１０６と、これが結合されるデブロッキング・フィルタ（ＤＢＦ）１０５とを備える。ビデオ・デコーダ１０３は、メモリ１０８と、これが結合される同様のデブロッキング・フィルタ１０７とを備える。デブロッキング・フィルタ１０５および１０７は、対応するメモリ１０６および１０８に記憶された再構成フレーム情報をフィルタリングする。デブロッキング・フィルタ１０５および１０７およびそれらの対応するコンポーネントは、実質的に同じ方法で動作して、再構成フレーム情報を実質的に同じ方法でフィルタリングして、入力および出力ビデオ情報間の均一性を維持する。これは当業者に理解されていることである。

【００１３】

図２は、典型的なデブロッキング・フィルタ２０１の単純化されたブロック図である。デブロッキング・フィルタ２０１は、デブロッキング・フィルタ１０５および１０７の一方として用いても良いし、両方として用いても良い。例示した実施形態においては、デブ

ロッキング・フィルタ２０１は複数のフィルタを備えている。これらには、第１のフィルタ（ＦＩＬ１）２０３、第２のフィルタ（ＦＩＬ２）２０５、および第３のフィルタの組（ＦＩＬ３）２０７が含まれる。フィルタＦＩＬ１　２０３およびＦＩＬ２　２０５をそれぞれ、単一のフィルタの意味を含む「フィルタ」と記載するが、それぞれ任意の数のフィルタを含んでも良いことは、当業者に知られていることである。デブロッキング・フィルタ２０１はさらに、制御回路２０９に結合された境界強度（ＢＳ）回路２０８を備えている。制御回路２０９は、フィルタ２０３、２０５、および２０７の利用を含む動作を制御する。メモリ・インターフェース２１０が、適用可能なメモリ（たとえばメモリ１０６または１０８のいずれか）にアクセスするために設けられている。後でさらに説明するように、第１のフィルタＦＩＬ１　２０３を用いることは、境界強度（ＢＳ）値と第１の組の条件とに基づき、第２のフィルタＦＩＬ２　２０５を用いることは、ＢＳ値と第２の組の条件とに基づき、第３のフィルタＦＩＬ３　２０７を用いることは、ＢＳ値と第３の組の条件とに基づく。ＢＳ値はＢＳ回路２０８によって決定される。

【００１４】

図３は、典型的な実施形態によりビットストリームＢＴＳ内に与えられるビデオおよびデブロッキング・フィルタ制御情報を示すブロック図である。制御情報は、ビデオ・エンコーダ１０１によって出力ビットストリーム（たとえばＯＢＴＳ）内に組み込まれた情報、または入力ビットストリームＢＴＳ（たとえばＩＢＴＳ）からビデオ・デコーダ１０３に受け取られた情報を表す。ビットストリームＢＴＳには、少なくとも１つのビデオ情報シーケンス３０１が含まれている。ビデオ情報シーケンス３０１には、ビデオ・シーケンス３０１全体に対して用いられるパラメータを組み込んで記述するシーケンス・ヘッダ３０３が含まれている。パラメータはたとえば、コーディング・プロファイル、コーディング・レベル、画像の幅、画像の高さなどである。ＳＶＣ構成では、拡張性情報も含まれている。各シーケンスでは通常、シーケンス・ヘッダは１つのみである。一実施形態においては、シーケンス・ヘッダ３０３を変更して、ルーマ情報に対するアルファ・オフセットO_{AL}、クロマ情報に対するアルファ・オフセットO_{AC}、ルーマ情報に対するベータ・オフセットO_{BL}、およびクロマ情報に対するベータ・オフセットO_{BC}を含むようにする。これらの付加的なオフセットを用いて、デブロック・フィルタリングに対する条件をさらに調整する。これについては後でさらに説明する。ビデオ情報シーケンス３０１にはさらに、１つまたは複数のビデオ・フレーム（または画像）が含まれている。たとえば、例示するような典型的なビデオ・フレーム３０５である。各フレームには、ビデオ・フレーム全体に対して用いられるパラメータを記載するフレーム・ヘッダが含まれている。パラメータはたとえば、エントロピー符号化モード・フラッグ、スライス・グループ・マップ・タイプ、初期ＱＰ値、クロマＱＰインデックス・オフセット、デブロッキング・フィルタ制御存在フラッグなどである。ビデオ・フレーム３０５にはたとえば、フレーム・ヘッダ３０７がビデオ・フレーム３０５の前方に含まれ、フレーム・ヘッダ３０７にはさらに、デブロッキング・フィルタ制御存在フラッグ３０９（「Ｆ」と標示される）が含まれている。

【００１５】

ビデオ情報シーケンス３０１における各ビデオ・フレーム（ビデオ・フレーム３０５を含む）には、１つまたは複数のスライスが含まれている。各スライスには、フレームに対する１つまたは複数のマクロブロックが組み込まれている。拡張性構成において、各フレームは、ベース層と１つまたは複数の拡張層とを含む複数の層を含む。各スライスは、ベース層スライスまたは拡張層スライスのいずれかである。図示するように、ビデオ・フレーム３０５は、ベース層スライス３１１と拡張層スライス３１３とを含む複数のスライスを含む。ビデオ・フレーム３０５のスライスを、スライスの第１のグループ３１５およびスライスの第２のグループ３１６などを含むグループで示す。例示したスライスのグループ３１５および３１６はそれぞれ、各層に対するスライスを含んでいる。たとえば、フレームに含まれる各拡張層に対するベース層スライスおよび拡張層スライスである。例示したスライスのグループは、送信中にビットストリームＢＴＳ内でスライスが実際にどのよ

うに組織化されているかを説明するためのものではなく、単に、デブロッキング・パラメータの決定を行なう目的で各ビデオ・フレーム内の対応するスライスまたは関連するスライスを例示するためのものである。送信中に、スライスのグループ化または結合を、複数の異なる方法のいずれか１つで行なっても良い。たとえば、最初にベース層スライスを送信した後に、第１の拡張層スライスを送信し、その後に第２の拡張層スライスを送信するなどをしても良い。

【００１６】

各スライスは、そのビデオ符号化スライスに対して用いられるパラメータを記述するスライス・ヘッダ３１７を備える。各スライス・ヘッダ３１７には、スライス内の第１のマクロブロック位置、対応するフレーム番号、スライスに対するデルタＱＰパラメータ、デブロッキング・フィルタ制御に対する１つまたは複数のパラメータなどが含まれている。各スライス・ヘッダ３１７には、デブロッキング・フィルタ制御パラメータが含まれている。デブロッキング・フィルタ制御パラメータには、そのスライスに対するディセーブル＿デブロッキング＿フィルタ＿ｉｄｃパラメータ（またはＩＤＣ）が含まれていても良い。図示するように、スライス・ヘッダ３１７には、各ベース層スライスに対する第１のデブロッキング・ディセーブル制御パラメータIDC_0、各第１の拡張層スライスに対する第２のデブロッキング・ディセーブル制御パラメータIDC_1、各第２の拡張層スライスに対する第３のデブロッキング・ディセーブル制御パラメータIDC_2などが、各最後の拡張層スライスに対する最後のデブロッキング・ディセーブル制御パラメータIDC_Nまで含まれている（Ｎ＋１個のスライス層に対する層０～Ｎに対して）。ほとんどの実行可能な構成には、１つまたは２つの拡張層のみが含まれているが、Ｎ＋１層を示すことで、特定の実施に応じて任意の数の層が可能であることを例示している。

【００１７】

一実施形態においては、ＩＤＣデブロッキング・ディセーブル制御パラメータはそれぞれ、値が「１」であると、対応する層に対するデブロック・フィルタリングを無効にし、値が「０」であると、その層に対するデブロック・フィルタリングを有効にする。付加的な値（たとえば、２、３、および４）を、より複雑な構成の場合に規定しても良い。ＩＤＣデブロッキング・ディセーブル制御パラメータは、フレーム・ヘッダ内のデブロッキング・フィルタ制御存在フラッグ３０９の状態に応じて、各スライス・ヘッダとともに任意的に示される。ビデオ・フレーム３０５のフレーム・ヘッダ３０７内のデブロッキング・フィルタ制御存在フラッグ３０９の値が「０」であると、ＩＤＣデブロッキング・ディセーブル制御パラメータ（たとえば、IDC_0、IDC_1、IDC_2、．．．、IDC_N）は、どのスライスのスライス・ヘッダ３１７内にも示されない。その代わりに、すべてのＩＤＣデブロッキング・ディセーブル制御パラメータはデフォルト値が「０」であって、各層に対するデブロック・フィルタリングを有効にしているということが想定されている。ビデオ・フレーム３０５のフレーム・ヘッダ３０７内のデブロッキング・フィルタ制御存在フラッグ３０９の値が「１」であると、ＩＤＣデブロッキング・ディセーブル制御パラメータが各スライスのスライス・ヘッダ３１７内に示されるため、各ＩＤＣデブロッキング・ディセーブル制御パラメータを試験して、対応する層に対するデブロック・フィルタリングを有効にするか無効にするかを決定する。

【００１８】

構文（シンタックス）にデブロック・フィルタリング・パラメータがスライス・レベルで含まれることは、当業者に理解される通りである。ＩＤＣデブロッキング・ディセーブル制御パラメータを用いて、ある特定のスライス層に対するデブロッキング・フィルタを有効にするかまたは無効にする。有効にするためのデフォルト値は「０」であり、無効にするための値は「１」である。スライス＿アルファ＿ｃ０＿オフセット＿ｄｉｖ２パラメータを用いて、フィルタリングのための「アルファ」値を調整する。このパラメータに対するデフォルト値は「０」である。アルファ・オフセット・パラメータを、スライス・ヘッダ内で、各スライス・グループのＮ＋１個のスライスに対するAO_0、AO_1、AO_2、．．．、AO_Nとして示す。範囲［－６、＋６］における非ゼロのアルファ・オフセッ

トによって、エンコーダ設計者は、デコードされたビデオの主観品質を、デフォルト情報を用いることで実現される品質以上に最適化することができる。たとえば、負のオフセットを送信することによってフィルタリングの量を減らすことは、特に、少数のブロッキング・アーティファクトが明確に見えにくい傾向のある高分解能ビデオ・コンテンツを伴う場合に、空間の細部の鮮明さを保つ助けとなりうる。他方では、正のオフセットを用いてフィルタリングの量を増やすと、デフォルト値を用いた場合に目立つブロッキング・アーティファクトが残るコンテンツ上の主観品質を向上させることができる。これは、滑らかな輝度遷移を伴う、より解像度の低いコンテンツに対して有用であるとともに、準最適な動き推定、モード判定、または残余コーティングによって導入される場合がある付加的なアーティファクトを取り除くのに有用である。スライス＿ベータ＿オフセット＿ｄｉｖ２パラメータを用いて、フィルタリングのための「ベータ」値を調整することを、前述したアルファ値と実質的に同様の方法で行なう。この場合もやはり、ベータに対するデフォルト値は「０」である。ベータ・オフセット・パラメータを、スライス・ヘッダ内で、各スライス・グループのＮ＋１個のスライスに対するＢＯ$_0$、ＢＯ$_1$、ＢＯ$_2$、．．．、ＢＯ$_N$として示す。

【００１９】

図３のビットストリームＢＴＳ内に例示するビデオおよびデブロッキング・フィルタ制御情報は典型的なものである。多くの変形が可能であり意図されている。たとえば、１つの代替的な実施形態においては、ビットストリームＢＴＳは変更されないままであるため、アルファおよびベータ・オフセット情報Ｏ$_{AL}$、Ｏ$_{AC}$、Ｏ$_{BL}$、およびＯ$_{BC}$は含まれないようになっている。別の代替的な実施形態においては、アルファおよびベータ・オフセット情報Ｏ$_{AL}$、Ｏ$_{AC}$、Ｏ$_{BL}$、およびＯ$_{BC}$を、シーケンス・ヘッダ内ではなくて各フレーム・ヘッダ３０７内に与えて、各フレームに対するデブロック・フィルタリングを調整する。さらに別の代替的な実施形態においては、アルファおよびベータ・オフセット情報Ｏ$_{AL}$、Ｏ$_{AC}$、Ｏ$_{BL}$、およびＯＢ$_C$を、各スライス・ヘッダ３１７内に与えて、各スライス内の情報の１つまたは複数のマクロブロックに対してデブロック・フィルタリングを調整しても良いようになっている。しかし、付加的なアルファおよびベータ・オフセット情報Ｏ$_{AL}$、Ｏ$_{AC}$、Ｏ$_{BL}$、およびＯ$_{BC}$によって、ビットストリームＢＴＳ内にビットが、特にスライス・レベルまたはフレーム・レベルで加えられることが分かる。

【００２０】

図４は、典型的なマクロブロック４００のブロック図であり、各１６×１６マクロブロックに属する各４×４ブロックに対する垂直方向エッジおよび水平方向エッジのデブロック・フィルタリング・プロセスを例示するものである。各マクロブロックには１６行が含まれ、各行には１６画素値が含まれている。各画素値には、ルーマ・コンポーネント（Ｙ）およびクロマ・コンポーネント（ＣｂおよびＣｒ）が含まれている。四角形マクロブロック４００は、１６個の４×４四角形ブロック（１～１６と標示される）に等しく更に分割されて示されている。マクロブロック４００は、マクロブロック４００をそのすぐ左側のマクロブロックから（無い場合にはフレームの左のエッジに沿って）分離する左の垂直方向エッジ４０１と、マクロブロック４００をそのすぐ右側のマクロブロックから（無い場合にはフレームの右のエッジに沿って）分離する右の垂直方向エッジ４０９とを伴って示されている。またマクロブロック４００が、３つの中間の垂直方向エッジ４０３、４０５、および４０７とともに示されており、これらによってマクロブロックは４列に更に分割され、各列には４個の４×４ブロックが含まれている。マクロブロック４００はさらに、マクロブロック４００をその真上のマクロブロックから（無い場合にはフレームの上部エッジに沿って）分離する最上部の水平方向エッジ４１１と、マクロブロック４００をその真下のマクロブロックから（無い場合にはフレームの下部エッジに沿って）分離する下部水平方向エッジ４１９とを伴って示されている。マクロブロック４００はさらに、３つの中間の水平方向エッジ４１３、４１５、および４１７とともに示されており、これらによってマクロブロックは４行に更に分割され、各行には４個の４×４ブロックが含まれて

いる。以下でさらに説明するように、デブロック・フィルタリングを、４×４ブロック対間のエッジに沿って行なう。

【００２１】

フィルタリング・プロセスはマクロブロック・ベースで行ない、フレーム内の各マクロブロックを、マクロブロック・アドレスが増加する順序で処理する。各マクロブロックに対するデブロッキング・フィルタ・プロセスの動作の前に、現在のマクロブロックの上側のマクロブロックまたはマクロブロック対（もしあれば）と左側のマクロブロックまたはマクロブロック対（もしあれば）との非ブロック・サンプルを利用可能にする。デブロッキング・フィルタ・プロセスを、ルーマおよびクロマ・コンポーネントに対して別個に呼び出す。４：２：０ビデオ・フォーマットでは、各クロマ・コンポーネントは、対応するルーマ・コンポーネントと比較して、データ量は４分の１である。たとえば、１７６×１４４個の画素値のＱＣＩＦの場合、各フレームには、１７６×１４４個のＹコンポーネント、８８×７２個のＣｂコンポーネント、および８８×７２個のＣｒコンポーネントが含まれている。Ｈ．２６４／ＡＶＣおよびＳＶＣ規格の場合、デブロッキング・フィルタは、各フレームにおける各１６×１６マクロブロック内の４×４ブロック・エッジに適用される。ただし、フレームの境界におけるエッジと、デブロッキング・フィルタ・プロセスがヘッダ内のディセーブリング・フラッグによって無効にされている任意のエッジとを除く。

【００２２】

デブロック・フィルタリングを、ルーマに対する４×４ブロックのそれぞれに対して行ない、クロマ・コンポーネントＣｂおよびＣｒのそれぞれに対する対応する２×２ブロックに対して行なう。各マクロブロックに対して、最初に垂直方向エッジを左から右にフィルタリングし、次に水平方向エッジを最上部から最下部にフィルタリングする。ルーマ・デブロッキング・フィルタ・プロセスを、４つの１６サンプル垂直方向エッジ４０１、４０３、４０５、および４０７上で行なった後に、４つの１６サンプル水平方向エッジ４１１、４１３、４１５、および４１７上で行ない、各クロマ・コンポーネントに対するデブロック・フィルタリング・プロセスを、２つの垂直方向８サンプル・エッジ４０１および４０５上で行なった後に、２つの水平方向８サンプル・エッジ４１１および４１５上で行なう。以前のマクロブロック上でのデブロッキング・フィルタ・プロセス動作によってすでに変更されている場合がある現在のマクロブロックの上側および左側のサンプル値を、現在のマクロブロック上でのデブロッキング・フィルタ・プロセスに対する入力として利用し、現在のマクロブロックのフィルタリング中にさらに変更しても良い。垂直方向エッジのフィルタリング中に変更されたサンプル値を、同じマクロブロックに対する水平方向エッジのフィルタリングに対する入力として利用する。

【００２３】

図５は、一対の４×４ブロック５０１および５０３の比喩的なダイアグラムである。ブロック５０１および５０３は、水平方向に並べられて垂直方向エッジ５０５によって分離され、垂直方向エッジ・デブロック・フィルタリング中のフィルタリング・ルーマ・コンポーネントを例示している。ブロック５０１および５０３それぞれの中の各コンポーネントは、その相対位置に従って標示される円として表わされる画素コンポーネントであり、各標示もその相対値を示すために用いられる。ブロック５０１内のコンポーネントを「ｐ」を用いて標示し、ブロック５０３内のコンポーネントを「ｑ」を用いて標示し、それぞれの後に、各ブロックにおけるコンポーネントの行列内でのその相対位置を示す一対のインデックス値を付ける。図示するように、ブロック５０１の右上のコンポーネントを「ｐ００」と標示し、最上部行に沿って左側に次のコンポーネント（エッジ５０５から離れる方向）を「ｐ０１」と標示し、最上部行において左側に次のコンポーネントを「ｐ０２」と標示し、ブロック５０１の最上部行における最後のコンポーネントを「ｐ０３」と標示する。ブロック５０１の第２におけるコンポーネントを、ｐ１０～ｐ１３と標示し、ブロック５０１の第３行におけるコンポーネントをｐ２０～ｐ２３と標示し、ブロック５０１の最後行または最下部行におけるコンポーネントをｐ３０～ｐ３３と標示する。ブロック

５０３の「ｑ」コンポーネントは、インデックス値が左から右に増加する同様の方法で標示している。ブロック５０３の第１行におけるコンポーネントをｑ００～ｑ０３と標示し（左から右へ）、ブロック５０３の第２行におけるコンポーネントをｑ１０～ｑ１３と標示し、ブロック５０３の第３行におけるコンポーネントをｑ２０～ｑ２３と標示し、ブロック５０３の最後行または最下部行におけるコンポーネントをｑ３０～ｑ３３と標示する。

【００２４】

図６は、一対の４×４ブロック６０１および６０３の比喩的なダイアグラムである。ブロック６０１および６０３は、垂直方向に並べられて水平方向エッジ６０５によって分離され、水平方向エッジ・デブロック・フィルタリング中のフィルタリング・ルーマ・コンポーネントを例示している。ブロック６０１および６０３のコンポーネントの相対的な配向および位置決めは、全体図を９０度だけ反時計回りに回転することを除いて、本質的にブロック５０１および５０３とそれぞれ同じである。したがって、回転すると、右のブロック５０３は上部ブロック６０３になり、左のブロック５０１は下部ブロック６０１になり、垂直方向エッジ５０５は回転して水平方向エッジ６０５になる。上部ブロック６０３の左下のコンポーネントはｑ００と標示され、下部ブロック６０１の左上のコンポーネントはｐ００と標示される等である。クロマ・コンポーネントのＣｂおよびＣｒブロックはそれぞれ、２×２クロマ・コンポーネントのみを含む（たとえば、ｐ００、ｐ０１、ｐ１０、およびｐ１１；ｑ００、ｑ０１、ｑ１０、およびｑ１１）ことを除けば、同様の方法で配向される。たとえば、マクロブロック４００を参照して、図５のブロック５０１および５０３が、図４のブロック１および２をそれぞれ表わす場合、垂直方向エッジ５０５は垂直方向エッジ４０３の一部を表わす。ブロック６０３および６０１が、ブロック１および５をそれぞれ表わす場合、水平方向エッジ６０５は水平方向エッジ４１３の一部を表わす等である。

【００２５】

図７は、典型的な実施形態による各マクロブロック内の各４×４ブロック対に対するルーマ・コンポーネント値に対する垂直方向エッジおよび水平方向エッジのデブロック・フィルタリングの両方に対する拡張層に対するデブロッキング・フィルタ２０１（エンコーダおよびデコーダの一方または両方のための）の制御回路２０９の動作を例示するフローチャート・ダイアグラムである。デブロッキング・フィルタ・プロセスはルーマおよびクロマ・コンポーネントに対して別個に呼び出されるが、クロマ・デブロック・フィルタリングに対するプロセスは明確には示してはいない。なぜならば、クロマ・デブロック・フィルタリングは、当業者であれば理解するように、同様だが単純化されるからである。ベース層に対するデブロック・フィルタリングは変更されないままであり、ヘッダ内のフラッグを、マクロブロックが属するスライスに対するデブロック・フィルタリングを無効にするように設定した場合、デブロック・フィルタリングは行なわれない。デブロック・フィルタリングをマクロブロック・ベースで行ない、各フレームの各マクロブロックを、マクロブロック・アドレスが増加する順序で処理する。現在のマクロブロックに隣接するマクロブロックの４×４ブロック（たとえば、もしあれば、現在のマクロブロックの上側または左側のブロック）は、現在のＭＢのデブロック・フィルタリングを行なうのに利用可能である。各マクロブロックに対して、最初に垂直方向エッジ・デブロック・フィルタリングを左から右に、ブロック対間の対応する垂直方向エッジに沿って行ない、その後に水平方向エッジ・デブロック・フィルタリングを最上部から最下部に、ブロック対間の対応する水平方向エッジに沿って行なう。

【００２６】

図７の最初の動作ブロック７０１において、パラメータ「Ｖ」を真に設定して、マクロブロックの垂直方向エッジに沿って行なう垂直方向エッジ・デブロック・フィルタリングを示している。次のブロック７０３において、動作は、垂直方向エッジ・デブロック・フィルタリングを行なうか、または水平方向エッジ・デブロック・フィルタリングを行なうかに応じて、水平方向か、または垂直方向に、現在のＭＢの「次の」（または最初の）４

×４ブロックへ進む。左上の４×４ブロックが、現在のＭＢの最初のブロックであるか、またはＭＢ４００のブロック１であることに注意されたい。最初のブロックを処理した後、次のブロックは、フィルタリングを垂直方向エッジに沿って行なっているか、または水平方向エッジに沿って行なっているかによって決まる。たとえば、ＭＢ４００を参照して、垂直方向エッジ・フィルタリング中に、動作は、左側のエッジ４０１をブロック１からブロック５へと下方に進み、ブロック９に達し、そしてブロック１３に至り、それから、次の列におけるブロック２まで上がり、次の垂直方向エッジ４０３に沿ってデブロック・フィルタリングを始める。デブロック・フィルタリングは続いて、次の垂直方向エッジ４０３をブロック２からブロック６まで下がり、ブロック１０に達し、そしてブロック１４に至り、それからブロック３まで戻って、次の垂直方向エッジ４０５に沿ってデブロック・フィルタリングを始める等により、垂直方向エッジ４０１、４０３、４０５、および４０７に対するフィルタリングを終了する。垂直方向エッジ・フィルタリング中の各現在の４×４ブロックに対する動作状態の垂直方向エッジは、その左側の垂直方向エッジである。デブロック・フィルタリングを一対の４×４ブロック間で行なっているので、各ブロック対の他方の４×４ブロックは、動作状態エッジによって決まる。たとえば、垂直方向エッジ・デブロック・フィルタリング中に現在の４×４ブロックがマクロブロック４００のブロック２である場合、ブロック対の他方の４×４ブロックはブロック１である。

【００２７】

垂直方向エッジ・デブロック・フィルタリングが終了した後、動作はブロック１に戻って、水平方向エッジ・デブロック・フィルタリングを始める。水平方向エッジ・デブロック・フィルタリングの間、動作は、水平方向エッジ４１１に沿ってブロック１からブロック２に進み、そしてブロック３に進み、次にブロック４に進み、そして次の行のブロック５に戻って、次の水平方向エッジ４１３に沿ってフィルタリングを始める等である。水平方向エッジ・フィルタリング中の各４×４ブロックに対する動作状態水平方向エッジは、その上部の水平方向エッジである。この場合もやはり、デブロック・フィルタリングを一対の４×４ブロック間で行なっているので、各ブロック対の他方の４×４ブロックは、動作状態エッジに基づいて選択される。たとえば、水平方向エッジ・デブロック・フィルタリング中に現在４×４ブロックがブロック５である場合、ブロック対の他方の４×４ブロックはブロック１である。

【００２８】

次のブロック７０５において、動作状態エッジがフレーム・エッジであるか否かについて問い合わせる。そうである場合には、動作はブロック７０３に一巡して戻って、フィルタリング・プロセスにおける次のブロックに進む。各フレームに対する最初のＭＢは左上のＭＢであり、このＭＢでは動作状態エッジはフレームの左側垂直方向エッジである。動作状態エッジがフレーム・エッジである場合には、デブロック・フィルタリングは行なわない。したがって、左側垂直方向エッジがフレーム・エッジである、フレームの一番初めのマクロブロックに対してはデブロック・フィルタリングは行なわない。たとえば、マクロブロック４００が、最初の垂直方向エッジ４０１がフレーム・エッジである、フレームの最初のマクロブロックを表わす場合には、デブロック・フィルタリングは、ブロック１、５、９、および１３に対しては回避されて、次の垂直方向エッジ４０３に沿ってブロック２に対して始まる。同じ事が、フレームの左側エッジに沿った各マクロブロックの左側に沿って並ぶ各４×４ブロックに対して成り立つ。水平方向エッジ・フィルタリングの間、フレームの最上部エッジに沿って並ぶ各マクロブロックの各上部４×４ブロックの動作状態エッジはフレーム・エッジであるため、デブロック・フィルタリングは回避される。

【００２９】

動作状態エッジがフレーム・エッジではない場合、動作はブロック７０７に進んで、動作状態ブロック対に対する境界強度（ＢＳ）値を決定する。ＢＳ値はＢＳ回路２０８によって決定される。動作状態ブロック対には、現在のブロックと、垂直方向エッジ・フィルタリングの間は左側に隣接する４×４ブロック、または水平方向エッジ・フィルタリングの間は現在の４×４ブロックの上方に隣接する４×４ブロックとが含まれる。各拡張層に

対して行なうブロック７０７におけるＢＳ決定は、すべての層に適用される従来のＢＳ決定と比較して、単純化されている。従来のＢＳ決定は各ベース層に対して依然として行なわれているが、このＢＳ決定では、ブロック対のどちらかのブロックがイントラ・モードでエンコードされる場合およびブロック間のエッジがマクロブロック・エッジである場合に、ＢＳ値は４である。これについては以下でさらに説明する。前述したように、各ＭＢは、予測ブロックが現在のフレーム内の再構成情報に基づいて形成されるイントラ・モードでエンコードされるか、または予測ブロックが参照フレームの情報に基づいて形成されるインター・モードでエンコードされる。図４、５、および６を参照して、垂直方向エッジ５０５が外側エッジ４０１または４０９のいずれかの任意の一部を表わすか、または水平方向エッジ６０５が外側エッジ４１１または４１９の任意の部分を表わしていて、４×４ブロック５０１および５０３か、または６０１および６０３が、異なるマクロブロック内にある場合、ブロック対間のエッジはマクロブロック・エッジである。従来のデブロック・フィルタリング構成では、ブロック対のどちらかのブロックがイントラ・モードでエンコードされていて、エッジがマクロブロック・エッジではない場合、ＢＳ値は３である。ＢＳが４または３となるための条件が真ではない場合、およびブロック対のどちらかの４×４ブロックに符号化残差がある場合、ＢＳ＝２である。ＢＳが２～４となるための条件が真ではなく、４×４ブロック対の２つの動きベクトル・コンポーネント（２つのＭＶｘまたは２つのＭＶｙ）の絶対差が１以上である場合か、または動き補償が、少なくとも２つの異なる参照フレームから得られる場合、ＢＳ＝１である。従来の場合では、これらの条件のどれも真ではない場合、ＢＳ＝０である。

【００３０】

従来の構成では、ＢＳ＝０の場合には、ブロック対に対してデブロック・フィルタリングは行なわない。その他の場合には、フィルタリングは、動作状態エッジに沿って、垂直方向エッジ・フィルタリングの場合には左から右へと行なうか、または水平方向エッジ・フィルタリングの場合には上部から下部へと行なう。たとえば、従来の構成においてＢＳが１、２、または３に等しい場合、第１の組の条件を、コンポーネント値ｐ００、ｐ０１、ｑ００、およびｑ０１に基づいて評価して、第１のフィルタＦＩＬ１　２０３を用いてコンポーネント値ｐ００およびｑ００をフィルタリングするか否かを決定する。第１の組の条件が真である場合、エッジ・コンポーネント値ｐ００およびｑ００を変更する前に、第２の組の条件を、コンポーネント値ｐ０２、ｐ００、ｑ０２、およびｑ００に基づいて評価して、第２のフィルタＦＩＬ２　２０５を用いて次の対のコンポーネント値ｐ０１およびｑ０１をフィルタリングするか否かを決定する。第２の組の条件も真である場合、最初に第２のフィルタＦＩＬ２　２０５を適用して、コンポーネント値ｐ０１およびｑ０１をフィルタリングし、付加的なパラメータ（たとえば、クリッピング値）を第１の組の条件に対して変更することは、当業者に既知のことである。第２のフィルタＦＩＬ２　２０５を用いてフィルタリングした後、第１のフィルタＦＩＬ１　２０３を適用して、コンポーネント値ｐ００およびｑ００をフィルタリングする。デブロック・フィルタリング・プロセス全体が、次の組のコンポーネント値ｐ１０、ｐ１１、ｐ１２、ならびにｑ１０、ｑ１１、およびｑ１２に対して繰り返され、その後再び、次の組のコンポーネント値ｐ２０、ｐ２１、ｐ２２、ならびにｑ２０、ｑ２１、およびｑ２２に対して繰り返され、そして最後の組のコンポーネント値ｐ３０、ｐ３１、ｐ３２、ならびにｑ３０、ｑ３１、およびｑ３２に対して繰り返されて、垂直方向エッジおよび水平方向エッジのデブロック・フィルタリングの両方に対して適用可能な動作状態エッジに沿って移動する。

【００３１】

従来の構成では、その代わりにＢＳ値が４である場合には、第３の組の条件をチェックして、デブロック・フィルタリングを第３のフィルタ２０７を用いて行なうべき程度を決定する。従来の構成では、ＢＳ値４はベース層および各拡張層に対して最大の境界強度である。一実施形態において、第３のフィルタ２０７には、強いフィルタ（たとえば、４または５タップ・フィルタ）と比較的弱いフィルタ（たとえば、３タップ・フィルタ）とが含まれる。クロマ・デブロック・フィルタリングに対しては、弱い方のフィルタを用いて

、エッジ・クロマ値ｐ００～ｐ１０およびｑ００～ｑ１０のみを変更する。第３の組の条件のいずれかが偽である場合、弱い方のフィルタを同様に用いて、エッジ・ルーマ・コンポーネント値ｐ００～ｐ３０およびｑ００～ｑ３０のみ（たとえば、動作状態エッジに隣接するコンポーネント値のみ）を変更する。ＢＳ＝４に対しては、第３の組の条件がそれぞれ真である場合およびデブロック・フィルタリングが従来の構成において有効にされる場合に、各ラインの３つのルーマ・コンポーネント値すべて（ｐ００～ｐ０２およびｑ００～ｑ０２、ｐ１０～ｐ１２およびｑ１０～ｑ１２、ｐ２０～ｐ２２およびｑ２０～ｑ２２、およびｐ３０～ｐ３２およびｑ３０～ｑ３２）を最初に、強いフィルタ２０７を用いてフィルタリングして、動作状態エッジ（たとえば、５０５または６０５）に沿って移動する。

【００３２】

ブロック７０７において、ＢＳ決定を実質的に単純化して、第３のフィルタ２０７を用いたフィルタリングに対するＢＳ決定（すなわちＢＳ＝４）が完全に回避されるようにする。このように、第３の組の条件の判定が回避され、第３のフィルタ２０７を用いたフィルタリングが回避される結果、コーディング複雑性が単純になる。さらにＢＳ決定は、すべての場合に対して、２つの値の一方のみ（０または１）に単純化される。ブロック７０７において、次の場合にＢＳ＝１である。すなわち、４×４ブロック対のどちらかのブロックをイントラでコーディングする場合、またはどちらかの４×４ブロックに符号化残差がある場合、または４×４ブロック対に対するＭＶ対の絶対差（ＡＤＭＶ）が１以上である場合、または動き補償が複数の参照フレームを用いて決定される場合である。その他の場合には、ＢＳ＝０である。ルーマ・コンポーネントに対して決定されたＢＳ値を、対応するクロマ・コンポーネントに対してコピーして、クロマ値に対するＢＳ値が単独で計算されないようにする。次のブロック７０９においてＢＳ＝０であると判定された場合、現在のブロック対に対してデブロック・フィルタリングを行なわず、動作はブロック７１９にジャンプする。これについては後にさらに説明する。ＢＳがゼロでない場合、動作はその代わりにブロック７１１に進んで、ブロック・レベル・デブロック・フィルタリング決定に対して現在の４×４ブロックの第１のラインの第１の組の条件を評価する。第１の組の条件を以下の方程式（１）、（２）、および（３）に従って決定する。

【００３３】

$$|p00-q00| < \alpha(\text{インデックスA}) - O_{AL} \quad (1)$$

$$|p01-p00| < \beta(\text{インデックスB}) - O_{BL} \quad (2)$$

$$|q01-q00| < \beta(\text{インデックスB}) - O_{BL} \quad (3)$$

ここで、O_{AL}およびO_{BL}は、シーケンス内、たとえば前述したようにシーケンス・ヘッダ３０３内に与えられている場合、ルーマ情報に対するそれぞれアルファ・オフセットおよびベータ・オフセットである。またα（ｘ）およびβ（ｘ）は、以下の方程式（４）および（５）に従ってそれぞれ近似される。

【００３４】

$$\alpha(x) = 0.8\left(2^{x/6}-1\right) \quad (4)$$

$$\beta(x) = 0.5x-7 \quad (5)$$

一般的に、ベータ値β（ｘ）はアルファ値α（ｘ）よりもかなり小さい。インデックスＡおよびインデックスＢ値を、以下の方程式（６）および（７）に従ってそれぞれ決定する。

【００３５】

$$\text{インデックスA} = MIN(MAX(0, QP+AO), 51) \quad (6)$$

$$\text{インデックスB} = MIN(MAX(0, QP+BO), 51) \quad (7)$$

ＭＩＮおよびＭＡＸはそれぞれ最小および最大関数である。ＱＰは量子化パラメータである。ＡＯおよびＢＯはそれぞれアルファおよびベータ・オフセット・パラメータであり、対応する拡張層に対する対応するスライス・ヘッダ３１７内に与えられる。

【００３６】

インデックスＡ値の決定は、スライス・ヘッダから得られるＡＯオフセットを現在ＱＰ

値に付加し、０と比較し、最大値を取ることによって行なうことは、方程式（６）に記述した通りである。ＱＰ値の範囲は０～５１である。ＡＯおよびＢＯオフセットはそれぞれ範囲が－６～＋６であるため、ＱＰ値を相応に調整した後に０と比較する。次に、０および調整したＱＰ値のうちの最大値を値５１と比較し、小さい方の値または最小値を用いてインデックスＡを決定する。このように、インデックスＡの範囲は０～５１である。一実施形態においては、結果として生じるインデックスＡ値を方程式（４）に代入して、α（インデックスＡ）に対するアルファ値を決定する。あるいは、インデックスＡ値を、ルックアップ・テーブル（図示せず）などに入れるインデックスとして用いる。ルックアップ・テーブルでは、インデックスＡ値の範囲に対するαの可能な値を列挙する。O_{AL}値を、与えられている場合には、α（インデックスＡ）値から差し引き、方程式（１）に従ってルーマ・コンポーネント値ｐ００とｑ００との差の絶対値と比較する。方程式（２）および（３）も同様の方法で評価する。ただし、方程式（７）に従ってインデックスＢ値を使用し（ベータ・オフセット値ＢＯを使用し）、β（ｘ）方程式（５）または対応するルックアップ・テーブルを使用し、またO_{BL}値（与えられている場合）を使用する。３つの方程式（１）、（２）、および（３）では、ルーマ・コンポーネント値ｐ００、ｐ０１、ｑ００、およびｑ０１を、垂直方向エッジ・フィルタリングの場合にブロック対の上部ラインのコンポーネント値に沿って用いるか、または水平方向エッジ・フィルタリングの場合にブロック対の左のラインのコンポーネント値に沿って用いる。

【００３７】

ブロック７１１において、３つの方程式（１）、（２）、および（３）を評価して、真か偽かを判定する。次のブロック７１３において、方程式（１）、（２）、または（３）のいずれか１つが偽であると判定された場合、動作はブロック７１９にジャンプして、そのブロック対に対するデブロック・フィルタリングを回避する。言い換えれば、各ブロック対に対するデブロック・フィルタリング決定は、「ブロック・ベース」であって、従来の構成においてベース層に対して決定されるか、または拡張層に対して決定されるような「コンポーネント・ベース」ではない。ブロック７１３において、３つの方程式（１）、（２）、および（３）がすべて真であると判定された場合、動作はその代わりにブロック７１５に進んで、Ｖパラメータが真であるか偽であるかを問い合わせて、デブロッキング・フィルタ２０１が行なっているのは、垂直方向エッジ・フィルタリングなのか水平方向エッジ・デブロック・フィルタリングなのかを判定する。ブロック７１５においてＶが真である場合、垂直方向エッジ・デブロック・フィルタリングが行なわれており、動作はブロック７１７に進んで垂直方向エッジ・デブロック・フィルタリングを、動作状態の垂直方向エッジに沿って、従来の構成に対して行なわれているのと同様の方法で行なう。ブロック７１７において、デブロック・フィルタリングを、ブロック対間の動作可能な垂直方向エッジ全体に沿って、第１および第２のフィルタＦＩＬ１　２０３およびＦＩＬ２　２０５を用いて、従来の構成と同様の方法で行なう。この場合、第２の組の方程式（図示せず）を評価して、ｐ０１およびｑ０１コンポーネント値をフィルタリングするか否かを決定する。第２の組の方程式がそれぞれ真である場合、最初にｐ０１およびｑ０１コンポーネント値を第２のフィルタＦＩＬ２　２０５を用いて変更し、次にコンポーネント値ｐ００およびｑ００を第１のフィルタＦＩＬ１　２０３を用いてフィルタリングする。次に動作は進んで、第２の組のコンポーネント値ｐ１０、ｐ１１、ｑ１０、およびｑ１１に対するフィルタリングの決定を、上述のように方程式（１）～（７）を用いて同様の方法で行なう。ただし、ｐｌｘおよびｑｌｘ値を代入する。次に動作は、同様の方法で、第３および第４の組のコンポーネント値に対して進む。一般的に、Ｂ＝１に対してブロック７１７で行なわれるデブロック・フィルタリングは、Ｂ＝１～３に対する従来の構成の場合と実質的に同じである。しかし、第３の組の条件の決定と第３のフィルタ２０７を用いたフィルタリングとは、回避されて、各拡張層に対して行なわれないことが分かる。クロマ・コンポーネント値ｐ００、およびｑ００のフィルタリングを、変更したクリッピング値を用いて従来の構成の場合と同様の方法で行なうことは、当業者によって理解される通りである。ただし、第３のフィルタＦＩＬ３　２０７の対応するフィルタを回避して、その代わ

りにフィルタＦＩＬ２　２０５を用いる。
【００３８】
ブロック７１７においてブロック対に対して垂直方向エッジ・デブロック・フィルタリングを行なった後、またはブロック７０９または７１３のいずれかにおいてデブロック・フィルタリングを回避すると決定した場合に、動作はブロック７１９に進んで、垂直方向エッジ・デブロック・フィルタリングが現在のマクロブロックに対して終了したか否かを問い合わせる。終了していない場合には、動作はブロック７０３に戻って、垂直方向エッジに沿って現在のマクロブロックの次の４×４ブロックに進む（たとえば、１、５、９、１３、次に２、６、１０、１４、次に３、７、１１、１５、そして次に４、８、１２、１６）。動作はブロック７０３～７１９の間で、現在のマクロブロックの垂直方向エッジ・デブロック・フィルタリングが終了するまで、ループを作る。ブロック７１９において、垂直方向エッジ・デブロック・フィルタリングが終了したと判定されたら、動作はブロック７２１に進んで、現在のＭＢの最初の４×４ブロックに戻り、Ｖパラメータを偽に設定する。このようにして、水平方向エッジに沿って水平方向エッジ・フィルタリングが、現在のＭＢに対して開始される。次に動作は、ブロック７０５に一巡して戻って、動作状態エッジがフレーム・エッジであるか否かについて問い合わせる。そうである場合には、動作はブロック７０３に一巡して戻って、現在のＭＢの次の４×４ブロックに進む。エッジがフレーム・エッジでない場合には、動作はブロック７０７に進んで、ＢＳ決定を前述と同様の方法で行なう。水平方向エッジ・デブロック・フィルタリングに対するブロック７０３～７１３の動作は、垂直方向エッジ・デブロック・フィルタリングに対して説明したものと実質的に同じである。しかし水平方向エッジ・フィルタリングの場合、動作がブロック７１５に進んだときに、今回はＶパラメータが偽であるために、動作はブロック７１７ではなく代わりにブロック７２３に進む。ブロック７２３において、動作状態水平方向エッジに沿って行なう水平方向エッジ・デブロック・フィルタリングを、動作状態の垂直方向エッジに沿って行なうデブロック・フィルタリングに対して前述したのと同様の方法で行なう。ただし第２の条件の評価は行なわないため、第２のフィルタＦＩＬ２　２０５を用いない。さらに、第３の条件の評価を行なわず、第３のフィルタＦＩＬ３　２０７を用いない。このように、水平方向エッジ・デブロック・フィルタリングの場合には、第１のフィルタＦＩＬ１　２０３のみを適用してｐ０およびｑ０値をフィルタリングするため、フィルタリング動作が実質的に単純化される。
【００３９】
水平方向エッジに沿って行なう付加的なデブロック・フィルタリングを回避することによって、メモリ（たとえば、１０６または１０８）に対するメモリ読み出しアクセスが実質的に低減されるという実質的な優位性が実現される。当業者であれば理解するように、水平方向にコンポーネント値を読み出すこと（垂直方向エッジ・デブロック・フィルタリング中に行なう）は、垂直方向にコンポーネント値を読み出すこと（水平方向エッジ・デブロック・フィルタリング中に行なう）よりも著しく効率的である。図５を参照して、コンポーネント値の最上行５０７全体を通常、１つまたは２つの読み出し動作でメモリ一から一緒に読み出す。一実施形態においては、たとえば、コンポーネント値ｐ００～ｐ０３およびｑ００～ｑ０３を１つまたは２つの読み出しアクセスでメモリから読み出す。このように、コンポーネント値ｐ０２およびｑ０２は、垂直方向エッジ５０５に沿って行なう垂直方向エッジ・フィルタリング中に、コンポーネント値ｐ０１およびｑ０１を変更するために第２の組の方程式を評価することに対して利用可能である。図６を参照して、コンポーネント値ｑ０２およびｐ０２が異なる行に配置され、コンポーネント値６０７および６０９がさらに、異なるメモリ・ページに配置されている。第２の組の方程式を評価するために用いられるコンポーネント値ｑ０２およびｐ０２にアクセスするために、少なくとも２つの不連続のメモリ読み出しアクセスを通常用いて、２つの異なる画素値の行６０７および６０９を読み出す。水平方向エッジ６０５に沿って行なう付加的なフィルタリングを回避することによって、不連続のメモリ読み出しアクセスが取り除かれて、全体的なメモリ読み出しアクセスが著しく減る。

【００４０】
また次のことに注意されたい。すなわち、動作状態水平方向エッジに沿って行なう付加的なデブロック・フィルタリングを回避する結果、主観的および客観的な視覚品質の劣化が、従来のデブロック・フィルタリングと比べてわずかでしかない。なぜならば、水平方向における動きは通常、垂直方向における動きよりも大きいからである。水平方向の動きが大きいために、垂直方向の境界またはエッジに沿って生じるブロック効果は、水平方向の境界またはエッジに比べて大きい。このように、垂直方向エッジに沿ってデブロック・フィルタリングを行なうと、水平方向エッジに沿って行なうデブロック・フィルタリングと比べて、より大きな視覚的影響が生じる。
【００４１】
ブロック７２３において、動作状態水平方向エッジに沿って水平方向のデブロック・フィルタリングを実行した後に、動作はブロック７２５に進んで、現在のＭＢに対するデブロック・フィルタリングが終了したか否かを問い合わせる。終了していない場合には、動作はブロック７０３に一巡して戻って、現在のＭＢの次の４×４ブロックに進み、水平方向エッジ・デブロック・フィルタリングを続ける。水平方向エッジ・デブロック・フィルタリングついて、ＭＢ４００を参照して前述したように、動作は、以下の４×４ブロックの順序で進む。すなわち、１～４、次に５～８、次に９～１２、そして次に１３～１６である。動作が、水平方向エッジ・デブロック・フィルタリングの場合に現在のＭＢの各ブロックに対してブロック７０３～７２５の間でループを作る。ブロック７２５において、デブロック・フィルタリングは現在のＭＢに対して終了したと判定されたときには、動作はブロック７２７に進んで、デブロック・フィルタリングが現在のフレームに対して終了したか否かを問い合わせる。終了している場合には、フレームに対して動作は終了する。終了していない場合には、動作はブロック７２９に進んで、現在のフレームの次のマクロブロックの第１のブロックに進み、Ｖをリセットして真に戻す。次に動作はブロック７０５に一巡して戻り、現在のフレームの次のＭＢの第１の４×４ブロックに対する垂直方向エッジ・フィルタリングを始める。
【００４２】
一実施形態によるスケーラブル・ビデオ情報の拡張層のビデオ・ブロックのデブロック・フィルタリングを単純化する方法は、中間エッジのどちらかの側に並べられたコンポーネント値のラインを有する隣接するビデオ・ブロック対を選択すること、隣接するビデオ・ブロック対の境界強度が第１の値であるか否かを判定すること、境界強度が第１の値でない場合、第１の複数の条件を、ラインのうちの第１のラインのコンポーネント値を用いて評価すること、境界強度が第１の値である場合または第１の複数の条件のいずれかが偽である場合に、中間エッジに沿って行なう隣接するビデオ・ブロック対間のデブロック・フィルタリングを回避することを含む。
【００４３】
第１の複数の条件を評価することには、アルファ・オフセットをアルファ値から差し引いて、調整されたアルファ値を提供すること、ベータ・オフセットをベータ値から差し引いて、調整されたベータ値を提供すること、調整されたアルファ値を第１のコンポーネント差と比較すること、調整されたベータ値を第２のコンポーネント差と比較することが含まれていても良い。本方法には、アルファ・オフセットおよびベータ・オフセットをスケーラブル・ビデオ情報ビットストリームに組み込むことか、またはアルファ・オフセットおよびベータ・オフセットをスケーラブル・ビデオ情報ビットストリームから受け取ることが含まれていても良い。
【００４４】
本方法には、水平方向エッジに沿って第２の複数の条件を評価することを回避すること、第２の複数の条件に関連するコンポーネント値のデブロック・フィルタリングを回避することを、境界強度が第１の値でない場合、第１の複数の条件のそれぞれが真である場合、および中間エッジが水平方向エッジである場合に含んでいても良い。本方法には、第２の複数の条件に対して用いられるコンポーネント値をメモリから読み出すことを回避する

ことが含まれていても良い。

【００４５】

隣接するビデオ・ブロック対の境界強度が第１の値であるか否かを判定することには、境界強度が、第１および第２の値を含む２つの値の一方のみであるという単純化された境界強度決定を行なうことが含まれていても良い。単純化された境界強度決定を行なうことには、境界強度が第２の値であることの判定を、どちらかのブロックがイントラ・コーディングされている場合、またはどちらかのブロックに符号化残差がある場合、または動きベクトルが１未満である場合、または複数の参照フレームを動き補償に対して用いる場合に行ない、その他の場合には、境界強度が第１の値であることを判定することが、含まれていても良い。本方法には、条件の決定を回避すること、第１および第２の値のどちらか一方よりも大きい最大の境界強度に関連するデブロック・フィルタリングを回避することが含まれていても良い。

【００４６】

一実施形態によるビデオ・システムは、ビデオ符号化デバイスおよびデブロッキング・フィルタを備えている。ビデオ符号化デバイスは、スケーラブル・ビデオ情報を処理して、それぞれコンポーネント値の複数のラインを有するビデオ・ブロックをもたらす。デブロッキング・フィルタ・デブロッキング・フィルタは、スケーラブル・ビデオ情報の拡張層のビデオ・ブロックをビデオ・ブロック対間の中間エッジに沿ってフィルタリングし、また境界強度回路および制御回路を備える。境界強度回路では、中間エッジのどちらかの側に並べられた隣接するビデオ・ブロック対の境界強度が第１の値か否かを判定する。制御回路は、第１の複数の条件の評価を回避すること、中間エッジに沿って行なう隣接するビデオ・ブロック対間のデブロック・フィルタリングを回避することを、境界強度が第１の値である場合に行なう。制御回路は、境界強度が第１の値でない場合に、第１の複数の条件を、隣接するビデオ・ブロック対の第１のラインのコンポーネント値のうちのコンポーネント値を用いて評価する。制御回路は、境界強度が第１の値である場合または第１のラインのコンポーネント値を用いて第１の複数の条件のいずれかが偽である場合に、中間エッジに沿って行なう隣接するビデオ・ブロック対間のデブロック・フィルタリングを回避する。

【００４７】

一実施形態においては、制御回路は、アルファ・オフセットをアルファ値から差し引いて、調整されたアルファ値を提供すること、ベータ・オフセットをベータ値から差し引いて、調整されたベータ値を提供すること、調整されたアルファ値を第１のコンポーネント差と比較すること、調整されたベータ値を第２のコンポーネント差と比較することを、第１の複数の条件を評価するときに行なう。ビデオ符号化デバイスは、アルファ・オフセットおよびベータ・オフセットを出力ビットストリーム内に組み込むビデオ・エンコーダであっても良いし、アルファ・オフセットおよびベータ・オフセットを入力ビットストリームから受け取るビデオ・デコーダであっても良い。

【００４８】

制御回路は、中間エッジに沿って第２の複数の条件を評価することを回避しても良く、また中間エッジが水平方向エッジである場合に、第２の複数の条件に関連するコンポーネント値のデブロック・フィルタリングを回避しても良い。ビデオ・システムは、スケーラブル・ビデオ情報を記憶するメモリを備えていても良く、制御回路は、中間エッジが水平方向エッジである場合に、第２の複数の条件に対して用いられるコンポーネント値をメモリから読み出すことを回避する。境界強度回路は、境界強度が、第１の値と第２の値とを含む２つの値の一方のみであることを判定することによって、単純化された境界強度決定を行なっても良い。制御回路は、条件の決定と、第１および第２の値のどちらか一方よりも大きい最大の境界強度に関連するデブロック・フィルタリングとを、回避しても良い。

【００４９】

一実施形態によるデブロッキング・フィルタは、第１のフィルタ、境界強度回路、および制御回路を備えている。第１のフィルタは、第１の組の条件に基づいて中間エッジのど

ちらかの側に並べられたコンポーネント値のラインを含むスケーラブル・ビデオ情報の隣接するビデオ・ブロック対のコンポーネント値をフィルタリングするように構成されている。境界強度回路は、隣接するビデオ・ブロック対の境界強度が第１の値であるか否かを判定する。制御回路は、第１の組の条件の評価を回避すること、第１のフィルタを用いたフィルタリングを回避することを、境界強度が第１の値であり隣接するビデオ・ブロック対が拡張層内にある場合に行なう。制御回路は、第１のフィルタを用いたフィルタリングを回避することを、第１のラインのコンポーネント値のうちのコンポーネント値を用いて第１の組の条件のいずれかが偽である場合および隣接するビデオ・ブロック対が拡張層内にある場合に行なう。

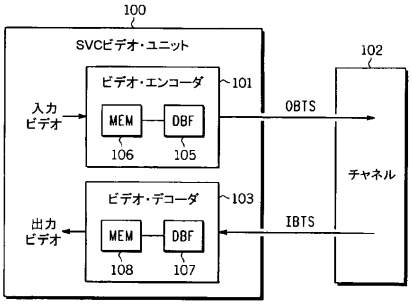
【００５０】

デブロッキング・フィルタは、隣接するビデオ・ブロック対のコンポーネント値を、第２の組の条件に基づいてフィルタリングするように構成された第２のフィルタを備えていても良い。この場合、制御回路は、第２の組の条件の評価を回避すること、第２のフィルタを用いたフィルタリングを回避することを、中間エッジが水平方向エッジである場合および隣接するビデオ・ブロック対が拡張層内にある場合に行なう。デブロッキング・フィルタはさらに、隣接するビデオ・ブロック対のコンポーネント値を、第３の組の条件に基づいてフィルタリングするように構成された第３のフィルタを備えていても良い。この場合、制御回路は、第３の組の条件の評価を回避することと、第３のフィルタを用いたフィルタリングを回避することとを、隣接するビデオ・ブロック対が拡張層内にある場合に行なう。

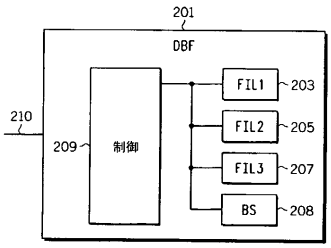
【００５１】

本発明を、その特定の好ましいバージョンを参照してかなり詳細に説明してきたが、他のバージョンおよび変形も可能であり意図されている。たとえば、本明細書に記載した回路または論理ブロックを、離散回路構成もしくは集積回路構成、またはソフトウェア、または任意の代替的な構成として実施しても良い。また本発明を本明細書においてビデオ情報に関して説明してきたが、本発明はより一般的に、任意の「画像情報」に適用されることが分かる。たとえば、ビデオ（たとえば、ＭＰＥＧなど）、および画像、または画像シーケンシング、たとえば、ＪＰＥＧ、ＭＪＰＥＧ、ＪＰＥＧ２０００、ＭＪＰＥＧ２０００などである。用語「画像情報」は、本明細書で用いる場合、任意のビデオまたは画像または画像シーケンス情報に適用されることが意図されている。最後に、当業者であれば理解するように、当業者は開示された着想および特定の実施形態を、添付の請求項によって規定される本発明の趣旨および範囲から逸脱することなく本発明の同じ目的を行なうための他の構造をデザインまたは変更するための基礎として、容易に用いることができる。

【図１】



【図２】



【図３】

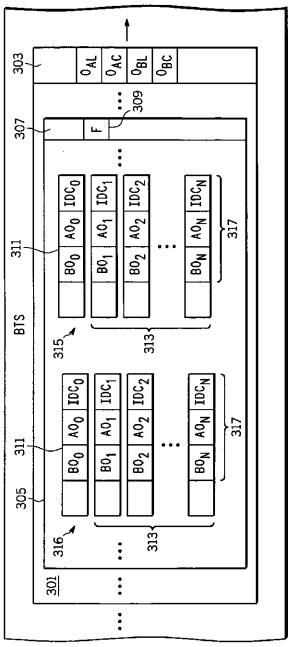
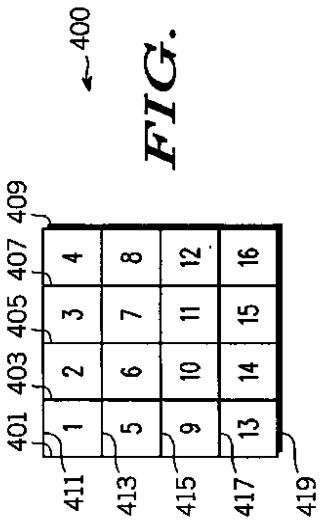


FIG. 3

【図４】

FIG. 4



【図５】

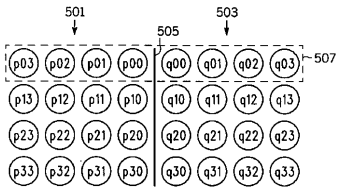


FIG. 5

【図６】

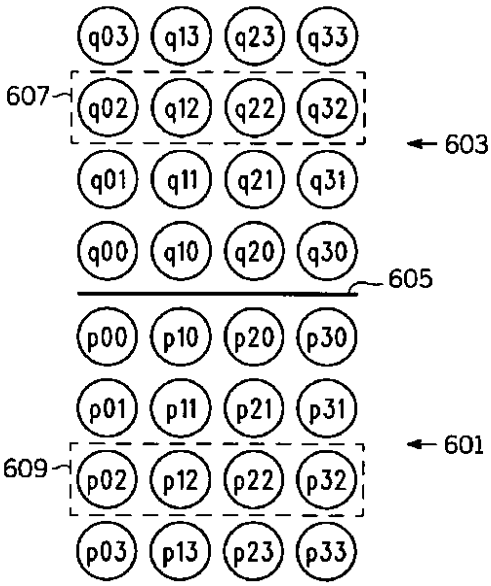
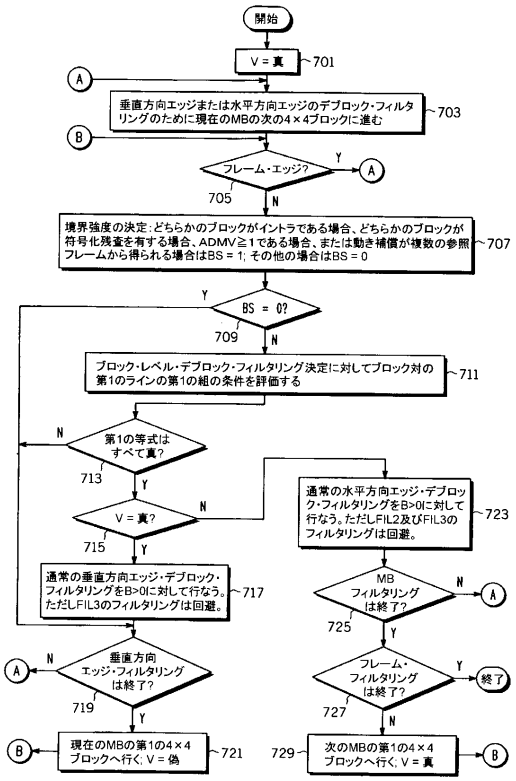


FIG. 6

【図７】


開始
V = 真
701
A
垂直方向エッジまたは水平方向エッジのデブロック・フィルタリングのために現在のMBの次の4×4ブロックに進む
703
B
フレーム・エッジ?
Y
A
705
N
境界強度の決定：どちらかのブロックがイントラである場合、どちらかのブロックが符号化残査を有する場合、ADMV≧1である場合、または動き補償が複数の参照フレームから得られる場合はBS = 1; その他の場合はBS = 0
707
Y
BS = 0?
709
N
ブロック・レベル・デブロック・フィルタリング決定に対してブロック対の第1のラインの第1の組の条件を評価する
711
N
第1の等式はすべて真?
713
Y
V = 真?
N
715
Y
通常の垂直方向エッジ・デブロック・フィルタリングをB>0に対して行なう。ただしFIL3のフィルタリングは回避。
717
A
N
垂直方向エッジ・フィルタリングは終了?
719
Y
B
現在のMBの第1の4×4ブロックへ行く; V = 偽
721
通常の水平方向エッジ・デブロック・フィルタリングをB>0に対して行なう。ただしFIL2及びFIL3のフィルタリングは回避。
723
MBフィルタリングは終了?
N
A
725
Y
フレーム・フィルタリングは終了?
Y
終了
727
N
729
次のMBの第1の4×4ブロックへ行く; V = 真
B

フロントページの続き

(56)参考文献　国際公開第２００７／０３２６０２（WO，Ａ１）
特開２００６－１９１５７６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０４Ｎ　７／２４－７／６８