

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：P 7 1 3 P 3 4 3

※ 申請日期：P 7 . 1 0 . 1 4

※IPC 分類：H03M 13/51 (2006.01)

一、發明名稱：(中文/英文)

G06F 11/10 (2006.01)

G06F 11/28 (2006.01)

伯格反相碼之編解碼方法及其編碼器與檢查器電路

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立彰化師範大學

代表人：(中文/英文)

張惠博

住居所或營業所地址：(中文/英文)

(500)彰化市進德路 1 號

國 籍：(中文/英文)

中華民國

三、發明人：(共 1 人)

姓 名：(中文/英文)

黃宗柱

國 籍：(中文/英文)

中華民國

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種編解碼方法，特別是指一種伯格反相碼之編解碼方法及其編碼器與檢查器電路。

【先前技術】

習知之可靠的計算必須依賴在低功率消耗的通道或匯流排和可靠的通訊上，在這些系統之中包含計算機系統使用像資料保存期(Retention)約數年的快閃唯讀記憶體(Flash ROM)這類易揮發記憶體(Volatile Memory)、光學儲存元件，乃至需每秒百次重寫率(Refresh Rate)的動態隨機存取記憶體(DRAM)，以及交錯式多門檻電壓互補式金屬氧化層半導體(Stagger MTCMOS)匯流排、易揮發通道中的脈幅調變(PAM)、以及許多傾向於偏壓為單向訊號的電子裝置等等，足見非對稱通訊(Asymmetric Communication)在計算上扮演了重要的角色。

在完全非對稱通訊(Fully Asymmetric Communication)系統中，單向錯誤偵測碼(Unidirectional Fault Detection)已經發展近半個世紀的時間，這類型的編碼方式有 n 中取 m 碼(m -out-of- n code)、雙路碼(two-rail code)和伯格碼(Berger Codes, BC)。

習知之伯格碼(Berger Codes)是在 1961 年由 J.M.Berger 所提出，應用在完全非對稱通訊與單向錯誤偵測系統上。如圖 1 所示為傳統在零上升錯誤情況下的伯格碼編碼器電路 1 與檢查器電路 2，在傳統的伯格碼中，自一輸入端

11 輸入的一碼字 (codeword) w 為 n 個位元 (bits)，輸出通過一完全非對稱通道 3 (或寫入一具完全單向錯誤之媒體)，最後再由一接收端 21 讀出。

然而，一檢查碼 c (check bits) 的位元數目 m 是由該碼字 w 的位元數目決定，即 $m = \lceil \log_2(n+1) \rceil$ ，其中 n 是碼字的位元數目，而該檢查碼 c 的值則是由該碼字中 0 的位元數目來決定，而該碼字 w 中 0 的位元數目是由一 0 計數器 12 計算。該碼字 w 和該檢查碼 c 均通過該通道 3 (或存於該媒體中)，其各位元在此例中由 0 上升為 1 的機率為 0。

假設該碼字 w 之各位元由 1 下降為 0 的位元錯誤機率 (bit error rate, BER) 為 e ，而任意兩位元之間的情況互相獨立，即不會互相影響。傳輸中的碼字 w 的全部位元之總錯誤率 (即碼字錯誤率) E 可以推導為

$$E = 2^{-n} \sum_{i=1}^n C_n^i (1 - (1-e)^i) \approx \frac{ne}{2} \quad (\text{if } ne \ll 1), \quad (1)$$

當發生任何錯誤時，該碼字 w 中 0 的位元數目可能會增加，而該檢查碼 c 所代表之二進位值卻有可能會減少，即便同時發生多個位元之錯誤，均將使該碼字 w 中 0 的位元數目之二進位值大於該檢查碼 c 所代表之二進位值，使得一算術邏輯單元 22 得以將該碼字 w 中 0 的位元數目之二進位值與該檢查碼 c 所代表之二進位值進行比對以檢查出錯誤。該碼字 w 中 0 的位元數目是在該碼字 w 通過該通道 3 之後由另一 0 之計數器 23 所計算。

舉例來說，假設輸入該編碼器電路 1 之碼字 w 為 11100

的資料串列，其位元數目 $n=5$ ，而 $m=\lceil \log_2(n+1) \rceil$ ，所以該檢查碼 c 的位元數目為 3，而且該輸入碼字 w 中有 2 個 0，轉換為 3 位數的二進位值為 010，故該輸入碼字 w 與該檢查碼 c 經過編碼後會變成 11100010，其位元數目為 $5+3=8$ ，且會通過該完全非對稱通道 3 被該檢查器電路 2 接收。

檢驗時，該 0 計數器 23 會計算輸入該檢查器電路 2 之輸入碼字 w 中值為 0 的位元數目，並利用該算術邏輯單元 22 將該碼字 w 中值為 0 的位元數目之二進位值與該檢查碼 c 做比對。若該碼字 w 中值為 0 的位元數目之二進位值與該檢查碼 c 不符，即資料傳輸前後值為 0 的位元數目不同，則判斷為有單向錯誤發生。

對完全錯誤偵測來說，伯格碼已經被證實是最佳的編碼方式，可以偵測任何的單向錯誤。然而在過去的半個世紀中，多數的研究都只致力於完全自我偵測性的應用與減少額外面積成本及最佳化檢查器電路的解碼時間等方面。

如圖 2 所示為一錯誤率表，說明藉由式(1)推算之理想錯誤率與傳統伯格碼之錯誤率的比較關係，指出該碼字 w 的位元數目 n 在 6、14、30 以及位元錯誤率 e 在 10^{-10} 、 10^{-6} 和 10^{-3} 的情況下所呈現之結果。由圖中所示之相關數值可知，在各種情況下，傳統伯格碼之錯誤率與該理想錯誤率之間有一段差距，故此種編碼方法仍有再改善的空間。

【發明內容】

因此，本發明之目的，即在提供一種信號在完全非對稱通道中傳輸時可降低碼字錯誤率的伯格反相碼之編解碼

方法。

於是，本發明伯格反相碼之編解碼方法是適用於在各位元由 0 變成 1 的錯誤機率為 0 之情況下，經由一完全非對稱通道進行資料的傳輸，並包含以下步驟：

(A) 計算一輸入碼字中值為 0 與 1 的位元數目，當 0 的數目小於 1 的數目時，進行步驟 (B)，當 0 的數目不小於 1 的數目時，進行步驟 (C)；

(B) 將該輸入碼字反相且加入一值為 1 的反相位元於該輸入碼字中用以產生一編碼資料，並同時依據輸入碼字中值為 1 的位元數目產生一檢查碼，進行步驟 (D)；

(C) 加入一值為 0 的反相位元於該輸入碼字中用以產生一編碼資料，並同時依據輸入碼字中值為 0 的位元數目加 1 後產生一檢查碼，進行步驟 (D)；

(D) 由該完全非對稱通道傳送並接收該編碼資料與該檢查碼；

(E) 當該反相位元為 1 時進行步驟 (F)，當該反相位元為 0 時進行步驟 (G)；

(F) 先將該編碼資料中的反相位元分離出來形成一待處理資料，再將該待處理資料反相以輸出一輸出碼字，最後判斷該輸出碼字中值為 0 的位元數目與該檢查碼所表示之數目是否相同，若不相同則有單向錯誤發生；及

(G) 將該編碼資料中的反相位元分離出來形成一待處理資料，再將該待處理資料直接輸出為一輸出碼字，最後判斷該輸出碼字中值為 0 的位元數目與該檢查碼所表示之

數目是否相同，若不相同則有單向錯誤發生。

本發明伯格反相碼之編解碼方法之功效在於：在各位元由 0 變成 1 的錯誤機率為 0，且經由一完全非對稱通道進行資料的傳輸之情況下，藉由在該輸入碼字中加入一個反相位元的方式進行編碼，不但不會增加太多額外面積成本，並可有效降低傳輸碼字錯誤率。

而本發明之另一目的，是在於提供一種適用於上述之伯格反相碼之編解碼方法的編碼器與檢查器電路。

於是，本發明用於伯格反相碼之編解碼方法的編碼器與檢查器電路是適用於在各位元由 0 變成 1 的錯誤機率為 0 之情況下，經由一完全非對稱通道進行資料的傳輸，其中，該編碼器電路包括一 0 與 1 計數器單元、一第一算數邏輯單元、一第二算術邏輯單元，及一互斥或邏輯閘。該 0 與 1 計數器單元接收一輸入碼字並計算該輸入碼字中值為 0 的位元數目與值為 1 的位元數目，並將計算後的結果傳送至該第一、第二算數邏輯單元進行比較。當該輸入碼字中值為 0 的位元數目小於值為 1 的位元數目，該第一算數邏輯單元輸出一值為 1 的反相位元至該互斥或邏輯閘與該第二算術邏輯單元。當該輸入碼字中值為 0 的位元數目不小於值為 1 的位元數目，該第一算數邏輯單元輸出一值為 0 的反相位元至該互斥或邏輯閘與該第二算術邏輯單元。

該互斥或邏輯閘接收該反相位元與該輸入碼字後，依該反相位元的值判斷是否將輸入碼字反相輸出，並將其輸

出結果與該反相位元合併得到一編碼資料，該第二算術邏輯單元依反相位元的值決定將該 0 與 1 計數器單元的計算結果輸出成一檢查碼。

該檢查器電路包括一互斥或邏輯閘、一 0 計數器及一第三算數邏輯單元。該互斥或邏輯閘接收分離出該編碼資料中的反相位元而形成的一待處理資料與該反相位元，並依該反相位元的值判斷是否將該待處理資料反相輸出以求得一輸出碼字。該 0 計數器接收該編碼資料並計算其中值為 0 的位元數目。該第三算數邏輯單元接收來自該 0 計數器的計算結果與該檢查碼並進行比較，以判斷是否有單向錯誤發生。

因此，本發明用於伯格反相碼之編解碼方法的編碼器與檢查器電路之功效在於：在各位元由 0 變成 1 的錯誤機率為 0，且經由一完全非對稱通道進行資料的傳輸之情況下，藉由在該輸入碼字中加入一個反相位元的方式進行編碼，不但不會增加太多額外面積成本，並可有效降低傳輸碼字錯誤率。

而本發明之又一目的，即在提供一種信號在完全非對稱通道中傳輸時可降低碼字錯誤率的伯格反相碼之編解碼方法。

於是，本發明伯格反相碼之編解碼方法是適用於在各位元由 1 變成 0 的錯誤機率為 0 之情況下，經由一完全非對稱通道進行資料的傳輸，並包含以下步驟：

(A) 計算一輸入碼字中值為 0 與 1 的位元數目，當 1

的數目小於 0 的數目時，進行步驟 (B)，當 1 的數目不小於 0 的數目時，進行步驟 (C)；

(B) 將該輸入碼字反相且加入一值為 0 的反相位元於該輸入碼字中用以產生一編碼資料，並同時依據輸入碼字中值為 0 的位元數目產生一檢查碼，進行步驟 (D)；

(C) 加入一值為 1 的反相位元於該輸入碼字中用以產生一編碼資料，並同時依據輸入碼字中值為 1 的位元數目加 1 後產生一檢查碼，進行步驟 (D)；

(D) 由該完全非對稱通道傳送並接收該編碼資料與該檢查碼；

(E) 當該反相位元為 0 時進行步驟 (F)，當該反相位元為 1 時進行步驟 (G)；

(F) 先將該編碼資料中的反相位元分離出來形成一待處理資料，再將該待處理資料反相以輸出一輸出碼字，最後判斷該編碼資料中值為 1 的位元數目與該檢查碼所表示之數目是否相同，若不相同則有單向錯誤發生；及

(G) 將該編碼資料中的反相位元分離出來形成一待處理資料，再將該待處理資料直接輸出為一輸出碼字，最後判斷該編碼資料中值為 1 的位元數目與該檢查碼所表示之數目是否相同，若不相同則有單向錯誤發生。

本發明伯格反相碼之編解碼方法之功效在於：在各位元由 1 變成 0 的錯誤機率為 0，且經由一完全非對稱通道進行資料的傳輸之情況下，藉由在該輸入碼字中加入一個反相位元的方式進行編碼，不但不會增加太多額外面

積成本，並可有效降低傳輸碼字錯誤率。

【實施方式】

有關本發明之前述及其他技術內容、特點與功效，在以下配合參考圖式之二個較佳實施例的詳細說明中，將可清楚的呈現。

在本發明被詳細描述之前，要注意的是，在以下的說明內容中，類似的元件是以相同的編號來表示。

在本發明伯格反相碼(Berger Invert Codes, BGI codes)之編解碼方法及其編碼器與檢查器電路之第一較佳實施例中，如圖 3 所示，該伯格反相碼之編解碼方法是適用於在各位元由 0 變成 1 的錯誤機率為 0 之情況下，經由一完全非對稱通道進行資料的傳輸，並包含步驟 1~8，其中步驟 1~3 為編碼步驟，步驟 4~8 為解碼步驟：

步驟 1：計算一輸入碼字 w 中值為 0 與 1 的位元數目，當 0 的數目小於 1 的數目時，進行步驟 2，當 0 的數目不小於 1 的數目時，進行步驟 3；

步驟 2：將該輸入碼字 w 反相且加入一值為 1 的反相位元 I 於該輸入碼字 w 中用以產生一編碼資料 x ，並同時依據該輸入碼字 w 中值為 1 的位元數目產生一對應的二進位之檢查碼 c ，進行步驟 4；

步驟 3：加入一值為 0 的反相位元 I 於該輸入碼字 w 中用以產生一編碼資料 x ，並同時依據該輸入碼字 w 中值為 0 的位元數目加 1 後產生一對應的二進位之檢查碼 c ，進行步驟 4；

步驟 4：由一完全非對稱通道傳送該編碼資料 x 與該檢查碼 c ；

步驟 5：由該完全非對稱通道接收該編碼資料 x 與該檢查碼 c ；

步驟 6：檢查該編碼資料 x 中的反相位元 I ，當該反相位元 I 為 1 時進行步驟 7，當該反相位元 I 為 0 時進行步驟 8；

步驟 7：先將該編碼資料 x 中的反相位元分離出來形成一待處理資料，再將該待處理資料反相以輸出一輸出碼字 w' ，最後判斷該編碼資料 x 中值為 0 的位元數目與該檢查碼 c 所表示之數目是否相同，若不相同則該輸出碼字 w' 與該輸入碼字 w 不同，判斷為有單向錯誤發生；及

步驟 8：將該編碼資料 x 中的反相位元分離出來形成一待處理資料，再將該待處理資料直接輸出為一輸出碼字 w' ，最後判斷該編碼資料 x 中值為 0 的位元數目與該檢查碼 c 所表示之數目是否相同，若不相同則該輸出碼字 w' 與該輸入碼字 w 不同，判斷為有單向錯誤發生。

如圖 4 所示，在本發明伯格反相碼之編解碼方法及其編碼器與檢查器電路之第一較佳實施例中，該編碼器與該檢查器電路是適用於在各位元由 0 變成 1 的錯誤機率為 0 之情況下，經由一完全非對稱通道 3 進行資料的傳輸，其中，該編碼器電路 4 包括一 0 與 1 計數器單元 41、一第一算數邏輯單元 42、一第二算術邏輯單元 43、一互斥或邏輯閘 44 及一加法器 45。

該 0 與 1 計數器單元 41 同時接收一位元數目為 n 的輸

入碼字 w 並計算該輸入碼字 w 中值為 0 的位元數目與值為 1 的位元數目，並將計算後的結果同時傳送至該第一、二算數邏輯單元 42、43 進行比較。其中，經由計算求得之 0 的位元數目是先經過該加法器 45 加 1 之後再傳送至該第二算術邏輯單元 43。

當該輸入碼字 w 中值為 0 的位元數目小於值為 1 的位元數目，該第一算數邏輯單元 42 輸出一值為 1 的反相位元 I 至該互斥或邏輯閘 44 與該第二算術邏輯單元 43。當該輸入碼字 w 中值為 0 的位元數目不小於值為 1 的位元數目，該第一算數邏輯單元 42 輸出一值為 0 的反相位元 I 至該互斥或邏輯閘 44 與該第二算術邏輯單元 43。

該互斥或邏輯閘 44 接收該反相位元 I 與該輸入碼字 w 後，依該反相位元 I 的值判斷是否將該輸入碼字 w 反相輸出，並將其輸出結果與該反相位元 I 合併得到一位元數目為 $n+1$ 的編碼資料 x 。該第二算術邏輯單元 43 依該反相位元 I 的值決定將該 0 與 1 計數器單元 41 的計算結果輸出成一檢查碼 c 。當該反相位元 $I=1$ 時，該第二算術邏輯單元 43 輸出該輸入碼字 w 中 1 的位元數目之二進位值為該檢查碼 c 。當該反相位元 $I=0$ 時，因為經過該加法器 45，該第二算術邏輯單元 43 輸出該輸入碼字 w 中值為 0 的位元數目加 1 後之二進位值為檢查碼 c 。

然後，由該完全非對稱通道 3 傳送該編碼資料 x 與該檢查碼 c ，並由該完全非對稱通道 3 接收該編碼資料 x 與該檢查碼 c 。

該檢查器電路 5 包括一 0 計數器 51、一第三算數邏輯單元 52，及一互斥或邏輯閘 53。

該 0 計數器 51 接收該編碼資料 x 並計算其中值為 0 的位元數目。該互斥或邏輯閘 53 接收分離出該編碼資料 x 中的反相位元 I 而形成的一待處理資料 J 與該反相位元 I ，並依該反相位元 I 的值判斷是否將該待處理資料 J 反相輸出以求得一輸出碼字 W' 。該第三算數邏輯單元 52 接收來自該 0 計數器 51 的計算結果與該檢查碼 c 並進行比較，以判斷是否有單向錯誤發生。其中，當該反相位元 $I=1$ 時，該待處理資料 J 會被反相以輸出該輸出碼字 w' 。當該反相位元 $I=0$ 時，該待處理資料 J 會被直接輸出為該輸出碼字 w' 。

舉例來說，在該輸入碼字 w 中值為 0 的位元數目小於 1 的位元數目的情況下：假設該輸入碼字 w 為 11100 的資料串列，此時因為值為 0 的位元數目小於值為 1 的位元數目，因此該輸入碼字 w 會被反相成 00011，並加上一值為 1 的反相位元 I 而使該編碼資料 x 成為 000111。該 0 與 1 計數器單元 41 會分別計算該輸入碼字 w 中值為 0 與 1 的位元數目，當該反相位元 $I=1$ 時，即該輸入碼字 w 中值為 0 的位元數目小於 1 的位元數目時，因為該檢查碼 c 為該輸入碼字 w 中值為 1 的位元數目，所以該檢查碼 c 為 011。

檢驗時，該 0 計數器 51 會計算輸入檢查器電路 5 之編碼資料 x (000111) 中值為 0 的位元數目，得到 011 (十進位為 3)，再將該檢查碼 c (011) 與該 0 計數器 51 求得的值 (011) 做比對，若不同則表示該輸入碼字 w 與該輸出碼字 w' 不同，

判斷為有單向錯誤發生。

另外，在該輸入碼字 w 中值為 0 的位元數目不小於 1 的位元數目的情況下：假設該輸入碼字 w 為 00011 的資料串列，此時因為值為 0 的位元數目大於值為 1 的位元數目，因此該輸入碼字 w 不會被反相，並加上一值為 0 的反相位元 I 而使該編碼資料 x 成為 000110。該 0 與 1 計數器單元 41 會分別計算該輸入碼字 w 中值為 0 與 1 的位元數目，當該反相位元 $I=0$ 時，即該輸入碼字 w 中值為 0 的位元數目不小於 1 的位元數目時，因為該檢查碼 c 為該輸入碼字 w 中值為 0 的位元數目加 1，所以該檢查碼 c 為 100。

檢驗時，該 0 計數器 51 會計算輸入該檢查器電路 5 之編碼資料 x (000110) 中值為 0 的位元數目，得到 100(十進位為 4)，再將該檢查碼 c (100) 與該 0 計數器 51 求得的值(100) 做比對，若不同則表示該輸入碼字 w 與該輸出碼字 w' 不同，判斷為有單向錯誤發生。

值得說明的是，如圖 5 所示，該 0 與 1 計數器單元 41 也可以是由一 0 計數器 411 與一 1 計數器 412 組成。另外，如圖 6 所示，該 0 與 1 計數器單元 41 也可以是由一 0 計數器 411 與一常數減法器 413 所組成。該 0 計數器 411 計算出該輸入碼字 w 中值為 0 的位元數目，並由該常數減法器 413 利用該輸入碼字 w 的位元數目 n 減去值為 0 的位元數目得到值為 1 的位元數目。假設該 0 計數器 411 計算出該輸入碼字 w 中有 5 個 0，而該輸入碼字 w 之位元數目 n 為 13，由該常數減法器 413 可計算出該輸入碼字 w 中有 8 個 1。

如圖 7 之錯誤率比較表中記載之數據顯示，將本發明伯格反相碼及其編碼器與檢查器電路應用在完全非對稱通道中的資料傳輸時的總錯誤率 E ，相較於傳統伯格碼的總錯誤率 E 可減少 12.3% 到 21.3%，明顯地改善了存在於傳統伯格碼中的缺點。

在本發明伯格反相碼之編解碼方法及其編碼器與檢查器電路之第二較佳實施例中，如圖 8 所示，該伯格反相碼之編解碼方法是適用於在各位元由 1 變成 0 的錯誤機率為 0 之情況下經由一完全非對稱通道進行資料的傳輸，並包含步驟 1~8，其中步驟 1~3 為編碼步驟，步驟 4~8 為解碼步驟：

步驟 1：計算一輸入碼字 w 中值為 0 與 1 的位元數目，當 1 的數目小於 0 的數目時，進行步驟 2，當 1 的數目不小於 0 的數目時，進行步驟 3；

步驟 2：將該輸入碼字 w 反相且加入一值為 0 的反相位元 I 於該輸入碼字 w 中用以產生一編碼資料 x ，並同時依據該輸入碼字 w 中值為 0 的位元數目產生一對應的二進位之檢查碼 c ，進行步驟 4；

步驟 3：加入一值為 1 的反相位元 I 於該輸入碼字 w 中用以產生一編碼資料 x ，並同時依據該輸入碼字 w 中值為 1 的位元數目加 1 後產生一對應的二進位之檢查碼 c ，進行步驟 4；

步驟 4：由一完全非對稱通道傳送該編碼資料 x 與該檢查碼 c ；

步驟 5：由該完全非對稱通道接收該編碼資料 x 與該檢查碼 c ；

步驟 6：檢查該編碼資料 x 中的反相位元 I ，當該反相位元 I 為 0 時進行步驟 7，當該反相位元 I 為 1 時進行步驟 8；

步驟 7：先將該編碼資料 x 中的反相位元分離出來形成一待處理資料，再將該待處理資料反相以輸出一輸出碼字 w' ，最後判斷該編碼資料 x 中值為 1 的位元數目與該檢查碼 c 所表示之數目是否相同，若不相同則該輸出碼字 w' 與該輸入碼字 w 不同，判斷為有單向錯誤發生；及

步驟 8：將該編碼資料 x 中的反相位元分離出來形成一待處理資料，再將該待處理資料直接輸出為一輸出碼字 w' ，最後判斷該編碼資料 x 中值為 1 的位元數目與該檢查碼 c 所表示之數目是否相同，若不相同則該輸出碼字 w' 與該輸入碼字 w 不同，判斷為有單向錯誤發生。

另外，上述之二個較佳實施例是分別說明在該輸入碼字 w 中各位元之值由 0 變成 1 的錯誤機率為 0，及由 1 變成 0 的錯誤機率為 0 的兩種情況下，本發明伯格反相碼編解碼方法的詳細編解碼步驟。但值得注意的是，位元值 1 並不限定於高電位，也可以被定義為低電位；而位元值 0 並不限定於低電位，也可以被定義為高電位。

綜上所述，本發明之功效有三：

其一，藉由在該輸入碼字 w 中加入一個反相位元 I 的方式進行編碼，不但不會增加太多額外面積成本，並可有效降低傳輸碼字錯誤率。

其二，若高電位被定義為 1，因為在該第一較佳實施例中當該輸入碼字 w 中值為 0 的位元數目小於 1 的位元數目時，除了加上一個值為 1 的反相位元 I 之外，整個資料串列會被反轉，使得值為 1 的位元數目小於 0 的位元數目，並使得傳輸中資料串列中的 1 的位元數目恆小於 0 的位元數目，因此可降低平均資訊功率。同理，若高電位被定義為 0，因為在該第二較佳實施例中當該輸入碼字 w 中值為 1 的位元數目小於 0 的位元數目時，除了加上一個值為 0 的反相位元 I 之外，整個資料串列會被反轉，使得值為 0 的位元數目小於 1 的位元數目，並使得傳輸中資料串列中的 0 的位元數目恆小於 1 的位元數目，因此該第二較佳實施例亦可達成降低平均資訊功率之功效。

其三，與傳統伯格碼的編碼器與檢查器電路相比，本發明所需增加的硬體面積成本幾乎可以忽略，故確實能達成本發明之目的。

惟以上所述者，僅為本發明之較佳實施例而已，當不能以此限定本發明實施之範圍，即大凡依本發明申請專利範圍及發明說明內容所作之簡單的等效變化與修飾，皆仍屬本發明專利涵蓋之範圍內。

【圖式簡單說明】

圖 1 是習知應用於伯格碼的一電路圖；

圖 2 是一錯誤率比較表，說明一理想的傳輸錯誤率與一傳統伯格碼的傳輸錯誤率；

圖 3 是本發明伯格反相碼之編解碼方法及其編碼器與

檢查器電路之第一較佳實施例的一流程圖，說明一種伯格反相碼之編解碼方法；

圖 4 是該第一較佳實施例的一電路圖，說明一種用於伯格反相碼之編解碼方法的編碼器與檢查器電路；

圖 5 是該第一較佳實施例的一局部電路圖，說明一 0 與 1 計數器單元的組成；

圖 6 是該第一較佳實施例的另一局部電路圖，說明一 0 與 1 計數器單元的組成；

圖 7 是該第一較佳實施例的一錯誤率比較表，說明一理想的傳輸錯誤率、一傳統伯格碼及一伯格反相碼的傳輸錯誤率；及

圖 8 是本發明伯格反相碼之編解碼方法及其編碼器與檢查器電路之第二較佳實施例的一流程圖，說明一種伯格反相碼之編解碼方法。

【主要元件符號說明】

1	編碼器電路	元	
11	輸入端	43	第二算術邏輯單
12	0 計數器	元	
2	檢查器電路	44	互斥或邏輯閘
21	輸出端	45	加法器
22	算術邏輯單元	5	檢查器電路
23	0 計數器	51	0 計數器
4	編碼器電路	52	第三算術邏輯單
41	0 與 1 計數器單元	元	
42	第一算術邏輯單	53	互斥或邏輯閘

五、中文發明摘要：

一種伯格反相碼之編解碼方法，是適用於各位元由 0 變成 1 的錯誤機率為 0，且經由一完全非對稱通道進行資料的傳輸之情況下，並包含以下步驟：計算一輸入碼字中 0 與 1 的位元數目，若 0 小於 1，將該輸入碼字反相且加入一值為 1 的反相位元以產生一編碼資料，並依 1 的位元數目產生一檢查碼，再分離出該反相位元形成一待處理資料，將該待處理資料反相輸出一輸出碼字。若 0 不小於 1，加入一值為 0 的反相位元以產生一編碼資料，並依 0 的位元數目產生一檢查碼，再分離出該反相位元形成一待處理資料，並將該待處理資料直接輸出為一輸出碼字。

六、英文發明摘要：

十、申請專利範圍：

1. 一種伯格反相碼之編解碼方法，適用於在各位元由 0 變成 1 的錯誤機率為 0 之情況下，經由一完全非對稱通道進行資料的傳輸，並包含以下步驟：

(A) 計算一輸入碼字中值為 0 與 1 的位元數目，當 0 的數目小於 1 的數目時，進行步驟 (B)，當 0 的數目不小於 1 的數目時，進行步驟 (C)；

(B) 將該輸入碼字反相且加入一值為 1 的反相位元於該輸入碼字中用以產生一編碼資料，並同時依據輸入碼字中值為 1 的位元數目產生一檢查碼，進行步驟 (D)；

(C) 加入一值為 0 的反相位元於該輸入碼字中用以產生一編碼資料，並同時依據輸入碼字中值為 0 的位元數目加 1 後產生一檢查碼，進行步驟 (D)；

(D) 由該完全非對稱通道傳送並接收該編碼資料與該檢查碼；

(E) 當該反相位元為 1 時進行步驟 (F)，當該反相位元為 0 時進行步驟 (G)；

(F) 先將該編碼資料中的反相位元分離出來形成一待處理資料，再將該待處理資料反相以輸出一輸出碼字，最後判斷該編碼資料中值為 0 的位元數目與該檢查碼所表示之數目是否相同，若不相同則有單向錯誤發生；及

(G) 將該編碼資料中的反相位元分離出來形成一

待處理資料，再將該待處理資料直接輸出為一輸出碼字，最後判斷該編碼資料中值為 0 的位元數目與該檢查碼所表示之數目是否相同，若不相同則有單向錯誤發生。

2. 依據申請專利範圍第 1 項所述之伯格反相碼編碼與解碼方法，其中，步驟 (A) 中是分別計算該輸入碼字中值為 0 的位元數目與值為 1 的位元數目。
3. 依據申請專利範圍第 1 項所述之伯格反相碼編碼與解碼方法，其中，步驟 (A) 中是先計算該輸入碼字中值為 0 的位元數目，再將該輸入碼字的位元數目減去值為 0 的位元數目得到值為 1 的位元數目。
4. 一種應用請求項 1 所述之伯格反相碼編解碼方法之編碼器電路，包含：

一 0 與 1 計數器單元，接收一輸入碼字並計算該輸入碼字中值為 0 的位元數目與值為 1 的位元數目；

一第一算數邏輯單元，接收來自該 0 與 1 計數器單元的計算結果並進行比較，當該輸入碼字中值為 0 的位元數目小於值為 1 的位元數目，該第一算數邏輯單元輸出一值為 1 的反相位元，當該輸入碼字中值為 0 的位元數目不小於值為 1 的位元數目，該第一算數邏輯單元輸出一值為 0 的反相位元；

一互斥或邏輯閘，接收該反相位元與該輸入碼字，並依該反相位元的值判斷是否將輸入碼字反相輸出，並將其輸出結果與該反相位元合併得到一編碼資料；

一第二算術邏輯單元，接收來自該 0 與 1 計數器單

元的計算結果與該反相位元，並依反相位元的值決定將該 0 與 1 計數器單元的計算結果輸出成一檢查碼。

5. 依據申請專利範圍第 4 項所述之編碼器電路，其中，當該反相位元的值為 1 時，該第二算術邏輯單元將由該 0 與 1 計數器單元計算出的值為 1 的位元數目輸出成該檢查碼，當該反相位元的值為 0 時，該第二算術邏輯單元將由該 0 與 1 計數器單元計算出的值為 0 的位元數目加 1 輸出成該檢查碼。
6. 依據申請專利範圍第 4 項所述之編碼器電路，其中，該 0 與 1 計數器單元具有一 0 計數器與一 1 計數器。
7. 依據申請專利範圍第 4 項所述之編碼器電路，其中，該 0 與 1 計數器單元具有一 0 計數器與一常數減法器，該 0 計數器計算出該輸入碼字中值為 0 的位元數目，並由該常數減法器利用該輸入碼字的位元數目減去值為 0 的位元數目得到值為 1 的位元數目。
8. 依據申請專利範圍第 5 項所述之編碼器電路，更包含一位於該 0 與 1 計數器單元與該第二算術邏輯單元之間的加法器。
9. 一種配合請求項 4 所述之編碼器電路的檢查器電路，包含：

一互斥或邏輯閘，接收分離出該編碼資料中的反相位元而形成的一待處理資料與該反相位元，並依該反相位元的值判斷是否將該待處理資料反相輸出以求得一輸出碼字；

一 0 計數器，接收該編碼資料並計算其中值為 0 的位元數目；

一 第三算數邏輯單元，接收來自該 0 計數器的計算結果與該檢查碼並進行比較，以判斷該編碼資料中值為 0 的位元數與該檢查碼所代表的數目是否相同，若不相同則有單向錯誤發生。

10. 一種伯格反相碼之編解碼方法，適用於在各位元由 1 變成 0 的錯誤機率為 0 之情況下，經由一完全非對稱通道進行資料的傳輸，並包含以下步驟：

(A) 計算一輸入碼字中值為 0 與 1 的位元數目，當 1 的數目小於 0 的數目時，進行步驟 (B)，當 1 的數目不小於 0 的數目時，進行步驟 (C)；

(B) 將該輸入碼字反相且加入一值為 0 的反相位元於該輸入碼字中用以產生一編碼資料，並同時依據輸入碼字中值為 0 的位元數目產生一檢查碼，進行步驟 (D)；

(C) 加入一值為 1 的反相位元於該輸入碼字中用以產生一編碼資料，並同時依據輸入碼字中值為 1 的位元數目加 1 後產生一檢查碼，進行步驟 (D)；

(D) 由該完全非對稱通道傳送並接收該編碼資料與該檢查碼；

(E) 當該反相位元為 0 時進行步驟 (F)，當該反相位元為 1 時進行步驟 (G)；

(F) 先將該編碼資料中的反相位元分離出來形成

一待處理資料，再將該待處理資料反相以輸出一輸出碼字，最後判斷該編碼資料中值為 1 的位元數目與該檢查碼所表示之數目是否相同，若不相同則有單向錯誤發生；及

(G) 將該編碼資料中的反相位元分離出來形成一待處理資料，再將該待處理資料直接輸出為一輸出碼字，最後判斷該編碼資料中值為 1 的位元數目與該檢查碼所表示之數目是否相同，若不相同則有單向錯誤發生。

十一、圖式

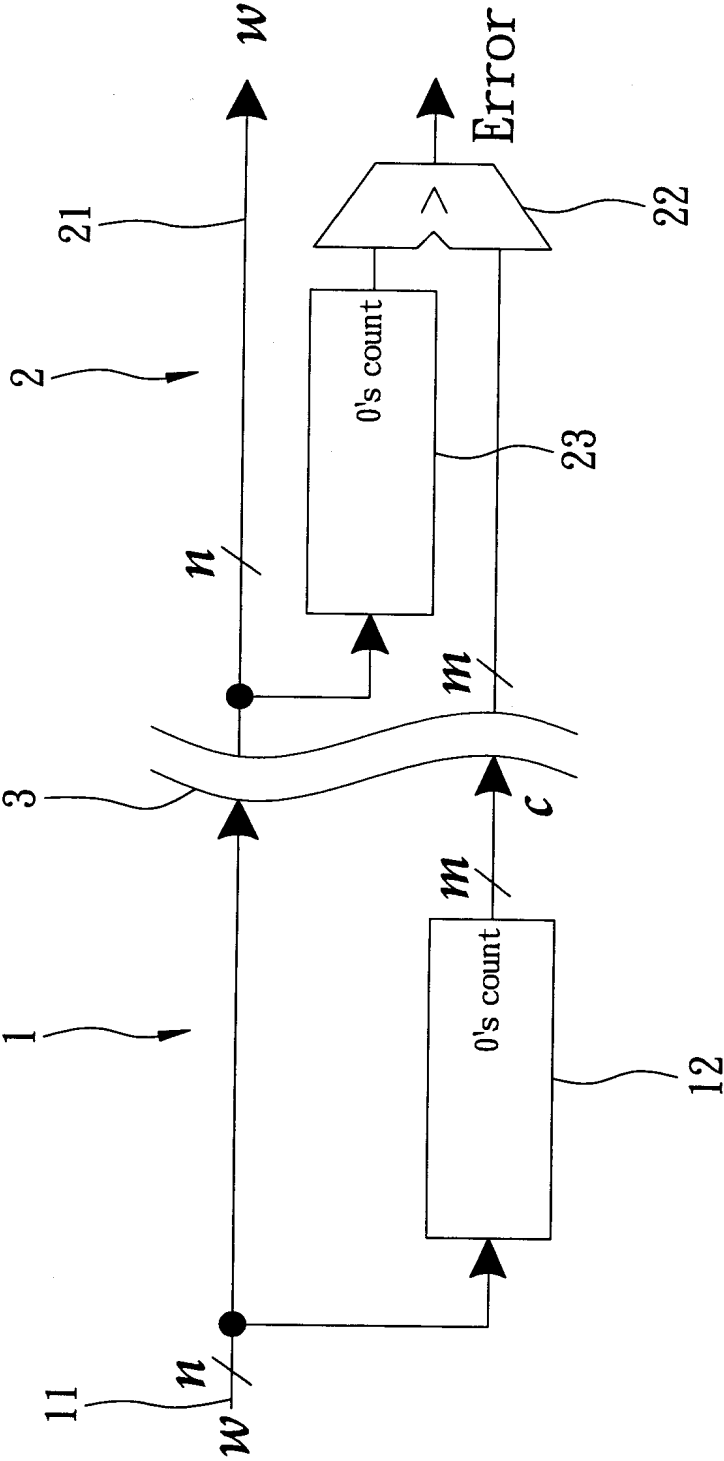


圖1

m	n	e	Original	BC
3	6	1.00E-10	3.00E-10	4.41E-10
		1.00E-06	3.00E-06	4.41E-06
		1.00E-03	3.00E-03	4.41E-03
4	14	1.00E-10	7.00E-10	8.98E-10
		1.00E-06	7.00E-06	8.98E-06
		1.00E-03	6.98E-03	8.94E-03
5	30	1.00E-10	1.50E-09	1.75E-09
		1.00E-06	1.50E-05	1.75E-05
		1.00E-03	1.49E-02	1.74E-02

圖2

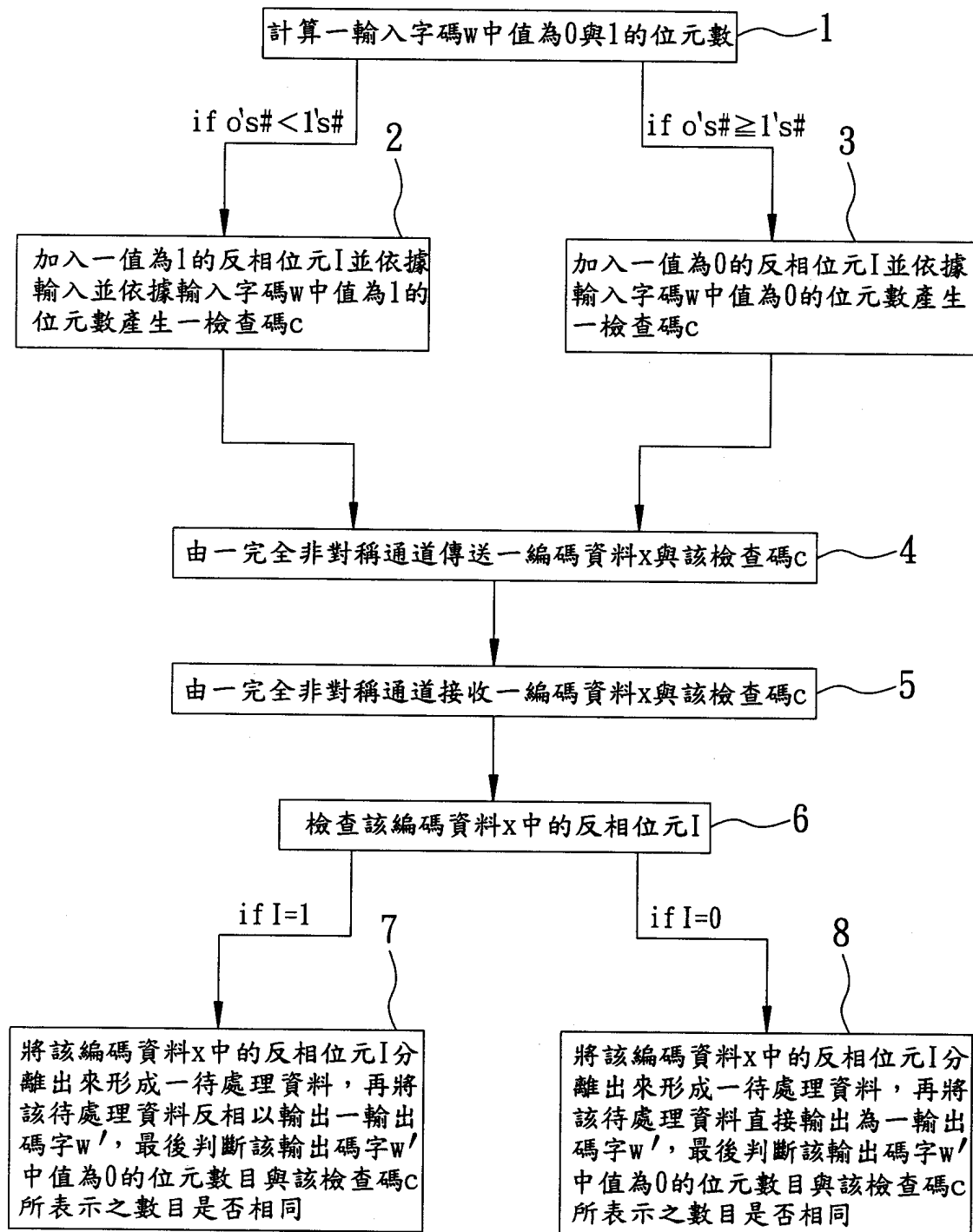


圖3

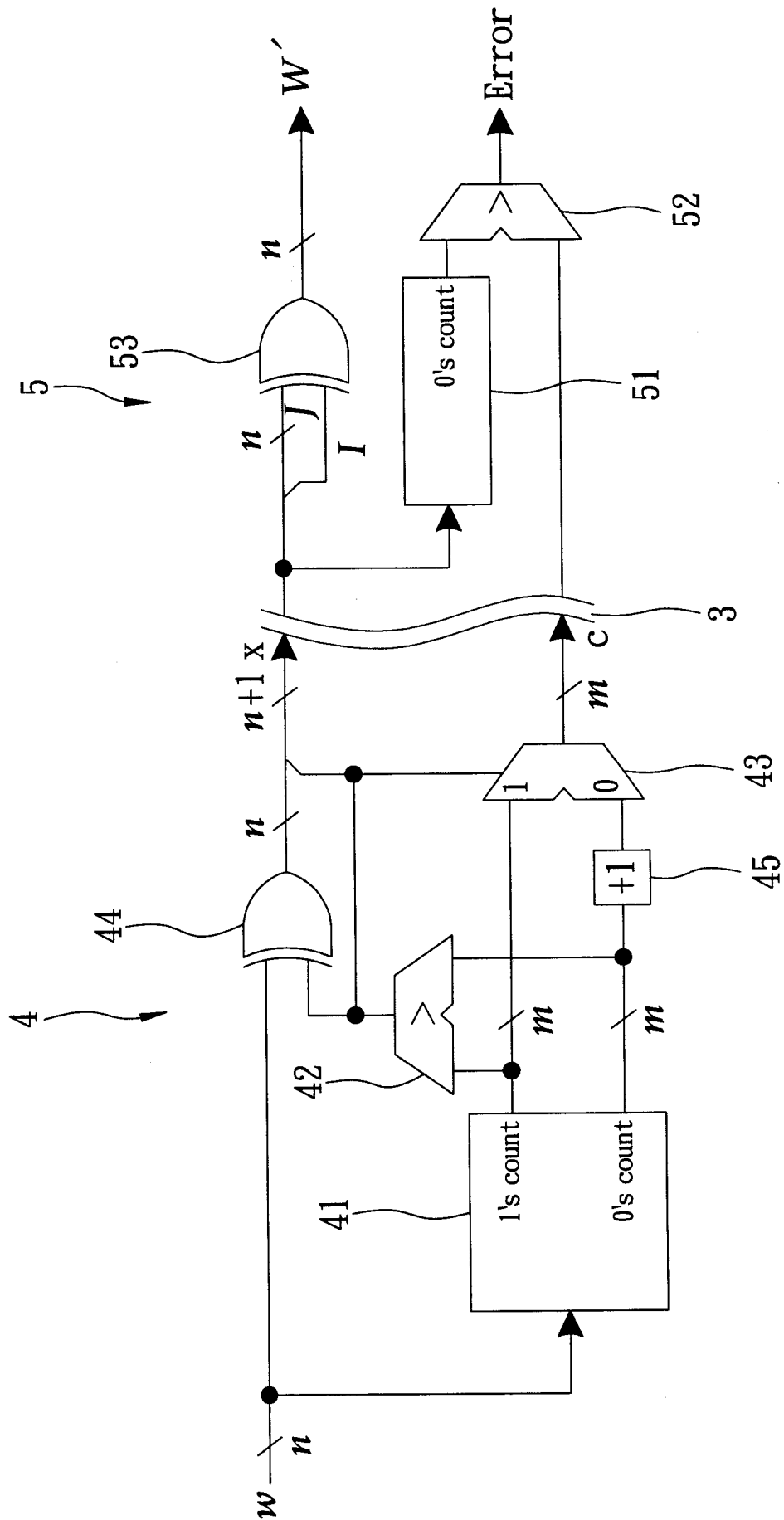


圖4

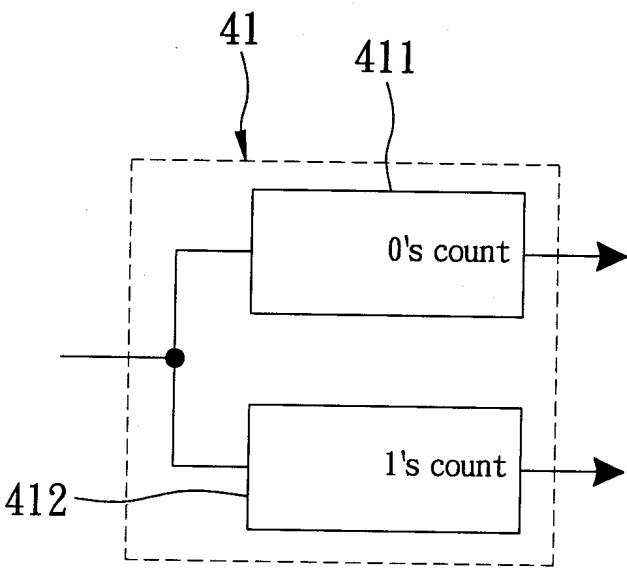


圖 5

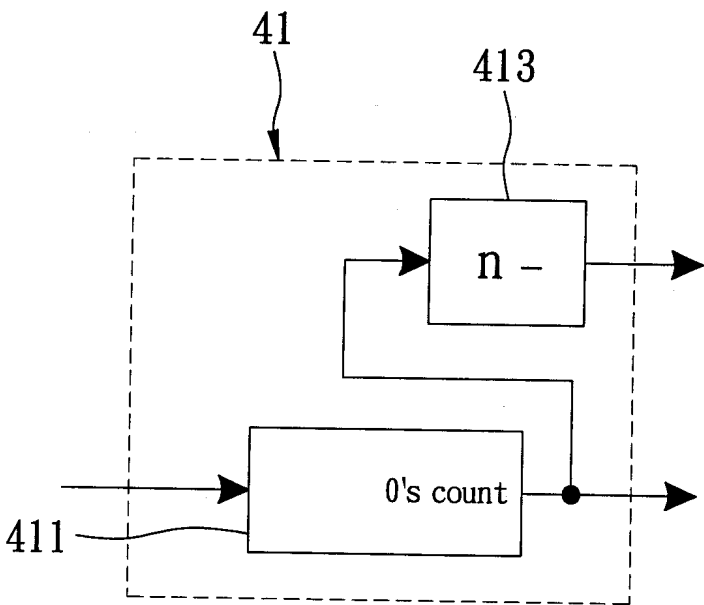


圖 6

m	n	e	Original	BC	BGI	Red%
3	6	1.00E-10	3.00E-10	4.41E-10	3.47E-10	21.3
		1.00E-06	3.00E-06	4.41E-06	3.47E-06	21.3
		1.00E-03	3.00E-03	4.41E-03	3.46E-03	21.2
4	14	1.00E-10	7.00E-10	8.98E-10	7.52E-10	16.3
		1.00E-06	7.00E-06	8.98E-06	7.52E-06	16.3
		1.00E-03	6.98E-03	8.94E-03	7.49E-03	16.3
5	30	1.00E-10	1.50E-09	1.75E-09	1.54E-09	12.4
		1.00E-06	1.50E-05	1.75E-05	1.54E-05	12.4
		1.00E-03	1.49E-02	1.74E-02	1.52E-02	12.3

圖7

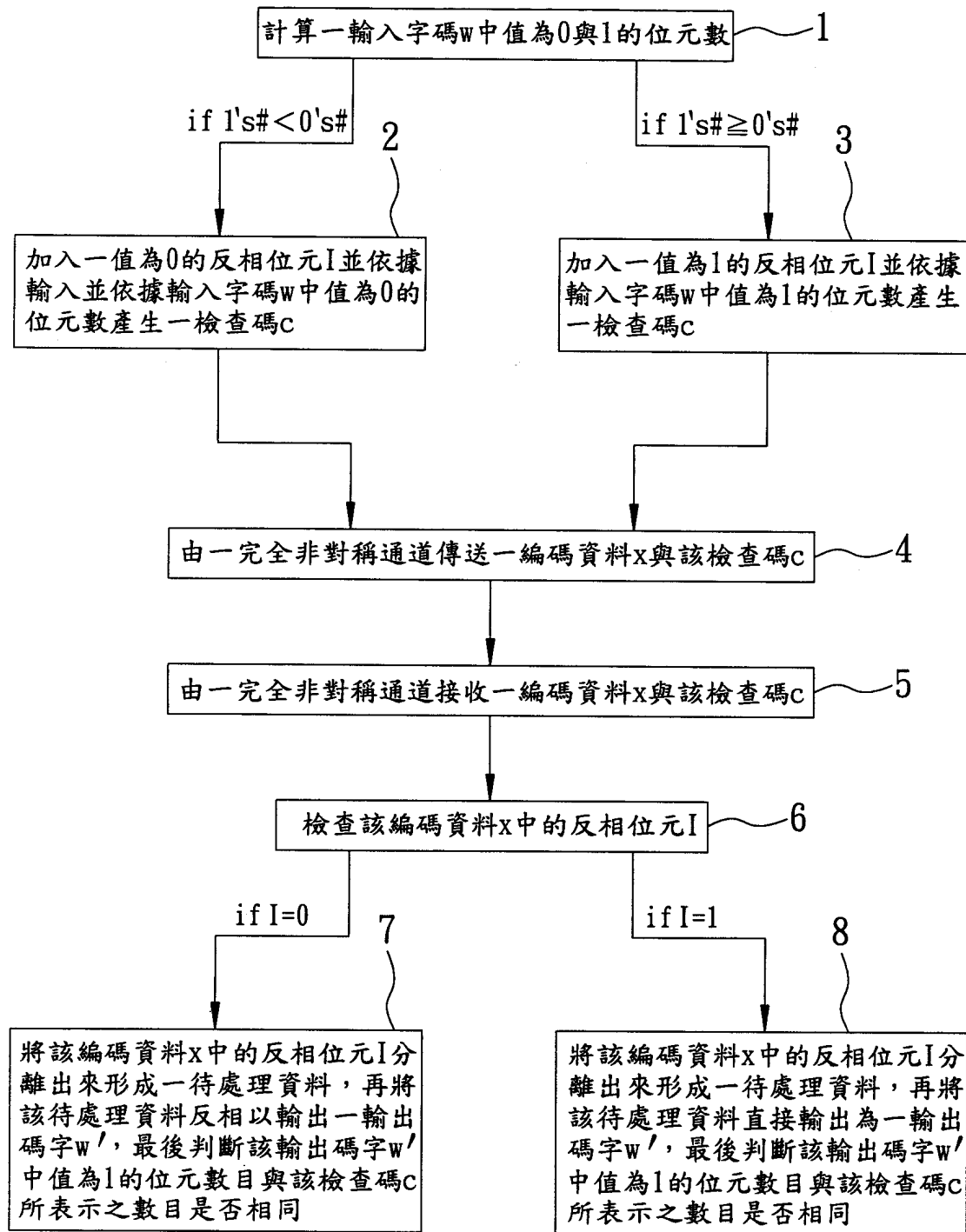


圖8

七、指定代表圖：

(一)本案指定代表圖為：圖 3。

(二)本代表圖之元件符號簡單說明：

無

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：