(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3713084号
(P3713084)

(45)発行日　平成17年11月2日(2005.11.2)　(24)登録日　平成17年8月26日(2005.8.26)

(51)Int.Cl.[7]	F I		
G09G 3/36	G09G	3/36	
G02F 1/133	G02F	1/133	505
G09G 3/20	G09G	3/20	612L
	G09G	3/20	612U
	G09G	3/20	631B

請求項の数 20　(全 21 頁)　最終頁に続く

(21)出願番号　特願平7-312483
(22)出願日　平成7年11月30日(1995.11.30)
(65)公開番号　特開平9-152848
(43)公開日　平成9年6月10日(1997.6.10)
審査請求日　平成14年11月19日(2002.11.19)

(73)特許権者　000005108
株式会社日立製作所
東京都千代田区丸の内一丁目６番６号
(73)特許権者　000233136
株式会社日立アドバンストデジタル
神奈川県横浜市戸塚区吉田町２９２番地
(74)代理人　110000198
特許業務法人湘洋内外特許事務所
(72)発明者　古橋　勉
神奈川県川崎市麻生区王禅寺１０９９番地
株式会社日立製作所　システム開発研究所内
(72)発明者　前田　武
神奈川県横浜市戸塚区吉田町２９２番地
株式会社日立画像情報システム内
最終頁に続く

(54)【発明の名称】液晶表示制御装置

(57)【特許請求の範囲】

【請求項１】

入力映像信号を拡大して表示する表示装置において、

１画面分の前記入力映像信号よりも少ない前記入力映像信号を格納可能なメモリと、

拡大された映像信号を表示するための液晶表示パネルと、

（前記液晶表示パネルの解像度）／（前記入力映像信号の解像度）に応じて、前記入力映像信号を非整数倍に拡大するための拡大処理回路と、

前記入力映像信号に伴って入力される入力水平同期信号にしたがって、前記入力映像信号を前記メモリに入力し、前記入力水平同期信号に同期した出力水平同期信号にしたがって、前記入力された映像信号を前記メモリから出力する制御回路とを備え、

前記制御回路は、Ｎ／Ｍを（前記液晶表示パネルの解像度）／（前記入力映像信号の解像度）に対応（ただし、Ｎ／Ｍは非整数）させた場合に、前記入力水平同期信号がＭ回発生するごとに前記出力水平同期信号を同期化させ、かつ、次の同期化までの間に前記出力水平同期信号を（Ｎ－１）回、一定の周期で生成することを特徴とする表示装置。

【請求項２】

請求項１に記載の表示装置において、

前記メモリは、２ライン分の前記入力映像信号を格納可能であることを特徴とする表示装置。

【請求項３】

請求項１に記載の表示装置において、

前記拡大処理回路は階調積分方式によって前記入力映像信号を拡大することを特徴とする表示装置。

【請求項４】

請求項１に記載の表示装置において、

前記入力映像信号に伴って入力される入力水平同期信号および垂直同期信号に基づいて、前記液晶表示パネルによって利用される表示タイミング信号を生成するためのタイミング生成回路をさらに備え、

前記タイミング生成回路は、前記拡大処理回路から拡大された映像信号を入力し、前記表示タイミング信号と共に前記液晶表示パネルに出力することを特徴とする表示装置。

【請求項５】

請求項４に記載の表示装置において、

前記タイミング生成回路は、

前記入力水平同期信号を本表示装置の基準クロックに同期化するための同期化回路と、同期化された前記入力水平同期信号と当該タイミング生成回路内部で生成した内部水平同期信号とを合成することによって前記出力水平同期信号を生成する生成回路とを備えることを特徴とする表示装置。

【請求項６】

請求項１に記載の表示装置において、

前記入力映像信号に伴って入力される入力水平同期信号および垂直同期信号に基づいて、前記入力映像信号の解像度を判定する判定回路をさらに備え、

前記拡大処理回路は、前記判定回路の判定結果を用いて、前記（前記液晶表示パネルの解像度）／（前記入力映像信号の解像度）に応じた前記入力映像信号の非整数倍拡大をすることを特徴とする表示装置。

【請求項７】

請求項６に記載の表示装置において、

前記入力映像信号に伴って入力される入力水平同期信号および垂直同期信号と前記判定回路の判定結果とに基づいて前記液晶表示パネルによって利用される表示タイミング信号を生成するためのタイミング生成回路をさらに備え、

前記タイミング生成回路は、前記拡大処理回路から拡大された映像信号を入力し、前記表示タイミング信号と共に前記液晶表示パネルに出力することを特徴とする表示装置。

【請求項８】

請求項７に記載の表示装置において、

前記判定回路の判定結果により、前記入力映像信号の解像度と前記液晶表示パネルの解像度とが一致する場合に、前記メモリおよび前記拡大処理回路をバイパスして、前記入力映像信号を前記タイミング生成回路に出力するためのバイパス回路をさらに備えることを特徴とする表示装置。

【請求項９】

請求項１に記載の表示装置において、

前記拡大処理回路は、前記メモリと前記液晶表示パネルとの間に接続され、

前記メモリから出力された前記映像信号を非整数倍に拡大することを特徴とする表示装置。

【請求項１０】

入力映像信号を拡大して表示する表示装置において、

１画面分の前記入力映像信号よりも少ない前記入力映像信号を格納可能なメモリと、

拡大された映像信号を表示するための液晶表示パネルと、

（前記液晶表示パネルの解像度）／（前記入力映像信号の解像度）に応じて、前記入力映像信号を非整数倍に拡大するための拡大処理回路と、

前記メモリへ前記入力映像信号が入力される入力タイミングに同期した出力タイミングにしたがって、前記入力された映像信号を前記メモリから出力する制御回路とを備え、

前記制御回路は、（前記液晶表示パネルの解像度）／（前記入力映像信号の解像度）に

応じて定められた間隔毎に、前記出力タイミングを前記入力タイミングに同期化し、前記出力タイミングを一定間隔とすることを特徴とする表示装置。

【請求項１１】

映像信号を拡大して表示するコンピュータシステムにおいて、

前記映像信号および水平同期信号を出力するコンピュータ本体と、

１画面分の前記入力映像信号よりも少ない前記映像信号を格納可能なメモリと、

拡大された映像信号を表示するための液晶表示パネルと、

（前記液晶表示パネルの解像度）／（前記映像信号の解像度）に応じて、前記映像信号を非整数倍に拡大するための拡大処理回路と、

前記コンピュータ本体から映像信号に伴って入力される入力水平同期信号にしたがって、前記映像信号を前記メモリに入力し、前記入力水平同期信号に同期した出力水平同期信号にしたがって、前記入力された映像信号を前記メモリから出力する制御回路とを備え、

前記制御回路は、Ｎ／Ｍを（前記液晶表示パネルの解像度）／（前記映像信号の解像度）に対応（ただし、Ｎ／Ｍは非整数）させた場合に、前記入力水平同期信号がＭ回発生するごとに前記出力水平同期信号を同期化させ、かつ、次の同期化までの間に前記出力水平同期信号を（Ｎ－１）回、一定の周期で生成することを特徴とするコンピュータシステム。

【請求項１２】

請求項１１に記載のコンピュータシステムにおいて、

前記メモリは、２ライン分の前記映像信号を格納可能であることを特徴とするコンピュータシステム。

【請求項１３】

請求項１１に記載のコンピュータシステムにおいて、

前記拡大処理回路は階調積分方式によって前記映像信号を拡大することを特徴とするコンピュータシステム。

【請求項１４】

請求項１１に記載のコンピュータシステムにおいて、

前記コンピュータ本体から映像信号に伴って入力される入力水平同期信号および垂直同期信号に基づいて、前記液晶表示パネルによって利用される表示タイミング信号を生成するためのタイミング生成回路をさらに備え、

前記タイミング生成回路は、前記拡大処理回路から拡大された映像信号を入力し、前記表示タイミング信号と共に前記液晶表示パネルに出力することを特徴とするコンピュータシステム。

【請求項１５】

請求項１４に記載のコンピュータシステムにおいて、

前記タイミング生成回路は、

前記入力水平同期信号を本表示装置の基準クロックに同期化するための同期化回路と、

同期化された前記入力水平同期信号と当該タイミング生成回路内部で生成した内部水平同期信号とを合成することによって前記出力水平同期信号を生成する生成回路とを備えることを特徴とするコンピュータシステム。

【請求項１６】

請求項１１に記載のコンピュータシステムにおいて、

前記コンピュータ本体から映像信号に伴って入力される入力水平同期信号および垂直同期信号に基づいて、前記映像信号の解像度を判定する判定回路をさらに備え、

前記拡大処理回路は、前記判定回路の判定結果を用いて、前記（前記液晶表示パネルの解像度）／（前記入力映像信号の解像度）に応じた前記映像信号の非整数倍拡大をすることを特徴とするコンピュータシステム。

【請求項１７】

請求項１４に記載のコンピュータシステムにおいて、

前記コンピュータ本体から映像信号に伴って入力される入力水平同期信号および垂直同

期信号と前記判定回路の判定結果とに基づいて前記液晶表示パネルによって利用される表示タイミング信号を生成するためのタイミング生成回路をさらに備え、
前記タイミング生成回路は、前記拡大処理回路から拡大された映像信号を入力し、前記表示タイミング信号と共に前記液晶表示パネルに出力することを特徴とする前記コンピュータシステム。
【請求項１８】
請求項１７に記載のコンピュータシステムにおいて、
前記判定回路の判定結果により、前記映像信号の解像度と前記液晶表示パネルの解像度とが一致する場合に、前記メモリおよび前記拡大処理回路をバイパスして、前記映像信号を前記タイミング生成回路に出力するためのバイパス回路をさらに備えることを特徴とするコンピュータシステム。
【請求項１９】
請求項１１に記載のコンピュータシステムにおいて、
前記拡大処理回路は、前記メモリと前記液晶表示パネルとの間に接続され、
前記メモリから出力された前記映像信号を非整数倍に拡大することを特徴とするコンピュータシステム。
【請求項２０】
映像信号を拡大して表示するコンピュータシステムにおいて、
前記映像信号を所定の入力タイミングで出力するコンピュータ本体と、
１画面分の前記入力映像信号よりも少ない前記映像信号を格納可能なメモリと、
拡大された映像信号を表示するための液晶表示パネルと、
（前記液晶表示パネルの解像度）／（前記映像信号の解像度）に応じて、前記映像信号を非整数倍に拡大するための拡大処理回路と、
前記メモリへ前記映像信号が入力される入力タイミングに同期した出力タイミングにしたがって、前記入力された映像信号を前記メモリから出力する制御回路とを備え、
前記制御回路は、（前記液晶表示パネルの解像度）／（前記入力映像信号の解像度）に応じて定められた間隔毎に、前記出力タイミングを前記入力タイミングに同期化し、前記出力タイミングを一定間隔とすることを特徴とするコンピュータシステム。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、パーソナルコンピュータ等からの映像信号を液晶表示装置に拡大表示する際に必要な記憶素子の小容量化等を図った液晶表示制御装置に関する。
【０００２】
【従来の技術】
従来、パーソナルコンピュータ等からの映像情報を拡大表示する液晶表示制御装置として、例えば、特開平４－１２３９３号公報に開示されているように、パーソナルコンピュータ等からの映像信号を一旦フレームメモリに格納し、読み出しを液晶表示に適したタイミングで行う技術が知られている。以下、該技術の詳細を図１２、図１３を用いて説明する。
【０００３】
図１２は、特開平４－１２３９３号公報に開示されている液晶表示装置内部の制御回路ブロック構成図である。図１２において、符号“１１０１”を付したのは、パーソナルコンピュータ等からの映像信号である。符号“１１０２”を付したのは同期信号である。同様に、符号“１１０３”は水平／垂直タイミング及び基本クロック生成回路、符号“１１０４”は入力信号自動判別回路、符号“１１０５”はフレームメモリデータ及びライト制御信号生成回路、符号“１１０６”はフィールドメモリ及びラインバッファより構成されるフレームメモリ回路、符号“１１０７”はフレームメモリリード制御及び、表示データ生成回路、符号“１１０８”は拡大表示制御回路、符号“１１０９”は液晶表示回路、符号“１１１０”は液晶表示ユニットを指している。

【０００４】
図１３は、図１２のフレームメモリ回路１１０６の詳細を示すブロック図である。図１３において、符号“１２０１”を付したのはフィールドメモリである。同様に、符号“１２０２”はラインバッファ、符号“１２０３”は読み出しデータセレクト回路を指している。

【０００５】
図１２、図１３において、水平・垂直タイミング及び基本クロック作成回路１１０３は、パーソナルコンピュータ等から入力されるＣＲＴ表示装置駆動用の水平及び垂直の同期信号１１０２に基づいて、フレームメモリデータ作成及びフレームメモリ書き込み回路１１０５の動作を制御するための水平タイミング信号，垂直タイミング信号及び基本クロック信号CK１を作成する。

【０００６】
フレームメモリデータ作成及びフレームメモリ書き込み回路１１０５は、基本クロック信号ＣＫ１に基づいて、制御信号WRCT（ライトクロック信号SWCK、ライトイネーブル信号WE、リセットライト信号RSTW）を発生し、これをフィールドメモリ１２０１に対し出力する（図１３参照）。また、パーソナルコンピュータ等から入力される映像信号１１０１より作成した一画面分に相当するメモリデータDinを、フィールドメモリ１２０１に順次書き込んで一旦格納する。

【０００７】
一方、フレームメモリ読み出し及び表示データ作成回路１１０７は、液晶表示回路１１０９の生成する液晶表示駆動用クロック信号CK２と拡大表示制御回路１１０８の生成する制御信号とに基づいて、制御信号ＲＤＣＴを生成する。そして、この制御信号ＲＤＣＴを、フレームメモリ回路１１０６へ出力する。なお、液晶表示駆動用クロック信号CK２は、前述の基本クロック信号CK１よりも周期が長くされている。

【０００８】
この制御信号ＲＤＣＴは、リードクロック信号SRCK，リードリセット信号RSTR，ライトクロック信号WCK，リセットライト信号RSTWN，リードクロック信号RCK，リセットリード信号RSTRNおよびデータ選択信号SELDTからなる。このうち、リードクロック信号SRCK及びリードリセット信号RSTRは、フィールドメモリ１２０１に供給される。ライトクロック信号WCK，リセットライト信号RSTWN，リードクロック信号RCK及びリセットリード信号RSTRNは、フレームメモリ回路１１０６のラインバッファ１２０２に供給される。データデータ選択信号SELDTは、フレームメモリ１１０６の読み出しデータセレクト回路１２０３に対し供給される。

【０００９】
読み出しデータセレクト回路１２０３は、フィールドメモリ１２０１の出力データD１とラインバッファ１２０２の出力データD２とのうちの何れか一方を選択し、フレームメモリ読み出しデータDoutとして出力させる。

【００１０】
上述のフレームメモリ読み出し及び表示データ作成回路１１０７は、このデータDoutに基づいて、液晶表示ユニット１１１０に適合するシリアルな液晶表示データを作成する。

【００１１】
液晶表示回路１１０９は、液晶表示駆動用クロック信号CK２に基づいて、液晶表示駆動信号、データシフトクロック信号及び交流化信号の液晶表示ユニット１１１０のフォーマットに適合した信号を発生する。

【００１２】
液晶表示ユニット１１１０は、フレームメモリ読み出し及び表示データ作成回路１１０７の出力する液晶表示データと、液晶表示回路１１０９の出力する信号とに基づいて、所定の画像を表示させる。

【００１３】
ところで、拡大表示制御回路１１０８は、画面の一部を拡大する指示がオペレータにより

なされたか否かを判断している。拡大表示の指示がなされたと判断した場合は、指示された拡大倍率及びその領域等の情報に従って、フレームメモリデータ作成及びフレームメモリ書き込み回路１１０５およびフレームメモリ読み出し及び表示データ作成回路１１０７を制御する。

【００１４】

また、入力信号自動判別回路１１０４は、同期信号１１０２に基づいて、例えばパーソナルコンピュータの種別により異なる入力ビデオ信号を判別する。そして、その判別結果に応じて、水平・垂直タイミングおよび基本クロック作成回路１１０３を制御している。

【００１５】

【発明が解決しようとする課題】

前記従来技術では、拡大処理を可能としていた。しかし、フィールドメモリを使用して映像信号の入出力を完全非同期で制御しているため、フィールドメモリには１画面分の映像情報を格納するだけのメモリ容量が必要であった。そして、１画面分の映像情報を格納可能なメモリ容量とは、現在のメモリの技術水準にとって小さいものではない。

【００１６】

さらに従来技術では、全ての映像信号を一旦フレームメモリ回路１１０６に格納することで、液晶表示ユニットへの読み出しタイミングが常に一定となるようにしている。そのため、高解像度の映像信号が入力されている場合には、拡大処理の有無に関わらず高速アクセス可能なフィールドメモリが必要であった。高速アクセス可能なメモリは高価であり、このようなメモリの使用は表示装置の低コスト化を阻む要因となっていた。

【００１７】

本発明の目的は、メモリ容量の増大を抑えつつ拡大処理を可能とした液晶表示制御装置を提供することにある。

【００１８】

本発明の他の目的は、アクセス速度の低速なメモリ（すなわち、安価なメモリ）を使用していながら、高解像度の映像信号にも対応可能な液晶表示制御装置を提供することにある。

【００１９】

本発明の更に他の目的は、画質及びコストをユーザの要求に応じて任意に選択可能な液晶表示制御装置を提供することにある。

【００２０】

【課題を解決するための手段】

本発明は上記目的を達成するためになされたもので、その第１の態様としては、映像信号を入力されて、該映像信号に応じた表示データを液晶表示パネルに出力することで該液晶表示パネルに映像を表示させる液晶表示制御装置において、上記入力された映像信号を格納可能な記憶素子と、上記映像信号をその入力されたタイミングで上記記憶素子に記憶させる一方で、上記液晶表示パネルへ上記表示データを出力するタイミングで上記記憶素子から上記映像信号を読み出させるメモリ制御手段と、を有することを特徴とする液晶表示制御装置が提供される。

【００２１】

該第１の態様の作用を説明する。

【００２２】

メモリ制御手段は、パーソナルコンピュータ等入力された映像信号をその入力されたタイミングで上記記憶素子に記憶させる。また、その一方で、上記液晶表示パネルへ上記表示データを出力するタイミングで上記記憶素子から上記映像信号を読み出させる。従って、該記憶素子は２ライン分の記憶容量があれば足りる。

【００２３】

本発明の第２の態様としては、映像信号を入力されて、該映像信号に応じた映像を液晶表示パネルに表示させる液晶表示制御装置において、上記入力された映像信号を格納するフレームメモリと、上記フレームメモリから読み出された映像信号を格納するラインメモリ

と、上記フレームメモリおよび上記ラインメモリに対するデータの映像信号の書き込みおよび読み出しを制御するメモリ制御手段と、上記フレームメモリから読み出された映像信号および上記ラインメモリから読み出された映像信号に所定の処理を施した後、上記液晶表示パネルに対し出力する演算処理回路と、を有し、上記メモリ制御手段は、上記フレームメモリからの映像信号の読み出しを、上記フレームメモリへの上記映像信号の書き込みに、別途定められたある間隔ごとに同期させることを特徴とする液晶表示制御装置が提供される。

【００２４】

この場合、上記フレームメモリの記憶容量は、上記入力された映像信号の２ライン分であることが好ましい。

【００２５】

該第２の態様の作用を説明する。

【００２６】

メモリ制御手段は、パーソナルコンピュータ等から入力された映像信号の上記フレームメモリからの映像信号の読み出しを行わせる。この場合、メモリ制御手段はこの読み出しを、上記フレームメモリへの上記映像信号の書き込みに、別途定められたある間隔ごとに同期させる（常に同期している必要はない）。従って、フレームメモリの記憶容量は映像信号の２ライン分で足りる。

【００２７】

演算処理回路は、フレームメモリから読み出された映像信号および上記ラインメモリから読み出された映像信号に所定の処理（例えば、拡大処理）を施した後、液晶表示パネルに対し出力する。該所定の処理が拡大／縮小処理である場合には、上述の別途定められたある間隔とは、この拡大／縮小率に応じて定められることになる。

【００２８】

フレームメモリ、ラインメモリを単一種類の記憶素子で構成すれば、装置の簡素化という観点からみた場合有利である。本発明では、入出力を非同期に制御すること、および、入出力動作を同時に行うことが必要となる。従って、使用する記憶素子としては、ＦＩＦＯタイプのラインバッファがもっとも好ましい（本発明の他の態様についても同様である）。なお、映像信号を２パラレルで処理する場合であれば、伸長方向に１ライン分の容量を持ったＦＩＦＯタイプのラインメモリを用いてフレームメモリを構成できる。このようにすれば単位時間内に処理可能なデータ量が２倍になるため処理速度が向上する。

【００２９】

本発明の第３の態様としては、映像信号を入力されて、該映像信号に応じた映像を液晶表示パネルに表示させる液晶表示制御装置において、上記入力された映像信号を格納するフレームメモリと、上記フレームメモリから読み出された映像信号を格納するための別途用意されたラインメモリを装着可能なメモリ装着部と、上記フレームメモリに対する映像信号の入出力および上記メモリ装着部に装着されるラインメモリに対する映像信号の入出力を制御可能に構成されたメモリ制御手段と、上記フレームメモリ、または、上記フレームメモリおよび上記上記メモリ装着部に装着されたラインメモリ、から読み出された映像信号に所定の処理を施した後、上記液晶表示パネルに対し出力する演算処理回路と、を有することを特徴とする液晶表示制御装置が提供される。

【００３０】

この場合、上記演算処理回路は、上記ラインメモリの有無に応じてその処理内容を変更するものであることが好ましい。

【００３１】

さらには、上記メモリ装着部は、メモリカードを装着可能に構成されていることが好ましい。

【００３２】

上記演算処理回路の行う処理は、上記映像信号に対応した映像の拡大／縮小処理を含んでもよい。

【００３３】
該第３の態様の作用を説明する。
【００３４】
メモリ制御手段は、フレームメモリ、メモリ装着部に装着されるラインメモリ（これは、メモリカード化してもよい）に映像信号を入出力させる。演算処理回路は、フレームメモリ、メモリ装着部に装着されたラインメモリ、から読み出された映像信号に所定の処理（例えば、映像信号に対応した映像の拡大／縮小処理）を施した後、液晶表示パネルに対し出力する。演算処理回路は、ラインメモリの有無に応じてその処理内容を変更する。従って、単にラインメモリを装着するか否かによって、各ユーザの望む画質及び許容されるコストに応じたシステムを構成することができる。
【００３５】
本発明の第４の態様としては、映像信号を入力されて、該映像信号に応じた映像を液晶表示パネルに表示させる液晶表示制御装置において、入力された上記映像信号の解像度を判定する解像度判定手段と、上記映像信号をそのままバイパス映像信号として出力させる第１処理手段と、上記入力された映像信号に所定の処理を施した後、処理信号として出力させる第２処理手段と、上記第１処理手段または上記第２処理手段の出力する信号の上記液晶表示パネルへの出力タイミングを調整するタイミング調整手段と、を備え、上記第１処理手段は、上記解像度判定手段の判定によって得られた上記映像信号の解像度が上記液晶表示パネルの解像度と一致する場合には上記バイパス映像信号を出力し、逆に、上記解像度判定手段の判定によって得られた上記映像信号の解像度が上記液晶表示パネルの解像度と一致しない場合には上記バイパス映像信号の出力を停止するものであり、上記第２処理手段は、上記解像度判定手段の判定によって得られた上記映像信号の解像度が上記液晶表示パネルの解像度と一致する場合には上記処理信号の出力を停止し、逆に、上記解像度判定手段の判定によって得られた上記映像信号の解像度が上記液晶表示パネルの解像度と一致しない場合には上記処理信号を出力するものであること、を特徴とする液晶表示制御装置が提供される。
【００３６】
この場合、上記第２処理手段は、上記映像信号に拡大処理を施すものであってもよい。
【００３７】
該第４の態様における作用を説明する。
【００３８】
解像度判定手段は、入力された映像信号の解像度を判別する。第１処理手段、第２処理手段は、その判別結果に応じて処理動作を変更する。つまり、解像度判定手段の判定によって得られた映像信号の解像度が液晶表示パネルの解像度と一致する場合に、第１処理手段は、バイパス映像信号を出力する。一方、第２処理手段は、処理信号の出力を停止する。逆に、映像信号の解像度が液晶表示パネルの解像度と一致しない場合、第２処理手段は、入力された映像信号に所定の処理（例えば、映像の拡大処理）を施した後、処理信号として出力する。一方、第１処理手段はバイパス映像信号の出力を停止する。タイミング調整手段は、第１処理手段または第２処理手段の出力する信号のタイミングを調整した後、液晶表示パネルへ出力させる。
【００３９】
このように解像度に応じて映像信号の処理手段（あるいは、処理経路）を切り替えることで、各処理手段を構成する素子として、あらゆる解像度の映像信号に対応可能なもの採用する必要はない。例えば第２処理手段がフレームメモリ等を用いて行う拡大処理等を行うものである場合、この第２処理手段は液晶パネルの解像度と一致するような高解像度の映像信号を処理する能力は要求されない。従って、アクセス速度が遅く安価なメモリを用いて第２処理手段のフレームメモリを構成できる。
【００４０】
【発明の実施の形態】
以下、本発明の一実施形態を図面を用いて詳細に説明する。

【００４１】
本実施形態の液晶表示制御装置は、図１に示すとおり、Ａ／Ｄ変換回路１０４、解像度判定回路１０７、ゲート回路１０９、フレームメモリ１１０、ラインメモリ１１１、フレーム／ラインメモリ制御回路１１２および表示タイミング生成回路１２０を備えている。言うまでもないが、この液晶表示制御装置は、パーソナルコンピュータ１０１および液晶表示パネル１２４に接続して使用される。ここでは、高解像度（例えば、１０２４×７６８ドット）の液晶表示パネル１２４に接続する場合を主として想定する。
【００４２】
Ａ／Ｄ変換回路１０４は、パーソナルコンピュータ１０１より出力されるアナログ映像信号１０２をデジタル化した上で、フレームメモリ１１０およびゲート回路１０９にデジタル映像信号１０５として出力している。同様に、パーソナルコンピュータ１０１より出力される同期信号１０３についても、デジタル信号に変換した上で、フレーム／ラインメモリ制御回路１１２にドットクロック１０６として出力している。このドットクロック１０６はＡ／Ｄ変換回路１０４の変換速度を示している。
【００４３】
解像度判定回路１０７は、同期信号１０３に基づいて映像信号１０２の解像度を判定するものである。解像度判定回路１０７は、その判定結果を解像度判定結果１０８として、ゲート回路１０９，フレーム／ラインメモリ制御回路１１２および表示タイミング生成回路１２０に出力している。
【００４４】
ゲート回路１０９は、デジタル映像信号１０５のバイパス処理を行うためのものである。本実施形態のゲート回路１０９は、解像度が液晶表示パネル１２４の解像度と一致するデジタル映像信号１０５が入力されているときにはゲートを開いて、このデジタル映像信号１０５をバイパスデータ１１７として表示タイミング生成回路１２０に出力するように構成されている。これ以外の解像度のデジタル映像信号１０５が入力されているときには、ゲートを閉じて当該映像信号１０５を通さないようになっている。ゲート回路１０９は、解像度判定回路１０７から入力される解像度判定結果１０８に基づいてその時入力されている映像信号１０５の解像度を獲得している。
【００４５】
フレームメモリ１１０は、デジタル映像信号１０５を一時的に蓄えるためのものである。本実施形態では、該フレームメモリ１１０として、映像信号１０５の２ライン分の記憶容量を備えたＦＩＦＯタイプのラインバッファメモリを採用している。フレームメモリ１１０に一旦蓄えられたデータは、フレームメモリリードデータ１１５として、拡大処理制御回路１１８およびラインメモリ１１１へ出力されている。ラインメモリ１１１は、映像の拡大処理に供するため、フレームメモリ１１０に格納されているデータを１ライン分づつ読み出して格納するものである。このラインメモリ１１１も映像信号１０５の２ライン分の記憶容量を備えている。ラインメモリ１１１に蓄えられたデータは、ラインメモリリードデータ１１６として拡大処理制御回路１１８へ出力されている。本実施形態においては、フレームメモリ１１０およびラインメモリ１１１への入出力を同期して行っている。従って、フレームメモリ１１０が２ライン分しかなくても破綻をきたすことはない。この点は本発明の特徴の一つであるため後ほど詳細に説明する。なお、これらメモリ１１０，１１１の動作は、フレーム／ラインメモリ制御回路１１２から入力されるフレームメモリ制御信号１１３，ラインメモリ制御信号１１４によって制御されている。
【００４６】
フレーム／ラインメモリ制御回路１１２は、フレームメモリ１１０およびラインメモリ１１１の動作を制御するものである。そのためフレーム／ラインメモリ制御回路１１２は、ドットクロック１０６、同期信号１０３、解像度判定結果１０８およびメモリアクセス調停信号１２３に基づいて、フレームメモリ制御信号１１３、ラインメモリ制御信号１１４を生成し、これらをフレームメモリ１１０、ラインメモリ１１１へ出力している。また、後述のメモリ構成デコード信号２０６を表示タイミング生成回路１２０に出力している。

【００４７】
拡大処理制御回路１１８は、フレームメモリリードデータ１１５およびラインメモリリードデータ１１６を用いて、拡大処理を行うものである。そして、拡大処理を施した結果を映像信号１１９として、表示タイミング生成回路１２０へ出力している。なお、該拡大処理制御回路１１８、ラインメモリ１１１による映像の拡大処理自体は、基本的には上述した従来技術と同様である。
【００４８】
表示タイミング生成回路１２０は、映像信号１１７および映像信号１１９を、液晶表示パネル１２４の表示タイミングに調整するためのものである。該表示タイミング生成回路１２０は、これら信号のタイミングを調整後、映像信号１２１として液晶表示パネル１２４へ出力している。但し、上述したとおり映像信号１１７と映像信号１１９とは、その時入力されている映像信号１０５に応じていずれか一方のみが入力されるものであって、両者が同時に入力されることはない。表示タイミング生成回路１２０の行うタイミング調整動作も、解像度判定結果１０８（すなわち、その時入力されている映像信号１０５の解像度）に応じて異なったものとなる。このほか、表示タイミング生成回路１２０は、同期信号１０３および解像度判定結果１０８に基づいて表示用タイミング信号１２２およびメモリアクセス調停信号１２３を生成している。そして、表示用タイミング信号１２２については液晶表示パネル１２４へ、一方、メモリアクセス調停信号１２３についてはフレーム／ラインメモリ制御回路１１２へ出力している。このメモリアクセス調停信号１２３は、液晶表示パネル１２４の表示タイミングに同期した信号である。上述のフレームメモリ１１０からのデータの読み出しは、該メモリアクセス調停信号１２３に同期して行われるようになっている。該表示タイミング信号１２２，メモリアクセス調停信号１２３も、解像度判定結果１０８に応じて異なっている。
【００４９】
本実施形態は、デジタル映像信号１０５とフレームメモリリードデータ１１５とのタイミングを同期化することを一つの特徴としている。また、アナログ映像信号１０２（デジタル映像信号１０５）の解像度が液晶表示パネル１２４の解像度と一致している場合には、表示データをゲート回路１０９を介してバイパスデータ１１７として出力することを特徴としている。このような特徴を備えたことで、本実施形態ではフレームメモリ１１０として、ラインメモリ１１１と同様の低速、低容量なＦＩＦＯタイプのラインバッファを使用可能である。
【００５０】
次に本実施形態の液晶表示制御装置の動作概要を図１を用いて説明する。
【００５１】
Ａ／Ｄ変換回路１０４は、アナログ映像信号１０２をデジタル映像信号１０５に変換する。これと並行して、解像度判定回路１０７は、水平／垂直同期信号１０３により解像度判定を行う。そして、その判定結果１０８をゲート回路１０９、フレーム／ラインメモリ制御回路１１２および表示タイミング生成回路１２０に出力する。
【００５２】
ゲート回路１０９，フレーム／ラインメモリ制御回路１１２および表示タイミング生成回路１２０は、解像度判定結果１０８に応じてその動作内容を変える。
【００５３】
（１）映像信号１０５の解像度が液晶表示パネル１２４の解像度と一致する場合ゲート回路１０９はゲートを開く。そして、この時入力されたデジタル映像信号１０５を、バイパスデータ１１７として表示タイミング生成回路１２０へ出力させる。表示タイミング生成回路１２０は、このバイパスデータ１１７のタイミングを調整した後表示データ１２１として液晶表示パネル１２４に出力する。またこれと併せて、同期信号１０３を表示タイミング信号１２２として、液晶表示パネル１２４に出力する。一方、フレーム／ラインメモリ制御回路１１２は、この場合（映像信号１０５の解像度が液晶表示パネル１２４の解像度と一致する場合）には、メモリアクセスを停止している。

【００５４】
（２）デジタル映像データ１０５の解像度が液晶パネル１２４の解像度よりも低い場合
ゲート回路１０９はゲートを閉じる。従って、バイパスデータ１１７は出力されない。一方、フレーム／ラインメモリ制御回路１１２は、フレームメモリ１１０、ラインメモリ１１１に対して後述するライト／リード制御を実施する。該ライト／リード制御が実施されると、デジタル化映像信号１０５は拡大処理等が施された上で表示タイミング生成回路１２０に出力されることになる。以下、該ライト／リード制御を説明する。
【００５５】
フレーム／ラインメモリ制御回路１１２によるライト／リード制御が開始されると、デジタル化映像信号１０５は、まず、フレームメモリ１１０にライトされる。フレームメモリ１１０へライトされた表示データは、メモリアクセス調停信号１２３（すなわち、液晶表示パネル１２４の表示タイミング）に合わせて読み出され、フレームメモリリードデータ１１５として拡大処理制御回路１１８およびラインメモリ１１１へ出力される。この場合、フレームメモリ１１０からの読み出しは、あらかじめ定められたある間隔（これは、拡大率に応じて定まる）毎に、フレームメモリ１１０への書き込みと同期して行われる。従って、フレームメモリ１１０が２ライン分の容量しかなくても、問題が生じることはない。
【００５６】
ラインメモリ１１１へライトされた表示データは、一定期間遅延後リードされて、拡大処理制御回路１１８に出力される。拡大処理制御回路１１８は、フレームメモリリードデータ１１５とラインメモリリードデータ１１６とに基づいて拡大処理を実行する。そして、その拡大処理を施した結果を、映像信号１１９として表示タイミング生成回路１２０に出力する。表示タイミング生成回路１２０は、この映像信号１１９のタイミング調整を行う。そしてタイミング調整後の映像信号を表示データ１２１として、表示タイミング信号１２２と共に前記液晶表示パネル１２４に出力する。また、同期信号１０３と表示タイミング生成回路１２０の内部で生成する同期信号とにより表示タイミング信号１２２を生成し液晶パネル１２４へ出力する。
【００５７】
以上で本実施形態の概要説明を終わる。
【００５８】
次に、図１のフレーム／ライン制御回路１１２および表示タイミング生成回路１２０中のメモリアクセス調停信号生成部２１３の詳細を図２を用いて説明する。
【００５９】
フレーム／ライン制御回路１１２は、入力映像信号有効化回路２０４、メモリ構成デコード回路２０５、拡大演算デコード回路２０７、同期回路２０９、内部水平同期信号生成回路２１１、メモリアクセス調停回路２１３、フレームメモリライト制御回路２１４、フレームメモリリード制御回路２１５、ラインメモリライト制御回路２１６およびラインメモリリード制御回路２１７を備えている。
【００６０】
メモリ構成デコード回路２０５は、フレーム／ラインメモリ制御回路１１２の外部から入力されるモード信号２０１をデコードし、そのデコード結果をデコード信号２０６として出力するものである。このデコード信号２０６は、フレームメモリ１１０およびラインメモリ１１１のメモリ構成を示している。モード信号２０１のデコード対応一覧を表１に示す。
【００６１】
【表１】

表１

MODE0	MODE1	メモリ構成	
		フレームメモリ	ラインメモリ
0	0	有	有
0	1	有	無
1	1	無	無

【００６２】
メモリ構成モードとしては、フレーム／ラインメモリの双方有り、フレームメモリのみ有り、フレーム／ラインメモリの双方共無し、の３通りがある。本実施形態では、フレームメモリ１１０とラインメモリ１１１との双方を有しているため（図１参照）、モード信号２０１は“MODE(１:０)=(０、０)”となる。
【００６３】
拡大演算デコード回路２０７は、拡大演算モードを示す演算モード信号２０３をデコードし、そのデコード結果をデコード信号２０８として出力している。演算モード信号２０３は、フレーム／ラインメモリ制御回路１１２の外部から入力されている。演算モード信号２０３のデコード対応一覧を表２に示す。
【００６４】
【表２】

表２

SCALE2	SCALE1	SCALE0	演算ﾓｰﾄﾞ
0	0	0	ﾒﾓﾘ無しｽﾙｰ
0	0	1	ﾒﾓﾘ有りｽﾙｰ
0	1	0	2→3（階調積分）
0	1	1	2→3（単純拡大）
1	0	0	4→5（階調積分）
1	0	1	4→5（単純拡大）

【００６５】
なお、モード信号２０１、演算モード信号２０３は、論理的に“Ｈ”もしくは“Ｌ”の固定レベル信号である。
【００６６】
ここでは演算モードとして、スルーモード（メモリ有り／無し）、２→３拡大（階調積分方式／単純拡大方式）、４→５拡大（階調積分方式／単純拡大方式）の６種類があるものとする。スルーモードとは、拡大表示可能な解像度の映像信号を拡大処理せずに入力サイズのままで表示するモードである。階調積分方式とは、各ドットに階調の重み付けをした上で、所定の演算をした結果得られたデータを前記液晶表示パネル１２４のドットに対応させることでドット数を増加させる方式である（図３参照）。単純拡大方式とは、あるドットを液晶表示パネル１２４の２ドットに対応させて表示し、残りのドットは液晶表示パネル１２４の１ドットに対応させて表示する方式である（図４参照）。
【００６７】
図１の構成では、メモリ有りのスルーモード“SCALE(２:０)=(０、０、１)”と、２→３拡大（階調積分方式）“SCALE(２:０)=(０、１、０)”と、４→５拡大（階調積分方式）

“SCALE(２:０)=(１、０、０)”とのうちのいずれかの演算モードとなる。なお、ここで拡大サイズを、２→３（１.５倍）もしくは４→５（１.２５倍）としたのは単なる一例であり、任意の倍率設定が可能である。

【００６８】

各種入力モードでの拡大サイズ一覧を表３に示した。

【００６９】

【表３】

表３

入力ﾓｰﾄﾞ	変換率	変換後ｻｲｽﾞ
640*350	2→3	960*525
640*400	2→3	960*600
640*480	2→3	960*720
800*600	4→5	1000*750
1024*768	スルー	1024*768

【００７０】

ここでは、液晶表示パネル１２４の解像度が１０２４×７６８（ＸＧＡモード）の高解像度であるとする。８００×６００（ＳＶＧＡ）の中解像度の入力モードのみが、４→５（１.２５倍）の拡大となる。その他の低解像度の入力モードでは、２→３（１.５倍）の拡大となる。液晶表示パネル１２４と同じ１０２４×７６８（ＸＧＡ）の入力モードでは、スルーモードとなる。

【００７１】

図２における同期回路２０９は、入力水平同期信号１０３を、表示タイミングの基準となる基準クロック２０２に同期化した上で、入力水平同期信号２１０として内部水平同期信号生成回路２１１へ出力している。なお、基準クロック２０２は、フレーム／ラインメモリ制御回路１１２の外部に設けられたクロックから入力されている。

【００７２】

内部水平同期信号生成回路２１１は、入力水平同期信号２１０を内部で発生させる内部水平同期信号と合成した後、出力水平同期信号２１２としてメモリアクセス調停回路２１３へ出力している。

【００７３】

メモリアクセス調停回路２１３は、フレームメモリ１１０、ラインメモリ１１１へのアクセスのタイミングを調整するためのものである。このメモリアクセス調停回路２１３の出力しているメモリアクセス調停信号１２３は、モード信号２０１によるメモリ構成及び、演算モード信号２０３に従って、スルーモード、階調積分モード、単純拡大モードの各表示を行う際におけるフレームメモリ１１０、ラインメモリ１１１のアクセス方法を決める信号であり、具体的には、図５～図７（後述する第２の実施形態では、図９、図１０）の水平方向メモリアクセスタイミングチャートに示す動作シーケンスを選択するためのものである。該メモリアクセス調停回路２１３は、実際には、図１における表示タイミング生成回路１２０に含まれている。

【００７４】

フレームメモリライト制御回路２１４およびフレームメモリリード制御回路２１５は、フレームメモリ１１０を制御するためのものである。

【００７５】

ラインメモリライト制御回路２１６およびラインメモリリード制御回路２１７は、ラインメモリ１１１を制御するためのものである。

【００７６】

なお、図２には現れていないが、図２に示した各部には、解像度判定信号１０８が入力されている。フレーム／ラインメモリ制御回路１１２および表示タイミング生成回路１２０などは、解像度判定信号１０８の値に応じて図５～図７（後述する第２の実施形態では、図９、図１０に示す動作）を切り替えるようになっている。

【００７７】

次に、フレーム／ラインメモリ制御回路１１２等による拡大処理動作を、図２、図５～図７を用いて説明する。

【００７８】

図５は、フレーム／ラインメモリ制御回路１１２による２→３拡大（階調積分方式）の動作を示すタイミングチャートである。図６は、４→５拡大（階調積分方式）の動作を示すタイミングチャートである。図７は、メモリ利用時のスルーモードの動作を示すタイミングチャートである。

【００７９】

入力映像信号有効化回路２０４は、同期信号(VSYNC-N/HSYNC-N)１０３およびドットクロック１０６に基づいて決定される所定のタイミングで、フレームメモリライト制御回路２１４を有効状態にする。

【００８０】

有効状態とされたフレームメモリライト制御部２１４は、デコード信号２０６およびドットクロック１０６により、フレームメモリ１１０のライト信号（クロック：FWCLK／ライトリセット：FRSTW-N）を生成する。このライト信号は、図１におけるフレームメモリ制御信号１１３の一部を構成するものである。このライト信号１１３に従ってなされるフレームメモリ１１０へのライト動作は、図５～図７に示した全てのモードにおいて、水平同期信号(HSYNC-N)１０３に同期したものとなっている。

【００８１】

フレームメモリリード制御回路２１５による制御内容は、ラインメモリライト制御回路２１６による制御内容と同一である。これは、階調積分方式による拡大処理の場合（図５、図６参照）、フレームメモリ１１０からリードしたデータを即、ラインメモリ１１１にライトするからである。例えば、図５の例では、フレームメモリ１１０からのデータの読み出し（ＦＲＤａｔａ１１５）と、ラインメモリ１１１へのデータの書き込み（ＬＷＤａｔａ１１５）とは、常に同じタイミングで行われている。

【００８２】

ラインメモリ１１１からのリードは、ライトサイクルより前（本実施形態では２ドットクロック前）に行う。ラインメモリ１１１へのライト動作を可能とするためである。

【００８３】

垂直方向については、一定間隔で入出力の同期化を行う。つまり、入力水平同期信号同期回路２０９は、入力水平同期信号(HSYNC-N)１０３を、表示タイミング基準クロック２０２に同期化した上で、入力水平同期信号２１０として出力する。内部水平同期信号生成回路２１１は、自らの内部で生成した内部水平同期信号とこの入力水平同期信号２１０とを合成する。そして、この合成によって得られた信号を、出力水平同期信号２１２としてメモリアクセス調停回路２１３に出力する。２→３拡大（階調積分方式）の場合、内部水平同期信号生成回路２１１は、入力水平同期信号(HSYNC-N)１０３が２回出力される度毎に、出力水平同期信号２１２を該入力水平同期信号１０３に同期化させる。そして、同期化の後、次回の同期化までの間に、出力水平同期信号２１２を２回生成する（図５参照）。一方、４→５拡大（階調積分方式）場合、内部水平同期信号生成回路２１１は、入力水平同期信号(HSYNC-N)１０３が４回出力される毎に出力水平同期信号２１２を同期化させる。そして、該同期化の後、次回の同期化までの間に、出力水平同期信号２１２を４回生成する（図６参照）。このような拡大率に応じた処理内容の切換は、デコード信号２０８に基づいてなされる。

【００８４】

メモリアクセス調停回路２１３は、出力水平同期信号２１２に基づいてメモリアクセス調

停信号１２３を生成する。そして、これをフレームメモリリード制御回路２１５、ラインメモリライト制御回路２１６およびラインメモリリード制御回路２１７へ出力する。

【００８５】

フレームメモリリード制御回路２１５，ラインメモリライト制御回路２１６およびラインメモリリード制御回路２１７は、このメモリアクセス調停信号１２３の他にも、メモリ構成デコード信号２０６、拡大演算デコード信号２０８、基準クロック２０２が入力されている。そして、フレームメモリリード制御回路２１５は、これらの信号２０２，２０６，２０８，１２３に従ってフレームメモリリード制御信号（クロック：FRCLK／リードリセット：FRSTR-N）を生成し出力する。なお、フレームメモリリード制御信号は、図１のフレームメモリ制御信号１１３の一部を構成するものである。また、同様に、ラインメモリライト制御回路２１６は、ラインメモリライト制御信号（クロック：LWCLK、ライトリセット：LRSTW-N）を生成する。ラインメモリリード制御回路２１７は、ラインメモリリード制御信号（クロック：LRCLK、リードリセット：LRSTR-N）を生成する。なお、ラインメモリライト制御信号およびラインメモリリード制御信号は、図１におけるラインメモリ制御信号１１４を構成するものである。

【００８６】

メモリ利用時のスルーモードの場合（図７参照）は拡大処理を行わないため、フレームメモリ１１０のみ使用する。フレーム／ラインメモリ制御回路１１２は、入力水平同期信号１０３と同じタイミングで出力水平同期信号２１２を発生させる。フレームメモリライトサイクルに対し、リードサイクルは１ライン（１水平期間）遅延させてリードする。

【００８７】

以上説明したとおり、該第１の実施形態（図１、図２）によれば、階調積分方式による拡大表示、メモリを利用したスルー表示が可能である。また、フレームメモリ１１０のリード動作とライト動作とを同期化して行っているため、２ライン分の容量を有するＦＩＦＯタイプのラインバッファをフレームメモリ１１０として使用可能である。

【００８８】

更に、液晶表示パネル１２４と同じ高解像度のアナログ映像信号１０２が入力された場合には、フレームメモリ１１０、ラインメモリ１１１をバイパスしてスルー表示を行う。従って、メモリ１１０，１１１は、中解像度以下の映像信号を処理できる程度の処理速度を備えたものであればよく、安価な低速メモリが利用可能となる。液晶表示パネル１２４の解像度が１０２４×７６８（ＸＧＡモード）、表示処理速度が３０Mhz、中解像度の映像信号の入力動作速度が最大５０MHz、２パラレル処理である場合に使用可能なフレームメモリ１１０，ラインメモリ１１１の一例を表４に示した。

【００８９】

【表４】

表４

型　名	ﾒｰｶｰ	構　成	ｻｲｸﾙﾀｲﾑ(ns)
HM63021	日立	2k*8bit	２８
uPD485505	ＮＥＣ	5k*8bit	２５

【００９０】

ここではデータを２パラレル処理することを仮定しているため、ドットクロックは入力動作速度５０MHzの半分の２５MHzとなる。本実施形態では高解像度の映像信号はメモリ１１０、１１１を通さない。従って、メモリ１１０，１１１はドットクロック２５ＭＨｚに対応できればよいことになる。これに対し本発明を適用していない場合には、高解像度の映像信号（ＸＧＡモード）もメモリ１１０、１１１を通して処理しなければならない。この場合には、入力処理速度が７０MHzと高くなり、ドットクロックも３７.５MHzと高くなってしまう。これに追従するには高価な高速メモリが必要となる。

【００９１】
本発明の第２の実施形態を図８を用いて説明する。
【００９２】
該第２の実施形態は、拡大処理の方式として単純拡大方式（図４参照）を採用している。従って、ラインメモリは搭載していない。図８中、破線で囲んだ部分が第１の実施形態（図１参照）と相違する部分である。
【００９３】
単純拡大方式（図４参照）による２→３拡大および４→５拡大時のタイミングチャートを図９、図１０に示した。フレーム／ラインメモリ制御回路１１２による入力水平同期信号の同期化、内部水平同期信号の生成等は、第１の実施形態（図２参照）と同様に行う。そのため、図２に示した回路は、該第２の実施形態でもそのまま使用可能である。
【００９４】
階調積分方式、単純拡大方式の制御切り替えは、演算モード信号２０３（図２参照）を拡大演算デコード回路２０７でデコードしたデコード信号２０８によって行う。
【００９５】
本実施形態における２→３単純拡大処理，４→５単純拡大処理は、共に、最初のラインを２度フレームメモリ１１０よりリードすることで実現している。ラインメモリ１１１を搭載している場合でも、該ラインメモリ１１１に対するリード／ライト制御を無効とすれば、単純拡大処理を実現できる。
【００９６】
以上説明した実施形態の液晶表示制御装置は、フレームメモリ搭載の有無に応じて拡大処理の内容（すなわち、画質）を変更できる。この場合、制御回路については変更を加える必要はない。従って、例えば、ラインメモリ１１１をメモリカード化し任意に搭載可能としておけば、エンドユーザは、用途，コストに応じて拡大処理方法（画質）を自由に選択することができる。
【００９７】
ラインメモリ１１１をメモリカード化した場合におけるメモリ構成の検出の構成について表５及び図１１を用いて説明しておく。ここでの説明は、メモリ構成に伴うモード信号の設定が下記表５のようになっているものとする。
【００９８】
【表５】

表５ （モード信号設定一覧表）

ＭＯＤＥ１	ＭＯＤＥ０	メモリ構成
Ｌ	Ｌ	なし
Ｌ	Ｈ	フレームメモリ
Ｈ	Ｈ	フレーム/ラインメモリ

【００９９】
メモリを一切使用しないスルーモード時は抵抗Ｒ２，Ｒ３が搭載され、ＭＯＤＥ（１：０）信号が論理的に“Ｌ”レベルとなる。フレームメモリのみを搭載し、単純拡大処理を行う際は抵抗Ｒ２の代わりに抵抗Ｒ１を搭載することで、ＭＯＤＥ（１：０）＝（Ｌ，Ｈ）となる。メモリカードによってラインメモリが搭載された場合には、メモリカードに搭載された抵抗Ｒ４の一端がＭＯＤＥ１端子に接続され、本端子が論理的に“Ｈ”レベルと

なる。つまりＭＯＤＥ（１：０）＝（Ｈ，Ｈ）レベルとなる。これによりフレームメモリとラインメモリとの双方を搭載していると認識され、階調積分処理が可能となる。

【０１００】

なお、特許請求の範囲において言う“記憶手段”とは、上述した実施形態におけるフレームメモリ１１０、ラインメモリ１１１に相当する。“メモリ制御手段”とは、フレーム／ラインメモリ制御回路１１２等に相当する。“演算処理回路”とは、拡大処理回路１１８等に相当する。“メモリ装着部”とは、図には示していないがラインメモリを装着するスロット等に相当する。“解像度判定手段”とは、解像度判定回路１０７に相当する。“第１処理手段”とは、ゲート１０９に相当する。“第２処理手段”とは、フレームメモリ１１０、ラインメモリ１１１、拡大処理回路１１８等に相当する。“タイミング調整手段”とは、表示タイミング生成回路１２０に相当する。

【０１０１】

【発明の効果】

以上説明したとおり本発明によれば、液晶表示パネルへの映像信号の拡大表示を、低速かつ低容量のメモリ（例えば、ＦＩＦＯタイプのラインバッファ）で実現できる。

【０１０２】

また、ラインメモリの搭載有無に応じて拡大処理方法を選択できる。従って、ユーザは、用途、コスト、要求される画質に応じて最適な装置構成を選択できる。

【図面の簡単な説明】

【図１】本発明の一実施形態である液晶表示制御装置の概略構成を示すブロック図である。

【図２】フレーム／ライン制御回路１１２及び、表示タイミング生成回路１２０中のメモリアクセス調停信号生成部２１３の内部構成の一例を示したブロック図である。

【図３】階調積分方式による拡大処理方式の概要を示す図である。

【図４】単純拡大方式による拡大処理方式の概要を示す図である。

【図５】階調積分方式による２→３拡大時の動作を示すタイミングチャートである。

【図６】階調積分方式による４→５拡大時の動作を示すタイミングチャートである。

【図７】メモリ利用時スルーモードの動作を示すタイミングチャートである。

【図８】本発明の第２の実施形態である液晶表示制御装置の概略構成を示すブロック図である。

【図９】単純拡大方式による２→３拡大時の動作を示すタイミングチャートである。

【図１０】単純拡大方式による４→５拡大時の動作を示すタイミングチャートである。

【図１１】メモリ構成を検出するための構成を示す図である。

【図１２】従来の液晶表示制御装置の構成の一例を示すブロック図である。

【図１３】従来のフレームメモリ回路1106の詳細を示すブロック図である。

【符号の説明】

101…パーソナルコンピュータ、102…アナログ映像信号、103…同期信号、104…Ａ／Ｄ変換回路、105…デジタル映像信号、106…ドットクロック、107…解像度判定回路、108…解像度判定結果、109…ゲート回路、110…フレームメモリ、111…ラインメモリ、112…フレーム／ラインメモリ制御回路、113…フレームメモリ制御信号、114…ラインメモリ制御信号、115…フレームメモリリードデータ、116…ラインメモリリードデータ、117…バイパスデータ、118…拡大処理制御回路、119…拡大処理後の映像信号、120…表示タイミング生成回路、121…タイミング調整後の映像信号、122…表示用タイミング信号、123…メモリアクセス調停信号、124…液晶表示パネル、201…モード信号、202…基準クロック、203…演算モード信号、204…入力映像信号有効化回路、205…メモリ構成デコード回路、206…メモリ構成デコード信号、207…拡大演算デコード回路、208…拡大演算デコード信号、209…同期回路、210…同期化された入力水平同期信号、211…内部水平同期信号生成回路、212…出力水平同期信号、213…メモリアクセス調停回路、214…フレームメモリライト制御回路、215…フレームメモリリード制御回路、216…ラインメモリライト制御回路、217…ラインメモリリード制御回路

【図１】

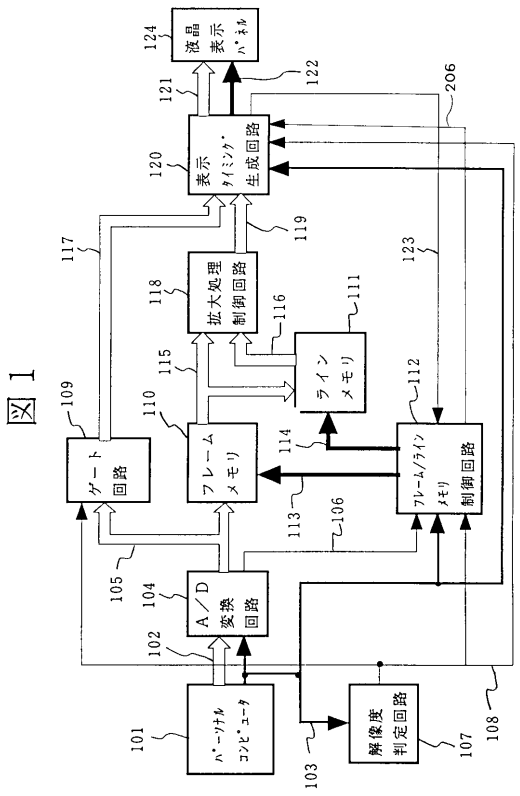


図１

【図２】

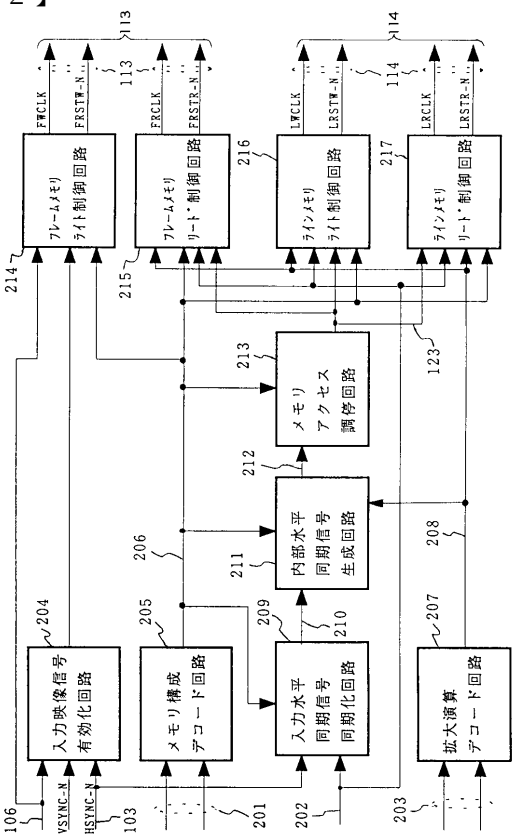
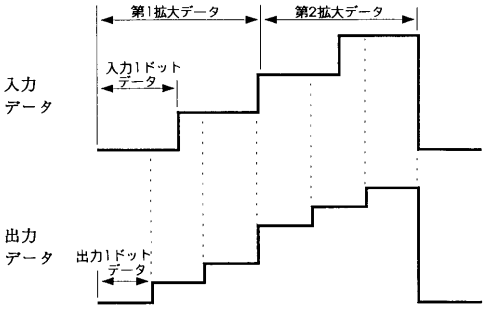


図２

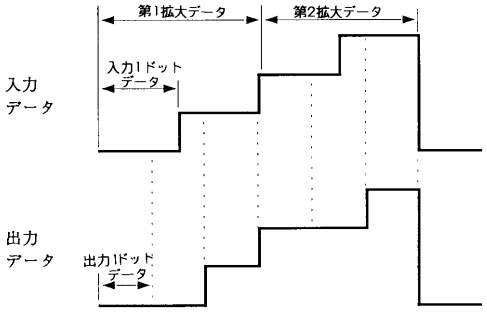
【図３】

図３　階調積分方式（２→３）



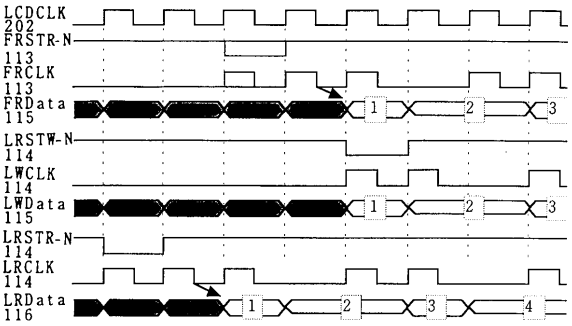
【図４】

図４　単純拡大方式（２→３）



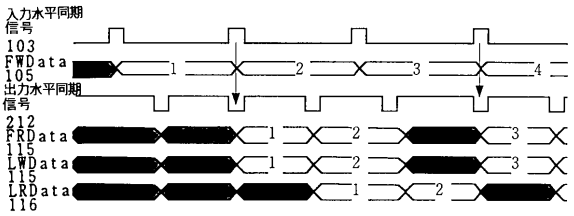
【図５】

図５



FRSTR-N、FRCLKの破線部は1st Hリード時のみ発生。

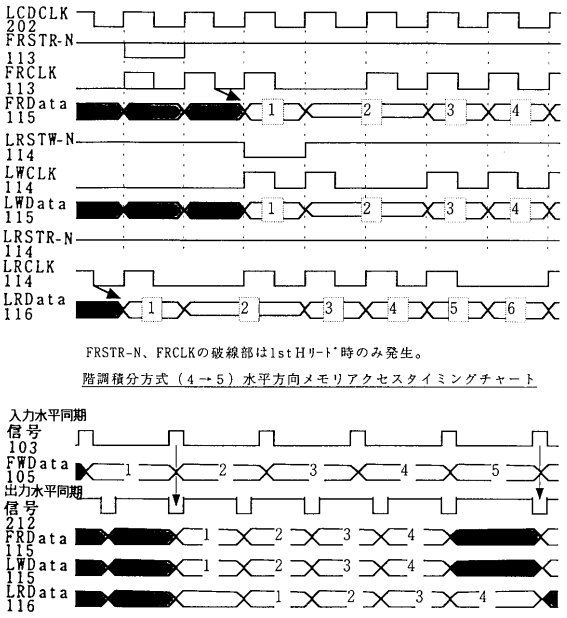
階調積分方式（２→３）水平方向メモリアクセスタイミングチャート



階調積分方式（２→３）垂直方向メモリアクセスタイミングチャート

【図６】

図６



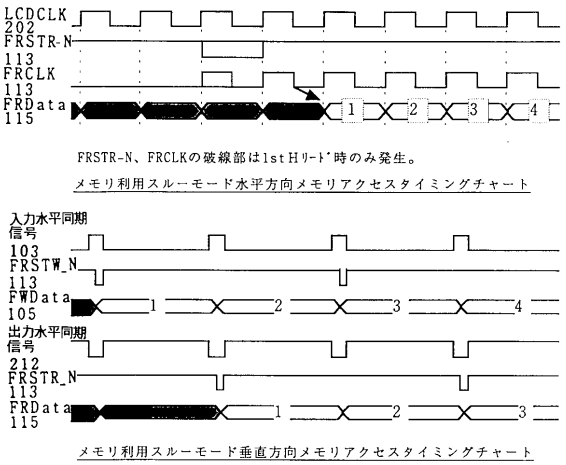
FRSTR-N、FRCLKの破線部はlstHﾘｰﾄﾞ時のみ発生。

階調積分方式（４→５）水平方向メモリアクセスタイミングチャート

階調積分（４→５）垂直方向メモリアクセスタイミングチャート

【図７】

図７



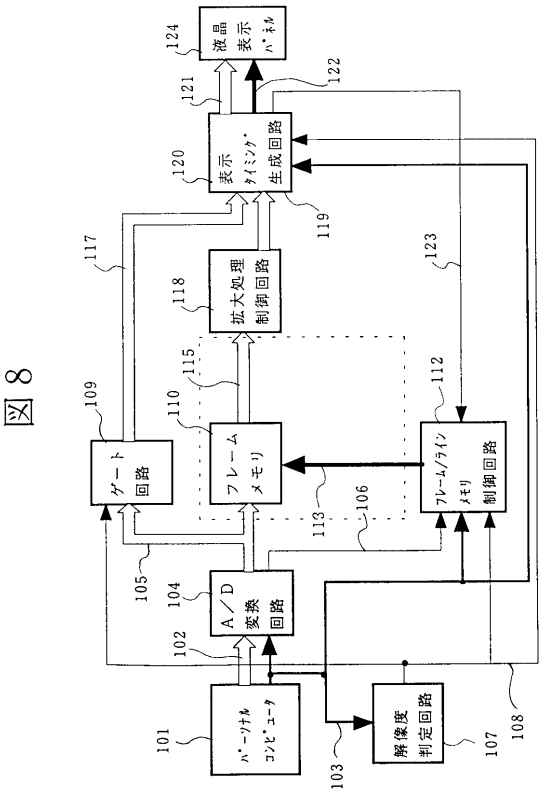
FRSTR-N、FRCLKの破線部はlstHﾘｰﾄﾞ時のみ発生。

メモリ利用スルーモード水平方向メモリアクセスタイミングチャート

メモリ利用スルーモード垂直方向メモリアクセスタイミングチャート

【図８】

図８



【図９】

図９



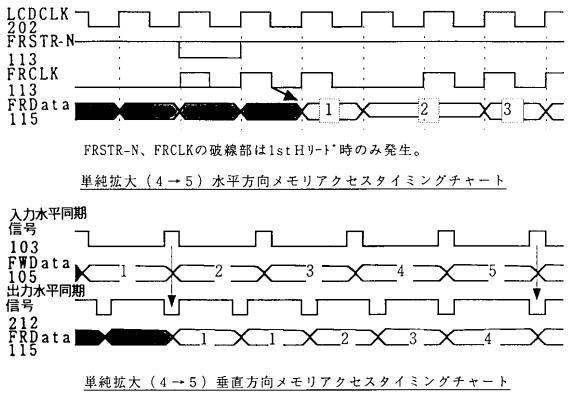
FRSTR-N、FRCLKの破線部はlstHﾘｰﾄﾞ時のみ発生。

単純拡大（２→３）水平方向メモリアクセスタイミングチャート

単純拡大（２→３）垂直方向メモリアクセスタイミングチャート

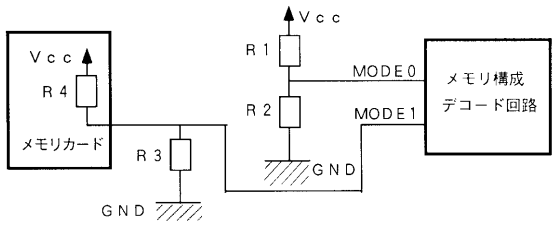
【図１０】

図１０



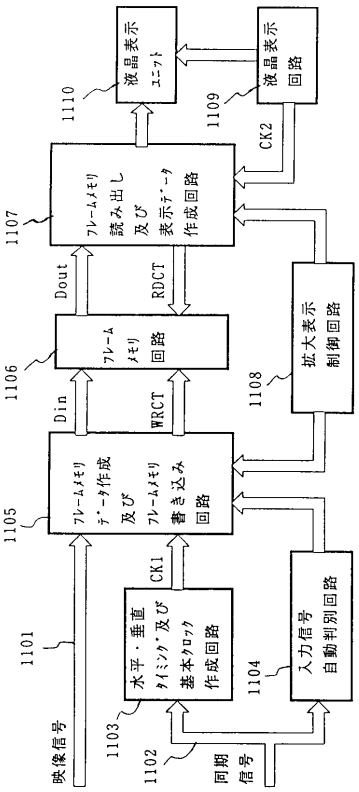
【図１１】

図１１



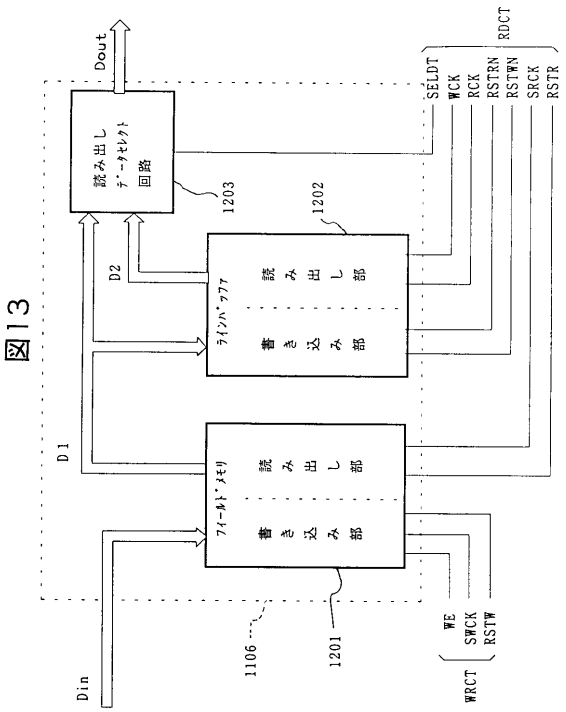
【図１２】

図12



【図１３】

図13



フロントページの続き

(51)Int.Cl.[7]	FI		
	Ｇ０９Ｇ	3/20	６３１Ｊ
	Ｇ０９Ｇ	3/20	６３２Ｂ
	Ｇ０９Ｇ	3/20	６３２Ｃ
	Ｇ０９Ｇ	3/20	６５０Ｃ
	Ｇ０９Ｇ	3/20	６６０Ｃ

(72)発明者　比嘉　淳裕
神奈川県横浜市戸塚区吉田町２９２番地　株式会社日立画像情報システム内
(72)発明者　大原　寿幸
愛知県尾張旭市晴丘町池上１番地　株式会社日立製作所　オフィスシステム事業部内
(72)発明者　栗原　博司
千葉県茂原市早野３３００番地　株式会社日立製作所　電子デバイス事業部内
(72)発明者　笠井　成彦
神奈川県川崎市麻生区王禅寺１０９９番地　株式会社日立製作所　システム開発研究所内

審査官　濱本　禎広

(56)参考文献　特開平０７－１０４７１０（ＪＰ，Ａ）
特開平０６－２７６４３２（ＪＰ，Ａ）
特開平０２－１９９４９８（ＪＰ，Ａ）
特開平０６－０５９６４８（ＪＰ，Ａ）
特開平０７－２６１７０９（ＪＰ，Ａ）
特開平０４－３３１９８１（ＪＰ，Ａ）
特開昭５９－０００１８８（ＪＰ，Ａ）
特開平０４－０１２３９３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G09G　1/00-5/42
G02F　1/133