

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-288201

(P2007-288201A)

(43) 公開日 平成19年11月1日(2007.11.1)

(51) Int. Cl.	F I	テーマコード (参考)
H O 1 L 27/105 (2006.01)	H O 1 L 27/10 4 4 8	5 F O 8 3
H O 1 L 45/00 (2006.01)	H O 1 L 45/00 A	

審査請求 有 請求項の数 31 O L (全 27 頁)

(21) 出願番号	特願2007-109542 (P2007-109542)	(71) 出願人	506211850
(22) 出願日	平成19年4月18日 (2007. 4. 18)		キモンダ アクチエンゲゼルシャフト
(31) 優先権主張番号	11/406, 766		ドイツ連邦共和国 8 1 7 3 9 ミュンヘン
(32) 優先日	平成18年4月19日 (2006. 4. 19)		グスタフ・ハイネマン・リンク 2 1 2
(33) 優先権主張国	米国 (US)	(74) 代理人	110000338
			特許業務法人原謙三国際特許事務所
		(72) 発明者	トーマス ハップ
			アメリカ合衆国 1 0 5 9 1 ニューヨーク州 タリータウン ストーム ストリート 2 3 1
		(72) 発明者	ヤン ボリス フィリップ
			アメリカ合衆国 1 0 5 6 6 ニューヨーク州 ピークスキル マナー ドライブ 5 6 0 1
		最終頁に続く	

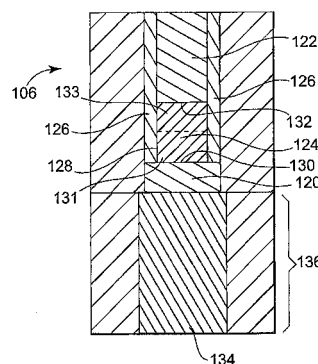
(54) 【発明の名称】 均質性が改善された側壁スペーサを備えたメモリセル

(57) 【要約】 (修正有)

【課題】メモリセルの形成中にメモリセル内の相変化層がオーバーエッチングされることによって、メモリセル間における構造が不均一になり、メモリセルの全体的な性能に影響を及ぼすことを防ぐ構造及び製造方法を提供する。

【解決手段】メモリセル106は、第1の電極120と、第2の電極122と、上記第1の電極120との第1接触部130から上記第2の電極122の第2接触部132へと伸びる相変化材料の層124と、上記第2の電極122と、上記相変化材料の層124の上記第2接触部132に隣接する側壁とに接触する側壁スペーサ126とを備えている。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

第 1 の電極と、

第 2 の電極と、

上記第 1 の電極との第 1 接触部から上記第 2 の電極の第 2 接触部へと伸びる相変化材料の層と、

上記第 2 の電極と、上記相変化材料の層の上記第 2 接触部に隣接する側壁とに接触する側壁スペーサとを備えることを特徴とするメモリセル。

【請求項 2】

上記側壁スペーサは、上記第 1 の電極と、上記相変化材料の層の上記第 1 接触部に隣接する側壁とに接触することを特徴とする請求項 1 に記載のメモリセル。 10

【請求項 3】

上記側壁スペーサは、上記第 1 の電極との第 1 接触部と上記第 2 の電極との第 2 接触部との間に伸びて、上記相変化材料の層の側壁の全体に接触していることを特徴とする請求項 1 に記載のメモリセル。

【請求項 4】

上記相変化材料の層は、上記第 1 の電極の第 1 接触部に接触する、横方向に伸びた基部と、上記基部のある部位に配置されたピラーとを備えており、

上記ピラーは、上記第 2 の電極の第 2 接触部に接触し、上記基部から実質的に直交して伸びていることを特徴とする請求項 1 に記載のメモリセル。 20

【請求項 5】

上記側壁スペーサは、上記基部から上記第 2 の電極の第 2 接触部まで、上記ピラーに沿って伸びていることを特徴とする請求項 4 に記載のメモリセル。

【請求項 6】

上記側壁スペーサは、酸化ケイ素、窒化ケイ素、 SiOCH 、低誘電率材料のうちの一つを含んでいることを特徴とする請求項 1 に記載のメモリセル。

【請求項 7】

上記相変化材料の層は、約 5 nm ないし 50 nm の間の対向する側壁スペーサの間に伸びる幅を規定することを特徴とする請求項 1 に記載のメモリセル。

【請求項 8】

上記相変化材料の層は、上記相変化材料の第 2 のスタックと接触する、上記相変化材料の第 1 のスタックを備えていることを特徴とする請求項 1 に記載のメモリセル。 30

【請求項 9】

対向する第 1 の電極と第 2 の電極との間に伸びる相変化材料のピラーにより規定されるピラー相変化セルと、

上記相変化材料のピラーの少なくともある部位の径に接触する側壁スペーサとを備えていることを特徴とするメモリセル。

【請求項 10】

上記側壁スペーサは、上記相変化材料のピラーの全体の径に接触していることを特徴とする請求項 9 に記載のメモリセル。 40

【請求項 11】

上記第 2 の電極は最上層の電極であり、

上記側壁スペーサは、上記最上層の第 2 の電極に隣接した上記相変化材料のピラーの径に接触していることを特徴とする請求項 9 に記載のメモリセル。

【請求項 12】

上記側壁スペーサは、複数の層を含み、その層の少なくとも一つは、酸化ケイ素、窒化ケイ素、酸窒化ケイ素、 SiOCH 、低誘電率材料のうちの一つを含んでいることを特徴とする請求項 9 に記載のメモリセル。

【請求項 13】

上記相変化材料のピラーは、相変化材料の、横方向に伸びた基部のある部位に配置され 50

、
上記相変化材料のピラーは、上記第２の電極に接触し、
上記相変化材料の横方向に伸びた基部は、上記第１の電極に接触していることを特徴とする請求項９に記載のメモリセル。

【請求項１４】

分配回路と、
上記分配回路に電氣的に結合した書き込みパルス発生器と、
上記分配回路に電氣的に結合するとともに、信号経路を介して上記書き込みパルス発生器に電氣的に結合するセンス回路と、
上記分配回路に電氣的に結合したメモリセルの列とを備えたメモリデバイスであって、
上記メモリセルの列が、
対向する第１の電極と第２の電極との間に伸びる相変化材料のピラーにより規定されるピラー相変化セルと、
上記相変化材料のピラーの少なくともある部位の径に接触する側壁スペーサとを備えていることを特徴とする、メモリデバイス。

【請求項１５】

上記側壁スペーサは、上記相変化材料のピラーの全体に沿って伸びていることを特徴とする請求項１４に記載のメモリデバイス。

【請求項１６】

上記側壁スペーサは、酸化ケイ素、窒化ケイ素、酸窒化ケイ素、 SiOCH 、低誘電率材料のうちの一つを含んでいることを特徴とする請求項１４に記載のメモリデバイス。

【請求項１７】

上記相変化材料のピラーは、約５ｎｍないし５０ｎｍの間の上記側壁スペーサの間に伸びる幅を規定することを特徴とする請求項１４に記載のメモリデバイス。

【請求項１８】

複数のプラグと、メモリセルスタックとを規定するウェハ基板を用意するステップであって、上記メモリセルスタックが、最下層の電極に接触する相変化層と、上記最下層の電極に対向して上記相変化層に接触する最上層の電極と、上記最上層の電極に配置されたハードマスクとを有しているステップと、

上記相変化層のある部位の側壁を露出させるように、上記メモリセルスタックをエッチングするステップと、

上記相変化層の露出した側壁部位に、側壁スペーサを堆積させるステップと、

上記最下層の電極を分離エッチングするステップとを含んでいることを特徴とするメモリセルの製造方法。

【請求項１９】

上記メモリセルスタックをエッチングするステップは、

上記相変化層のある部位の側壁と横方向に伸びた基部の部位とを露出させることを含んでいることを特徴とする請求項１８に記載のメモリセルの製造方法。

【請求項２０】

上記分離エッチングステップは、上記相変化層と上記最下層の電極との横部位を分離エッチングすることを含んでいることを特徴とする請求項１９に記載のメモリセルの製造方法。

【請求項２１】

上記メモリセルスタックは、上記相変化層と上記プラグとの間に配置された、専用の最下層の電極を含んでいることを特徴とする請求項１８に記載のメモリセルの製造方法。

【請求項２２】

上記側壁スペーサを堆積させるステップは、垂直なスペーサと、上記垂直なスペーサから伸びる横スペーサとを含む側壁スペーサ層を堆積させることを含んでいることを特徴とする請求項１８に記載のメモリセルの製造方法。

【請求項２３】

上記側壁スペーサ層の横スペーサを異方性エッチングするステップを含んでいることを特徴とする請求項 22 に記載のメモリセルの製造方法。

【請求項 24】

複数のプラグと、メモリセルスタックとを規定するウェハ基板を用意するステップであって、上記メモリセルスタックが、上記プラグに接触する専用の最下層の電極と、上記専用の最下層の電極に接触する相変化層と、上記専用の最下層の電極に対向して上記相変化層に接触する最上層の電極と、上記最上層の電極に配置されたハードマスクとを有しているステップと、

上記相変化層の側壁部位と横方向に伸びた基部部位とを露出させるように、上記メモリセルスタックをエッチングするステップと、

上記相変化層の露出した側壁と横方向に伸びた基部に、側壁スペーサ層を堆積させるステップと、

上記側壁スペーサ層の横部位を異方性エッチングするステップと、

上記相変化層と上記専用の最下層の電極との横方向に伸びた基部部位を分離エッチングするステップとを含んでいることを特徴とする相変化ピラーセルの製造方法。

【請求項 25】

上記メモリセルスタックをエッチングするステップは、

約 5 nm ないし 50 nm の間の径を規定する上記相変化層を形成するときに、ハードマスクを切り取り、レジストを剥ぐステップを含んでいることを特徴とする請求項 24 に記載の相変化ピラーセルの製造方法。

【請求項 26】

上記相変化層は、相変化材料の第 2 のスタックに接触する、相変化材料の第 1 のスタックを備えていることを特徴とする請求項 24 に記載の相変化ピラーセルの製造方法。

【請求項 27】

上記メモリセルスタックは、上記専用の最下層の電極と上記相変化層との間に配置されたエッチストップ層を含んでいることを特徴とする請求項 24 に記載の相変化ピラーセルの製造方法。

【請求項 28】

上記メモリセルスタックをエッチングするステップは、上記メモリセルスタックをエッチングし、上記エッチストップ層でエッチングを停止することを含んでいることを特徴とする請求項 27 に記載の相変化ピラーセルの製造方法。

【請求項 29】

複数のプラグと、メモリセルスタックとを規定するウェハ基板を用意するステップであって、上記メモリセルスタックが、最下層の電極に接触する相変化層と、上記最下層の電極に対向して上記相変化層に接触する最上層の電極と、上記最上層の電極に配置されたハードマスクとを有しているステップと、

上記相変化層のある部位の側壁を露出させるように、上記メモリセルスタックをエッチングするステップと、

上記最下層の電極を分離エッチングする前に、上記相変化層の露出した側壁部位のための側壁保護手段を用意するステップとを含んでいることを特徴とするメモリセルの製造方法。

【請求項 30】

上記側壁保護手段を用意するステップは、上記相変化層に側壁スペーサを堆積させる工程を含んでおり、上記側壁スペーサは、上記相変化層のエッチング速度より低いエッチング速度を有していることを特徴とする請求項 29 に記載のメモリセルの製造方法。

【請求項 31】

上記側壁保護手段を用意するステップは、上記相変化層の側壁部位の全体に側壁スペーサを堆積させるステップを含んでいることを特徴とする請求項 29 に記載のメモリセルの製造方法。

【発明の詳細な説明】

10

20

30

40

50

【発明の詳細な説明】

【0001】

本出願は、2006年2月7日出願された米国特許出願番号11/348、640号、出願名「遮熱機構を有する相変化メモリセル」、および2005年10月27日出願された米国特許出願番号11/260、346号、出願名「相変化メモリセル」に関連する。これら両出願は、本明細書に参照として援用される。

【0002】

〔背景〕

半導体チップは、電子デバイスに対して記憶装置を提供しており、電子機器業界において広く普及している。一般的に、多くの半導体チップは、シリコンウェハ上に形成（または搭載）されている。半導体チップは、電子デバイス内において後にメモリとして用いるために、ウェハから個々に分離される。この点において、半導体チップはメモリセルを含んでいる。メモリセルのタイプとして、抵抗メモリセルが挙げられる。抵抗メモリセルは、検索可能なデータを記憶するように構成されており、0および1の論理値によって特徴付けられる場合が多い。

【0003】

相変化メモリセルは、2つまたはそれ以上の別々の状態（あるいは相）間に、検索可能なデータを抵抗を用いて記憶することのできるメモリセルの1タイプである。相変化メモリセルの公知の構造の1では、メモリセルは、相変化メモリ材料と電極との交点に形成されている。電極に適量のエネルギーを供給することによって、相変化メモリセルが加熱され、その原子構造の相/状態変化に影響が及ぼされる。相変化メモリセルは、例えば論理状態0と1との間において選択的に切り替え可能であり、および/または、多数の論理状態間において選択的に切り替え可能である。

【0004】

上記の相変化メモリ特性を示す材料は、カルコゲニドまたはカルコゲニド材料と称される、周期表の第6族に属する元素（例えば、テルリウムおよびセレンウム）およびその合金を含んでいる。

【0005】

相変化メモリセルの1タイプの原子構造は、アモルファス状態と、1つまたはそれ以上の結晶状態との間で切り替え可能である。この点において、原子構造は、一般的なアモルファス状態と多結晶状態との間で切り替え可能である。アモルファス状態は、その電気抵抗が（複数の）結晶状態よりも大きく、また一般的には不規則的な原子構造を有している。対照的に、結晶状態はそれぞれ、高度に規則的な原子構造を有しており、結晶状態の原子構造が規則的であればあるほど、電気抵抗は低い（そして電気伝導率は高くなる）。

【0006】

メモリ/相状態の切り替え時には、相変化材料の原子構造は、結晶化温度（または結晶化温度よりわずかに高い温度）に維持されている場合は、高度に規則的（結晶質）である。メモリ材料をアモルファス状態に戻すためには、局部温度が融点（ $G e_2 S b_2 T e_5$ では摂氏約600度）より高く上げられて、高度に無作為な原子構造を達成し、そしてアモルファス状態での原子構造が「固定」されるように急速に冷却される。

【0007】

相/状態における温度誘起型変化は、様々な方法によって達成することができる。例えば、相変化材料へのレーザ照射、相変化材料への電流印加、あるいは相変化材料に隣接する抵抗ヒータへの電流供給が可能である。これら方法のいずれにおいても、相変化材料の加熱を制御することによって、これら相変化材料内における相変化が制御可能となる。

【0008】

相変化材料のアモルファス状態と（複数の）結晶状態との間における電気抵抗の変動は、2準位系（two level system）あるいは多準位系（multiple level system）において有益に用いることができる。2準位系あるいは多準位系では、抵抗値は、バルク材料あるいは部分材料（partial material）のいずれかの作用によるものである。カルコゲニドの

10

20

30

40

50

状態を操作することによって、カルコゲニドの電気特性を選択的に制御することができる。これは、カルコゲニドを含有するメモリセルにデータを記憶させる場合、およびカルコゲニドを含有するメモリセルからデータを検索する場合に有用である。

【 0 0 0 9 】

メモリセルの形成中に、前処理されたウェハの一部がエッチングされて、個々のセル構造を構成する。様々に形成されたメモリセル構造の層によって、前処理されたウェハ上に堆積される層の厚みが不均一となる原因となる。これがひいては、1つまたはそれ以上のメモリセル層がオーバエッチングされる原因となる。メモリセル内の相変化層がオーバエッチングされることによって、メモリセル間における構造が不均質になり、メモリセルの全体的な性能に影響を及ぼし得る。特に、相変化材料と接触している金属下部電極のエッチング中に相変化材料がエッチングされ、場合によってはオーバエッチングされてしまう。

10

【 0 0 1 0 】

上記および上記以外の理由により、本発明が必要とされる。

【 0 0 1 1 】

〔 概要 〕

メモリセルは、第1の電極と、第2の電極と、上記第1の電極との第1接触部から上記第2の電極の第2接触部へと伸びる相変化材料の層と、上記第2の電極と、上記相変化材料の層の上記第2接触部に隣接する側壁とに接触する側壁スペーサとを備えている。

【 0 0 1 2 】

20

〔 図面の簡単な説明 〕

本発明をさらに理解するために、図面が添付されている。これらの添付図面は本明細書に組み込まれ、本明細書の一部を構成する。これらの図面は、本発明の実施形態を例証し、また本明細書における記載と共に本発明の原理を説明するためのものである。本発明の別の実施形態、および本発明の意図する多くの利点については、以下の詳細な説明を参照することによって容易に理解できるであろう。これら図面中の各素子は、必ずしも互いに相対的な縮小とはなっていない。同様の符号は、対応する同様の箇所を示している。

【 0 0 1 3 】

図1は、本発明の一実施形態によるメモリデバイスの簡略ブロック図である。

【 0 0 1 4 】

30

図2は、本発明の一実施形態によるメモリセルの断面図である。

【 0 0 1 5 】

図3Aは、本発明の一実施形態による、前処理されたウェハの上面図である。

【 0 0 1 6 】

図3Bは、本発明の一実施形態による、図3Aに示されている前処理されたウェハの一部の断面図であり、絶縁領域内の電極プラグを示す図である。

【 0 0 1 7 】

図4は、本発明の一実施形態による、図3Bに示されている前処理されたウェハの電極プラグ上に配置されたメモリセルスタックの断面図である。

【 0 0 1 8 】

40

図5は、本発明の一実施形態による、部分エッチングおよびストリップ処理後における図4のメモリセルスタックの断面図である。

【 0 0 1 9 】

図6は、本発明の一実施形態による、エッチングおよびストリップ処理された図5のメモリセルスタック上に堆積された側壁スペーサ層の断面図である。

【 0 0 2 0 】

図7は、本発明の一実施形態による、異方性スペーサエッチング後における図6の側壁スペーサ層の断面図である。

【 0 0 2 1 】

図8は、本発明の一実施形態による、下部電極の分離エッチング後におけるメモリセル

50

スタックの断面図である。

【 0 0 2 2 】

図 9 は、本発明の一実施形態による、層間絶縁体の堆積後における図 8 のメモリセルスタックの断面図である。

【 0 0 2 3 】

図 10 は、本発明の一実施形態による、後の配線処理 (wiring/processing) に適した、平坦化されたメモリセルの断面図である。

【 0 0 2 4 】

図 11 A は、本発明の別の実施形態による、前処理されたウェハ上に堆積されたメモリセルスタックの断面図である。

10

【 0 0 2 5 】

図 11 B は、本発明の別の実施形態によるメモリセルの断面図である。

【 0 0 2 6 】

図 12 は、本発明の別の実施形態によるメモリセルの断面図である。

【 0 0 2 7 】

図 13 は、本発明の一実施形態による、前処理されたウェハ上に堆積されたメモリセルスタックの断面図である。

【 0 0 2 8 】

図 14 は、本発明の一実施形態による、部分エッチングおよびストリップ処理後における図 13 のメモリセルスタックの断面図である。

20

【 0 0 2 9 】

図 15 は、本発明の一実施形態による、エッチングおよびストリップ処理された図 14 のメモリセルスタック上に堆積された側壁スペーサ層の断面図である。

【 0 0 3 0 】

図 16 は、本発明の一実施形態による、異方性スペーサエッチング後における図 15 の側壁スペーサ層の断面図である。

【 0 0 3 1 】

図 17 は、本発明の一実施形態による、下部電極の分離エッチング後におけるメモリセルスタックの断面図である。

【 0 0 3 2 】

図 18 は、本発明の一実施形態による、層間絶縁体の堆積後における図 17 のメモリセルスタックの断面図である。

30

【 0 0 3 3 】

図 19 は、本発明の一実施形態による、後の配線処理に適した、平坦化されたメモリセルの断面図である。

【 0 0 3 4 】

図 20 A は、本発明の別の実施形態による、前処理されたウェハ上に堆積されたメモリセルスタックの断面図である。

【 0 0 3 5 】

図 20 B は、本発明の別の実施形態によるメモリセルの断面図である。

40

【 0 0 3 6 】

図 21 は、本発明の別の実施形態によるメモリセルの断面図である。

【 0 0 3 7 】

図 22 は、本発明の一実施形態による、エッチストップ層と、前処理されたウェハ上に堆積された下部電極とを含んだメモリセルスタックの断面図である。

【 0 0 3 8 】

図 23 は、本発明の一実施形態による、エッチストップまでエッチングされてストリップ処理された後における図 22 のメモリセルスタックの断面図である。

【 0 0 3 9 】

図 24 は、本発明の一実施形態による、エッチングおよびストリップ処理された図 23

50

のメモリセルスタック上に堆積された側壁スペーサ層の断面図である。

【 0 0 4 0 】

図 2 5 は、本発明によるメモリセルの断面図である。

【 0 0 4 1 】

〔 詳細な説明 〕

図 1 は、本発明の一実施形態によるメモリデバイス 1 0 0 の簡略ブロック図である。メモリデバイス 1 0 0 は、書き込みパルス発生器 1 0 2、分配回路 1 0 4、メモリセル 1 0 6 a、1 0 6 b、1 0 6 c、および 1 0 6 d、ならびにセンス回路 1 0 8 を有している。一実施形態では、メモリセル 1 0 6 a ~ 1 0 6 d は、メモリ内にデータを記憶するためのセル内のメモリ材料がアモルファスと結晶との間で相遷移することを、有益に利用する相 10
変化メモリセルである。書き込みパルス発生器 1 0 2 は、信号経路 1 1 0 を介して、分配回路 1 0 4 に電氣的に結合されている。分配回路 1 0 4 は、信号経路 1 1 2 a ~ 1 1 2 d をそれぞれ介してメモリセル 1 0 6 a ~ 1 0 6 d に、また信号経路 1 1 4 を介してセンス回路 1 0 8 に電氣的に結合されている。書き込みパルス発生器 1 0 2 は、信号経路 1 1 6 を介して、センス回路 1 0 8 に電氣的に結合されている。各メモリセル 1 0 6 a ~ 1 0 6 d は、特定の抵抗値に関連付けられたメモリ状態にプログラム可能であり、この抵抗値は、適切な電氣的書き込み策を用いて制御される。

【 0 0 4 2 】

本明細書において使用される場合、「電氣的に結合」という表現は、素子同士が直接結合していなければならないという意味ではなく、一方の素子と他方の素子との間に別の素 20
子が介在した状態において「該一方の素子と該他方の素子とが電氣的に結合されている」であってもよい。

【 0 0 4 3 】

一部の相変化材料は、2 つ以上の結晶相を示す。例えば、温度の低い結晶状態は、アモルファス状態よりも電気抵抗が低く、温度の高い結晶状態は、温度の低い結晶状態およびアモルファス状態の双方よりも電気抵抗が低い。しかし、温度の高い結晶状態へ相変化材料が遷移することは、一般的には望ましくない。なぜなら、温度の高い結晶状態からアモルファス状態へ相変化材料を戻すためには、大電流が必要であるからである。

【 0 0 4 4 】

一実施形態では、各相変化メモリセル 1 0 6 a ~ 1 0 6 d は、データの記憶場所を提供 30
する相変化材料を含んでいる。相変化メモリセルのための能動領域は、1 ビット、1 . 5 ビット、2 ビット、あるいは数ビットのデータを記憶するために、結晶状態とアモルファス状態との間で相変化材料が遷移する場所である。

【 0 0 4 5 】

一実施形態では、書き込みパルス発生器 1 0 2 は、メモリセル 1 0 6 a ~ 1 0 6 d へ制御可能なように与えられる電流パルスまたは電圧パルスを、分配回路 1 0 4 を介して発生させる。一実施形態では、分配回路 1 0 4 は、電流パルスまたは電圧パルスをメモリセルに制御可能なように与える、複数のトランジスタを有している。

【 0 0 4 6 】

一実施形態では、メモリセル 1 0 6 a ~ 1 0 6 d は、温度変化の影響下においてアモル 40
ファス状態から結晶状態、あるいは結晶状態からアモルファス状態へと変化可能な、相変化材料を含んでいる。結晶化度によって、メモリデバイス 1 0 0 内にデータを記憶させるために有用なメモリ状態が少なくとも 2 つ規定される。(複数の)メモリ状態は、ビット値(例えばビット値「0」および「1」)に割り当てることができる。メモリセル 1 0 6 a ~ 1 0 6 d のビット状態は、その電気抵抗値が大幅に異なる。アモルファス状態での相変化材料は、結晶状態においてよりも極めて高い抵抗値を示す。このように、センス回路 1 0 8 は、特定のメモリセル 1 0 6 a ~ 1 0 6 d に割り当てられたビット値が判別されるように、セル抵抗値を読み出す。

【 0 0 4 7 】

メモリデバイス 1 0 0 内においてメモリセル 1 0 6 a ~ 1 0 6 d の 1 つをプログラムす 50

るために、書き込みパルス発生器 102 は、標的とするメモリセル内の相変化材料を加熱するための電流パルスまたは電圧パルスを発生させる。一実施形態では、書き込みパルス発生器 102 は、適切な電流パルスまたは電圧パルスを発生させる。そしてこの電流パルスまたは電圧パルスは、分配回路 104 に供給されて、適切な標的メモリセル 106a ~ 106d に分配される。電流パルスまたは電圧パルスの振幅および幅は、メモリセルがセットされているのか、あるいはリセットされているのかに依存して制御される。一般的に、メモリセルの「セット」動作によって、標的メモリセルの相変化材料は、その結晶化温度を超えて（しかしその融点を超えないように）、結晶状態に達するまで十分な時間加熱される。一般的に、メモリセルの「リセット」動作によって、標的メモリセルの相変化材料は、その融点を超えて加熱された後に急速に冷却され、これによってアモルファス状態が達成される。 10

【0048】

図 2 は、本発明の一実施形態によるメモリセル 106 の断面図である。一実施形態では、メモリセル 106 は、専用電極 120 と、第 2 の電極 122 と、専用電極 120 と第 2 の電極 122 との間に伸びる相変化材料の層 124 と、第 2 の電極 122 に接触している側壁スペーサ 126 と、相変化材料の層 124 の側壁 128 とを有している。一実施形態では、相変化材料の層 124 は、専用電極 120 と接触している第 1 の接触面 130、および第 2 の電極 122 と接触している第 2 の接触面 132 を有している。一実施形態では、第 1 の接触面 130 は下方の接触面であり、第 2 の接触面 132 は上方の接触面 132 である。しかし、これ以外の方向付けも可能である。 20

【0049】

一実施形態では、専用電極 120 は、前処理されたウェハ 136 の一部内において電極プラグと接触していると共に、後の処理に対して改善された界面制御を行う。別の実施形態では、専用電極 120 は任意であり、そして相変化材料の層 124 は電極プラグ 134 と直接接触している。専用電極 120 および第 2 の電極 122 は、窒化チタン (TiN)、窒化タンタル (TaN)、タングステン (W)、あるいはその他の適切な電極材料を含んでいる。一実施形態では、電極プラグ 134 は、TiN プラグ、タングステンプラグ、銅プラグ、あるいはその他の適切な電極材料のプラグである。

【0050】

相変化材料の層 124 は、本発明に従って、様々な材料から形成することができる。一実施形態では、相変化材料の層 124 は、周期表の第 6 族に属する元素（例えば、テルリウム、および / またはセレンウム、および / または硫黄、およびこれらの合金）を 1 つ以上含有したカルコゲニド合金を含んでいる。別の実施形態では、相変化材料の層 124 は、カルコゲンを含有していない（つまりテルリウム、セレンウム、または硫黄、あるいは、テルリウム、セレンウム、または硫黄の合金を含有していない相変化材料）。相変化材料の層 124 のための適切な材料は、例えば GeSbTe、SbTe、GeTe、AgInSbTe、GeSb、GaSb、InSb、GeGaInSb を含んでいる。一実施形態では、層 124 は、元素 Ge、Sb、Te、Ga、As、In、Se、および S を 1 つ以上含有した適切な材料を含んでいる。さらに相変化材料の層 124 には、窒素、酸素、シリコン、またはその他の適切な材料が選択的にドーピングされていてもよい。 30 40

【0051】

層 124 は、膜厚に関連する寸法の少なくとも 1 つを構成している。層 124 の厚さ寸法は、約 100 ナノメートル (nm) 未満である。例えば一実施形態では、スペーサ層 124 は、上述した通りの相変化材料であり、寸法は約 100 ナノメートル ~ 5 ナノメートルの間である。

【0052】

一実施形態では、相変化材料の層 124 は、相変化材料の第 2 のスタック 133 に接触している、相変化材料の第 1 のスタック 131 を含んでいる。一実施形態では、相変化材料の第 1 のスタック 131 は、相変化材料の第 2 のスタック 133 とは組成が異なっている。 50

【0053】

一般的に側壁スペーサ126は、結晶状態にある層124内の相変化材料よりも電気伝導率の低い材料を含んでいる。一実施形態では、側壁スペーサ126は絶縁誘電体であり、例えば二酸化ケイ素(SiO_2)、 SiOCH 、あるいはその他の適切な低誘電率材料を含んでいる。側壁スペーサ126は、相変化材料の層124に対するエッチング速度よりも低いプラズマエッチャントに対するエッチング速度を規定する、適切な絶縁材料であることが好ましい。例えば下部電極のエッチング中には、エッチング速度の低い側壁スペーサ126は、層124の均質性(homogeneity)を保護および改善する。層124の改善された均質性は、層124の改善された構造的統合性(structural integrity)、および改善された均一な電気的特性と関連している。

10

【0054】

一実施形態では、側壁スペーサ126は、少なくとも1つの応力層および1つの絶縁層を有した多層構造である。一実施形態では、側壁スペーサ126の応力層は、窒化ケイ素(例えば Si_3N_4)あるいはその他の適切な応力層材料からなる高密度層(densified layer)を有している。

【0055】

図3A~図10は、側壁スペーサ126の様々な実施形態を示している。この側壁スペーサ126は、例えば下部電極120のエッチング中に、層124の制御されないオーバエッチングを最小限にする、あるいは限定するために用いられる。

【0056】

図3Aは、本発明の一実施形態による、前処理されたウェハ136の上面図である。前処理されたウェハ136は、誘電体領域138内に配置された電極プラグ134を有している。一般的に、誘電体領域138は絶縁領域であり、酸化物領域、窒化物領域、あるいは、適切なサーマルエッチング特性および電気的特性を有するその他の誘電体材料を含んでいる。この点を考慮して、誘電体領域138は絶縁体とも称される。絶縁体である誘電体領域138は、二酸化ケイ素、フッ化シリケートガラス(FSG)、あるいはその他の適切な誘電体材料を含んでいてよい。

20

【0057】

図3Bは、本発明の一実施形態による、前処理されたウェハ136の一部の断面図である。電極プラグ134は、絶縁体である誘電体領域138によって側方が取り囲まれて、後の処理のために準備される。

30

【0058】

図4は、本発明の一実施形態によるメモリセルスタック140の断面図である。メモリセルスタック140は、前処理されたウェハ136上に配置されている。またメモリセルスタック140は、専用電極層120a、第2の電極層122a、専用電極層120aと第2の電極層122aとの間に伸びる相変化材料の層124aを有している。さらにメモリセルスタック140は、第2の電極層122a上に配置されたハードマスク層142、およびハードマスク層142上に配置されたフォトレジスト層144を有している。一実施形態では、ハードマスク層142は、窒化ケイ素(例えば SiN)、または SiON 、またはその他の適切なストップエッチ材料を含んだストップエッチ層である。

40

【0059】

専用電極層120aは、化学気相成長法(chemical vapor deposition; CVD)、原子層成長法(atomic layer deposition; ALD)、有機金属化学気相成長法(metal organic chemical vapor deposition; MOCVD)、プラズマ気相成長法(plasma vapor deposition; PVD)、ジェット気相堆積(jet vapor deposition; JVD)、あるいはその他の適切な堆積技術を用いて堆積することができる。

【0060】

層124aおよび第2の電極層122aも同様に、適切な堆積技術を用いて堆積される。例えば、本発明の様々な実施形態では、相変化材料の層124および第2の電極層122aは、CVD、ALD、MOCVD、PVD、JVD、あるいはその他の適切な堆積技

50

術の１つを用いて堆積される。

【００６１】

一実施形態では、フォトリソグレイ層１４４は、ハードマスク層１４２上にスピンコートされており、ハードマスク層１４２をパターン形成するために用いられる。フォトリソグレイ層１４４は、例えば光学リソグラフィにおいて有用なフォトリソグレイ材料を含んでいてよい。一実施形態では、フォトリソグレイの寸法は、反応性イオントリミングによるリソグラフィ後に縮小される。一実施形態では、ハードマスク層１４２は、適切な堆積技術（例えばＣＶＤ、ＡＬＤ、ＭＯＣＶＤ、ＰＶＤ、および／またはＪＶＤ）によって堆積された窒化ケイ素または酸窒化ケイ素である。一実施形態では、フォトリソグレイ層１４４がトリミングされ、ハードマスク層１４２が開かれ、フォトリソグレイ層１４４が剥離され、そしてメモリセルスタック１４０がエッチングされる。

10

【００６２】

図５は、本発明の一実施形態による、エッチングおよびストリップ処理後のメモリセルスタック１４０（図４）の断面図である。メモリセルスタック１４０は、専用電極層１２０ａまで垂直にエッチングされており、エッチングされたメモリセルスタック１４０の幅は、トリミング後のフォトリソグレイ層１４４（図４）の幅と近似している。フォトリソグレイ層１４４は、残りのハードマスク層１４２を露光するために、エッチング後に剥離される。あるいは、フォトリソグレイ層１４４は、ハードマスク層１４２が開かれた後に既に剥離されている。

【００６３】

20

図６は、本発明の一実施形態による、エッチングされた図５のメモリセルスタック上に堆積された側壁スペーサ層１２６ａの断面図である。側壁スペーサ層１２６ａは、専用電極層１２０ａの側方部分と接触している側方スペーサ１２７、および相変化材料の層１２４の垂直部分と第２の電極１２２とに接触している残りの垂直スペーサを構成している。一実施形態では、側壁スペーサ層１２６ａは、ＳｉＮ、ＳｉＯＮ、ＳｉＯ₂、あるいは低誘電体材料のうちのいずれか１つを含んでおり、ＣＶＤ、ＡＬＤ、ＭＯＣＶＤ、ＰＶＤ、ＪＶＤ、あるいはその他の適切な堆積技術を用いて堆積される。

【００６４】

図７は、本発明の一実施形態による、垂直な側壁スペーサ１２６の断面図である。一実施形態では、側壁スペーサ層１２６（図６）は、スペーサ層１２６の側方スペーサ１２７を専用電極層１２０ａおよびハードマスク層１４２（図６）から除去するために、異方性エッチングされる。一実施形態では、側壁スペーサ層１２６の側方スペーサ１２７は、側壁スペーサ層１２６の側壁スペーサの水平部分（すなわち側方部分、あるいは側方スペーサ１２７）を除去するために、有向トップダウンエッチング（directed top down etch）によって除去される。側壁スペーサ層１２６が異方性エッチングされた後、垂直な側壁スペーサ１２６は、相変化材料の層１２４および第２の電極１２２と接触したままである。一実施形態では、側壁スペーサ１２６は側壁保護スペーサである。この側壁保護スペーサは、後の下部電極（例えば専用電極層１２０ａ）のエッチング中において、ハロゲンによる過酷な化学エッチングから、相変化材料の層１２４を保護するように構成されている。下部電極層である専用電極層１２０ａのエッチング中において、相変化材料の層１２４のオーバエッチングが最低限になるように、あるいは低減されるように、側壁スペーサ１２６に対するエッチング速度は、特定の化学エッチングを用いた相変化材料の層１２４に対するエッチング速度より低いことが望ましい。

30

40

【００６５】

図８は、本発明の一実施形態による専用電極１２０の断面図である。一実施形態では、専用電極層１２０ａ（図７）は、パターン形成された下部電極を形成するために、前処理されたウェハ１３６（図２）の最上部まで分離エッチング（separation etch）される。一実施形態では、専用電極層１２０ａの分離エッチングは、塩素プラズマを用いた、自己整合（self-aligned）する下部電極の分離エッチングである。本発明の一形態は、下部電極の分離エッチング中に、相変化材料の層１２４のさらなるエッチングまたは劣化を防止

50

する側壁スペーサ 126 を提供する。

【0066】

図9は、本発明の一実施形態による、側壁スペーサ 126 周囲に堆積された誘電体材料（層間絶縁体）である絶縁体 150 の断面図である。一実施形態では、専用電極 120、側壁スペーサ 126、およびハードマスク層 144 の一部を取り囲むために、絶縁体 150 が堆積されている。一実施形態では、絶縁体 150 は、絶縁体である誘電体領域 138 と同様の絶縁体材料である。一実施形態では、電極 120、122、および相変化材料の層 124 の側方は、絶縁体 150 によって完全に囲まれている。

【0067】

図10は、本発明の一実施形態によるメモリセル 106 の断面図である。一実施形態では、絶縁体 150（図9）は、化学的機械的研磨（chemical mechanical polishing; CMP）、あるいはその他の適切な平坦化技術を用いて平坦化されて、メモリセル 106 を構成する。その後メモリセル 106 は、本発明の形態に従って、後のさらなる配線／処理のために構成される。

10

【0068】

メモリセル 106 は、専用電極 120 と第2の電極 122 との間に伸びる、相変化材料の層 124 を有している。この相変化材料の層 124 は、改善された構造的均質性を有している。例えば、相変化材料の層 124 は、下部電極の分離処理中における有害あるいは望ましくないオーバエッチングから、側壁スペーサ 126 によって保護される。

【0069】

メモリセル 106 の処理中において、不均一な上部電極層（例えば電極 122）の厚みが不均一になり、これによってピラー（pillar）エッチング処理を正確に終結させることが困難になる可能性がある。この結果、ある程度のオーバエッチングが起こり、メモリセル 106 の素子に影響が及ぶ。オーバエッチングによって、層 124 のアンダーカットが制御されない原因となり、ひいては望ましくない（つまり後に、追加的な）側壁被膜が、ピラー（pillar）セル 106 上に再度スパッタ堆積されることになる。

20

【0070】

本発明の実施形態は、相変化材料の層 124 の側壁部分がオーバエッチングされないように保護する、側壁スペーサ 126 を提供する。一実施形態では、側壁スペーサ 126 に対するエッチング速度は、層 124 に対するエッチング速度より低い。これによって側壁スペーサ 126 が、相変化材料の層 124 の側壁部分がオーバエッチングされないように保護する。

30

【0071】

図11Aは、本発明の一実施形態による別のメモリセルスタック 160 の断面図である。一実施形態では、メモリセルスタック 160 は、前処理されたウェハ 136 の最上部に堆積されている。一実施形態では、電極層 120a（図4）は任意であり、メモリセルスタック 160 の一部として含まれていない。一実施形態では、メモリセルスタック 160 は、電極プラグ 134 上に直接堆積された相変化材料の層 124a と、相変化材料の層 124a の最上部に配置された第2の電極層 122a と、第2の電極層 122a 上に堆積されたハードマスク層 142 と、ハードマスク層 142 上に堆積されたフォトリソ層 144 とを有している。一実施形態では、フォトリソ層 144 およびハードマスク層 142 は、図4において説明したフォトリソおよびハードマスク材料と同様である。

40

【0072】

図11Bは、本発明の一実施形態による、メモリセルスタック 160 から形成されたメモリセル 166 の断面図である。一実施形態では、相変化材料の層 124 は、電極プラグ 134 と第2の電極 122 との間に伸びている。側壁スペーサ 176 は、相変化材料の層 124 の側壁、および第2の電極 122 に接触している。絶縁体 180 は、メモリセル 166 の一部を絶縁するために備えられている。図5～図10において説明した処理と同様の処理方法によってメモリセルスタック 160（図11A）が処理された後のメモリセル 166 は、後に行われるさらなる配線／処理に適している。

50

【 0 0 7 3 】

図 1 2 ~ 図 2 5 は、エッチング中、特に下部電極の分離エッチング中におけるオーバエッチングから、相変化材料の層を保護するように構成された側壁スペーサを備えたメモリセルの、別の様々な実施形態を示している。本発明の形態は、メモリセットおよびメモリリセット中に、相変化材料内のホットスポット (hot spot) をさらに絶縁するために、相変化材料の層を追加的に覆う側壁スペーサを提供する。様々な実施形態において、側壁スペーサは、相変化材料の層の側方を取り囲んでおり、そして側壁スペーサおよび相変化材料の層は、エッチング時に、下部電極と接触するより広い基部 (base) を提供する。この基部によって、ピラー相変化セルの構造的統合性、および相変化メモリの電気的特性が改善される。

10

【 0 0 7 4 】

図 1 2 は、本発明の別の実施形態によるメモリセル 2 0 6 の断面図である。一実施形態では、メモリセル 2 0 6 は、第 1 の電極 2 2 0 と、第 2 の電極 2 2 2 と、第 1 の電極 2 2 0 から第 2 の電極 2 2 2 へ伸びる相変化材料の層 2 2 4 と、第 2 の電極 2 2 2 および層 2 2 4 の側壁 2 2 8 に接触している側壁スペーサ 2 2 6 とを有している。

【 0 0 7 5 】

一実施形態では、相変化材料の層 2 2 4 は、第 1 の電極 2 2 0 の下方の接触面 2 3 0 から第 2 の電極 2 2 2 の上方の接触面 2 3 2 へと伸びている。一実施形態では、相変化材料の層 2 2 4 は、基部 2 2 5 と、基部 2 2 5 から伸びるピラー (pillar) 2 2 7 とを有している。図 1 2 に示されているように、基部 2 2 5 は、下方の接触面 2 3 0 に沿って第 1 の電極 2 2 0 に接触しており、ピラー 2 2 7 は、上方の接触面 2 3 2 に沿って第 2 の電極 2 2 2 に接触している。

20

【 0 0 7 6 】

一実施形態では、基部 2 2 5 は、第 1 の電極 2 2 0 上に側方配置されており、ピラー 2 2 7 は、基部 2 2 5 の一部のみと接触するように基部 2 2 5 よりも幅が狭い。一実施形態では、ピラー 2 2 7 は基部 2 2 5 から直角に伸びているが、基部 2 2 5 に対して直角以外の方向に伸びていてもよい。

【 0 0 7 7 】

一実施形態では、第 1 の電極 2 2 0 は、前処理されたウェハ 2 3 6 の電極プラグ 2 3 4 に接触している。この点において、電極プラグ 2 3 4 および前処理されたウェハ 2 3 6 は、図 3 A および図 3 B に示されている電極プラグ 1 3 4 および前処理されたウェハ 1 3 6 とほぼ同様である。

30

【 0 0 7 8 】

図 1 3 は、本発明の一実施形態による、前処理されたウェハ 2 3 6 上に配置されたメモリセルスタック 2 4 0 の断面図である。前処理されたウェハ 2 3 6 は、絶縁領域 2 3 8 内に配置された複数の電極プラグを有している。なお、図 1 3 に示されている電極プラグ 2 3 4 は 1 つのみであるが、前処理されたウェハ (ウェハ 2 3 6 など) は、一般的に、絶縁領域内に配置された多数の電極プラグを有している (例えば、図 3 A および図 3 B に実質的に示されている) ことについて理解されたい。

【 0 0 7 9 】

メモリセルスタック 2 4 0 は、第 1 の電極層 2 2 0 a と、第 2 の電極層 2 2 2 a と、第 1 の電極層 2 2 0 a と第 2 の電極層 2 2 2 a との間に伸びる相変化材料の層 2 2 4 a と、第 2 の電極層 2 2 2 a 上に堆積されたハードマスク層 2 4 2 と、ハードマスク層 2 4 2 に接触しているフォトレジスト層 2 4 4 とを有している。

40

【 0 0 8 0 】

図 1 4 は、本発明の一実施形態によるピラースタック 2 4 3 の断面図である。メモリセルスタック 2 4 0 (図 1 3) は、エッチングされて、記憶場所ピラー (storage location pillars) を形成している。主要なピラーエッチングは、相変化材料の層 2 2 4 内において終結しており、これによって相変化材料の層 2 2 4 が、基部 2 2 5 および基部 2 2 5 から伸びるピラー 2 2 7 を構成している。この点において、ピラースタック 2 4 3 は、相変

50

化材料の層 2 2 4 のピラー 2 2 7 部分と、第 2 の電極 2 2 2 と、第 2 の電極 2 2 2 上にあるハードマスク層 2 4 2 の残留部分とを有している。

【 0 0 8 1 】

一実施形態では、ピラー 2 2 7 をエッチングするためにフォトレジスト層 2 4 4 が用いられる。フォトレジスト層 2 4 4 は、ピラースタック 2 4 3 を露光するために剥離される。主要なピラーエッチングは基部 2 5 5 内において終結されるため、フォトレジスト層 2 4 4 よりも幅が広い、基部 2 2 5 の残留部分が備えられている。この点において、基部 2 2 5 は、ピラー 2 2 7 および第 2 の電極 2 2 2 の構造的統合性を改善する。

【 0 0 8 2 】

図 1 5 は、本発明の一実施形態による、ピラースタック 2 4 3 の一部上に堆積された側壁スペーサ層 2 2 6 a の断面図である。側壁スペーサ層 2 2 6 a は、基部 2 2 5 上にコンフォーマル (conformally) に堆積されており、相変化材料の層 2 2 4 の側壁 2 2 8 に沿って接触しながら伸びている。一実施形態では、側壁スペーサ層 2 2 6 a は、C V D 処理においてピラースタック 2 4 3 上にコンフォーマルに堆積された誘電体である。その他の適切な堆積処理を用いてもよい。

10

【 0 0 8 3 】

一実施形態では、側壁スペーサ層 2 2 6 a は、第 2 の電極 2 2 2 の上方の接触面 2 3 2 と隣接している、相変化材料の層 2 2 4 の側壁 2 2 8 と接触している。一実施形態では、側壁スペーサ層 2 2 6 a は、応力層を少なくとも 1 つ含んだ多層構造をしている。この応力層は、相変化材料の層 2 2 4 が高温結晶状態にならないように抑制する。

20

【 0 0 8 4 】

図 1 6 は、本発明の一実施形態による側壁スペーサ 2 2 6 の断面図である。異方性スペーサエッチング後のピラースタック 2 4 3 (図 1 5) が示されている。異方性スペーサエッチング中において、側壁スペーサ層 2 2 6 a (図 1 5) の水平部分が除去されて、相変化材料の層 2 2 4 の側壁 2 2 8 と接触する側壁スペーサ 2 2 6 が形成される。一実施形態では、側壁スペーサ 2 2 6 はピラー 2 2 7 を取り囲んでいると共に、基部 2 2 5 からハードマスク層 (エッチストップ層) 2 4 2 まで伸びている。

【 0 0 8 5 】

図 1 7 は、本発明の一実施形態による、パターン形成された電極 2 2 0 の断面図である。一実施形態では、電極層 2 2 0 a (図 1 6) は、分離エッチングされて、パターン形成された下部電極である第 1 の電極 2 2 0 を形成する。一実施形態では、第 1 の電極層 2 2 0 a の分離エッチングは、塩素プラズマを用いた、自己整合する下部電極の分離エッチングである。本発明の一形態は、下部電極の分離エッチング中に、ピラー 2 2 7 材料のさらなるエッチングまたは劣化を防ぐ、側壁スペーサ 2 2 6 を提供する。

30

【 0 0 8 6 】

図 1 8 は、本発明の一実施形態による層間絶縁体層 2 5 0 の断面図である。一実施形態では、層間絶縁体層 2 5 0 は、適切な堆積処理によって堆積されて、電極 2 2 0、2 2 2、および側壁スペーサ 2 2 6 の側方を完全に取り囲む。一実施形態では、層間絶縁体層 2 5 0 は、絶縁領域 2 3 8 と同様の絶縁体材料である。

【 0 0 8 7 】

40

図 1 9 は、本発明の一実施形態によるメモリセル 2 0 6 の断面図である。一実施形態では、層間絶縁体層 2 5 0 (図 1 8) は、化学的機械的研磨 (CMP) あるいはその他の適切な平坦化技術を用いて平坦化されて、メモリセル 2 0 6 を構成する。その後メモリセル 2 0 6 は、本発明の形態に従って、後のさらなる配線 / 処理のために構成される。

【 0 0 8 8 】

図 2 0 A は、本発明の別の実施形態によるメモリセルスタック 2 6 0 を示している。メモリセルスタック 2 6 0 は、相変化材料の層 2 2 4 a と、第 2 の電極層 2 2 2 a と、第 2 の電極層 2 2 2 a 上のハードマスク / エッチストップ層 2 4 2 と、ハードマスク層 (エッチストップ層) 2 4 2 上においてマスクしているフォトレジスト層 2 4 4 とを有している。一実施形態では、第 1 の電極層 2 2 0 a (図 1 3) は任意の層であって、備えられてい

50

ない。この実施形態では、相変化材料の層 224a は、前処理されたウェハ 236 の電極プラグ 234 上に直接堆積されている。

【0089】

図 20B は、本発明の一実施形態によるメモリセル 266 の断面図である。メモリセル 266 は、図 12 ~ 図 19 に示されている処理と実質的に同様の処理によってメモリセルスタック 260 (図 20A) が処理された後、電極プラグ 234 に接触する相変化材料の層 224 と、相変化材料の層 224 と接触する第 2 の電極 222 とを備える。メモリセル 266 は、側壁スペーサ 276 の側方を完全に取り囲む絶縁体 280 を有している。一実施形態では、相変化材料の層 224 は、電極プラグ 234 に接触する基部 225 と、第 2 の電極 222 に接触するピラー 227 とを有している。側壁スペーサ 226 は、第 2 の電極 222 の最上部と、相変化材料の層 224 の基部 225 との間に形成されており、これらの間に伸びている。側壁スペーサ 276 は、第 2 の電極 222 と、第 2 の電極 222 に接触している上方の接触面に隣接した相変化材料の層 224 の側壁 228 とに接触している。

10

【0090】

図 21 は、本発明の別の実施形態によるメモリセル 306 の断面図である。一実施形態では、メモリセル 306 は、第 1 の電極 320 と、第 1 の電極 320 に下方の接触面 330 に沿って接触しているエッチストップ層 321 と、第 2 の電極 322 と、エッチストップ層 321 から第 2 の電極 322 まで伸びている相変化材料の層 324 と、第 2 の電極 322 および相変化材料の層 324 の側壁 328 に接触している側壁スペーサ 326 とを有している。

20

【0091】

一実施形態では、第 1 の電極 320 は、前処理されたウェハ 236 の電極プラグ 234 と接触している。この点において、電極プラグ 234 および前処理されたウェハ 236 は、図 3A および図 3B に示されている電極プラグ 134 および前処理されたウェハ 136 と同様である。

【0092】

図 22 は、本発明の一実施形態による、前処理されたウェハ 236 上に配置されたメモリセルスタック 340 の断面図である。前処理されたウェハ 236 は、絶縁領域 238 内に配置された複数の電極プラグ 234 を有している。なお、図 22 に示されている電極プラグ 234 は 1 つのみであるが、前処理されたウェハ (ウェハ 236 など) は、一般的に、絶縁領域内に配置された多数の電極プラグを有している (例えば、図 3A および図 3B に実質的に示されている) ことについて理解されたい。

30

【0093】

メモリセルスタック 340 は、第 1 の電極層 320a と、エッチストップ層 321a と、第 2 の電極層 322a と、エッチストップ層 321a と第 2 の電極層 322a との間に伸びている相変化材料の層 324a と、第 2 の電極層 322a 上に堆積されたハードマスク層 342 と、ハードマスク層 342 に接触しているフォトレジスト層 344 とを有している。一実施形態では、フォトレジスト層 344 およびハードマスク層 342 は、図 4 において説明したフォトレジストおよびハードマスク材料と同様である。

40

【0094】

図 23 は、本発明の一実施形態によるピラースタック 343 の断面図である。メモリセルスタック 340 (図 22) は、エッチングされて、記憶場所ピラーを形成している。ピラーエッチングは、エッチストップ層 321a において終結しており、エッチストップ層 321a から伸びる相変化材料の層 324 の縦列を構成している。この点において、ピラースタック 343 は、相変化材料の層 324 のピラーと、第 2 の電極 322 と、第 2 の電極 322 上にあるハードマスク層 342 の残留部分とを有している。

【0095】

一実施形態では、リソグラフィを用いて相変化材料の層 324 のピラーをエッチングする際に、フォトレジスト層 344 が用いられる。フォトレジスト層 344 は、ピラースタ

50

ック 3 4 3 が形成された後に剥離される。一実施形態では、ピラーエッチングは、エッチストップ層 3 2 1 a において終結しており、エッチストップ層 3 2 1 a は、ピラースタック 3 4 3 に対して比較的広い基部を提供している。この広い基部によって、事実上、ピラー 2 2 4 および第 2 の電極 2 2 2 の構造的統合性が改善される。

【0096】

図 2 4 は、本発明の一実施形態による、ピラースタック 3 4 3 の一部上に堆積された側壁スペーサ層 3 2 6 a の断面図である。側壁スペーサ層 3 2 6 a は、エッチストップ層 3 2 1 上において、相変化材料の層 3 2 4 の側壁 3 2 8 に沿ってコンフォーマルに堆積されている。一実施形態では、側壁スペーサ層 3 2 6 a は、CVD 処理においてピラースタック 3 4 3 上にコンフォーマルに堆積された誘電体である。その他の適切な堆積処理を用いてもよい。側壁スペーサ層 3 2 6 a は、後の下部電極層である第 1 の電極層 3 2 0 a (およびエッチストップ層 3 2 1 a) のエッチング中において、相変化材料の層 3 2 4 を保護する。

10

【0097】

図 2 5 は、本発明によるメモリセル 3 0 6 の断面図である。ピラースタック 3 4 3 (図 2 4) および側壁スペーサ層 3 2 6 a は、図 1 6 および図 1 7 において説明した方法と同様の方法によって、異方性エッチングおよび分離エッチングされる。また層間絶縁体層 3 5 0 は、適切な堆積処理によって堆積されており、図 1 8 において説明した方法と同様の方法によって、電極 3 2 0、3 2 2、および側壁スペーサ 3 2 6 の側面を完全に取り囲んでいる。

20

【0098】

本発明の形態は、例えば下部電極の分離エッチング中において、相変化材料層の均質性をオーバエッチングから保護および改善する側壁スペーサを提供する。相変化材料層の改善された均質性は、相変化材料層の改善された構造的統合性、および改善された均一な電気的特性に関連している。これら全ては、低電力の相変化メモリセル構造に寄与する。

【0099】

本明細書において、具体的な実施形態について図示および説明してきたが、当該分野において通常の知識を有する者であれば、本発明の範囲を逸脱することなく、図示および説明してきたこれらの実施形態の代わりに、様々な別の、および / または同等の実施形態を用いることができることについて理解するであろう。本出願は、本明細書に記載の具体的な実施形態の任意の適応または改変を含んでいる。従って本発明は、特許請求の範囲および特許請求の範囲に相当する部分によってのみ限定される。

30

【図面の簡単な説明】

【0100】

【図 1】本発明の一実施形態によるメモリデバイスの簡略ブロック図である。

【図 2】本発明の一実施形態によるメモリセルの断面図である。

【図 3 A】本発明の一実施形態による、前処理されたウェハの上面図である。

【図 3 B】本発明の一実施形態による、図 3 A に示されている前処理されたウェハの一部の断面図であり、絶縁領域内の電極プラグを示す図である。

【図 4】本発明の一実施形態による、図 3 B に示されている前処理されたウェハの電極プラグ上に配置されたメモリセルスタックの断面図である。

40

【図 5】本発明の一実施形態による、部分エッチングおよびストリップ処理の後における図 4 のメモリセルスタックの断面図である。

【図 6】本発明の一実施形態による、エッチングおよびストリップ処理された図 5 のメモリセルスタック上に堆積された側壁スペーサ層の断面図である。

【図 7】本発明の一実施形態による、異方性スペーサエッチング後における図 6 の側壁スペーサ層の断面図である。

【図 8】本発明の一実施形態による、下部電極の分離エッチング後におけるメモリセルスタックの断面図である。

【図 9】本発明の一実施形態による、層間絶縁体の堆積後における図 8 のメモリセルスタ

50

ックの断面図である。

【図 1 0】本発明の一実施形態による、後の配線処理 (wiring/processing) に適した、平坦化されたメモリセルの断面図である。

【図 1 1 A】本発明の別の実施形態による、前処理されたウェハ上に堆積されたメモリセルスタックの断面図である。

【図 1 1 B】本発明の別の実施形態によるメモリセルの断面図である。

【図 1 2】本発明の別の実施形態によるメモリセルの断面図である。

【図 1 3】本発明の一実施形態による、前処理されたウェハ上に堆積されたメモリセルスタックの断面図である。

【図 1 4】本発明の一実施形態による、部分エッチングおよびストリップ処理後における図 1 3 のメモリセルスタックの断面図である。 10

【図 1 5】本発明の一実施形態による、エッチングおよびストリップ処理された図 1 4 のメモリセルスタック上に堆積された側壁スペーサ層の断面図である。

【図 1 6】本発明の一実施形態による、異方性スペーサエッチング後における図 1 5 の側壁スペーサ層の断面図である。

【図 1 7】本発明の一実施形態による、下部電極の分離エッチング後におけるメモリセルスタックの断面図である。

【図 1 8】本発明の一実施形態による、層間絶縁体の堆積後における、図 1 7 のメモリセルスタックの断面図である。

【図 1 9】本発明の一実施形態による、後の配線処理に適した、平坦化されたメモリセルの断面図である。 20

【図 2 0 A】本発明の別の実施形態による、前処理されたウェハ上に堆積されたメモリセルスタックの断面図である。

【図 2 0 B】本発明の別の実施形態によるメモリセルの断面図である。

【図 2 1】本発明の別の実施形態によるメモリセルの断面図である。

【図 2 2】本発明の一実施形態による、エッチストップ層と、前処理されたウェハ上に堆積された下部電極とを含んだメモリセルスタックの断面図である。

【図 2 3】本発明の一実施形態による、エッチストップまでエッチングされ、かつストリップ処理された後における、図 2 2 のメモリセルスタックの断面図である。

【図 2 4】本発明の一実施形態による、エッチングおよびストリップ処理された図 2 3 のメモリセルスタック上に堆積された側壁スペーサ層の断面図である。 30

【図 2 5】本発明によるメモリセルの断面図である。

【符号の説明】

【0 1 0 1】

1 0 0 メモリデバイス

1 0 2 書き込みパルス発生器

1 0 4 分配回路

1 0 6 メモリセル

1 0 6 a、1 0 6 b、1 0 6 c、1 0 6 d メモリセル

1 0 8 センス回路

1 1 0 信号経路

1 1 2 a、1 1 2 b、1 1 2 c、1 1 2 d 信号経路

1 2 0 専用電極 (第 1 の電極)

1 2 0 a 専用電極層

1 2 2 第 2 の電極

1 2 2 a 第 2 の電極層

1 2 4 相変化材料の層 (相変化層)

1 2 4 a 相変化材料の層

1 2 6 側壁スペーサ (側壁保護手段)

1 2 6 a 側壁スペーサ層

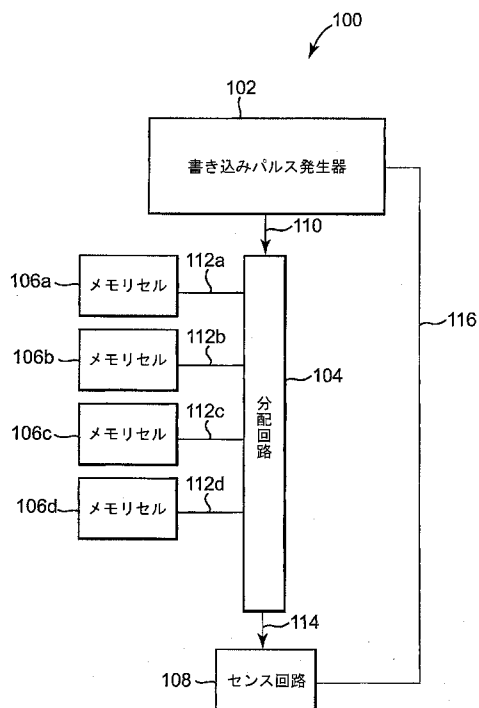
40

50

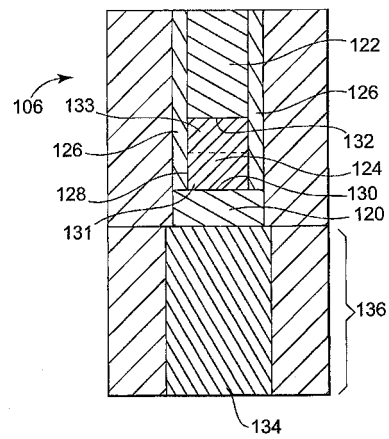
1 2 7	側方スペーサ	
1 2 8	側壁	
1 3 0	第 1 の接触面 (第 1 接触部)	
1 3 1	第 1 のスタック	
1 3 2	第 2 の接触面 (第 2 接触部)	
1 3 3	第 2 のスタック	
1 3 4	電極プラグ (プラグ)	
1 3 6	ウェハ (ウェハ基板)	
1 3 8	誘電体領域	
1 4 0	メモリセルスタック	10
1 4 2	ハードマスク層 (ハードマスク)	
1 4 4	フォトレジスト層 (レジスト)	
1 5 0	絶縁体	
1 6 0	メモリセルスタック	
1 6 6	メモリセル	
1 7 6	側壁スペーサ (側壁保護手段)	
1 8 0	絶縁体	
2 0 6	メモリセル	
2 2 0	第 1 の電極	
2 2 0 a	第 1 の電極層	20
2 2 2	第 2 の電極	
2 2 2 a	第 2 の電極層	
2 2 4	相変化材料の層 (相変化層) (ピラー相変化セル)	
2 2 4 a	相変化材料の層	
2 2 5	基部	
2 2 6	側壁スペーサ (側壁保護手段)	
2 2 6 a	側壁スペーサ層	
2 2 7	ピラー	
2 2 8	側壁	
2 3 0	下方の接触面	30
2 3 2	上方の接触面	
2 3 4	電極プラグ (プラグ)	
2 3 6	ウェハ (ウェハ基板)	
2 3 8	絶縁領域	
2 4 0	メモリセルスタック	
2 4 2	ハードマスク層 (ハードマスク)	
2 4 3	ピラースタック	
2 4 4	フォトレジスト層 (レジスト)	
2 5 0	層間絶縁体層	
2 6 0	メモリセルスタック	40
2 6 6	メモリセル	
2 7 6	側壁スペーサ (側壁保護手段)	
2 8 0	絶縁体	
3 0 6	メモリセル	
3 2 0	第 1 の電極	
3 2 0 a	第 1 の電極層	
3 2 1	エッチストップ層	
3 2 1 a	エッチストップ層	
3 2 2	第 2 の電極	
3 2 2 a	第 2 の電極層	50

- | | |
|---------|-----------------|
| 3 2 4 | 相変化材料の層（相変化層） |
| 3 2 4 a | 相変化材料の層 |
| 3 2 6 | 側壁スペーサ（側壁保護手段） |
| 3 2 6 a | 側壁スペーサ層 |
| 3 2 8 | 側壁 |
| 3 3 0 | 下方の接触面 |
| 3 4 0 | メモリセルスタック |
| 3 4 2 | ハードマスク層（ハードマスク） |
| 3 4 3 | ピラースタック |
| 3 4 4 | フォトレジスト層（レジスト） |
| 3 5 0 | 層間絶縁体層 |

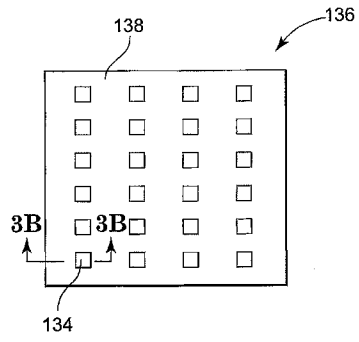
【 図 1 】



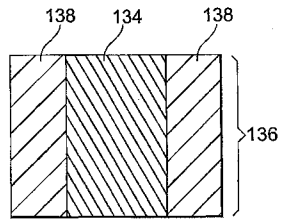
【圖 2】



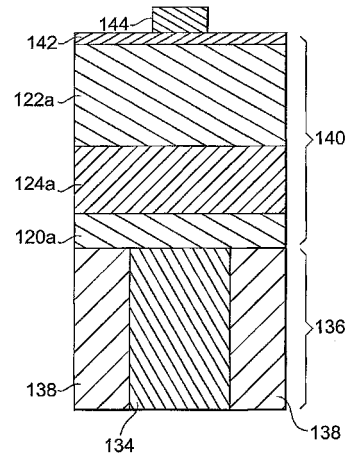
【 図 3 A 】



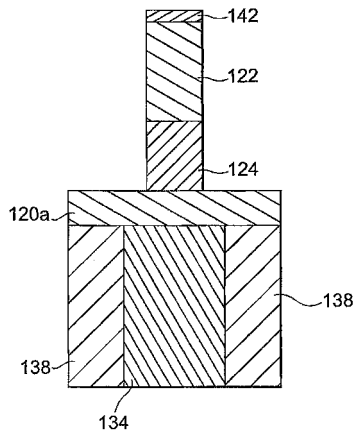
【 図 3 B 】



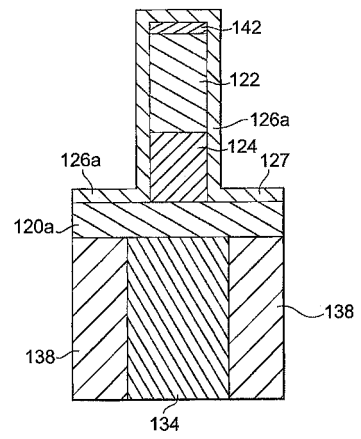
【 図 4 】



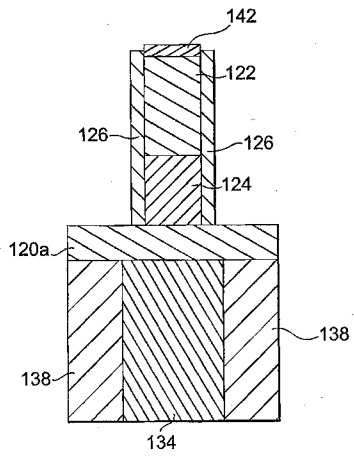
【 図 5 】



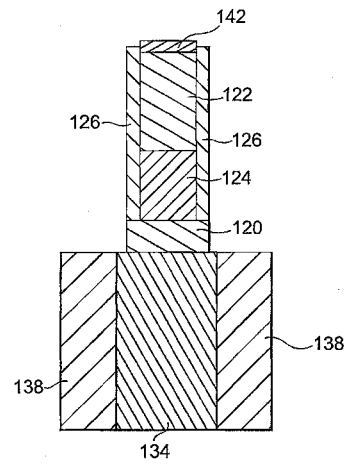
【 図 6 】



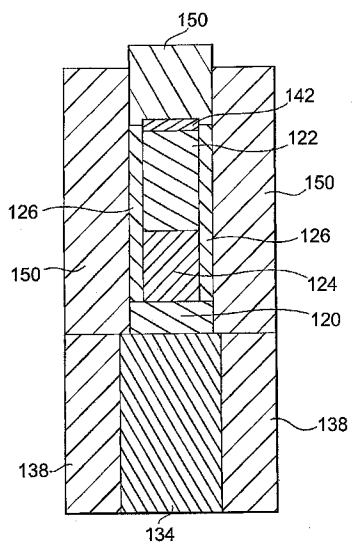
【 図 7 】



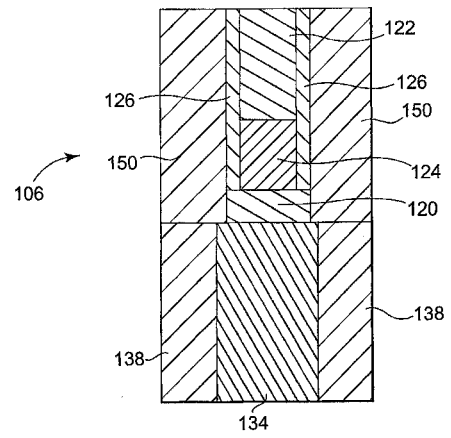
【 図 8 】



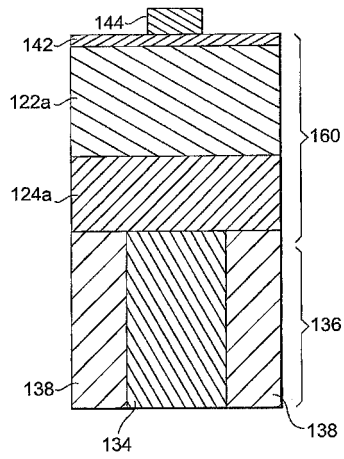
【 図 9 】



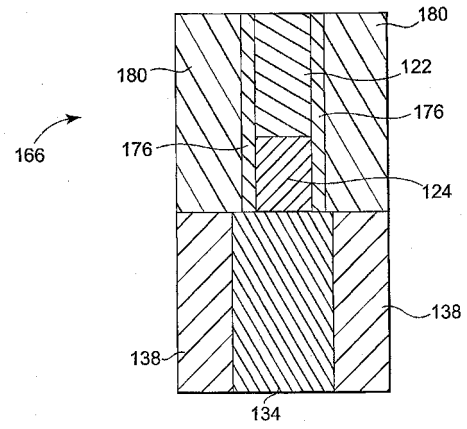
【 図 10 】



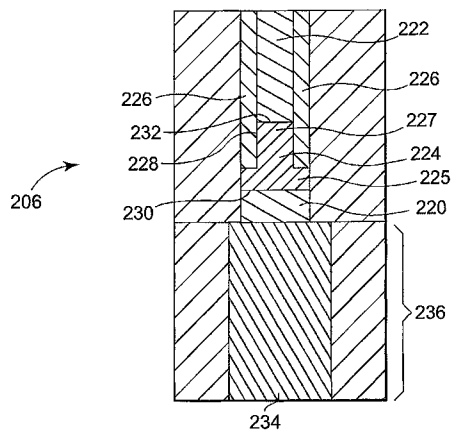
【図 1 1 A】



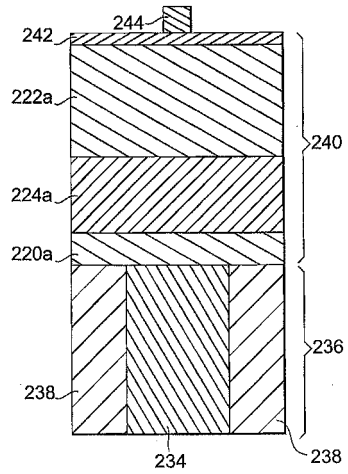
【図 1 1 B】



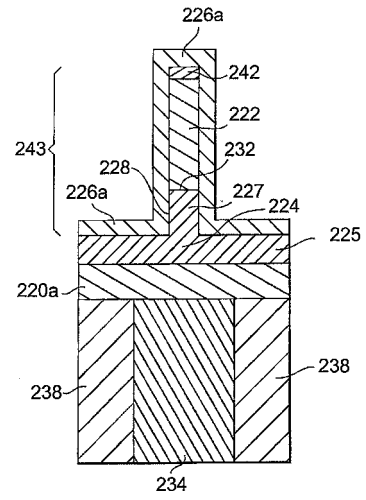
【図 1 2】



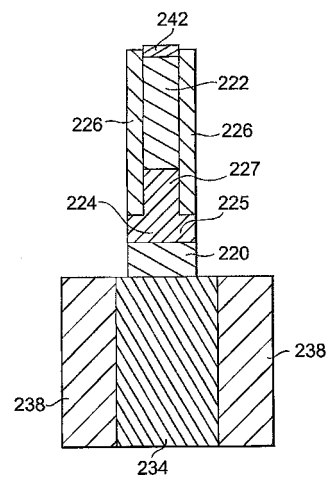
【図 1 3】



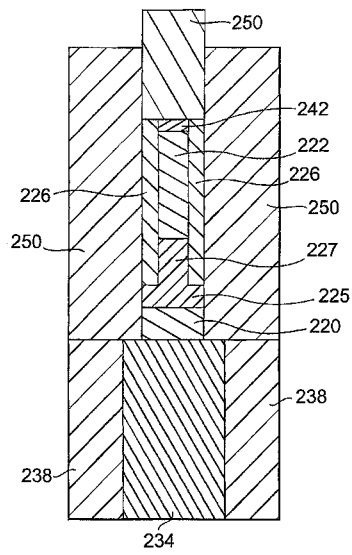
【 図 1 5 】



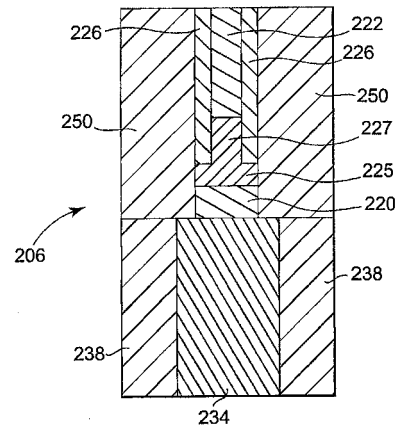
【 図 1 7 】



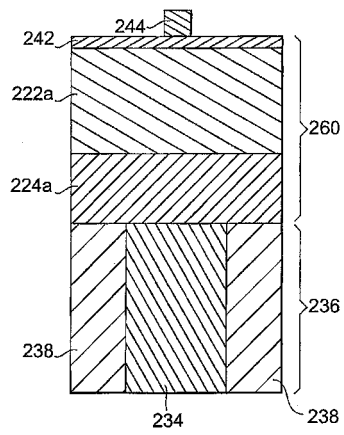
【図 18】



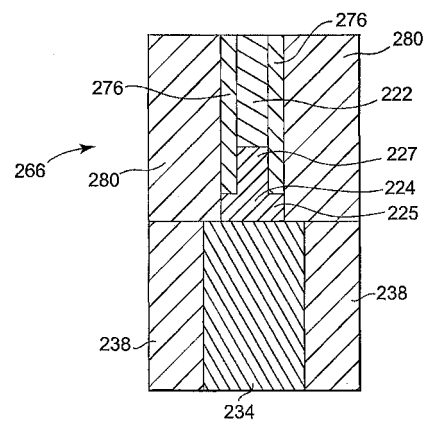
【図 19】



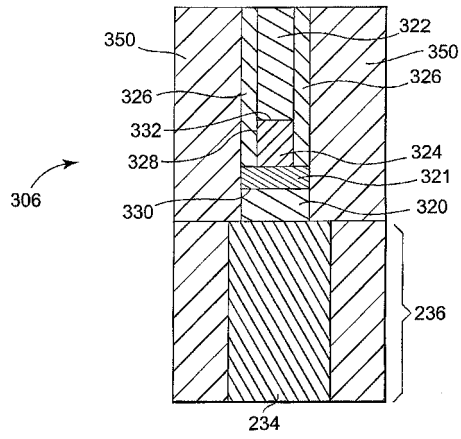
【図 20 A】



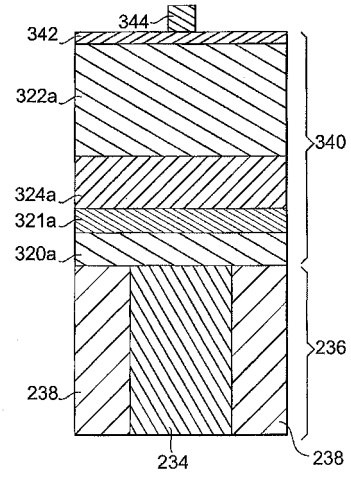
【図 20 B】



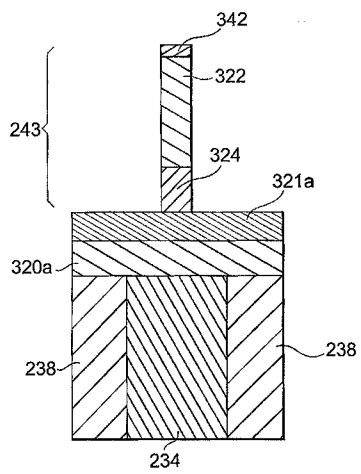
【図 2 1】



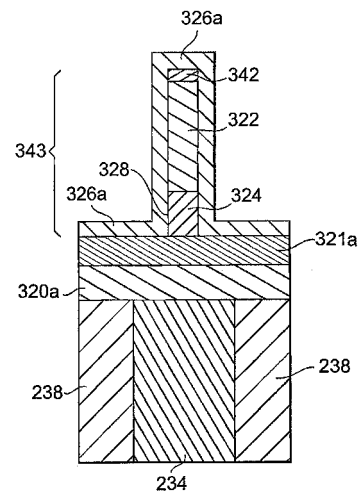
【図 2 2】



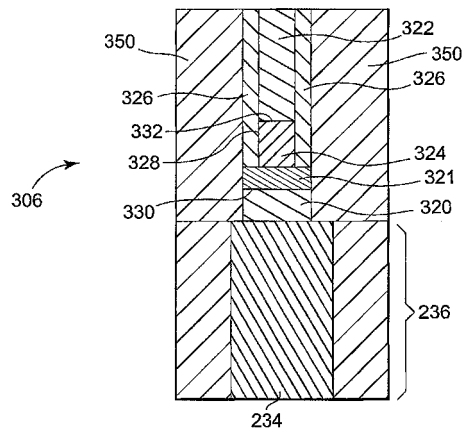
【図 2 3】



【図 2 4】



【図 25】



フロントページの続き

F ターム(参考) 5F083 FZ10 GA05 GA11 GA27 JA39 JA40 JA57 JA60 PR06 PR10
PR40